



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0162705
(43) 공개일자 2022년12월08일

(51) 국제특허분류(Int. Cl.)
H04N 5/3745 (2011.01) G01J 1/42 (2006.01)
G01J 1/46 (2006.01) H04N 5/374 (2011.01)
(52) CPC특허분류
H04N 5/37457 (2013.01)
G01J 1/4228 (2013.01)
(21) 출원번호 10-2022-7033699
(22) 출원일자(국제) 2021년04월01일
심사청구일자 없음
(85) 번역문제출일자 2022년09월27일
(86) 국제출원번호 PCT/EP2021/058769
(87) 국제공개번호 WO 2021/198498
국제공개일자 2021년10월07일
(30) 우선권주장
63/004,110 2020년04월02일 미국(US)

(71) 출원인
프로페시
프랑스 75012 파리 튀 뒤 포브르 생 앙투안 74
(72) 발명자
마를린 다니엘
독일 01705 프라이탈 오베르하우제너 슈트라세 30
부크 드니
프랑스 92000 낭테르 66 튀 드 라 크루아
부비에 크리스티앙
프랑스 91160 솔 르 샤프트뢰 3 알리 뒤 쏘 뒤 루
(74) 대리인
특허법인아주

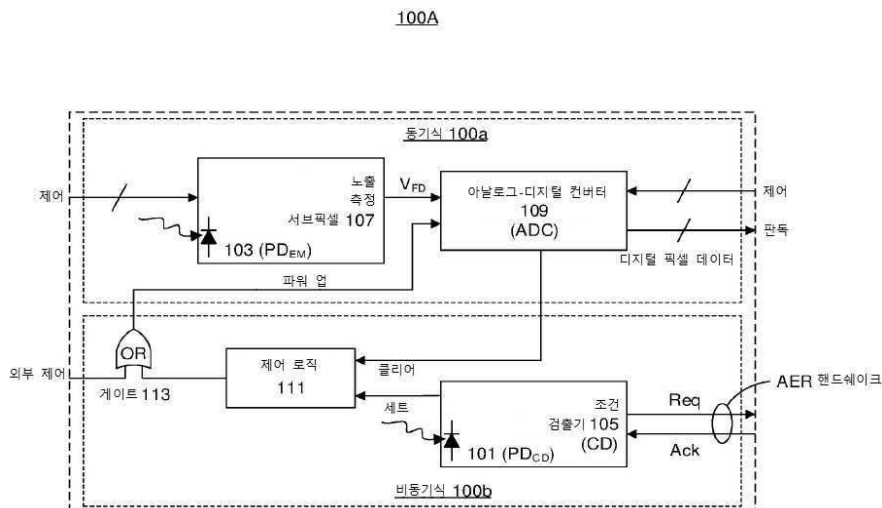
전체 청구항 수 : 총 49 항

(54) 발명의 명칭 비전 센서용 픽셀 회로 및 방법

(57) 요약

이미지 센서에 사용하기 위한 픽셀 회로가 제공된다. 픽셀 회로는 감광 요소에 충돌하는 광의 밝기에 응답하여 전류 신호를 생성하도록 구성된 감광 요소, 및 감광 요소로부터 전류 신호를 수신하고 수신된 전류 신호에 기초하여 전압 신호를 생성하도록 구성된 컨버터를 포함한다. 픽셀 회로는 또한 직렬로 컨버터에 전기적으로 결합되고 컨버터로부터 전압 신호를 수신하도록 구성된 커패시터, 및 입력에서 직렬로 커패시터에 전기적으로 결합되고 커패시터로부터의 출력 신호에 기초하여 증폭된 신호를 출력에서 생성하도록 구성된 증폭기를 포함하며, 증폭기의 출력과 입력 사이에 피드백이 존재하지 않는다. 또한, 픽셀 회로는 트리거 신호 생성에 응답하여 증폭기를 리셋하도록 구성된 리셋 장치를 포함한다.

대표도 - 도1a



(52) CPC특허분류

G01J 1/46 (2013.01)

H04N 5/3741 (2013.01)

명세서

청구범위

청구항 1

복수의 픽셀을 포함하는 센서로서,

각각의 픽셀은,

감광 요소에 충돌하는 광의 밝기에 응답하여 전류 신호를 생성하도록 구성된 상기 감광 요소;

상기 감광 요소로부터 전류 신호를 수신하고, 수신된 전류 신호에 기초하여 전압 신호를 생성하도록 구성된 컨버터;

직렬로 상기 컨버터에 전기적으로 연결되고, 상기 컨버터로부터 전압 신호를 수신하도록 구성된 커패시터;

입력에서 상기 커패시터에 직렬로 전기적으로 결합되고, 상기 커패시터로부터의 출력 신호에 기초하여 증폭된 신호를 출력에서 생성하도록 구성된 증폭기 - 상기 증폭기의 출력과 입력 사이에는 피드백이 없음; 및

상기 증폭기의 입력과 출력 사이에 전기적으로 연결되고, 트리거 신호 생성에 응답하여 상기 증폭기를 리셋하도록 구성된 리셋 장치

를 포함하는, 센서.

청구항 2

제1항에 있어서, 상기 증폭기는 복수의 적층 트랜지스터를 포함하는, 센서.

청구항 3

제2항에 있어서, 상기 복수의 적층 트랜지스터는 일 트랜지스터를 포함하고, 상기 일 트랜지스터의 게이트는 상기 일 트랜지스터의 드레인 또는 상기 일 트랜지스터의 소스에 전기적으로 결합되는, 센서.

청구항 4

제3항에 있어서, 상기 증폭기의 개방 루프 이득은 다수의 적층 트랜지스터와 연관되는, 센서.

청구항 5

제2항 내지 제4항 중 어느 한 항에 있어서, 상기 증폭기의 개방 루프 이득은 적층 트랜지스터 중 하나 이상을 스위칭 인 또는 스위칭 아웃함으로써 조정 가능한, 센서.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 증폭기는 복수의 증폭기 스테이지를 포함하는, 센서.

청구항 7

제6항에 있어서, 상기 증폭기의 개방 루프 이득은 증폭기 스테이지들 중 하나 이상을 스위칭 인 또는 스위칭 아웃함으로써 조정 가능한, 센서.

청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서, 각 픽셀은,

상기 증폭기의 출력에 전기적으로 연결되고, 증폭된 신호가 조건과 일치할 때 트리거 신호를 생성하도록 구성된 비교기를 더 포함하는, 센서.

청구항 9

제8항에 있어서, 상기 조건은 상기 증폭된 신호의 크기가 임계값 이상인 것을 포함하는, 센서.

청구항 10

제8항 또는 제9항에 있어서, 상기 비교기는 상기 트리거 신호를 외부 판독 시스템으로 출력하도록 추가로 구성되는, 센서.

청구항 11

제10항에 있어서, 상기 외부 판독 시스템은 상기 트리거 신호에 응답하여 상기 픽셀에 확인 신호를 전송하도록 구성되고, 상기 리셋 장치는 또한 상기 확인 신호에 응답하여 상기 증폭기를 리셋하도록 더 구성되는, 센서.

청구항 12

제10항 또는 제11항에 있어서, 상기 리셋 장치는 상기 비교기가 상기 트리거 신호를 출력한 후, 그리고 외부 판독 시스템으로부터의 확인 신호의 수신과 관계 없이, 상기 증폭기를 리셋하도록 더 구성되는, 센서.

청구항 13

제1항 내지 제12항 중 어느 한 항에 있어서,

상기 증폭기의 출력과 상기 비교기의 입력 사이에 직렬로 전기적으로 연결된 다른 커패시터; 및

상기 비교기의 입력과 기준 신호 사이에 전기적으로 연결되고, 기준 신호를 비교기의 입력으로 설정하도록 구성된, 다른 리셋 장치

를 더 포함하는, 센서.

청구항 14

제13항에 있어서, 상기 다른 리셋 장치는 다른 스위치를 포함하는, 센서.

청구항 15

제13항 또는 제14항에 있어서, 상기 다른 리셋 장치는 상기 다른 리셋 장치를 활성화함으로써 기준 신호를 상기 비교기의 입력으로 설정하도록 더 구성되는, 센서.

청구항 16

제13항 내지 제15항 중 어느 한 항에 있어서,

상기 리셋 장치와 상기 다른 리셋 장치 사이에 전기적으로 연결되고, 상기 리셋 장치와 상기 다른 리셋 장치의 동작 사이에 시간적 지연을 설정하도록 구성된 지연 회로를 더 포함하는, 센서.

청구항 17

제13항 내지 제16항 중 어느 한 항에 있어서, 기준 신호는 기준 전압을 포함하는, 센서.

청구항 18

제1항 내지 제17항 중 어느 한 항에 있어서, 상기 증폭기의 입력과 출력 사이에 커패시터가 없는, 센서.

청구항 19

제1항 내지 제18항 중 어느 한 항에 있어서, 상기 센서는 적어도 하나의 시간 콘트라스트 센서(temporal contrast sensor)를 포함하는, 센서.

청구항 20

제1항 내지 제19항 중 어느 한 항에 있어서, 상기 증폭기는 조정 가능한 개방 루프 이득을 갖는 이득-제어 증폭기를 포함하는, 센서.

청구항 21

제1항 내지 제20항 중 어느 한 항에 있어서, 상기 증폭기의 개방 루프 이득의 크기는 100보다 작은, 센서.

청구항 22

제1항 내지 제21항 중 어느 한 항에 있어서, 상기 리셋 장치는 스위치를 포함하고, 또한 상기 리셋 장치는 스위치를 닫음으로써 상기 증폭기의 입력과 출력 사이의 전압을 리셋하도록 구성되는, 센서.

청구항 23

제1항 내지 제22항 중 어느 한 항에 있어서, 상기 리셋 장치는 상기 증폭기의 입력과 출력 사이의 전압을 0으로 설정함으로써 상기 증폭기를 리셋하도록 추가로 구성되는, 센서.

청구항 24

제1항 내지 제22항 중 어느 한 항에 있어서, 상기 리셋 장치는 증폭된 신호를 증폭기로부터 디커플링된 기준 신호로 리셋하도록 추가로 구성되는, 센서.

청구항 25

픽셀 회로로서,

감광 요소에 충돌하는 광의 밝기에 응답하여 전류 신호를 생성하도록 구성된 상기 감광 요소;

상기 감광 요소로부터 전류 신호를 수신하고, 수신된 전류 신호에 기초하여 전압 신호를 생성하도록 구성된 컨버터;

직렬로 상기 컨버터에 전기적으로 연결되고, 상기 컨버터로부터 전압 신호를 수신하도록 구성된 커패시터;

입력에서 상기 커패시터에 직렬로 전기적으로 결합되고, 상기 커패시터로부터의 출력 신호에 기초하여 증폭된 신호를 출력에서 생성하도록 구성된 증폭기 - 상기 증폭기의 출력과 입력 사이에는 피드백이 없음; 및

상기 증폭기의 입력과 출력 사이에 전기적으로 연결되고, 트리거 신호 생성시 상기 증폭기를 리셋하도록 구성된 리셋 장치

를 포함하는, 픽셀 회로.

청구항 26

제25항에 있어서, 상기 증폭기의 출력과 입력 사이에 용량성 피드백이 없는, 픽셀 회로.

청구항 27

제25항에 있어서, 상기 증폭기의 출력에 전기적으로 연결되고, 증폭된 신호가 조건과 일치할 때 트리거 신호를 생성하도록 구성된 비교기를 더 포함하는, 픽셀 회로.

청구항 28

복수의 픽셀을 포함하는 센서를 제어하기 위한 방법으로서,

감광 요소에 충돌하는 광에 응답하여 전류 신호를 수신하는 단계;

전류 신호를 전압 신호로 변환하는 단계;

상기 전압 신호에 기초하여 커패시터에 의해 디커플링된 전압 신호를 생성하는 단계 - 상기 디커플링된 전압 신호는 상기 전류 신호로부터 디커플링됨;

상기 디커플링된 전압 신호에 기초하여 증폭기에 의해 증폭된 신호를 생성하는 단계 - 증폭된 신호와 상기 디커플링된 전압 신호 사이에는 용량성 피드백이 존재하지 않음;

증폭된 신호가 조건과 일치하는 경우 트리거 신호를 생성하는 단계; 및

트리거 신호가 생성되면 증폭기를 리셋하는 단계

를 포함하는, 방법.

청구항 29

제28항에 있어서, 상기 증폭기는 복수의 적층 트랜지스터를 포함하는, 방법.

청구항 30

제29항에 있어서, 상기 복수의 적층 트랜지스터는 일 트랜지스터를 포함하고, 상기 일 트랜지스터의 게이트는 상기 일 트랜지스터의 드레인 또는 상기 일 트랜지스터의 소스에 전기적으로 결합되는, 방법.

청구항 31

제29항 또는 제30항에 있어서, 상기 증폭기의 개방 루프 이득은 다수의 적층 트랜지스터와 연관되는, 방법.

청구항 32

제29항 내지 제31항 중 어느 한 항에 있어서, 상기 증폭기의 개방 루프 이득은 상기 적층 트랜지스터들 중 하나 이상을 스위칭 인 또는 스위칭 아웃함으로써 조정가능한, 방법.

청구항 33

제28항 내지 제32항 중 어느 한 항에 있어서, 상기 증폭기는 복수의 증폭기 스테이지를 포함하는, 방법.

청구항 34

제33항에 있어서, 상기 증폭기의 개방 루프 이득은 증폭기 스테이지들 중 하나 이상을 스위칭 인 또는 스위칭 아웃함으로써 조정 가능한, 방법.

청구항 35

제28항 내지 제34항 중 어느 한 항에 있어서,
트리거 신호를 외부 판독 시스템으로 출력하는 단계를 더 포함하는, 방법.

청구항 36

제35항에 있어서,
상기 트리거 신호를 출력한 후 외부 판독 시스템으로부터 확인 신호를 수신하는 단계; 그리고
증폭기를 리셋하는 단계
를 더 포함하는, 방법.

청구항 37

제35항 또는 제36항에 있어서,
트리거 신호를 출력한 후, 그리고 외부 판독 시스템으로부터 확인 신호 수신에 관계없이 증폭기를 리셋하는 단계를 더 포함하는, 방법.

청구항 38

제28항 내지 제37항 중 어느 한 항에 있어서, 상기 증폭기를 리셋하는 단계는,
증폭된 신호를 증폭기로부터 디커플링된 기준 신호로 리셋하는 단계를 포함하는, 방법.

청구항 39

제38항에 있어서, 상기 증폭된 신호를 기준 신호로 리셋하는 단계는,
트리거 신호를 생성하기 위해 기준 신호와 비교기의 입력 사이에 전기적으로 연결된 다른 리셋 장치를 활성화하는 단계를 포함하며, 다른 커패시터가 상기 증폭기와 상기 비교기의 입력 사이에 직렬로 전기적으로 연결되는, 방법.

청구항 40

제39항에 있어서, 상기 증폭기를 리셋하는 단계는 상기 증폭기의 출력과 상기 입력 사이에 전기적으로 연결된 다른 리셋 장치를 닫는 단계를 포함하고, 상기 방법은,

상기 증폭기를 리셋한 후 상기 다른 리셋 장치를 비활성화하는 것보다 나중에 상기 리셋 장치를 비활성화하는 단계를 더 포함하는, 방법.

청구항 41

제40항에 있어서,

상기 및 리셋 장치와 상기 다른 리셋 장치 사이에 전기적으로 연결된 지연 회로를 사용하여 상기 리셋 장치와 상기 다른 리셋 장치의 동작 사이의 시간적 지연을 설정하는 단계를 더 포함하는, 방법.

청구항 42

제38항 내지 제41항 중 어느 한 항에 있어서, 상기 기준 신호는 기준 전압을 포함하는, 방법.

청구항 43

제28항 내지 제42항 중 어느 한 항에 있어서, 상기 센서는 적어도 하나의 시간 콘트라스트 센서를 포함하는, 방법.

청구항 44

제28항 내지 제43항 중 어느 한 항에 있어서, 상기 증폭기는 조정 가능한 개방 루프 이득을 갖는 이득-제어 증폭기를 포함하는, 방법.

청구항 45

제28항 내지 제43항 중 어느 한 항에 있어서, 상기 증폭기의 개방 루프 이득의 크기는 100보다 작은, 방법.

청구항 46

제28항 내지 제43항 중 어느 한 항에 있어서, 상기 증폭기의 개방 루프 이득의 크기는 10보다 작은, 방법.

청구항 47

제28항 내지 제43항 중 어느 한 항에 있어서, 증폭된 신호가 조건과 일치할 때 트리거 신호를 생성하는 단계는, 증폭된 신호의 크기가 임계값 이상인 경우 트리거 신호를 생성하는 단계를 포함하는, 방법.

청구항 48

제28항 내지 제43항 중 어느 한 항에 있어서, 상기 증폭기를 리셋하는 단계는 상기 증폭기의 입력과 출력 사이에 전기적으로 연결된 리셋 장치를 활성화하는 단계를 포함하는, 방법.

청구항 49

제28항 내지 제43항 중 어느 한 항에 있어서, 상기 증폭기를 리셋하는 단계는 상기 증폭기의 입력과 출력 사이의 전압을 0으로 설정하는 단계를 포함하는, 방법.

발명의 설명

기술 분야

[0001] 관련 출원의 상호 참조

[0002] 본 출원은 2020년 4월 2일자로 출원된 미국 가특허출원 제63/004,110호에 대한 우선권을 주장하며, 그 내용은 그 전체가 본 명세서에 참조에 의해 원용된다.

[0003] 기술분야

[0004] 본 개시내용은 일반적으로 감지를 위한 센서 및 픽셀 회로 분야에 관한 것이다. 더 구체적으로, 그리고 제한 없이, 본 개시내용은 픽셀 회로 및 아키텍처를 제공하기 위한, 그리고, 픽셀 회로와 함께 비전 센서를 구현 및 사용하기 위한, 시스템 및 방법에 관한 것이다. 본 명세서에 개시된 센서 및 기술은 빠르고 효율적인 모션 검출 및/또는 모션 이벤트 구동 데이터 획득으로부터 이익을 얻는 보안 시스템, 자율 차량, 및 기타 시스템과 같은 다양한 응용분야 및 비전 시스템에서 사용될 수 있다.

배경 기술

[0005] 현존하는 이미지 센서는 반도체 CCD(Charge-Coupled Device), CMOS(Complementary Metal-Oxide-Semiconductor) 센서, NMOS(N-Type Metal-Oxide-Semiconductor) 센서 또는 기타 센서를 포함하는 복수의 픽셀을 사용하여 장면들의 디지털 이미지를 캡처한다. 그러나 기존의 이미지 센서는 각 프레임이 장면의 전체 이미지로 캡처되기 때문에 빠른 모션 감지에 있어 속도가 떨어진다. 더욱이, 그러한 이미지 센서는 많은 양의 데이터를 생성하여 예를 들어 캡처된 이미지에서 움직임 정보를 선별하는 데 필요한 처리량을 기하급수적으로 증가시킨다.

[0006] 많은 시스템은 전체 이미지를 캡처하는 기존 이미지 센서가 제공하는 방대한 세부 사항을 필요로 하지 않는다. 예를 들어, 보안 시스템 및 기타 모니터링 시스템은 모션 데이터에만 관심이 있고 모션이 없는 이미지 부분에는 관심이 없을 수 있다. 또 다른 예로, 자율주행 차량은 인간의 지각 시간(일반적으로 100밀리초 이하 수준)에 필적하는 결정을 내리기 위해 캡처된 데이터를 빠르고 효율적으로 처리해야 한다. 이러한 효율성은 상황과 관련된 캡처된 데이터 부분을 얻기 위해 많은 양의 데이터를 폐기해야 할 때(예: 사후 처리를 통해) 제한된다.

발명의 내용

[0007] 본 개시내용의 실시예는 복수의 픽셀을 포함하는 센서를 제공할 수 있다. 각각의 픽셀은 감광 요소에 충돌하는 광의 밝기에 응답하여 전류 신호를 생성하도록 구성된 감광 요소; 감광 요소로부터 전류 신호를 수신하고 수신된 전류 신호에 기초하여 전압 신호를 생성하도록 구성된 컨버터; 직렬로 컨버터에 전기적으로 연결되고 컨버터로부터 전압 신호를 수신하도록 구성된 커패시터; 입력에서 커패시터에 직렬로 전기적으로 결합되고 출력에서 커패시터로부터의 출력 신호에 기초하여 증폭된 신호를 생성하도록 구성된 증폭기 - 상기 증폭기의 출력과 입력 사이에는 피드백이 없음; 및 상기 증폭기의 입력과 출력 사이에 전기적으로 결합되고 트리거 신호 생성에 응답하여 상기 증폭기를 리셋하도록 구성된 리셋 장치를 포함한다.

[0008] 일부 실시예에서, 센서는 콘트라스트 검출 센서 또는 동적 비전 센서라고도 하는 적어도 하나의 시간 콘트라스트 센서를 포함한다. 또한, 증폭기는 정의된 이득을 가질 수 있고, 일부 실시예에서 증폭기는 이득 제어 증폭기를 포함한다. 일부 실시예에서, 증폭기의 이득은 제어가능하거나 조정가능할 수 있고, 다른 실시예에서 제어가능하거나 조정가능하지 않을 수 있다. 일부 실시예에서, 증폭기의 이득은 조정 불가능한 증폭기의 적층 트랜지스터의 수에 의해 정의될 수 있다. 다른 실시예에서, 증폭기의 이득은 적층 트랜지스터를 스위칭 인 또는 아웃함으로써 제어가능하다. 일부 실시예에서, 증폭기의 이득은 본 명세서에 개시된 바와 같이 증폭기 스테이지를 스위칭 인 또는 아웃함으로써 제어가능하다.

[0009] 본 명세서에 개시된 바와 같이, 증폭기의 실시예는 이득 제어 증폭기를 포함할 수 있다. 이득 제어 증폭기는 복수의 적층 트랜지스터를 포함할 수 있다. 일부 실시예에서, 복수의 적층 트랜지스터는 일 트랜지스터를 포함하고, 상기 일 트랜지스터의 게이트는 상기 일 트랜지스터의 드레인 또는 소스에 전기적으로 결합된다. 이러한 트랜지스터 중 하나 이상이 복수의 적층 트랜지스터를 구현하는 데 사용될 수 있다.

[0010] 일부 실시예에서, 증폭기의 개방 루프 이득은 다수의 적층 트랜지스터와 관련된 수와 연관된다. 예를 들어, 일부 실시예에서 증폭기의 이득은 10보다 작다. 다른 실시예에서 이득은 10 이상이다. 다른 실시예에서 증폭기의 이득은 20 이상이고 40 이하이다. 또 다른 실시예에서, 증폭기의 이득은 100보다 작다. 또한, 일부 실시예에서, 증폭기는 본 명세서에 개시된 바와 같이 다단 증폭기로서 구현된다.

[0011] 일부 실시예에서, 픽셀은 증폭기의 출력에 전기적으로 결합되는, 그리고 증폭된 신호가 조건과 일치할 때 트리거 신호를 생성하도록 구성된, 비교기를 더 포함한다. 일부 실시예에서, 조건은 증폭된 신호의 크기가 임계값 이상인 것을 포함한다.

[0012] 일부 실시예에서, 리셋 장치는 스위치를 포함한다. 본 명세서에 개시된 바와 같이, 리셋 장치는 스위치를 단음으로써 증폭기의 입력과 출력 사이의 전압을 리셋하도록 구성될 수 있다. 리셋 장치는 증폭기의 입력과 출력 사

이의 전압을 0으로 설정함으로써 증폭기를 리셋하도록 더 구성될 수 있다.

[0013] 일부 실시예에서, 픽셀은 증폭기의 출력에 전기적으로 결합되는, 그리고 증폭된 신호가 조건과 일치할 때 트리거 신호를 생성하도록 구성된, 비교기를 더 포함한다. 일부 실시예에서, 비교기는 외부 판독 시스템에 트리거 신호를 출력하도록 구성된다. 외부 판독 시스템은 트리거 신호에 응답하여 확인 신호(acknowledge signal)를 픽셀에 전송하도록 구성될 수 있다. 일부 실시예에서, 리셋 장치는 확인 신호의 수신에 응답하여 증폭기를 리셋하도록 구성될 수 있다. 다른 실시예에서, 리셋 장치는 외부 판독 시스템에 출력으로서 트리거 신호를 제공한 후에 증폭기를 리셋하도록 구성될 수 있다. 즉, 픽셀은 자체 리셋을 위해 외부 판독 시스템으로부터 승인 신호를 수신할 필요가 없다.

[0014] 본 개시내용의 실시예에 따라, 각 픽셀은 증폭기의 출력과 비교기의 입력 사이에 직렬로 결합된 연결된 다른 커패시터와, 비교기의 입력과 기준 사이에 전기적으로 결합된, 그리고, 비교기의 입력으로 기준 신호를 설정하도록 구성된, 다른 리셋 장치를 또한 포함할 수 있다. 일부 실시예에서, 다른 리셋 장치는 다른 스위치를 포함한다. 일부 실시예에서, 다른 리셋 장치는 다른 스위치를 단음으로써 기준 신호를 비교기의 입력으로 설정하도록 추가로 구성된다. 일부 실시예에서, 리셋 장치는 상기 다른 리셋 장치의 상기 다른 스위치와는 상이한 스위치를 포함한다.

[0015] 일부 실시예에서, 기준 신호는 기준 전압을 포함한다.

[0016] 본 개시내용의 실시예들과 일치하게, 각각의 픽셀은 스위치와 다른 스위치 사이에 전기적으로 결합되는, 그리고 스위치와 다른 스위치의 동작 사이의 시간적 지연(예를 들어, 제1 스위치 및 제2 스위치의 동작 간의 시간적 지연)을 설정하도록 구성된, 지연 회로를 또한 포함할 수 있다. 본 개시내용으로부터 이해되는 바와 같이, 스위치의 수는 여기에 제공된 예에 제한되지 않는다.

[0017] 본 개시내용의 실시예는 비전 센서에 사용하기 위한 픽셀 회로를 제공할 수 있다. 픽셀 회로는 감광 요소에 충돌하는 광의 밝기에 응답하여 전류 신호를 생성하도록 구성된 감광 요소; 감광 요소로부터 전류 신호를 수신하는, 그리고 수신된 전류 신호에 기초하여 전압 신호를 생성하도록 구성된 컨버터; 직렬로 컨버터에 전기적으로 결합되는, 그리고 컨버터로부터 전압 신호를 수신하도록 구성된 커패시터; 입력에서 제1 커패시터에 직렬로 전기적으로 결합되고 출력에서 커패시터로부터의 출력 신호에 기초하여 증폭된 신호를 생성하도록 구성된 증폭기 - 상기 증폭기의 출력과 입력 사이에는 피드백이 없음; 및 상기 증폭기의 입력과 출력 사이에 전기적으로 결합되는, 그리고, 트리거 신호가 생성될 때 증폭기를 리셋하도록 구성된, 리셋 장치를 포함할 수 있다.

[0018] 본 개시내용의 실시예는 복수의 픽셀을 갖는 센서의 제어 방법을 더 제공할 수 있다. 방법은 감광 요소에 광이 충돌하는 것에 응답하여 전류 신호를 수신하는 단계; 상기 전류 신호에 기초하여 전류 신호를 전압 신호로 변환하는 단계; 상기 전압 신호에 기초하여 커패시터에 의해 디커플링된 전압 신호를 생성하는 단계 - 상기 디커플링된 전압 신호는 상기 전류 신호로부터 디커플링됨; 상기 디커플링된 전압 신호에 기초하여 증폭기에 의해 증폭된 신호를 생성하는 단계 - 증폭된 신호와 상기 디커플링된 전압 신호 사이에는 용량성 피드백이 존재하지 않음; 증폭된 신호가 조건과 일치하는 경우 트리거 신호를 생성하는 단계; 및 트리거 신호가 생성되면 증폭기를 리셋하는 단계를 포함한다.

도면의 간단한 설명

[0019] 본 명세서의 일부를 구성하는 첨부 도면은 다양한 실시예를 예시하고, 설명과 함께 개시된 실시예의 원리 및 특징을 설명하는 역할을 한다. 도면에서:

도 1a는 본 개시내용의 실시예들에 따른, 예시적인 슈퍼 픽셀의 개략도이다.

도 1b는 본 개시내용의 실시예들에 따른, 다른 예시적인 슈퍼 픽셀의 개략도이다.

도 1c는 본 개시내용의 실시예들에 따른, 또 다른 예시적인 슈퍼 픽셀의 개략도이다.

도 1d는 본 개시내용의 실시예들에 따른, 또 다른 예시적인 슈퍼 픽셀의 개략도이다.

도 2는 본 개시내용의 실시예들에 따른 예시적인 픽셀 회로의 개략도이다.

도 3은 본 개시내용의 실시예들에 따른, 다른 예시적인 픽셀 회로의 개략도이다.

도 4a는 본 개시내용의 실시예에 따른 예시적인 증폭기의 개략도이다.

도 4b는 본 개시내용의 실시예들에 따른, 다른 예시적인 증폭기의 개략도이다.

도 4c는 본 개시내용의 실시예에 따른, 조정 가능한 개방 루프 이득을 갖는 예시적인 증폭기의 개략도이다.

도 4d는 본 개시내용의 실시예들에 따른, 조정 가능한 개방 루프 이득을 갖는 또 다른 예시적인 증폭기의 개략도이다.

도 4e는 본 개시내용의 실시예에 따른, 조정 가능한 증폭기 스테이지를 갖는 예시적인 증폭기의 개략도이다.

도 5는 본 개시내용의 실시예에 따른 도 3의 픽셀 회로의 예시적인 신호 타이밍도이다.

도 6은 본 발명의 일 실시예에 따른 이미지 센서의 제어 방법을 나타내는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 개시된 실시예는 비동기식 시간 기반 감지를 포함하는 비전 감지를 위한 시스템 및 방법에 관한 것이다. 개시된 실시예는 또한 픽셀 및 픽셀 회로, 및 이러한 픽셀 및 픽셀 회로와 함께 비전 센서를 구현 및 사용하는 것에 관한 것이다. 유리하게는, 예시적인 실시예는 빠르고 효율적인 감지를 제공할 수 있다. 본 실시예의 추가 이점은 경쟁력 있는 픽셀 크기를 갖는 비전 센서를 구현하기 위해 고급 반도체 제조 공정 기술을 최적으로 사용할 수 있는 능력을 포함한다. 또한, 본 개시내용의 실시예는 보안 시스템, 자율 차량, 및 신속하고 효율적인 모션 또는 이벤트 검출로부터 이익을 얻는 다른 시스템과 같은 다양한 응용분야 및 비전 시스템에서 구현 및 사용될 수 있다. 본 개시내용의 실시예가 비전 시스템을 일반적으로 참조하여 설명되지만, 그러한 시스템은 카메라, LIDAR, 또는 다른 센서 시스템의 일부일 수 있다는 것이 이해될 것이다.
- [0021] 현존하는 이미지 또는 비디오 처리 시스템에서, 이미지 센서는 이미지를 재구성하기 위해 시각 정보를 획득하고 처리할 수 있다. 이미지 또는 비디오 획득 및 처리 시스템은 광센서 어레이를 포함할 수 있으며, 이들 각각은 시각적 장면의 이미지 표현을 재구성하기 위해 시각적 정보를 획득할 수 있다. 이 과정은 미리 정해진 속도로 반복될 수 있다.
- [0022] 이벤트 기반 비전 센서는 미리 설정된 상대 임계값을 초과하는 시간 콘트라스트를 개별적으로 픽셀 단위로 감지하여 상대적 광 변화의 시간적 진화(콘트라스트 감지, CD; 시간 콘트라스트, TC)를 따르고, 프레임 없는 픽셀 레벨에서의 절대 강도 측정(노출 측정, EM)의 샘플링 지점을 정의할 수 있다. 비전 센서는 기록된 데이터의 시간적 정밀도, 사후 처리 비용을 줄여주는 고유한 시간 중복 억제, 장면 내 넓은 동적 범위 작동 덕분에 고속, 저전력 머신 비전 애플리케이션에서 인기를 얻고 있다. 시간 콘트라스트(TC: temporal contrast)에 대한 정보는 "이벤트"의 형태로 인코딩될 수 있다. 즉, 원래 픽셀의 X, Y 좌표, 타임스탬프 및 콘트라스트 극성을 포함하는 데이터 패킷이다. 높은 시간적 정밀도로 시각적 정보를 샘플링하는 개별 픽셀의 기능을 최대한 활용하려면 이벤트 타이밍을 유지하기 위해 조기 타임 스탬프 및 높은 판독 처리량이 중요할 수 있다.
- [0023] 일부 실시예에서, 실시간 인공 비전("컴퓨터 비전" 또는 "머신 비전"이라고도 함)의 경우, 비전 획득 및 처리 시스템은 이전에 획득한 시각적 정보에 대해 현재 시각적 정보의 변화를 나타내는 데이터만 획득 및 처리하도록 구성될 수 있다. 이러한 센서 또는 비전 시스템은 이미지 프레임을 생성하지 않을 수 있다. 이러한 시각 센서는 예를 들어, 동적 비전 센서(DVS) 또는 콘트라스트 검출(CD) 센서로도 알려진 시간 콘트라스트(TC) 센서를 포함할 수 있다. 이러한 센서는 본 개시에서 "이벤트 기반 비전 센서" 또는 일반적으로 "비전 센서"로 지칭된다.
- [0024] 예를 들어, TC 센서는 기존 이미지 시스템과 같이 프레임별로 이미지를 기록하지 않는다. 대신 TC 센서의 각 픽셀은 감지하는 빛의 시간 도함수를 결정할 수 있다. 일부 실시예에서, 선택적으로, 픽셀은 시간 도함수에 대해 일부 처리를 추가로 수행할 수 있다. 시간 도함수가 미리 설정된 임계값을 초과하면 픽셀은 신호를 출력하여 "이벤트"를 생성할 수 있다. 짧은 대기 시간으로, 픽셀은 이벤트와 관련된 데이터를 추가로 전송할 수 있다. 일부 실시예에서, 전송된 데이터는 (예를 들어, 2차원 픽셀 매트릭스를 가진) TC 센서 내에 위치한 픽셀의 위치 (예를 들어, x 및 y 좌표)를 포함할 수 있다. 일부 실시예에서, 전송된 데이터는 픽셀에 의해 감지된 광 강도의 시간적 진화의 극성(예를 들어, 양수 또는 음수 부호)을 나타내는 부호 비트를 포함할 수 있다. 일부 실시예에서, 전송된 데이터는 이벤트 발생의 타임스탬프를 포함할 수 있다. 일부 실시예에서, 픽셀의 전송된 데이터는 (x,y,s) 값의 흐름을 포함할 수 있으며, 여기서 x 및 y는 픽셀의 좌표를 나타내고 s는 극성을 나타낸다. s의 값은 픽셀에 의해 감지된 광 강도의 상대적인 변화를 나타낼 수 있으며, 여기서 s의 값은 변화의 크기를 나타낼 수 있고, s의 부호는 변화의 방향(예: 증가 또는 감소)을 나타낼 수 있다. 일부 실시예에서, TC 센서의 픽셀 회로는 TC 센서의 픽셀 회로가 일반적으로 시간 기반으로 양자화되지 않는(예를 들어, 클록되지 않은) 비동기식으로 동작할 수 있다. 다른 실시예에서, TC 센서의 픽셀 회로는 동기식으로 동작할 수 있고, 여기서 TC 센서의 픽

셀 회로는 시간 기반으로 양자화된(예를 들어, 클록킹됨).

- [0025] 전술한 바와 같이, 비전 센서는 콘트라스트 검출(CD) 센서 또는 다이내믹 비전 센서(DVS)로도 알려진 시간 콘트라스트(TC) 센서를 포함할 수 있다. 비전 센서는 노출 측정(EM)이 있거나 없거나, ADC(아날로그-디지털 컨버터)를 비롯한 다른 작동 또는 구성요소가 있거나 없거나를 포함한, 매우 다양한 방식으로 구현될 수 있다. 구성 요소의 수 역시 바뀔 수 있고(가령, 하나 대 다수의 EM), 구성 요소 위치(예: 픽셀 내 대 외부)도 마찬가지로이다. 또한 구성 요소가 비동기식 또는 동기식으로 작동하거나 둘 다의 조합을 가질 수도 있다. 작동의 특정 배열 및 유형은 종종 비전 센서의 애플리케이션 및 요구 사항에 따라 다르다.
- [0026] 본 발명의 실시예는 임의의 비전 센서에서 유리하게 사용될 수 있는 픽셀 회로 및 특징을 제공한다. 예로서, 그리고 제한 없이, 2차원 픽셀 매트릭스를 갖는 TC 센서로 구현된 비전 센서는 본 발명의 실시예 및 그 관련 특징을 통합할 수 있다. 추가 예로서, 슈퍼 픽셀을 사용하는 비전 센서는 본 발명의 실시예 및 그 관련 특징을 통합할 수 있다. 예시적인 슈퍼 픽셀은 도 1a-1d를 참조하여 후술된다. 슈퍼 픽셀에 대한 다음 설명은 단지 예시일 뿐이며 다른 형태의 비전 센서가 본 발명의 실시예와 함께 이용될 수 있음을 이해할 것이다. 실제로, 위에서 언급한 바와 같이, 본 발명의 실시예는 임의의 유형의 비전 센서에 통합될 수 있다.
- [0027] 도 1a는 본 개시내용의 실시예들과 일치하는, 예시적인 슈퍼 픽셀(100A)의 개략도이다. 일부 실시예에서, 슈퍼 픽셀은 2개 이상의 감광 요소, 가령, 요소(101, 103) 뿐만 아니라, 조건 검출기(105), ADC(109) 및 제어 및 통신 로직(가령, 111, 113)을 포함할 수 있기 때문에, 기존의 "픽셀"보다 더 크거나 더 많은 구성 요소를 포함할 수 있다.
- [0028] 감광 요소는 포토다이오드(예를 들어, p-n 접합 또는 PIN 구조), 또는 광을 전기 신호로 변환하도록 구성된 임의의 다른 소자를 포함할 수 있다. 각각의 포토다이오드(예를 들어, 요소(101) 또는 요소(103))는 포토다이오드에 충돌하는 광의 강도에 기초하여 전류(예를 들어, I_{ph})를 생성할 수 있다. 예를 들어, 전류 I_{ph} 는 포토다이오드에 충돌하는 빛의 강도에 비례하여 생성된다.
- [0029] 도 1a의 예에 도시된 바와 같이, 슈퍼 픽셀은 동기식 유닛(100a)과 비동기식 유닛(100b)를 포함한다. 비동기식 유닛(100b)은 감광 요소(101)(PD_{CD}, 예를 들어, 포토다이오드)를 포함할 수 있고, 동기식 유닛(100a)은 적어도 하나의 감광 요소(103)(PD_{EM}, 예를 들어, 포토다이오드)를 포함할 수 있다.
- [0030] 비동기식 유닛(100b)은 조건 검출기(105)(CD)를 더 포함할 수 있다. 도 1a의 예에 도시된 바와 같이, 검출기(105)는 제1 감광 요소(101)(PD_{CD})에 전기적으로 연결되고, 제1 감광 요소(101)에 충돌하는 광의 아날로그 신호 밝기가 조건과 일치할 때 트리거 신호(도 1a의 예에서 "세트"로 표기됨)를 생성하도록 구성된다. 예를 들어, 조건은 아날로그 신호가 임계값(예를 들어, 소정의 전압 레벨 또는 전류 레벨)을 초과하는지 여부를 포함할 수 있다. 아날로그 신호는 전압 신호 또는 전류 신호를 포함할 수 있다.
- [0031] 동기식 유닛(100a)은 노출 측정 서브-픽셀(107)을 포함할 수 있다. 노출 측정 서브-픽셀(107)은 제2 감광 요소(103)(PD_{EM})에 충돌하는 광의 밝기에 기초하여 아날로그 측정을 생성하도록 구성될 수 있다. 도 1a에서 전압 신호()로 도시되어 있지만, 아날로그 측정은 대안적으로 전류 신호를 포함할 수 있다. 동기 유닛(100a)은 아날로그 측정값을 디지털 데이터(도 1a의 예에서 "디지털 픽셀 데이터"로 표시됨)로 변환하기 위한 아날로그-디지털 컨버터(ADC)(109)를 더 포함할 수 있다. 노출 측정 서브 픽셀(107)과 ADC(109)의 조합은 "노출 측정 회로"로 지칭될 수 있다. 따라서, 노출 측정 회로는 제2 감광 요소(103)(PD_{EM})에 전기적으로 연결되고, 제2 감광 요소(103)에 충돌하는 광의 밝기에 기초하여 아날로그 신호를 디지털 신호로 변환하도록 구성될 수 있다. 조건 검출기(CD)에 의해 검출된 조건에 기초하여 비동기식 유닛(100b)과 달리, 동기 유닛(100a)은 예를 들어, 디지털 데이터가 클록 사이클에 따라서만 ADC로부터 출력되도록 클록될 수 있다. 일부 실시예에서, 노출 측정 서브 픽셀(107)은 또한 제2 감광성 소자(103)(PD_{EM})로부터의 신호가 클록 사이클에 따라서만 아날로그 신호로 변환되도록 클록될 수 있다.
- [0032] 도 1a에 추가로 도시된 바와 같이, 조건 검출시, 조건 검출기(105)(CD)는 비동기 유닛(100b)의 일부를 형성하는 제어 로직(111)에 신호(도 1a의 예에서 "세트"로 라벨링됨)를 전송할 수 있다. 제어 로직(111)은 스위치(미도시) 및/또는 로직 게이트(113)(도 1a의 예에서 "OR" 게이트로 표시됨)를 트리거하여 ADC(109)를 활성화(enable)(또는 도 1a의 예에 도시된 바와 같이 "파워 업")할 수 있다. 본 명세서에서 사용된 "활성화"는 ADC(109)가 변환을 수행하기 위해 인입 ADC 제어 신호, 램프 코드 등을 사용할 수 있도록 활성화하는 것을 의미할 수 있다. 따라서, ADC 제어 신호, 램프 코드 등은 활성화 시에 사용하기 위해 ADC(109)에 지속적으로 입력될

수 있다.

- [0033] 제어 로직(111)과 스위치(미도시) 및/또는 로직 게이트(113)의 조합은 "논리 회로"로 지칭될 수 있다. 따라서, 논리 회로는 검출기(105) 및 노출 측정 회로에 전기적으로 연결될 수 있고, 트리거 신호(도 1a에서 "세트"로 라벨링됨)에 응답하여 노출 측정 회로(또는 특히, 노출 측정 회로의 ADC(109))를 활성화하도록, 그리고, 디지털 신호("디지털 픽셀 데이터"로 표시됨)가 노출 측정 회로로부터 판독될 때 노출 측정 회로(또는 특히 노출 측정 회로의 ADC(109))를 비활성화시키도록 구성된다. 일부 실시예에서, 논리 회로는 노출 측정 회로(또는 특히, 노출 측정 회로의 ADC(109))가 디지털 신호 출력 후 자동적으로 비활성화되도록 노출 측정 회로(또는 특히, 노출 측정 회로의 ADC(109))를 일시적으로 활성화할 수 있다.
- [0034] 따라서, 디지털 데이터를 외부 판독 시스템(도시되지 않음)으로 판독한 후, ADC(109)는 제어 로직(111)으로 전송되는 리셋 신호(도 1a의 예에서 "클리어"로 라벨링됨)를 생성할 수 있다. 따라서, 제어 로직(111)은 스위치(미도시) 및/또는 로직 게이트(113)를 트리거하여 ADC(109)를 비활성화(또는 도 1a의 예에 도시된 바와 같이 "파워 다운")할 수 있다. 여기서 "비활성화"(disable)는 ADC(109)가 변환을 수행하기 위해 인입 ADC 제어 신호, 램프 코드 등을 사용하는 비활성화(deactivation)를 나타낼 수 있다. 그러나 ADC 제어 신호, 램프 코드 등은 비활성화 후에도 ADC(109)에 계속 입력될 수 있다.
- [0035] 일부 실시예에서, 제어 로직(111)의 논리 회로는 동기 유닛(100a)(또는 특히, 동기 유닛(100a)의 ADC(109))을 일시적으로 활성화하여 동기 유닛(100a)(또는 특히, 동기 유닛(100a)의 ADC(109))이 디지털 신호 출력 후 자동적으로 비활성화된다. 예를 들어, 리셋 신호(도 1a의 예에서 "클리어"로 표시됨)는 트리거 신호(도 1a의 예에서 "세트"로 표시됨)에 응답하여 논리 회로에 의해 활성화된 후 ADC(109)로부터 제어 로직(111)의 논리 회로로 전송될 수 있어서, 논리 회로가 조건 검출기(105)로부터 새로운 "세트" 신호를 수신할 준비가 되도록 한다.
- [0036] 도 1a에 추가로 도시된 바와 같이, 조건 검출기(105)(CD)는 외부 판독 시스템(도 1a의 예에서 "Req"로 도시됨)에 트리거 신호를 전달할 수 있다. 조건 검출기(105)(CD)는 조건이 다시 검출되고 트리거 생성될 수 있도록 조건 검출기(105)(CD)를 리셋하는 데 사용되는 확인 신호(도 1a의 예에서 "Ack"로 도시됨)를 수신할 수 있다. 일부 실시예에서, 외부 판독 시스템은 또한 노출 측정 서브-픽셀(107) 및/또는 ADC(109)에 제어 신호를 보낼 수 있다. 외부 판독 시스템과의 모든 통신은 주소-이벤트 표현(AER) 프로토콜과 같은 프로토콜에 의해 통제될 수 있고, 및/또는 클록 사이클에 의해 통제될 수 있다. 따라서, 외부 판독 시스템은 슈퍼 픽셀로부터 데이터를 비동기적으로 판독하도록 구성된 이벤트 판독 시스템을 포함할 수 있고/있거나 미리 결정된 클록 사이클 동안 슈퍼 픽셀로부터 데이터를 판독하도록 구성된 클록 판독 시스템을 포함할 수 있다.
- [0037] 도 1a에 추가로 도시된 바와 같이, 판독을 활성화하기 위해 외부 제어가 스위치(미도시) 및/또는 로직 게이트(113)(또는 제어 로직(111))에 또한 제공될 수 있다. 예를 들어, 슈퍼 픽셀(100A)이 임계 수의 클록 사이클 후에 판독값을 반환하지 않은 경우(예를 들어, 조건이 임계 수의 클록 사이클 후에 충족되지 않은 경우), 외부 판독 시스템은 강제로 판독을 위해 제어 신호를 보낼 수 있다. 추가적으로 또는 대안적으로, 외부 판독 시스템은 슈퍼 픽셀 또는 슈퍼 픽셀의 적어도 일 그룹(예를 들어, 슈퍼 픽셀(100A))이 트리거되어 조건 검출 여부에 관계없이 전체 또는 부분 프레임 캡처하기 위해 트리거되도록 표준 프레임 모드에서 작동할 수 있다.
- [0038] 도 1b는 본 발명의 실시예에 따른 다른 예시적인 슈퍼 픽셀(100B)이다. 도 1b의 슈퍼 픽셀(100B)은 도 1a의 슈퍼 픽셀(100A)과 유사하게 기능하지만, 제어 회로의 OR 게이트(113)와 함께 스위치(115)(S_{EM})를 더 포함한다. 따라서, 스위치(115)에 인가되는 외부 제어 신호를 이용하여, 도 1b의 슈퍼 픽셀(100B)은 또한 ADC(109)가 비활성화될 때마다 노출 측정 서브-픽셀(107)을 억제할 수 있다.
- [0039] 도 1c는 본 개시내용의 실시예들과 일치하는 또 다른 예시적인 슈퍼 픽셀(100C)을 도시한다. 도 1c의 슈퍼 픽셀(100C)은 도 1a의 슈퍼 픽셀(100A)과 유사하게 기능하지만, 복수의 노출 측정 서브-픽셀, 예를 들어, 서브-픽셀(107a, 107b, 107c)을 더 포함한다. 비록 3개의 노출 측정 서브-픽셀로 묘사되었지만, 도 1c에 도시된 실시예가 ADC(109)와 쌍을 이루는 임의의 수의 서브-픽셀로 구현될 수 있다. 따라서, 도 1c의 실시예는, 결합된 측정치를 디지털 신호로 변환하기 전에 복수의 노출 측정 서브-픽셀로부터의 측정치를 평균화, 합산하거나 달리 결합함으로써 보다 정확한 데이터가 캡처되도록 할 수 있다. 추가적으로, 또는 대안적으로, 복수의 노출 측정 서브-픽셀로부터의 측정치들이 순차적으로 디지털 신호로 변환되어 더 높은 해상도를 달성할 수 있다.
- [0040] 도 1d는 본 개시내용의 실시예들과 일치하는 또 다른 예시적인 슈퍼 픽셀(100D)을 도시한다. 도 1d의 슈퍼 픽셀(100D)은 도 1c의 슈퍼 픽셀(100C)과 유사하게 기능하지만, 래치(115)를 더 포함한다. 래치(115)는 예를 들어, 스위치(예를 들어, 스위치로서 기능하도록 구성된 하나 이상의 트랜지스터), 정적 랜덤 액세스 메모리(SRAM)의

하나 이상의 비트, 등을 포함할 수 있다. ADC(109)와 별개로 도시되어 있지만, 일부 실시예에서, 래치(115)는 ADC(109)에 제공된 n-비트 래치들 중 적어도 하나의 래치를 포함할 수 있다(예를 들어, 도 3a의 ADC(300)와 관련하여 아래에서 설명되는 바와 같이).

[0041] 일 실시예에서, 트리거 신호(도 1d의 예에서 "세트"로 라벨링됨)는 제어 로직(111)이 제1 사이클 N-1 동안 활성화되게 할 수 있다. 이에 응답하여, 제어 로직(111)은 인에이블 신호(enablement signal)(도 1d의 예에서 "과워 업"으로 표시됨)를 ADC(109)에 보낼 수 있다. 이에 응답하여, ADC(109)는 제2 사이클 N에서 하나 이상의 노출 측정 서브픽셀(가령, 서브픽셀(107a, 107b, 107c))로부터 아날로그 신호의 변환을 개시할 수 있다. 또한, ADC(109)는, 제어 로직(111)이 사이클 N 동안 언제든지 새로운 트리거 신호를 생성할 준비가 되도록 사이클 N을 시작하기 전에, 또는 시작할 때, 래치(115)를 세트하고 신호를 제어 로직(111)(도 1d의 예에서 "클리어"로 표기됨)에 전송할 수 있다. 따라서, 도 12의 예에서 제시되는 바와 같이, 또는 아래에서 더 설명되는 바와 같이, 새 노출/변환이 제3 사이클 N+1에서 이미 가능해진다. 래치(115)는 사이클 N의 끝에서 판독을 수행하도록 판독 시스템에 신호를 보내기 위해 판독 시스템에 (예를 들어, 도 1d에 도시된 "과기 픽셀 데이터" 버스를 통해) 더 연결된다. 따라서, 판독 시스템이 사이클 N의 끝에서 ADC(109)로부터 디지털 신호를 당겨올 때, 래치(115)가 ADC(109)로부터 클리어될 수 있다.

[0042] 다른 실시예에서, ADC(109)에 "과워 업" 신호를 전송하기보다, 제어 로직(111)이 래치(115)를 활성화시킬 수 있다. 이러한 실시예에서, ADC(109)가, 각각의 사이클의 시점에서, 해당 사이클에서 변환 수행 여부를 결정하도록 래치(115)의 상태를 폴링(poll)할 수 있다. ADC(109)가 연속적으로 동작하지 않고 디스에이블(disabled)되는 실시예에서, ADC(109)는 래치(115)가 상기 사이클의 시작에서 활성화되지 않으면 사이클 동안 디스에이블될 수 있다. ADC(109)가 래치(115)를 폴링하고 래치(115)가 인에이블되면, ADC(109)는 래치(115)를 클리어하고 하나 이상의 노출 측정 서브-픽셀(예를 들어, 서브-픽셀(107a, 107b, 107c))로부터 아날로그 신호의 변환을 시작할 수 있다. 그러한 실시예에서, ADC(109)는 사이클의 끝에서 판독을 수행하도록 판독 시스템에 통지하기 위해 내부 상태 비트를 추가로 설정할 수 있다. 판독 후, ADC(109)는 자신을 디스에이블할 수 있고, 다음 사이클의 시작에서 래치(115)를 다시 폴링하여 다른 사이클 동안 재활성화할지 여부를 결정할 수 있다. 대안적으로, ADC(109)는 디스에이블 전에 래치(115)를 폴링하여 다른 변환에 대해 인에이블된 상태를 유지할지 또는 디스에이블할지 여부를 결정할 수 있다.

[0043] 다른 실시예(도 1d에 도시되지 않음)에서, 래치(115)는 슈퍼 픽셀(100D)의 외부에 있을 수 있다. 그러한 실시예에서, 슈퍼 픽셀(100D)은 제어 로직(111)을 배제할 수 있다. 대신에, 검출기(105)는 조건 충족에 응답하여 래치(115)를 활성화할 수 있고, ADC(109)는 매 사이클마다 변환을 연속적으로 수행할 수 있다. 따라서, 판독 시스템은 각 사이클의 끝에서 판독을 수행할지 여부를 결정하기 위해 래치(115)를 사용할 수 있다. 그렇지 않으면 ADC(109)에 의해 수행된 변환이 판독없이 삭제될 수 있다. 이러한 실시예는 각각의 ADC 사이클에 대해 추가 전력을 사용할 수 있지만, 슈퍼 픽셀(100D)은 제거된 제어 로직(111)에 의해 그리고 래치(115)와 같은 외부 래치의 더 작은 어레이를 사용하여 더 작게 만들어질 수 있다.

[0044] 래치(115)가 슈퍼 픽셀(100D)의 외부에 있는 실시예에서, 래치(115)는 직접 배선 연결 또는 하나 이상의 중재자 중 적어도 하나를 사용하여 슈퍼 픽셀(100D)에 연결될 수 있다. 예를 들어, 래치(115)는 하나 이상의 중재자가 래치(115)의 메모리 어드레스를 대응하는 슈퍼 픽셀(예를 들어, 슈퍼 픽셀(100D))의 어드레스와 연관시킬 수 있도록 외부 래치 어레이의 일부를 형성할 수 있다.

[0045] 3개의 노출 측정 서브-픽셀(예를 들어, 서브-픽셀(107a, 107b, 107c))이 도시되어 있지만, 도 1d에 도시된 실시예는 ADC(109)와 쌍을 이루는 임의의 수의 서브-픽셀, 예를 들어 1개의 서브 픽셀, 2개의 서브-픽셀, 4개의 서브-픽셀, 등으로 구현될 수 있다.

[0046] 도 1a, 1b, 1c, 1d의 예시적인 슈퍼 픽셀(100A, 100B, 100C, 100D) 각각은 하나 이상의 비전 센서를 형성하기 위해 하나 이상의 어레이로 배열될 수 있다. 예를 들어, 비전 센서는 ADC로부터 외부 판독 시스템으로의 디지털 데이터 판독을 위한 각각의 행 및 열 블록 회로를 갖도록, 하나 이상의 행 및 하나 이상의 열에 배열된 복수의 슈퍼 픽셀을 포함할 수 있다. 다른 예에서, 슈퍼 픽셀은 ADC로부터 외부 판독 시스템으로의 디지털 데이터 판독을 위해 스타의 각 노드에 대해 블록 회로를 갖도록 스타 패턴으로 배열될 수 있다.

[0047] 비전 센서를 위한 현존하는 픽셀 회로는 검출된 신호를 증폭하기 위한 스위치드 커패시터 증폭기(swiched capacitor amplifier)로 구현될 수 있다. 스위치드 커패시터 증폭기는 고이득 증폭기에 대한 입력에서 제1 커패시터에 전기적으로 연결된 고이득 증폭기(예를 들어, 수백 또는 수천의 이득을 가짐), 및 고이득 증폭기의 입력과 출력 사이의 피드백 루프를 포함할 수 있으며, 피드백 루프는 제2 커패시터를 포함한다. 그러한 스위치드 커패시터

패시터 증폭기의 이득은 일반적으로 제1 커패시터의 커패시턴스 대 제2 커패시터의 커패시턴스의 비율에 의존할 것이다. 필요한 증폭 이득(예: 20 오더 정도의 크기)을 달성하려면, 제1 커패시터가 제2 커패시터보다 훨씬 큰(예: 20배) 커패시턴스를 갖도록 설계되어야 하며, 제작을 위한 최소 크기 규칙에 따라 설계되어야 한다. 전반적으로, 이 스위치드 커패시터 증폭기 배열은 커패시터 크기에 대한 상당한 요구를 초래하여, 집적 회로 칩 구현에서 그러한 픽셀 회로가 소비하는 영역을 축소할 가능성을 제한한다.

[0048] 센서의 제조를 위해, 각 픽셀 회로에서 커패시터의 크기를 최소화하는 것이 유리할 것이다. 그러나, 상기 접근법에서 제1 커패시터의 크기 제한으로 인해, 스위치드 커패시터 증폭기는 더 이상 소형화되지 못할 수 있다. 따라서, 픽셀 회로에 의해 소비되는 공간은 비전 센서에서 픽셀 밀도를 더 증가시키기에는 너무 클 수 있다. 일부 기존 솔루션은 스위치드 커패시터 증폭기를 대체하고 복잡한 피드백 루프를 사용한다. 그러나 이러한 접근 방식에는 많은 수의 구성요소가 필요하며 픽셀 어레이의 크기와 확장성에도 제한이 있다. 또한 기존 솔루션은 전치 증폭 단계에서 복잡한 바이어싱 요건을 가질 수 있으며 이는 증폭기의 동적 범위를 제한할 수 있다.

[0049] 본 개시내용의 실시예는 경쟁력 있는 픽셀 크기를 갖는 비전 센서를 구현하기 위한 고급 반도체 제조 공정 기술의 최적 활용을 허용하는 픽셀 회로를 제공한다. 이것은 픽셀 회로 확장성을 크게 향상시키고 회로 복잡성을 줄일 수 있다. 본 명세서에 개시된 본 발명의 픽셀 회로는 피드백이 없는 구성 및 정의된 이득(즉, 조정 가능하거나 조정할 수 없음)을 갖는 증폭기를 사용하며, 이에 대한 예시적인 실시예는 다음 설명에서 제공된다.

[0050] 피드백이 없는 구성 및 정의된 이득 증폭기를 사용하는 픽셀 회로의 후술되는 실시예는 임의의 비전 센서에 적용될 수 있다. 도 1a 내지 도 1d에 설명된 회로는 이러한 비전 센서의 예를 제공하지만, 본 개시내용의 실시예를 구현할 수 있는 비전 센서의 유형에 어떠한 제한도 부과하지 않는다. 따라서, 위에서 설명된 바와 같이, 본 개시내용의 실시예는 그러한 비전 센서가 슈퍼 픽셀을 사용하는지 여부에 관계없이(예를 들어, 도 1a 내지 도 1d에 설명된 바와 같이) 임의의 비전 센서에 적용될 수 있다. 또한, 본 개시내용의 실시예는 그러한 비전 센서가 노출 측정을 수행하는지 여부, 그러한 비전 센서가 동기 또는 비동기적으로 동작하는지 여부, 또는 그러한 비전 센서가 ADC 또는 다른 구성요소를 사용하는지 여부에 관계없이 임의의 비전 센서에 적용될 수 있다.

[0051] 도 2는 본 개시내용의 실시예들에 따른 예시적인 픽셀 회로(200)의 개략도이다. 일부 실시예에서, 픽셀 회로(200)는 비제한적인 예로서, 도 1a 내지 도 1d에 도시되고 설명된 슈퍼 픽셀의 일부로서 구현될 수 있다. 픽셀 회로(100A)와 유사하게, 픽셀 회로(200)가 비전 센서(예를 들어, 시간 콘트라스트 센서)에 사용될 수 있다.

[0052] 픽셀 회로(200)는 광검출기에 의해 검출된 광의 세기에 변화가 발생한 경우 데이터를 출력할 수 있다. 도 2에 도시된 바와 같이, 픽셀 회로(200)는 그 위에 충돌하는 빛의 밝기에 응답하여 전류 신호(I_{ph} 로 라벨링됨)를 생성하는 감광 요소(예를 들어, "PD"로 라벨링된, 광검출기)를 포함한다. 픽셀 회로(200)는 또한 컨버터(가령, 전류-전압 컨버터, I/V 로 표시됨)를 포함하여, PD로부터 I_{ph} 를 수신하고 전류 신호 I_{ph} 에 기초하여(예를 들어, 그에 비례하거나 대수 관계로) 전압 신호(V_{PR} 로 표시됨)를 생성한다. 픽셀 회로(200)는 직렬로 $1/V$ 에 전기적으로 연결된 커패시터(C_c 로 표시됨)를 더 포함하며, 이는 $1/V$ 로부터 V_{PR} 을 수신한다. 픽셀 회로(200)는 직렬로 입력부("인"으로 표시됨)에서 커패시터 C_c 에 전기적으로 결합되는 증폭기, 예를 들어 이득-제어 증폭기("CG 증폭기"로 표시됨)를 더 포함한다. CG 증폭기는 출력부("아웃"으로 표시)에서, C_c 의 출력 신호를 기반으로 증폭된 신호를 생성한다. 이득-제어 증폭기가 도 2에 예시되고 설명되어 있지만, 본 개시내용으로부터 이것이 비제한적인 예라는 것이 이해될 것이다. 일부 실시예에서, 증폭기의 이득은 제어가능하거나 조정가능할 수 있고, 다른 실시예에서 증폭기의 이득은 제어가능하거나 조정가능하지 않을 수 있다. 일부 실시예에서, 증폭기의 이득은 조정 불가능한, 증폭기의 적층 트랜지스터의 수에 의해 정의될 수 있다. 다른 실시예에서, 증폭기의 이득은 적층 트랜지스터를 스위칭 인 또는 아웃함으로써 제어가능하다. 일부 실시예에서, 증폭기의 이득은 본 명세서에 추가로 개시되는 바와 같이 증폭 스테이지를 스위칭 인 또는 아웃함으로써 제어가능하다.

[0053] 픽셀 회로(200)는 하나 이상의 비교기를 더 포함할 수 있다. 예를 들어, 도 2에서, "comp1" 및 "comp2"로 표시되는 2개의 비교기가 도시된다. 각 비교기는 CG 증폭기의 출력("아웃")에 전기적으로 연결된다. 각 비교기는 증폭된 신호가 조건과 일치할 때 트리거 신호를 생성한다. 일부 실시예에서, 조건은 임계값 이상인 CG 증폭기에 의해 생성된 증폭된 신호의 크기를 포함할 수 있다. 예를 들어, comp1 또는 comp2는 증폭된 신호를 임계값과 비교하고 증폭된 신호가 임계값보다 크거나 같을 때 극성(예: 양 또는 음)을 갖는 트리거 신호를 생성할 수 있다. 일부 실시예에서, 임계값은 검출된 이벤트를 정의하는 데 필요한 최소 변경을 나타내도록 미리 설정될 수 있다. comp1 또는 comp2가 트리거 신호를 출력하는 경우, PD에 의해 감지된 광 세기의 변화가 이벤트 검출로 정의되는 데 필요한 최소 변화를 초과함을 나타낼 수 있다. 일부 실시예에서, comp1 또는 comp2는 트리거 신호를 외부 판

독 시스템(도 2에 도시되지 않음)으로 출력할 수 있다.

- [0054] 비록 도 2의 픽셀 회로(200)가 비록 comp1 및 comp2를 포함하지만, 일부 실시예에서 comp1 및 comp2는 픽셀 회로(200)의 외부에 있을 수 있다. 즉, 이러한 픽셀 회로가 비교기를 포함하지 않을 수 있다. 예를 들어, 픽셀 회로 외부에서 하나 이상의 비교기를 공유하는 다수의 그러한 픽셀 회로가 제공될 수 있다.
- [0055] 픽셀 회로(200)는 CG 증폭기의 인과 아웃 사이에 전기적으로 연결된 리셋 장치(도 2에서 "S1로 표시됨")를 더 포함한다. 리셋 장치(S1)는 트리거 신호의 생성에 응답하여 CG 증폭기를 리셋할 수 있다. 도 2에 도시된 바와 같이, S1은 스위치를 포함할 수 있다. CG 증폭기의 입력("인")과 출력("아웃") 사이의 전압은 리셋 장치 S1의 스위치를 닫음으로써 리셋될 수 있다. 일부 실시예에서 S1은 CG 증폭기의 인과 아웃 사이의 전압을 0으로 설정하여 CG 증폭기를 리셋할 수 있다. 일부 실시예에서, comp1 또는 comp2가 외부 판독 시스템에 트리거 신호를 출력할 때, 외부 판독 시스템은 트리거 신호를 수신하는 것에 응답하여 확인 신호를 픽셀 회로(200)에 전송할 수 있다. 확인 신호를 수신하면, 픽셀 회로(200)는 리셋 장치(S1)의 스위치를 닫고 이득-제어 증폭기(CG 증폭기)를 리셋하기 위해 리셋 신호(도 2에서 "리셋"으로 표시됨)를 생성할 수 있다. CG 증폭기를 리셋한 후, 픽셀 회로(200)는 새로운 이벤트를 감지할 준비가 된다. 일부 실시예에서, comp1 또는 comp2가 외부 판독 시스템에 트리거 신호를 출력할 때, 픽셀 회로(200)는 리셋 장치(S1)의 스위치를 닫기 위한 리셋을 생성하고, 확인 신호의 수신에 관계없이 이득-제어 증폭기(CG 증폭기)를 리셋할 수 있다. 예를 들어, 픽셀 회로(200)는 comp1 또는 comp2가 트리거 신호를 출력함과 동시에, 또는, comp1 또는 comp2가 트리거 신호를 출력한 후 미리 결정된 시간 기간 내에, 리셋을 생성할 수 있다.
- [0056] 도 2에 도시된 바와 같이, 픽셀 회로(200)는 이득 제어 증폭기 CG 증폭기의 아웃과 인 사이에 피드백(및 용량성 피드백 없음)이 없다(즉, 증폭기의 출력과 입력 사이에 배치되고 연결된 커패시터가 없음). 따라서 V_{PR} 의 증폭은 위에서 언급한 기존 솔루션에서 요구하는 피드백 구성이나 커패시턴스 비율에 의존하지 않는다. 대신 CG 증폭기는 잘 제어되고 잘 일치하는 이득(예: 크기가 20 정도)을 가진 증폭기로 설계되는 동시에, 경쟁력 있는 픽셀 크기를 가진 비전 센서를 구현하기 위해 고급 반도체 제조 공정 기술을 최적으로 사용할 수 있는 기능을 허용한다.
- [0057] 도 2에서, 이득 제어 증폭기(CG 증폭기)가 리셋되기 전에 커패시터(C_c)는 I_{ph} 의 순시 값에 기초하여(예를 들어, 이에 비례하거나 대수 관계로) 전하를 저장할 수 있다. C_c 는 CG 증폭기의 인으로부터 V_{PR} 을 분리할 수 있으며, 이는 I_{ph} 값과 독립적으로 CG 증폭기의 작동 지점을 설정할 수 있다. 커패시터 C_c 는 CG 증폭기의 이득과 무관하기 때문에, 위에서 언급한 것과 같은 기존 솔루션의 커패시터보다 훨씬 작은 크기로 구성할 수 있다. 이러한 방식으로, 픽셀 회로(200)의 전체 크기는 크게 감소될 수 있고, 비전 센서의 픽셀 밀도는 크게 증가될 수 있다.
- [0058] 일부 실시예에서, 비교기(들)(예를 들어, comp1 또는 comp2)에 대한 입력으로 제공되기 전에, 이득-제어 증폭기 CG 증폭기에 의해 생성된 증폭된 신호는 전하 주입 효과를 억제하도록 조정될 수 있으며, 이는 가령, 트랜지스터 또는 인터커넥트 와이어와 관련된 기생 매개변수(예: 스트레이 커패시턴스)에 의해 발생될 수 있다. 이를 위해, 일부 실시예에서, 도 3을 참조하여 아래에서 더 설명되는 바와 같이, 다른 커패시터가 CG 증폭기의 출력과 비교기(들)의 입력 사이에 배열될 수 있다.
- [0059] 도 3은 본 개시내용의 실시예들에 따른 예시적인 픽셀 회로(300)의 개략도이다. 픽셀 회로(300)는 위에서 설명된 픽셀 회로(200)와 유사할 수 있다. 그러나, 픽셀 회로(200)와 비교할 때, 픽셀 회로(300)는 CG 증폭기 아웃과 비교기(들)(예를 들어, comp1 및 comp2)의 입력("inc"로 표시됨) 사이에 직렬로 전기적으로 연결된, 다른 커패시터 C_x 를 포함한다. C_x 의 커패시턴스는 임의적일 수 있다. 일부 실시예에서, C_x 의 커패시턴스는 작은 값으로 구성되어 그 크기를 감소시킬 수 있다.
- [0060] 또한, 픽셀 회로(300)는 다른 리셋 소자(S2)를 더 포함한다. 도 3에 도시된 바와 같이, S2는 inc와 기준 신호, 예를 들어 기준 전압 신호(도 3에서 "vref"로 표시됨) 사이에 전기적으로 결합된 스위치를 포함한다. 일부 실시예에서, S1 및 S2는 상이하게(예를 들어, 상이한 스위치로) 구현될 수 있다. CG 증폭기가 리셋되면 S2는 inc를 vref로 리셋하도록 전기적으로 전환될 수 있다. 예를 들어, 리셋 장치(S2)가 스위치이면, S2의 스위치는 inc를 vref로 리셋하기 위해 닫힐 수 있다. 일부 실시예에서, vref는 비교기 comp1 및 comp2의 입력 요구사항을 충족하도록 구성될 수 있다.
- [0061] C_x 및 S2를 포함함으로써, 픽셀 회로(300)의 전압 헤드룸 및 동적 범위가 최적화될 수 있다. 또한, 픽셀 회로(300)의 설계는, 특히 S1이 단일 CMOS 트랜지스터인 경우, S1에 의해 야기되는 CG 증폭기의 인에 대한 전하 주

입 효과를 감소시킬 수 있다.

- [0062] 일부 실시예에서, 증폭기 입력 노드로의 전하 주입 효과의 더 나은 억제를 위해, S1은 S2 전에 전기적으로 리셋될 수 있다. 그렇게 하기 위해, 픽셀 회로(300)는 리셋 장치(S1 및 S2) 사이에 전기적으로 결합된 지연 회로(예를 들어, 도 3에서 "지연"으로 표시됨)를 포함할 수 있다. 지연 회로는 S1 및 S2로의 스위칭 신호 전달 사이의 시간 지연을 설정할 수 있다. 일부 실시예들에서, 각각의 리셋 스위칭 동작에 대해, S1은 S2 직전에 스위치 개방될 수 있다(따라서 그 리셋 동작을 완료할 수 있다). 이 시퀀스의 예는 도 5를 참조하여 아래에서 더 설명된다.
- [0063] 일부 실시예에서, CG 증폭기는 특정 이득으로 구성된 증폭기일 수 있다. 예를 들어, 특정 이득은 음의 이득(예: -1, -5, -10, -20, -30 등)일 수 있다. 일부 실시예에서, CG 증폭기의 이득은 동작 중에 변경될 수 있다. 일부 실시예에서, CG 증폭기는 더 높은 이득을 달성하기 위해 직렬로 연결된 다중 적층 트랜지스터 및/또는 회로의 다중 스테이지를 사용하여 구현될 수 있다. CG 증폭기의 예시적인 실시예들이 아래에서 더 설명된다.
- [0064] 도 4a 내지 도 4b는 본 개시내용의 실시예에 따른 예시적인 증폭기(400A 및 400B)의 개략도를 도시한다. 도 4c 내지 도 4d는 본 개시내용의 실시예에 따른 조정 가능한 개방 루프 이득을 갖는 예시적인 증폭기(400C 및 400D)의 개략도를 도시한다. 도 4a 내지 도 4d에 도시된 바와 같이, 증폭기(400A 내지 400D)는 M1, M2, M3 및 M4로 표시되는 다중 적층 트랜지스터를 포함한다. 도 4a 내지 도 4d에서, M2, M3은 다이오드 연결되며, M2는 게이트가 드레인에 전기적으로 결합되고 M3은 게이트가 드레인에 전기적으로 결합된다. 증폭기(400A, 400C)에서, M2 및 M3은 NMOS형 트랜지스터일 수 있고, M2 및 M4는 PMOS형 트랜지스터일 수 있다. 증폭기(400B, 400D)에서, M2 및 M3은 PMOS형 트랜지스터일 수 있고, M1 및 M4는 NMOS형 트랜지스터일 수 있다.
- [0065] 도 4a에서, 바이어스 전압("바이어스"로 표시됨)은 증폭기(400A)의 입력 전압 레벨("인"으로 표시됨)을 조정하는 데 사용될 수 있다. 예를 들어, 입력 전압 레벨은 증폭기(400A)의 동작점에서 출력 전압("아웃"으로 표시됨)과 같도록 조정될 수 있다. 일부 실시예에서 증폭기(400A)의 개방 루프 이득은 적층 트랜지스터의 수와 연관될 수 있다. 예를 들어, 도 4a에는 4개의 적층 트랜지스터가 있다. 증폭기(400A)의 이득은 적층 트랜지스터의 수에서 1을 뺀 것이다(즉, 증폭기(400A)는 도 4a에서 3의 크기를 가진 이득을 갖는다). 일부 실시예에서, 더 많은 적층 다이오드 연결 트랜지스터를 사용하거나 증폭기(400A)와 유사한 증폭기들의 다중 스테이지를 직렬로 연결하면, 더 높은 크기의 개방 루프 이득이 달성될 수 있다. 증폭기(400A)의 개방 루프 이득은 전술한 방식으로 임의의 수로 구성될 수 있다. 일부 실시예에서, 증폭기(400A)의 개방 루프 이득은 10보다 작은 크기를 가질 수 있다(예를 들어, 90, 80, 70 미만 등). 예를 들어, 일부 실시예에서, 증폭기의 이득의 크기는 20보다 크거나 같고 40보다 작거나 같다. 또 다른 예로서, 일부 실시예에서 증폭기의 이득의 크기는 10보다 작다. 다른 실시예에서, 증폭기의 이득의 크기는 10 이상이다. 또 다른 실시예에서, 증폭기의 이득의 크기는 1 미만이다.
- [0066] 도 4b의 예시적인 이득-제어 증폭기(400B)에서, 바이어스 전압("바이어스"로 표시됨)은 증폭기(400B)의 입력 전압 레벨("인"으로 표시됨)을 조정하는 데 사용될 수 있다. 예를 들어, 입력 전압 레벨은 증폭기(400B)의 동작점에서 출력 전압("out"으로 표시됨)과 동일하도록 조정될 수 있다. 일부 실시예에서, 증폭기(400A)와 유사하게, 증폭기(400B)의 개방 루프 이득은 적층 트랜지스터의 수와 연관될 수 있다. 예를 들어, 도 4b에서, 네 개의 적층 트랜지스터가 있다. 증폭기(400B)의 이득의 크기는 적층 트랜지스터의 수에서 1을 뺀 값이다(즉, 증폭기(400B)는 도 4b에서 크기가 3인 이득을 갖는다). 일부 실시예에서, 더 많은 적층 다이오드 연결 트랜지스터를 사용하거나 증폭기(400B)와 유사한 증폭기의 다중 스테이지를 직렬로 연결함으로써, 더 높은 크기의 개방 루프 이득이 달성될 수 있다. 증폭기(400B)의 개방 루프 이득은 전술한 방식으로 임의의 수로 구성될 수 있다. 일부 실시예에서, 증폭기(400B)의 개방 루프 이득은 100 미만(예를 들어, 90, 80, 70 등 미만)의 크기를 가질 수 있다. 예를 들어, 일부 실시예에서, 증폭기의 이득의 크기는 20보다 크거나 같고 40보다 작거나 같다. 추가 예로서, 일부 실시예에서, 증폭기의 이득의 크기는 10보다 작다. 다른 실시예에서, 증폭기의 이득의 크기는 10 이상이다. 또 다른 실시예에서, 증폭기의 이득은 1 이하이다.
- [0067] 도 4a 내지 도 4b에서, 증폭기(400A 및 400B)의 이득은 조정될 수 없는 적층 트랜지스터의 수에 의해 정의될 수 있다. 일부 실시예들에서, 증폭기의 이득은 조정가능할 수 있고 회로는 적층 트랜지스터들 사이에 배열된 스위치들을 포함할 수 있어서, 이득은 적층 트랜지스터들 또는 증폭기 스테이지들 중 하나 이상을 전환함으로써 제어가능하거나 조정가능하다. 도 4c-4d는 조정 가능한 개방 루프 이득을 갖는 증폭기(400C 및 400D)를 도시한다.
- [0068] 도 4c에 도시된 바와 같이, 증폭기(400C)는 M3의 게이트와 M2의 게이트를 전기적으로 연결하는 스위치 S1의 추가를 제외하고 증폭기(400A)와 유사할 수 있다. 또한, 도 4d에 도시된 바와 같이, 증폭기(400D)는 M3의 게이트와 M2의 게이트를 전기적으로 연결하는 스위치 S1의 추가를 제외하고 증폭기(400B)와 유사할 수 있다. S1이 개

방될 때, 증폭기(400C 및 400D)는 각각 증폭기(400A 및 400B)와 기능적으로 동일할 수 있다. S1이 닫힐 때, M3은 두 증폭기(400C, 400D)에서 단락 및 바이패스될 수 있고, 여기서 증폭기(400C, 400D)의 적층 트랜지스터의 수는 각각 하나씩 감소될 수 있다. 결과적으로, 증폭기(400C 및 400D)의 개방 루프 이득은 S1이 닫힐 때 1만큼 감소될 수 있다(즉, 3에서 2가 됨). 개폐(S1)를 제어함으로써, 증폭기(400C, 400D)의 적층 트랜지스터가 스위칭인 또는 아웃될 수 있고, 따라서 증폭기(400C 및 400D)의 개방 루프 이득이 조정될 수 있다. 스위치에 대한 다른 실시예 및 설계가 증폭기(400C 및 400D)에서의 S1과는 다른 방식으로 사용될 수 있다는 점에 유의한다. 예를 들어, 둘 이상의 스위치를 사용할 수 있다. 추가 예로서, 스위치는 하나보다 많은 트랜지스터를 켜거나 끌 수 있다. 다양한 스위치를 설계함으로써 증폭기의 개방 루프 이득을 애플리케이션에 적합한 방식으로 제어하거나 조정할 수 있다.

[0069] 도 4e는 본 개시내용의 실시예에 따른, 조정 가능한 증폭기 스테이지를 갖는 예시적인 증폭기(400E)의 개략도이다. 도 4e에서, 증폭기(400E)는 각각의 입력 "인"과 출력 "아웃" 사이에 직렬로 결합된 3개의 적층형 증폭기 스테이지: 증폭 스테이지 1(입력 "인1" 및 출력 "아웃1" 포함); 증폭 스테이지 2(입력 "인2" 및 출력 "아웃2" 포함); 및 증폭 스테이지 3(입력 "인3" 및 출력 "아웃3" 포함)를 포함한다. 일부 실시예에서, 증폭 스테이지 1, 증폭 스테이지 2, 및 증폭 스테이지 3 중 하나 이상은 증폭기(400A 내지 400D) 중 임의의 것일 수 있다. 도 4e에 도시된 바와 같이, 증폭기(400E)는 2개의 스위치(S1 및 S2)를 포함한다. 증폭기(400E)의 이득(즉, 인과 아웃 사이의 이득)은 S1 및 S2의 개폐를 제어함으로써 조정될 수 있다. 예를 들어, S2가 닫혀 있고(아웃3과 아웃 연결) S1이 열려 있으면 증폭 스테이지 1, 증폭 스테이지 2 및 증폭 스테이지 3이 모두 직렬로 인과 아웃 사이에서 전환되며 증폭기(400E)의 이득은 증폭 스테이지 1, 증폭 스테이지 2 및 증폭 스테이지 3의 이득을 곱한 값(product)이다. 다른 예로서, S2가 열리고 S1이 닫히면(아웃1 및 아웃을 연결) 증폭 스테이지 2 및 증폭 스테이지 3이 단락 및 바이패스되어 증폭기(400E)의 인과 아웃 사이에서 증폭 스테이지 1만 작동하게 남긴다. 이 경우 증폭기(400E)의 이득은 증폭 스테이지 1의 이득과 같도록 조정된다.

[0070] 도 4a 또는 도 4b의 설계를 이용함으로써, 증폭기(400A 또는 400B)의 고-정확도 이득이 달성될 수 있다. 예를 들어, 증폭기(400A)(또는 증폭기(400B))는 크기 3(예를 들어, -3)의 이득을 갖는다. 예를 들어, 음의 4의 이득이 필요한 경우 증폭기(400A)(또는 증폭기(400B))에 추가 트랜지스터를 적층하여 달성할 수 있다. 도 4c 또는 도 4d의 설계를 이용함으로써, 조정 가능하거나 제어 가능한 이득을 갖는 증폭기(400C 또는 400D)가 달성될 수 있다. 예를 들어, 증폭기(400C)(또는 증폭기(400D))는 S1이 개방될 때 크기 3(예를 들어, -3)의 이득을 갖는다. 예를 들어, 음수 2의 이득이 필요한 경우, S2를 닫아서 얻을 수 있다. 일부 실시예에서, 증폭기(400E)와 같은 여러 증폭기 스테이지를 직렬로 연결함으로써 보다 높은 크기의 이득이 실현될 수 있다. 예를 들어, 증폭기(400E)의 증폭 스테이지 1, 증폭 스테이지 2 및 증폭 스테이지 3은 각각 이득 2, 4, 3을 가질 수 있으며, S2가 닫히고 S1이 열린 경우 증폭기(400E)는 전체 이득이 24일 수 있다. 또한, 도 4a 내지 도 4e에 도시된 바와 같이, 증폭기(400A 내지 400E)는 커패시터 또는 임의의 다른 용량성 구성요소를 사용하지 않는다. 도 4a 내지 도 4e의 설계는 커패시터에 비해 반도체 제조 공정에서 제조 기술을 트랜지스터를 소형화하는 것이 일반적으로 더 쉽기 때문에 회로의 큰 확장성을 허용한다.

[0071] 증폭기에 대한 다른 설계가 예시적인 증폭기(400A-400E) 외에 사용될 수 있음에 유의한다. 이해되는 바와 같이, 본 개시내용의 실시예는 이러한 예에 제한되지 않고 증폭기의 다른 실시예는 본 개시내용의 관점에서 구현될 수 있다.

[0072] 도 5는 본 개시내용의 실시예에 따른, 도 3의 픽셀 회로의 예시적인 신호 타이밍도이다. 도 5는 픽셀 회로(300)의 신호 파형의 동작 단계(예를 들어, 이벤트 검출을 위한) 및 리셋 단계(예를 들어, 다음 이벤트 검출을 준비하기 위해 픽셀 회로를 리셋하기 위한)를 도시한다.

[0073] 동작 단계 동안, 도 3에 비추어 도 5에 도시된 바와 같이, I_{ph} 는 PD에 충돌하는 빛의 밝기에 응답하여 시간 T1에서 변화하기 시작하여, 이는 V_{PR} , CG 증폭기의 인에서의 전압(" V_{in} "으로 표시됨), CG 증폭기의 아웃에서의 전압(" V_{out} "으로 표시됨), 및 inc에서의 전압(" V_{inc} "으로 표시됨)의 변화로 나타난다. 도 3에서 comp1이 임계값 TH_{comp1} 을 가짐을 가정하면, 시간 T2에서 V_{inc} 가 TH_{comp1} 과 교차하면, comp1은 PD에 의해 검출된 밝기의 변화가 이벤트의 정의를 충족시킴을 나타내는 트리거 신호 V_{on} 을 생성할 수 있다.

[0074] 리셋 단계 동안, 도 3에 비추어 도 5에 도시된 바와 같이, S1은 시간 T3에서 리셋 신호(도 3의 '리셋', 도 5에서 " $V_{resetS1}$ "으로 표시됨)를 수신할 수 있다. $V_{resetS1}$ 을 수신하면, S1은 적층 다이오드를 V_{out} 으로 설정하도록 전기

적으로 전환될 수 있다. S2는 또한 시간 T3에서 리셋 신호("V_{reset}S2"로 표시됨)를 수신할 수 있다. 일단 V_{resets2}를 수신하면, S2는 도 3에 도시된 바와 같이 V_{inc}를 vref로 설정하도록 전기적으로 스위칭될 수 있다. T3에서 comp1은 V_{on}이 다시 0으로 설정되는, 트리거 신호 출력을 중지할 수 있다. T4에서 S1은 전기적으로 분리(즉, 개방)되어 CG 증폭기의 리셋을 완료할 수 있다. 시간 T5에서, S2는 전기적으로 분리(즉, 개방)되어 C_x 및 inc의 리셋을 완료할 수 있다.

- [0075] 도 6은 본 개시내용의 실시예들에 따른, 센서를 제어하기 위한 예시적인 방법(600)의 흐름도이다. 일부 실시예에서, 센서는 TC(temporal contrast) 센서 중 적어도 하나일 수 있다. 센서는 픽셀 회로(예를 들어, 픽셀 회로(200 또는 300))를 포함할 수 있다. 일부 실시예에서, 도 6의 방법(600)은 픽셀 회로로 수행될 수 있다.
- [0076] 단계(602)에서, 픽셀 회로는 빛이 감광 요소(예를 들어, 도 2-3의 PD)에 충돌함에 응답하여 전류 신호(예를 들어, 도 2-3의 I_{ph})를 수신한다. 예를 들어, 전류 신호는 픽셀 회로(200 또는 300)의 PD로부터 수신될 수 있다.
- [0077] 단계(604)에서, 픽셀 회로는 전류 신호를 전압 신호(예를 들어, 도 2-3의 V_{PR})로 변환한다. 전압 신호는 전류 신호에 기초하여(예를 들어, 이에 비례하거나 대수 관계로) 생성될 수 있다. 예를 들어, 전류 신호는 픽셀 회로(200 또는 300)의 전류-전압 컨버터(1/V)에 의해 변환될 수 있다.
- [0078] 단계(606)에서, 픽셀 회로는 전압 신호에 기초하여 제1 커패시터(예를 들어, 도 2-3의 C_c)에 의해 분리된 전압 신호(예를 들어, 도 5의 V_{in})를 생성한다. 분리되는 전압 신호는 전류 신호로부터 분리될 수 있다.
- [0079] 단계(608)에서, 픽셀 회로는 분리된 전압 신호에 기초하여 증폭기(예를 들어, 도 2-3의 이득-제어 증폭기(CG 증폭기), 또는 도 4a-4e의 예시적인 증폭기(400A-400E) 중 임의의 것)에 의해 증폭된 신호(예를 들어, 도 5의 V_{out})를 생성한다. 증폭된 신호와 분리된 전압 신호 사이에는 용량성 피드백이 없다.
- [0080] 단계(610)에서, 픽셀 회로는 증폭된 신호가 조건과 일치할 때 트리거 신호(예를 들어, 도 5의 V_{on})를 생성한다. 예를 들어, 트리거 신호는 픽셀 회로의 하나 이상의 비교기(예를 들어, 픽셀 회로(200 또는 300)의 comp1 및 comp2)에 의해 생성될 수 있다. 일부 실시예에서, 조건은 증폭된 신호의 크기가 임계값(예를 들어, 도 5의 TH_{comp1}) 이상인 것일 수 있다. 일부 실시예에서, 픽셀 회로는 트리거 신호를 외부 판독 시스템으로 더 출력할 수 있다.
- [0081] 단계 612에서, 픽셀 회로는 트리거 신호가 생성될 때 증폭기를 리셋한다. 예를 들어, 픽셀 회로는 증폭기(가령, CG 증폭기)의 입력(예를 들어, 픽셀 회로(200 또는 300)의 인)과 출력(예를 들어, 픽셀 회로(200 또는 300)의 아웃) 사이에 전기적으로 결합된 스위치(가령, 픽셀 회로(200 또는 300)의 제1 스위치 S1)를 닫을 수 있다. 일부 실시예에서, 픽셀 회로는 트리거 신호를 출력한 후 외부 판독 시스템으로부터 확인 신호를 수신하고, 이어서 증폭기를 리셋할 수 있다.
- [0082] 일부 실시예에서, 방법(600)은 트리거 신호를 생성하기 위한 비교기의 입력(예를 들어, 픽셀 회로(300)의 comp1 및 comp2의 inc)과 기준 신호(예를 들어, 도 3의 vref) 사이에 전기적으로 연결된 다른 스위치(예를 들어, 픽셀 회로(200 또는 300)의 제2 스위치 S2)를 리셋하는 단계를 더 포함할 수 있고, 여기서 다른 커패시터가 증폭기(예를 들어, CG 증폭기)와 비교기의 입력 사이에 전기적으로 직렬로 연결된다.
- [0083] 또한, 일부 실시예에서, 방법(600)은 증폭기를 리셋한 후 스위치(예를 들어, S1)를 여는 것보다 나중에 다른 스위치(예를 들어, S2)를 여는 단계를 포함할 수 있다. 예를 들어, 픽셀 회로는 S1과 S2 사이에 전기적으로 연결된 지연 회로(예를 들어, 픽셀 회로(300)의 지연)를 사용하여 제1 스위치(S1)와 제2 스위치(S2)를 스위칭하는 사이의 시간적 지연을 설정할 수 있다.
- [0084] 전술한 설명은 예시의 목적으로 제공되었다. 이것은 완전하지 않으며 개시된 정확한 형태 또는 실시예로 제한되지 않는다. 실시예의 수정 및 개조는 개시된 실시예의 명세서 및 실시를 고려함으로써 명백할 것이다. 예를 들어, 설명된 구현은 하드웨어를 포함하지만, 본 개시에 따른 시스템 및 방법은 하드웨어 및 소프트웨어로 구현될 수 있다. 또한, 특정 구성요소가 서로 결합되는 것으로 설명되었지만, 이러한 구성요소는 서로 통합되거나 임의의 적절한 방식으로 분산될 수 있다.
- [0085] 더욱이, 예시적인 실시예가 여기에서 설명되었지만, 그 범위는 본 개시에 기초한 등가 요소, 수정, 생략, 조합(예를 들어, 다양한 실시예에 걸친 양태의), 적응 및/또는 변경을 갖는 임의의 모든 실시예를 포함한다. 청구범

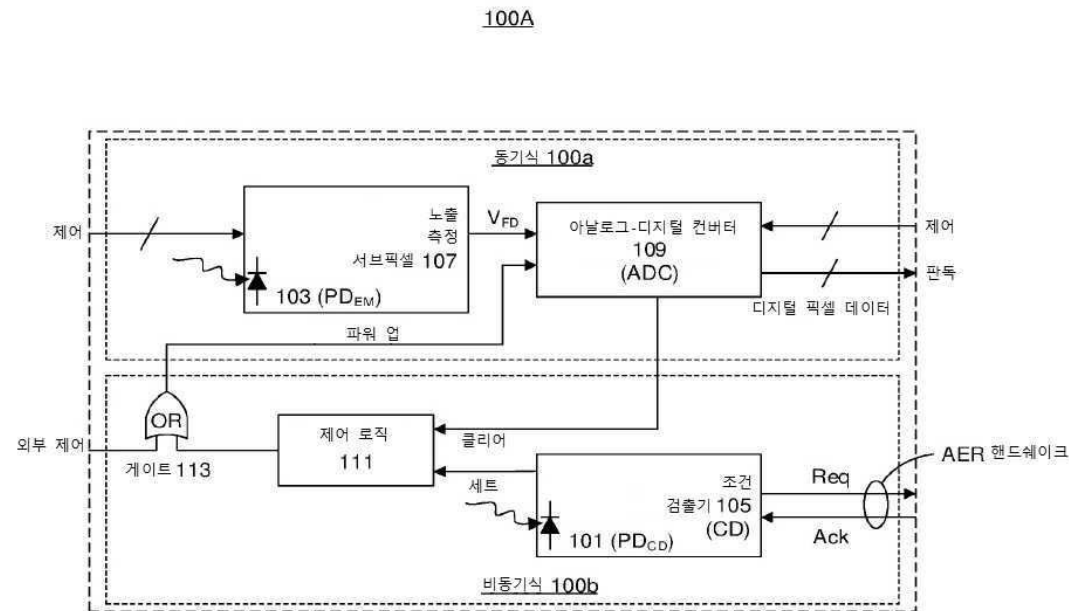
위의 요소는 청구범위에 사용된 언어에 기초하여 광범위하게 해석되어야 하며, 본 명세서에 기술된 예에 제한되지 않거나 또는 출원의 진행 중에 제한되지 않으며, 이러한 예는 배타적이지 않은 것으로 해석되어야 한다. 또한, 개시된 방법의 단계는 재정렬 단계 및/또는 단계 삽입 또는 삭제를 포함하는 임의의 방식으로 수정될 수 있다.

[0086] 본 개시내용의 특징 및 이점은 상세한 명세서로부터 명백하므로, 첨부된 청구범위는 본 개시내용의 진정한 사상 및 범위 내에 속하는 모든 시스템 및 방법을 포함하도록 의도된다. 본 명세서에 사용된 부정관사 "a" 및 "an"은 "하나 이상"을 의미한다. 유사하게, 복수형 용어의 사용은 주어진 문맥에서 명확하지 않는 한 반드시 복수형을 나타내지는 않는다. "및" 또는 "또는"과 같은 단어는 특별히 달리 지시되지 않는 한 "및/또는"을 의미한다. 또한, 본 개시를 연구함으로써 수많은 수정 및 변형이 용이하게 일어날 것이기 때문에, 개시를 예시 및 설명된 정확한 구성 및 작동으로 제한하는 것은 바람직하지 않으며, 따라서 모든 적합한 변형 및 균등물이 본 개시내용의 범위에 속하는 것에 의지할 수 있다.

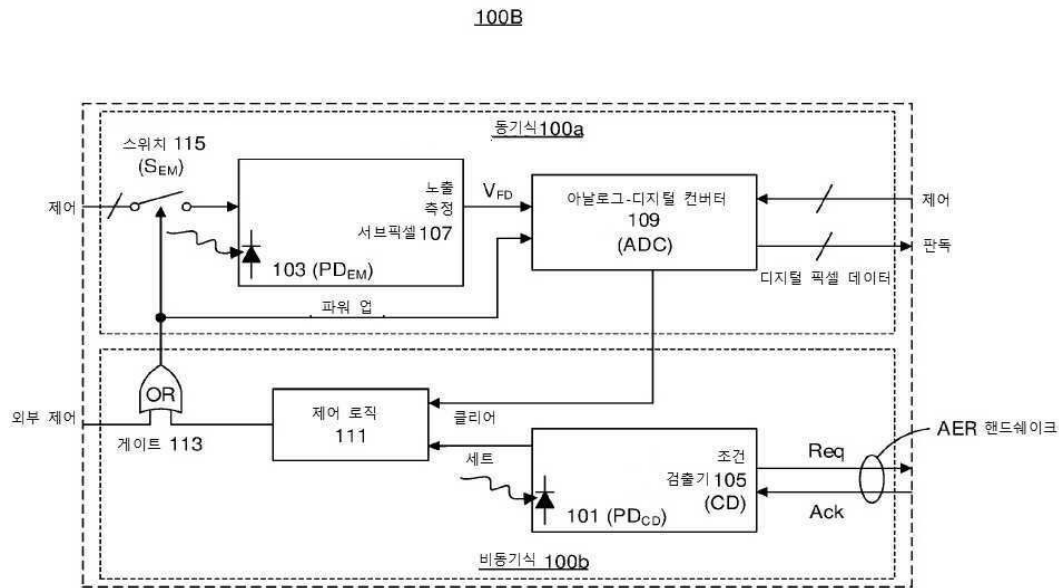
[0087] 다른 실시예는 본 명세서에 개시된 실시예의 명세서 및 실시를 고려하여 명백할 것이다. 명세서 및 예는 단지 예로서 고려되어야 하며, 개시된 실시예의 진정한 범위 및 사상은 다음의 청구범위에 의해 지시된다.

도면

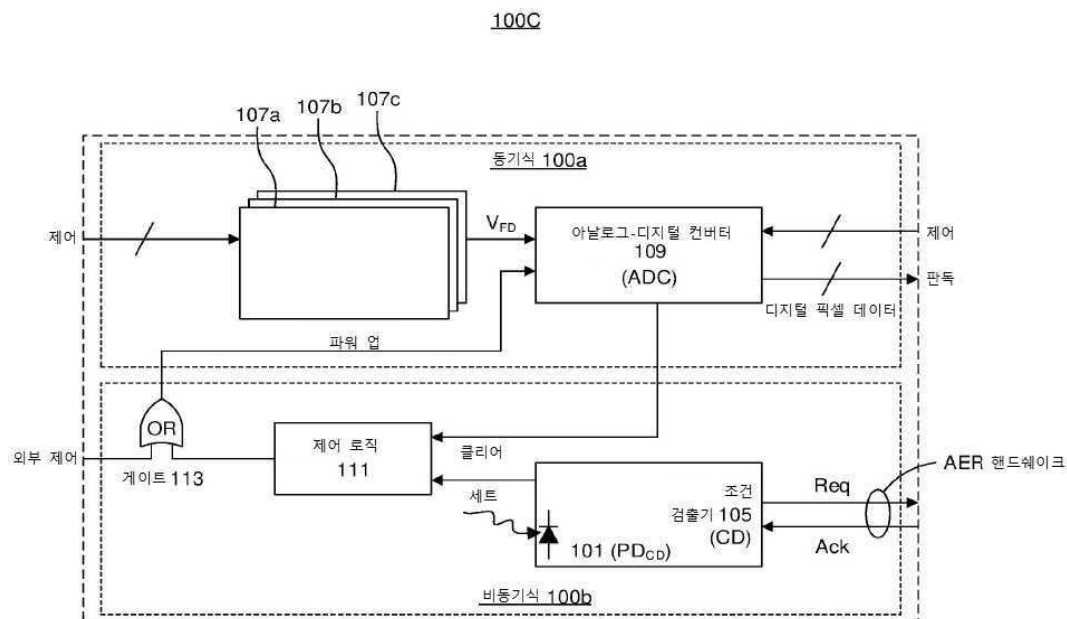
도면1a



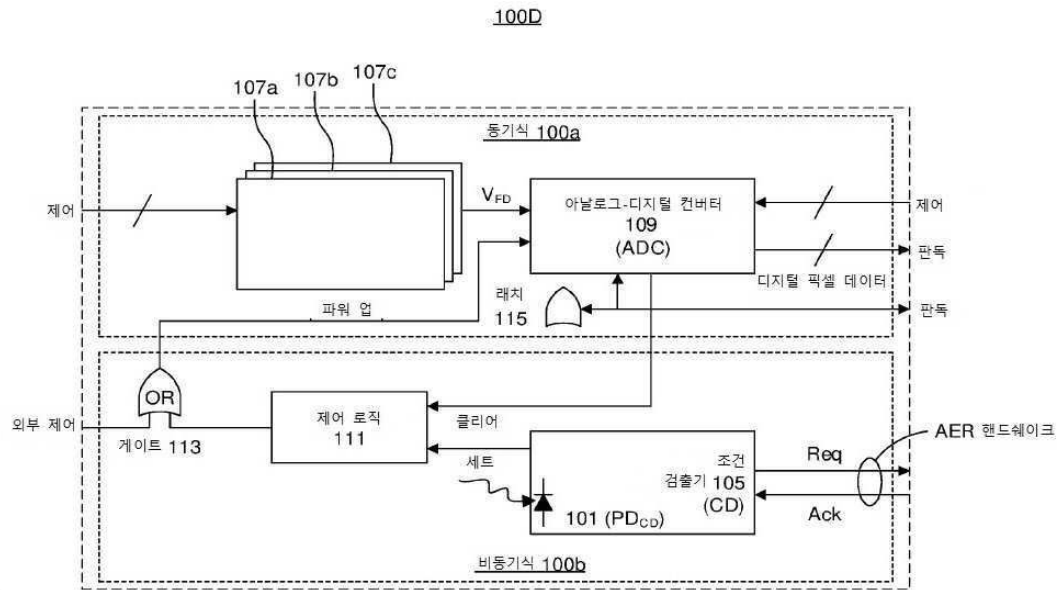
도면1b



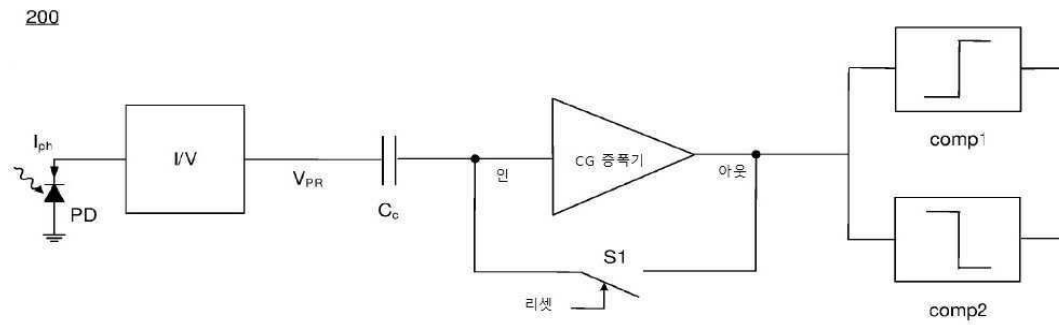
도면1c



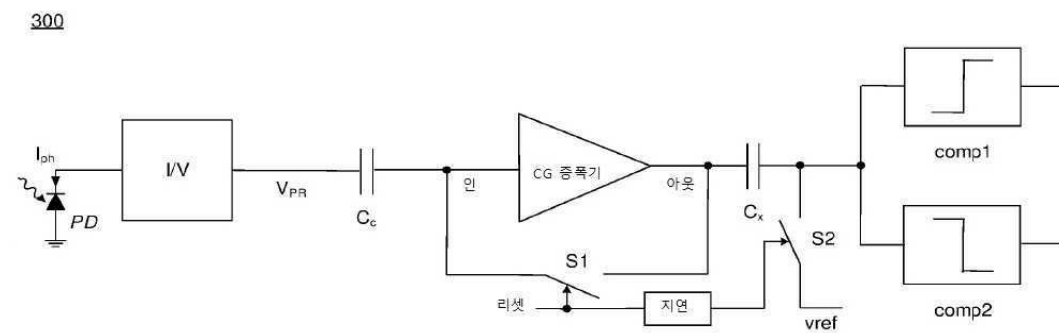
도면1d



도면2

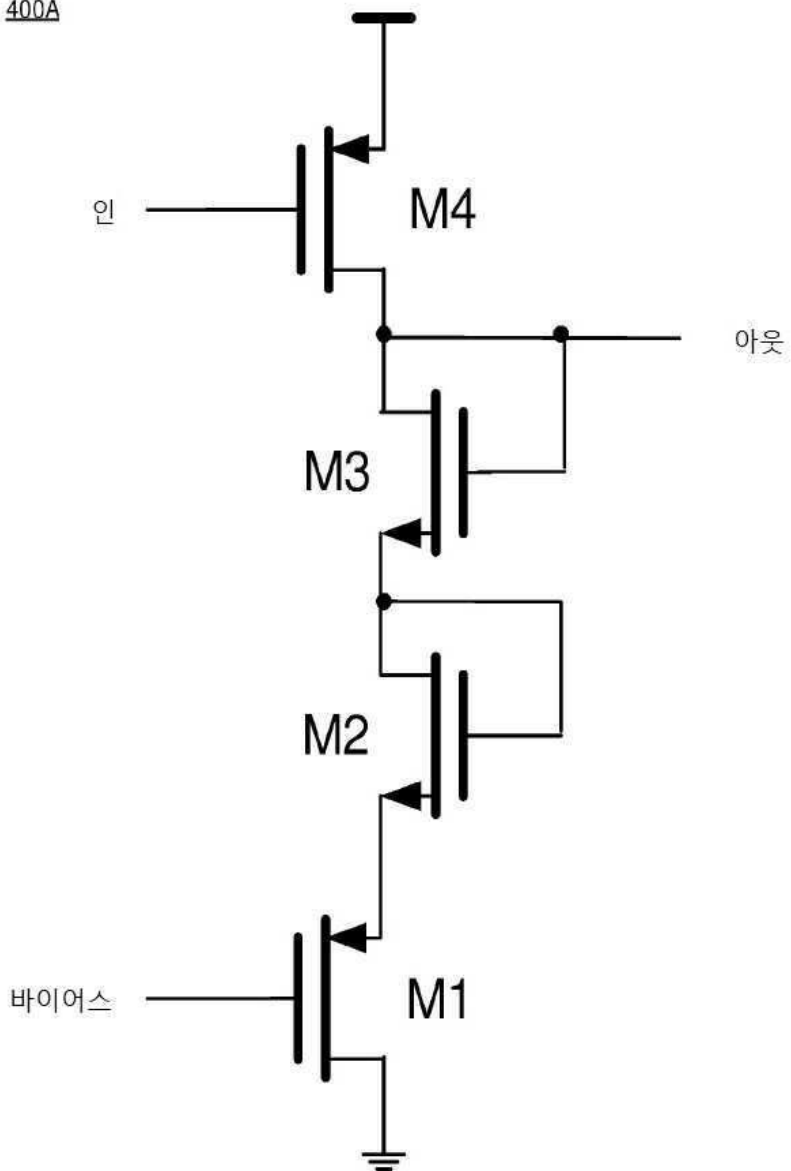


도면3



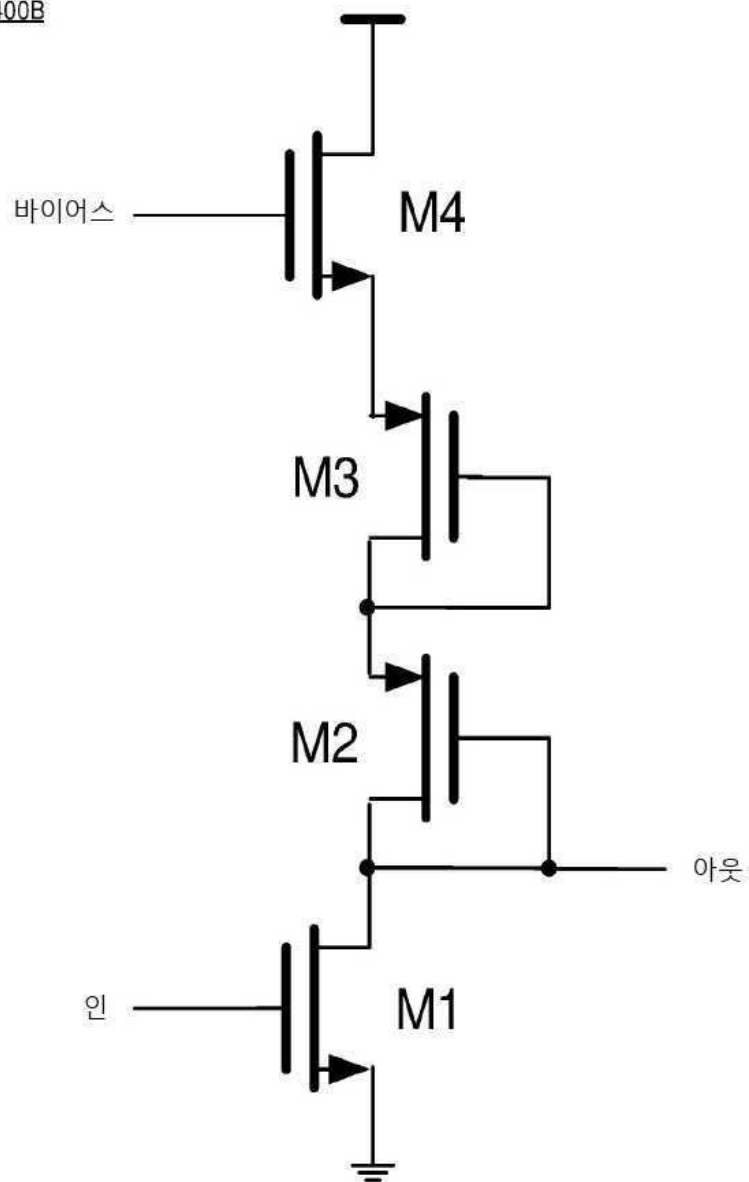
도면4a

400A



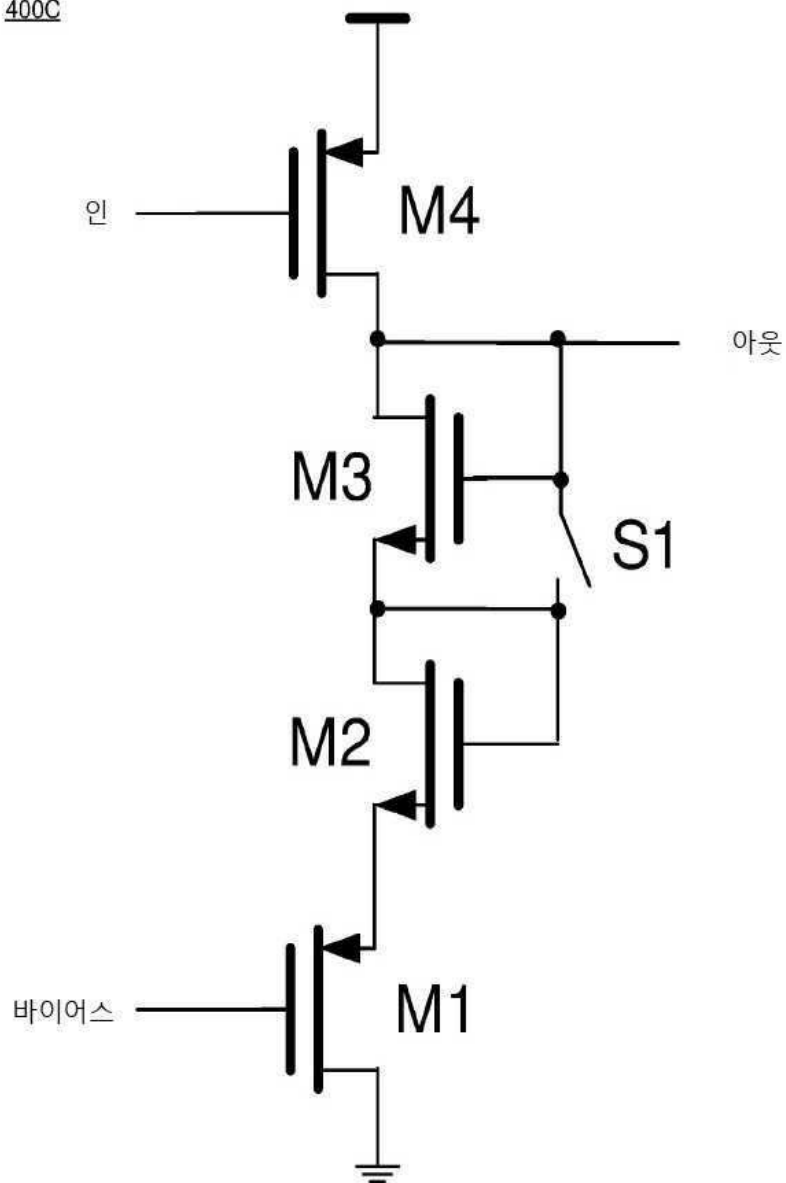
도면4b

400B



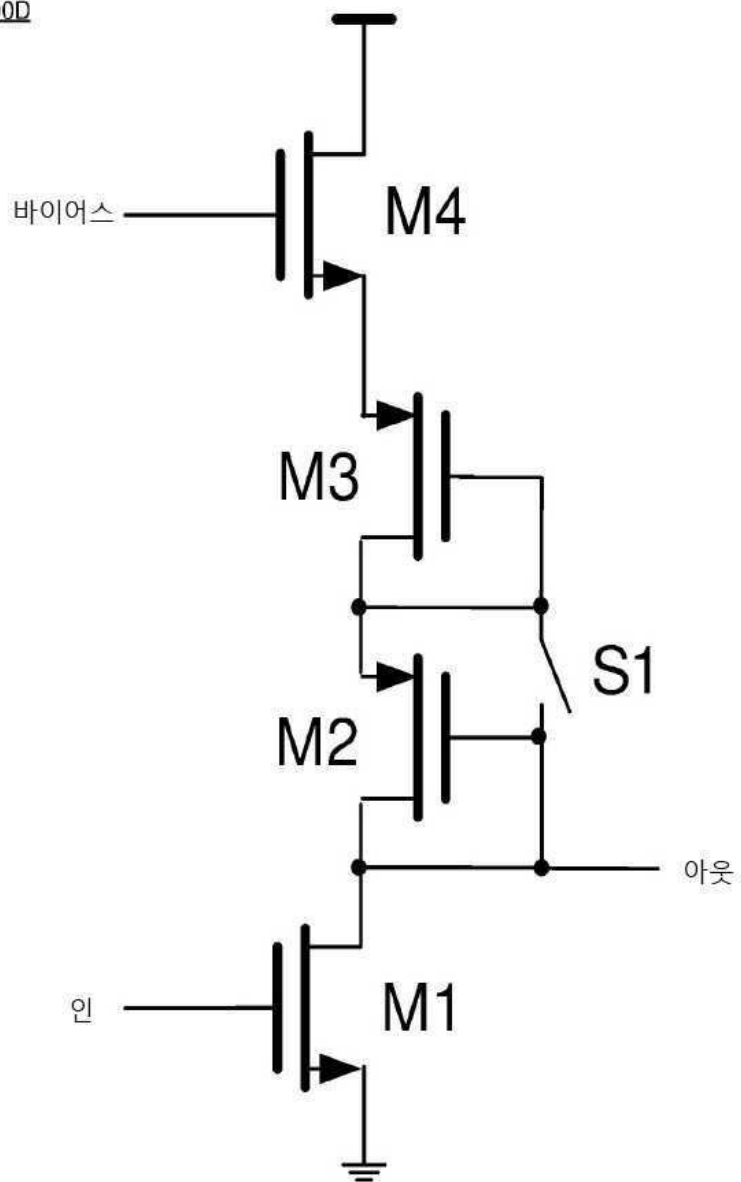
도면4c

400C



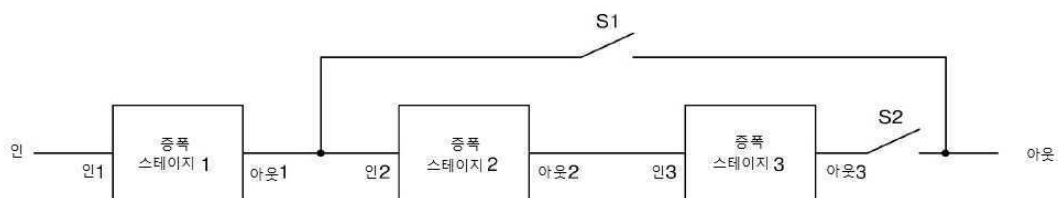
도면4d

400D

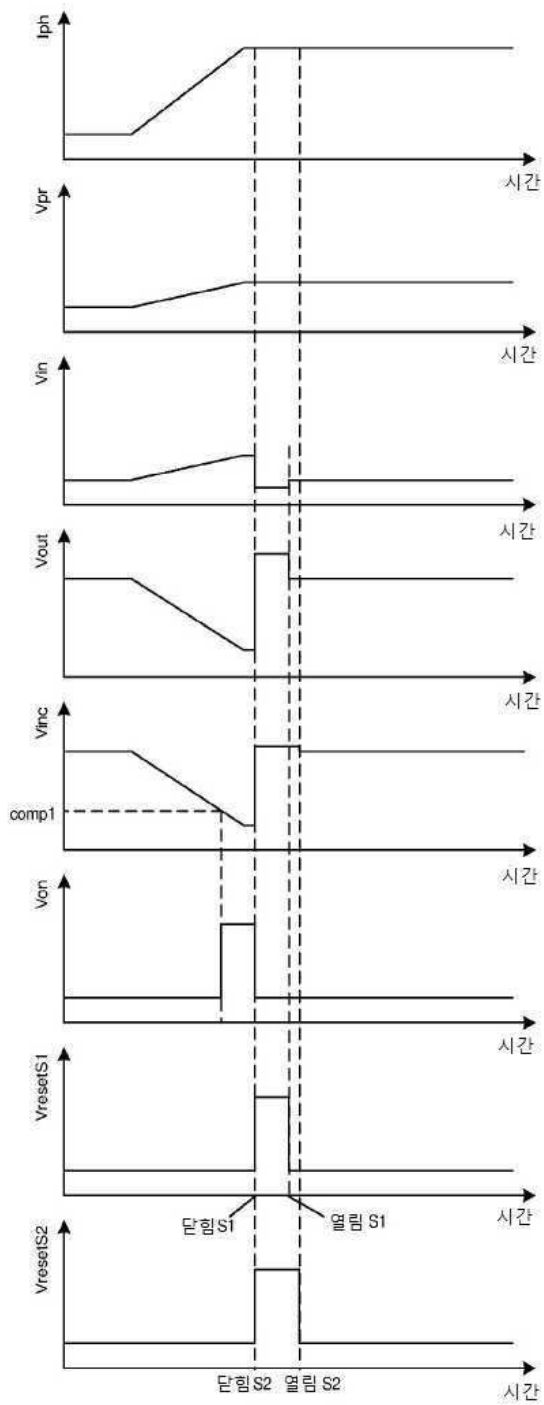


도면4e

400E



도면5



도면6

600

