

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-514319

(P2017-514319A)

(43) 公表日 平成29年6月1日(2017.6.1)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 L 21/76 (2006.01) HO 1 L 21/76 L 5 F O 3 2

審査請求 未請求 予備審査請求 未請求 (全 15 頁)

(21) 出願番号 特願2017-507937 (P2017-507937)
 (86) (22) 出願日 平成27年4月27日 (2015.4.27)
 (85) 翻訳文提出日 平成28年12月26日 (2016.12.26)
 (86) 国際出願番号 PCT/US2015/027699
 (87) 国際公開番号 W02015/164853
 (87) 国際公開日 平成27年10月29日 (2015.10.29)
 (31) 優先権主張番号 61/984, 205
 (32) 優先日 平成26年4月25日 (2014.4.25)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 14/555, 330
 (32) 優先日 平成26年11月26日 (2014.11.26)
 (33) 優先権主張国 米国 (US)

(71) 出願人 390020248
 日本テキサス・インスツルメンツ株式会社
 東京都新宿区西新宿六丁目24番1号
 (71) 出願人 507107291
 テキサス インスツルメンツ インコーポ
 レイテッド
 アメリカ合衆国 テキサス州 75265
 -5474 ダラス メール ステーショ
 ン 3999 ピーオーボックス 655
 474
 (74) 上記1名の代理人 100098497
 弁理士 片寄 恭三

最終頁に続く

(54) 【発明の名称】 高ブレークダウンn型埋め込み層

(57) 【要約】

記載される例において、半導体デバイス(100)が、アンチモン及び/又はヒ素をp型の第1のエピタキシャル層(104)に高ドーズ量及び低エネルギーで注入すること、及びリンを低ドーズ量及び高エネルギーで注入することによって形成されるn型埋め込み層(108)を有する。熱駆動プロセスが、重いドーパント及びリン両方を拡散及び活性化する。アンチモン及びヒ素は著しく拡散せず、埋め込み層(108)のメイン層(114)のための狭いプロファイルを維持する。リンは、メイン層(114)の下に数ミクロン厚みの軽くドーブされた層(120)を提供するように拡散する。エピタキシャルp型層(106)が埋め込み層(108)の上に成長される。

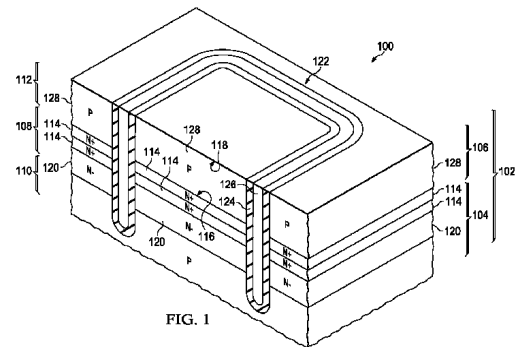


FIG. 1

【特許請求の範囲】

【請求項 1】

半導体デバイスであって、
 p型半導体材料を含む基板、及び
 前記基板に配置されるn型埋め込み層、
 を含み、
 前記n型埋め込み層が、
 $5 \times 10^{18} \text{ cm}^{-3}$ より大きい平均ドーピング密度を有する、2ミクロン～10ミクロンの厚みのメイン層と、
 前記メイン層より下に少なくとも2ミクロン延在する、軽くドーブされた層と、
 を含み、
 前記メイン層におけるn型ドーパントの少なくとも50パーセントが、アンチモン及びヒ素から成るグループから選択され、前記メイン層の頂部表面が、前記基板の頂部表面より少なくとも5ミクロン下にあり、
 前記軽くドーブされた層が、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の平均ドーピング密度を有し、前記軽くドーブされた層におけるn型ドーパントの少なくとも90パーセントがリンである、
 半導体デバイス。

10

【請求項 2】

請求項 1 に記載の半導体デバイスであって、前記 p 型半導体材料が、 $5 \text{ cm} \sim 10 \text{ cm}$ の抵抗率を有する、半導体デバイス。

20

【請求項 3】

請求項 1 に記載の半導体デバイスであって、前記メイン層における前記 n 型ドーパントの少なくとも 50 パーセントがアンチモンである、半導体デバイス。

【請求項 4】

請求項 1 に記載の半導体デバイスであって、前記 n 型埋め込み層が、実質的に前記半導体デバイス全体に延在する、半導体デバイス。

【請求項 5】

請求項 1 に記載の半導体デバイスであって、前記 n 型埋め込み層が、前記半導体デバイスの一部のみにわたって延在する、局地化された n 型埋め込み層である、半導体デバイス。

30

【請求項 6】

請求項 1 に記載の半導体デバイスであって、前記 n 型埋め込み層を介して延在して、前記基板に配置されるディープトレンチ構造を含み、前記ディープトレンチ構造が、前記基板に接する二酸化シリコンを備えた誘電体ライナーを含む、半導体デバイス。

【請求項 7】

請求項 6 に記載の半導体デバイスであって、前記ディープトレンチ構造が閉ループ構成を含む、半導体デバイス。

【請求項 8】

請求項 6 に記載の半導体デバイスであって、前記ディープトレンチ構造に隣接し、且つ、前記 n 型埋め込み層まで下に延在する、前記基板に配置される n 型の自己整合されたシンカーを含む、半導体デバイス。

40

【請求項 9】

請求項 1 に記載の半導体デバイスであって、前記 n 型埋め込み層まで延在して、前記基板に配置される n 型シンカーを含み、前記 n 型シンカーが閉ループ構成を有する、半導体デバイス。

【請求項 10】

半導体デバイスを形成する方法であって、前記方法が、
 p 型半導体材料を含む基板の第 1 のエピタキシャル層を提供すること、
 n 型ドーパントを $5 \times 10^{14} \text{ cm}^{-2}$ より大きいドーズ量で前記第 1 のエピタキシャ

50

ル層に注入することであって、前記 n 型ドーパントが、ヒ素及びリンから成るグループから選択されること、

リンを $1 \times 10^{13} \text{ cm}^{-2} \sim 1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で及び 100 keV を上回るエネルギーで前記第 1 のエピタキシャル層に注入すること、

前記第 1 のエピタキシャル層を少なくとも 30 分間 $1150 \sim 1225$ の温度まで加熱する第 1 の熱駆動プロセスにおいて、前記第 1 のエピタキシャル層を加熱すること、及び

前記第 1 のエピタキシャル層上に前記基板の p 型エピタキシャル層を形成すること、を含み、

前記注入された n 型ドーパントが n 型埋め込み層のメイン層を形成し、前記メイン層が 2 ミクロン \sim 10 ミクロンの厚みであり、前記メイン層における n 型ドーパントの少なくとも 50 パーセントが、アンチモン及びヒ素から成るグループから選択され、前記メイン層の頂部表面が、前記基板の頂部表面より少なくとも 5 ミクロン下にあり、前記注入されたリンが、前記 n 型埋め込み層の軽くドーブされた層を形成し、前記軽くドーブされた層が、前記メイン層より下に少なくとも 2 ミクロン延在し、前記軽くドーブされた層が $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の平均ドーピング密度を有し、前記軽くドーブされた層における n 型ドーパントの少なくとも 90 パーセントがリンである、

方法。

【請求項 11】

請求項 10 に記載の方法であって、前記第 1 のエピタキシャル層における前記 p 型半導体材料が、 $5 \text{ cm} \sim 10 \text{ cm}$ の抵抗率を有する、方法。

【請求項 12】

請求項 10 に記載の方法であって、 $5 \times 10^{14} \text{ cm}^{-2}$ より大きいドーズ量で前記第 1 のエピタキシャル層に注入された前記 n 型ドーパントがアンチモンである、方法。

【請求項 13】

請求項 10 に記載の方法であって、前記 n 型ドーパント及び前記リンが、前記半導体デバイスにわたって前記第 1 のエピタキシャル層に注入される、方法。

【請求項 14】

請求項 10 に記載の方法であって、前記 n 型埋め込み層が局地化された n 型埋め込み層となるように、前記 n 型ドーパント及び前記リンが、注入マスクにより露出されたエリアを介して前記第 1 のエピタキシャル層に注入される、方法。

【請求項 15】

請求項 10 に記載の方法であって、前記エピタキシャル層が形成された後、少なくとも 120 分間 $1125 \sim 1200$ の温度まで前記基板を加熱する第 2 の熱駆動プロセスにおいて、前記基板を加熱することを含む、方法。

【請求項 16】

請求項 10 に記載の方法であって、前記 n 型埋め込み層を介して延在する、前記基板におけるディーブトレンチを形成すること、及び前記基板に接する二酸化シリコンを備えた前記ディーブトレンチにおける誘電体ライナーを形成することを含む、方法。

【請求項 17】

請求項 16 に記載の方法であって、前記ディーブトレンチが閉ループ構成を含む、方法。

【請求項 18】

請求項 16 に記載の方法であって、前記 n 型埋め込み層まで下に延在する、前記基板における n 型の自己整合されたシンカーを形成するように、前記ディーブトレンチが形成された後、前記ディーブトレンチに近接する前記基板に n 型ドーパントを注入することを含む、方法。

【請求項 19】

請求項 10 に記載の方法であって、前記 n 型埋め込み層まで延在する、前記基板における n 型シンカーを形成することを含む、前記 n 型シンカーが閉ループ構成を有する、方法

10

20

30

40

50

。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、概して半導体デバイスに関し、更に特定して言えば、半導体デバイスにおける埋め込み層に関連する。

【背景技術】

【0002】

例示の半導体デバイスは、p型基板におけるn型埋め込み層を含む。埋め込み層は、埋め込み層の上の基板における構成要素のための高電圧での隔離されたオペレーションを提供するために、80ボルトを超える高電圧にバイアスされる。埋め込み層の底部表面において、pn接合が、好ましくない漏れ電流及び低ブレークダウンを示す。

10

【発明の概要】

【0003】

記載される例において、半導体デバイスが、p型の第1のエピタキシャル層の上であり、p型の第2のエピタキシャル層の下、n型埋め込み層を有する。n型埋め込み層は、重いn型ドーパントであるアンチモン及び/又はヒ素を、p型の第1のエピタキシャル層に高ドーズ量及び低エネルギーで注入すること、及びより軽いn型ドーパントであるリンを、低ドーズ量及び高エネルギーで注入することにより形成される。熱駆動プロセスが、重いドーパント及びリン両方を拡散及び活性化する。重いドーパントは著しく拡散せず、埋め込み層のメイン層のための狭いプロファイルを有利に維持する。リンは、軽くドーパされた層を、メイン層より下に数マイクロンの厚みに効果的に提供するように拡散する。

20

【図面の簡単な説明】

【0004】

【図1】高電圧n型埋め込み層を含む例示の半導体デバイスの断面図である。

【0005】

【図2A】製造の連続的段階で示される、図1の半導体デバイスに類似する半導体デバイスの断面図である。

【図2B】製造の連続的段階で示される、図1の半導体デバイスに類似する半導体デバイスの断面図である。

30

【図2C】製造の連続的段階で示される、図1の半導体デバイスに類似する半導体デバイスの断面図である。

【図2D】製造の連続的段階で示される、図1の半導体デバイスに類似する半導体デバイスの断面図である。

【図2E】製造の連続的段階で示される、図1の半導体デバイスに類似する半導体デバイスの断面図である。

【図2F】製造の連続的段階で示される、図1の半導体デバイスに類似する半導体デバイスの断面図である。

【0006】

【図3A】製造の連続的段階で示される、高電圧局地化n型埋め込み層を含む別の例示の半導体デバイスの断面図である。

40

【図3B】製造の連続的段階で示される、高電圧局地化n型埋め込み層を含む別の例示の半導体デバイスの断面図である。

【図3C】製造の連続的段階で示される、高電圧局地化n型埋め込み層を含む別の例示の半導体デバイスの断面図である。

【図3D】製造の連続的段階で示される、高電圧局地化n型埋め込み層を含む別の例示の半導体デバイスの断面図である。

【図3E】製造の連続的段階で示される、高電圧局地化n型埋め込み層を含む別の例示の半導体デバイスの断面図である。

【図3F】製造の連続的段階で示される、高電圧局地化n型埋め込み層を含む別の例示の

50

半導体デバイスの断面図である。

【0007】

【図4】高電圧n型埋め込み層を含む代替の例示の半導体デバイスの断面である。

【発明を実施するための形態】

【0008】

下記の同時継続中の特許出願は、参照により本願に組み込まれる。

【特許文献1】米国特許出願番号US 14 / 555 , 209

【特許文献2】米国特許出願番号US 14 / 555 , 300

【特許文献3】米国特許出願番号US 14 / 555 , 359

【0009】

10

図1は、高電圧n型埋め込み層を含む例示の半導体デバイスの断面である。半導体デバイス100が基板102を有し、基板102は、単結晶シリコンなどの半導体材料の第1のエピタキシャル層104を含む。基板102はまた、第1のエピタキシャル層104上に配置される第2のエピタキシャル層106を含む。第2のエピタキシャル層106は、第1のエピタキシャル層104と同じ組成を有し得る半導体材料を含む。n型埋め込み層108が、第1のエピタキシャル層104及び第2のエピタキシャル層106内へ延在して、第1のエピタキシャル層104と第2のエピタキシャル層106との間の境界において基板102内に配置される。n型埋め込み層108のすぐ下の第1のエピタキシャル層104は、下部層110と称される。下部層110は、p型であり、 $5 \text{ cm} \sim 10 \text{ cm}$ の抵抗率を有する。n型埋め込み層108の上の第2のエピタキシャル層106は、上部層112と称される。上部層112は、p型であり、 $5 \text{ cm} \sim 10 \text{ cm}$ の抵抗率を有する。

20

【0010】

n型埋め込み層108はメイン層114を含み、メイン層114は、第1のエピタキシャル層104内へ少なくとも1ミクロン及び第2のエピタキシャル層106内へ少なくとも1ミクロン延在して、第1のエピタキシャル層104と第2のエピタキシャル層106との間の境界に跨る。メイン層114は、 $5 \times 10^{18} \text{ cm}^{-3}$ より大きい平均ドーピング密度を有する。メイン層114におけるn型ドーパントの少なくとも50パーセントがヒ素及び/又はアンチモンである。メイン層114の頂部表面116が、基板102の頂部表面118より少なくとも5ミクロン下である。メイン層114の頂部表面116は、基板102の頂部表面118より8ミクロン~12ミクロン下であってもよい。

30

【0011】

n型埋め込み層108は、メイン層114より下に少なくとも2ミクロン延在する軽くドーブされた層120を含む。軽くドーブされた層120は、下部層110の上の第1のエピタキシャル層104に配置される。軽くドーブされた層120は、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の平均ドーピング密度を有する。軽くドーブされた層120におけるn型ドーパントの少なくとも90パーセントがリンである。n型埋め込み層108は、図1に示すように実質的に半導体デバイス100全体に延在し得る。

【0012】

半導体デバイス100のオペレーションの間、n型埋め込み層108は、下部層110より80ボルト~110ボルト高くバイアスされ得る。軽くドーブされた層120を備えたn型埋め込み層108の構造は、n型埋め込み層108と下部層110との間のpn接合のブレークダウンを有利に避け得、所望の低レベルの漏れ電流を有利に提供し得る。また、メイン層114を備えたn型埋め込み層108の構造は、n型埋め込み層108の上の上部層112における構成要素のための均一なバイアスを維持するために低シート抵抗を有利に提供する。

40

【0013】

半導体デバイス100はディーブトレンチ構造122を含み得、ディーブトレンチ構造122は、上部層112を介し、n型埋め込み層108を介し、下部層110内へ延在する。ディーブトレンチ構造122は、基板102の半導体材料に接する二酸化シリコンを

50

含む誘電体ライナー 124 を含む。ディープトレンチ構造 122 はまた、誘電体ライナー 124 上の多結晶シリコン（ポリシリコンと称される）などの導電性充填材料 126 を含み得る。軽くドーパされた層 120 を備えた n 型埋め込み層 108 の構造は、誘電体ライナー 124 における n 型埋め込み層 108 と下部層 110 との間の pn 接合のブレイクダウンを避けるために特に有利である。ディープトレンチ構造 122 は、上部層 112 の部分 128 が、残りの上部層 112 からディープトレンチ構造 122 により電氣的に隔離され、下部層 110 から n 型埋め込み層 108 により電氣的に隔離されるように、図 1 に示したような閉ループ構成を有し得る。上部層 112 の部分 128 における構成要素は、ディープトレンチ構造 122 の外側の残りの上部層 112 における構成要素に関連して有利に 85 ボルト ~ 110 ボルトで動作され得る。

10

【0014】

図 2A ~ 図 2F は、製造の連続的段階で示される、図 1 の半導体デバイスに類似する半導体デバイスの断面図である。図 2A を参照すると、半導体デバイス 100 の製造が、第 1 のエピタキシャル層 104 で開始する。例えば、第 1 のエピタキシャル層 104 は、重くドーパされた単結晶シリコンウエハ上のエピタキシャル層のスタックの頂部であり得る。第 1 のエピタキシャル層 104 は、 $5 \text{ cm} \sim 10 \text{ cm}$ の抵抗率を有する p 型である。パッド酸化物 130 の層が、熱酸化などにより第 1 のエピタキシャル層 104 の上に形成される。

【0015】

n 型ドーパント 132 が、第 1 の注入された層 134 を形成するために第 1 のエピタキシャル層 104 に注入される。n 型ドーパントは、ヒ素及び / 又はアンチモンを少なくとも 50 パーセント含む。この例の一つのバージョンにおいて、n 型ドーパント 132 は、図 2A に示すように実質的に全てアンチモンであり得る。n 型ドーパント 132 は、 $1 \times 10^{15} \text{ cm}^{-2} \sim 5 \times 10^{15} \text{ cm}^{-2}$ など、 $5 \times 10^{14} \text{ cm}^{-2}$ より大きいドーズ量で注入される。n 型ドーパント 132 におけるアンチモンは、50 keV 未満のエネルギーで注入され得る。n 型ドーパント 132 におけるヒ素は、40 keV 未満のエネルギーで注入され得る。

20

【0016】

図 2B を参照すると、第 1 の注入された層 134 の下の第 2 の注入された層 138 を形成するために、リン 136 が第 1 のエピタキシャル層 104 に注入される。リン 136 は、 $1 \times 10^{13} \text{ cm}^{-2} \sim 1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量で及び 100 keV を超えるエネルギーで注入される。

30

【0017】

図 2C を参照すると、第 1 の熱駆動プロセス 140 が、第 1 のエピタキシャル層 104 を少なくとも 30 分間 $1150 \sim 1225$ の温度まで加熱する。第 1 の熱駆動プロセス 140 は、酸化雰囲気を用意したファーンズにおいて実施され得、これによりパッド酸化物 130 の層の厚みが増大される。第 1 の熱駆動プロセス 140 は、第 1 の注入された層 134 における注入された n 型ドーパント及び第 2 の注入された層 138 における注入されたリンを、第 1 のエピタキシャル層 104 内へ一層深く拡散させる。第 2 の注入された層 138 におけるリンは、第 1 の注入された層 134 におけるヒ素及びアンチモンより遠くまで第 1 のエピタキシャル層 104 内に拡散する。パッド酸化物 130 の層はその後、緩衝フッ化水素酸の希釈水溶液を用いるウェットエッチングになどにより取り除かれる。

40

【0018】

図 2D を参照すると、エピタキシャルプロセスが、第 1 のエピタキシャル層 104 上に第 2 のエピタキシャル層 106 を成長させる。エピタキシャルプロセスは、シラン、ジクロロシラン、又はその他のシリコン含有反応物を用い得る。エピタキシャルプロセスの間、図 2C の第 1 の注入された層 134 における n 型ドーパントは、第 2 のエピタキシャル層 106 に拡散して、n 型埋め込み層 108 のメイン層 114 を形成する。メイン層 114 は、第 1 のエピタキシャル層 104 と第 2 のエピタキシャル層 106 との間の境界に跨る。図 2C の第 2 の注入された層 138 におけるリンは、n 型埋め込み層 108 の軽くド

50

ープされた層 120 を形成する。エピタキシャルプロセスは、第 2 のエピタキシャル層 106 における p 型ドーピングを提供するために、ボロン含有反応物（ジボランなど）を用い得る。代替として、エピタキシャルプロセスが完了した後、p 型ドーパント（ボロンなど）が、第 2 のエピタキシャル層 106 内に注入されてもよい。第 1 のエピタキシャル層 104 及び第 2 のエピタキシャル層 106 は、基板 102 の頂部を提供する。

【0019】

図 2 E を参照すると、第 2 の熱駆動プロセス 142 が、基板 102 を少なくとも 120 分間 1125 ~ 1200 の温度まで加熱する。第 2 の熱駆動プロセス 142 は、僅かな酸化雰囲気を用意したファーンズにおいて実施され得る。第 2 の熱駆動が完了すると、n 型埋め込み層 108 のメイン層 114 は、第 1 のエピタキシャル層 104 内へ少なくとも 1 ミクロン及び第 2 のエピタキシャル層 106 内へ少なくとも 1 ミクロン延在し、軽くドーブされた層 120 は、メイン層 114 より下に少なくとも 2 ミクロン延在する。メイン層 114 における平均ドーピングは $5 \times 10^{18} \text{ cm}^{-3}$ より大きい。軽くドーブされた層 120 における平均ドーピングは、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ である。

10

【0020】

図 2 F を参照すると、図 2 E の第 2 の熱駆動プロセス 142 の後、基板 102 においてディープトレンチをエッチングすることによりディープトレンチ構造 122 が形成され得る。誘電体ライナー 124 が、熱酸化、及びその後続く準大気圧（sub-atmospheric）化学気相成長（SACVD）プロセスによる二酸化シリコンの堆積により形成され得る。導電性充填材料 126 が、ポリシリコンのコンフォーマル層を堆積すること、及びその後、化学機械研磨（CMP）プロセスなどによって基板の頂部表面の上からポリシリコンを取り除くことによって形成され得る。任意選択の n 型の自己整合されたシンカー 144 が、ディープトレンチが部分的にエッチングされた後、第 2 のエピタキシャル層 106 に n 型ドーパントを注入することにより、ディープトレンチ構造に隣接する第 2 のエピタキシャル層 106 において形成され得る。n 型の自己整合されたシンカー 144 は、n 型埋め込み層 108 への電氣的接続を提供する。

20

【0021】

図 3 A ~ 図 3 F は、製造の連続的段階で示される、高電圧局地化 n 型埋め込み層を含む別の例示の半導体デバイスの断面図である。局地化 n 型埋め込み層が、半導体デバイスの一部のみにわたって延在する。図 3 A を参照すると、半導体デバイス 300 が、単結晶シリコンなどの半導体材料を含む第 1 のエピタキシャル層 304 上に形成される。第 1 のエピタキシャル層 304 は、5 cm ~ 10 cm の抵抗率を有する p 型である。パッド酸化物 330 の層が、第 1 のエピタキシャル層 304 の上に形成される。この例では、局地化 n 型埋め込み層 308 のためのエリアを露出させるために、パッド酸化物 330 の層の上に注入マスク 346 が形成される。注入マスク 346 は、フォトリソグラフィプロセスによって形成されるフォトレジストを含み得、又は、熱酸化又はプラズマエンハンスト化学気相成長（PECVD）プロセスによって形成される二酸化シリコンなどのハードマスク材料を含み得る。注入マスク 346 におけるハードマスク材料は、高エネルギーでリンを注入した後の後続の注入マスク 346 の除去を有利に促進し得る。

30

40

【0022】

第 1 の注入された層 334 を形成するために、注入マスク 346 により露出されたエリアを介して第 1 のエピタキシャル層 304 に n 型ドーパント 332 が注入される。n 型ドーパントは、ヒ素及び / 又はアンチモンを少なくとも 50 パーセント含む。n 型ドーパント 332 は、 $1 \times 10^{15} \text{ cm}^{-2} \sim 5 \times 10^{15} \text{ cm}^{-2}$ など、 $5 \times 10^{14} \text{ cm}^{-2}$ より大きいドーズ量で注入される。

【0023】

図 3 B を参照すると、第 1 の注入された層 334 の下に第 2 の注入された層 338 を形成するために、注入マスク 346 により露出されたエリアを介してリン 336 が第 1 のエピタキシャル層 304 に注入される。リン 336 は、 $1 \times 10^{13} \text{ cm}^{-2} \sim 1 \times 10^{14}$

50

4 cm^{-2} のドーズ量で及び 100 keV を超えるエネルギーで注入される。フォトレジストなどの、注入マスク 346 における有機材料は、後続の第 1 の熱駆動プロセスの前に取り除かれる。

【0024】

図 3C を参照すると、第 1 の熱駆動プロセス 340 が、図 2C を参照して説明したように、第 1 のエピタキシャル層 304 を少なくとも 30 分間 $1150 \sim 1225$ の温度まで加熱する。第 1 の熱駆動プロセス 340 は、第 1 の注入された層 334 における注入された n 型ドーパント及び第 2 の注入された層 338 における注入されたリンを、第 1 のエピタキシャル層 304 内へ層深く拡散させる。第 2 の注入された層 338 におけるリンは、第 1 の注入された層 334 におけるヒ素及びアンチモンよりも第 1 のエピタキシャル層 304 内へ層拡散する。注入マスク 346 (ある場合) 及びパッド酸化物 330 の層は、その後取り除かれる。

10

【0025】

図 3D を参照すると、半導体デバイス 300 の基板 302 を提供するために、エピタキシャルプロセスが、第 1 のエピタキシャル層 304 上に第 2 のエピタキシャル層 306 を成長させる。エピタキシャルプロセスの間、図 3C の第 1 の注入された層 334 における n 型ドーパントは、第 2 のエピタキシャル層 306 に拡散して、局地化 n 型埋め込み層 308 のメイン層 314 を形成する。メイン層 314 は、第 1 のエピタキシャル層 304 と第 2 のエピタキシャル層 306 との間の境界に跨る。図 3C の第 2 の注入された層 338 におけるリンは、メイン層 314 の下に局地化 n 型埋め込み層 308 の軽くドーブされた層 320 を形成する。第 2 のエピタキシャル層 306 は、 $5 \text{ cm} \sim 10 \text{ cm}$ の抵抗率を有する p 型である。n 型埋め込み層 308 のすぐ下の第 1 のエピタキシャル層 304 は、下部層 310 と称される。同様に、n 型埋め込み層 308 の上の第 2 のエピタキシャル層 306 は上部層 312 と称される。

20

【0026】

図 3E を参照すると、第 2 の熱駆動プロセス 342 が、基板 302 を少なくとも 120 分間 $1125 \sim 1200$ の温度まで加熱する。第 2 の熱駆動が完了すると、局地化 n 型埋め込み層 308 のメイン層 314 は、第 1 のエピタキシャル層 304 内に少なくとも 1 ミクロン及び第 2 のエピタキシャル層 306 内に少なくとも 1 ミクロン延在し、軽くドーブされた層 320 は、メイン層 314 より下に少なくとも 2 ミクロン延在する。メイン層 314 の頂部表面 316 が、基板 302 の頂部表面 318 より少なくとも 5 ミクロン下にある。メイン層 314 の頂部表面 316 は、基板 302 の頂部表面 318 より 8 ミクロン \sim 12 ミクロン下とし得る。メイン層 314 における平均ドーピングは、 $5 \times 10^{18} \text{ cm}^{-3}$ より大きい。メイン層 314 における n 型ドーパントの少なくとも 50 パーセントが、ヒ素及び / 又はアンチモンである。

30

【0027】

軽くドーブされた層 320 は、メイン層 314 より下に少なくとも 2 ミクロン延在する。軽くドーブされた層 320 における平均ドーピングは、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ である。軽くドーブされた層 320 における n 型ドーパントの少なくとも 90 パーセントがリンである。

40

【0028】

図 3F を参照すると、n 型シンカー 348 が、局地化 n 型埋め込み層 308 まで下に延在して、第 2 のエピタキシャル層 306 に形成される。n 型シンカー 348 は、残りの上部層 312 から上部層 312 の部分 328 を隔離するように、閉ループ構成を有し得る。局地化 n 型埋め込み層 308 は、上部層 312 の部分 328 を下部層 310 から隔離する。メイン層 314 及び軽くドーブされた層 320 を備えた局地化 n 型埋め込み層 308 の構造は、局地化 n 型埋め込み層 308 における低シート抵抗を有利に提供し得、一方、漏れ電流を低減し、局地化 n 型埋め込み層 308 と下部層 310 との間の pn 接合のブレークダウンを防止する。

【0029】

50

図4は、高電圧n型埋め込み層を含む代替の例示の半導体デバイスの断面である。半導体デバイス400が基板402を有し、基板402は、単結晶シリコンなどのp型半導体材料の第1のエピタキシャル層404を含む。基板402はまた、第1のエピタキシャル層404上に配置される第2のエピタキシャル層406を含む。第2のエピタキシャル層406は、第1のエピタキシャル層404と同じ組成を有し得るp型半導体材料を含む。n型埋め込み層408が、第1のエピタキシャル層404及び第2のエピタキシャル層406内へ延在して、第1のエピタキシャル層404と第2のエピタキシャル層406との間の境界において基板402内に配置される。n型埋め込み層408のすぐ下の第1のエピタキシャル層404は、下部層410と称される。下部層410は、p型であり、 $5 \text{ cm} \sim 10 \text{ cm}$ の抵抗率を有する。n型埋め込み層408の上の第2のエピタキシャル層406は、上部層412と称される。上部層412は、p型であり、 $5 \text{ cm} \sim 10 \text{ cm}$ の抵抗率を有する。

10

【0030】

n型埋め込み層408は、第1のエピタキシャル層404内へ少なくとも1ミクロン及び第2のエピタキシャル層406内へ少なくとも1ミクロン延在して、第1のエピタキシャル層404と第2のエピタキシャル層406との間の境界に跨るメイン層414を含む。メイン層414は、 $5 \times 10^{18} \text{ cm}^{-3}$ より大きい平均ドーピング密度を有する。メイン層414の頂部表面416が、基板402の頂部表面418より少なくとも5ミクロン下にある。メイン層414の頂部表面416は、基板402の頂部表面418より8ミクロン～12ミクロン下とし得る。n型埋め込み層408は、メイン層414より少なくとも2ミクロン下に延在する軽くドーブされた層420を含む。軽くドーブされた層420は、下部層410の上の第1のエピタキシャル層404に配置される。軽くドーブされた層420は、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ の平均ドーピング密度を有する。n型埋め込み層408は、本明細書における例の任意のものに記載されるように形成され得る。

20

【0031】

一つ又は複数のディーブトレンチ構造422が、埋め込み層408より下に下部層410内に延在して、基板402内に配置される。ディーブトレンチ構造422は、基板402に接する誘電体ライナー424を含む。ディーブトレンチ構造422は、誘電体ライナー424上の導電性トレンチ充填材料426を含む。この例では、誘電体ライナー424は、ディーブトレンチ構造422の底部450において取り除かれ、トレンチ充填材料426は基板402まで延在して、p型コンタクト領域452を介する基板402への電氣的接続を成す。コンタクト領域452、及び、各ディーブトレンチ構造422の底部450における誘電体ライナー424を取り除く方法は、出願番号US14/555,359に記載されるように成され得、この出願は参照により本願に組み込まれる。

30

【0032】

この例では、トレンチ充填材料426は、ディーブトレンチ構造422の底部450まで延在する、誘電体ライナー424上に配置されるポリシリコン454の第1の層を含む。ポリシリコン456の第2の層が、ポリシリコン454の第1の層上に配置される。ドーパントが、少なくとも $1 \times 10^{18} \text{ cm}^{-3}$ の平均ドーピング密度で、ポリシリコン454の第1の層及びポリシリコン456の第2の層に分布される。トレンチ充填材料426は出願番号US14/555,300に記載されるように形成され得、この出願は参照により本願に組み込まれる。

40

【0033】

n型の自己整合されたシンカー444が、ディーブトレンチ構造422に隣接し、埋め込み層408まで延在して、上部層412内に配置される。自己整合されたシンカー444は、埋め込み層408への電氣的接続を提供する。自己整合されたシンカー444は、参照により本願に組み込まれる出願番号US14/555,209に記載されるように形成され得る。

【0034】

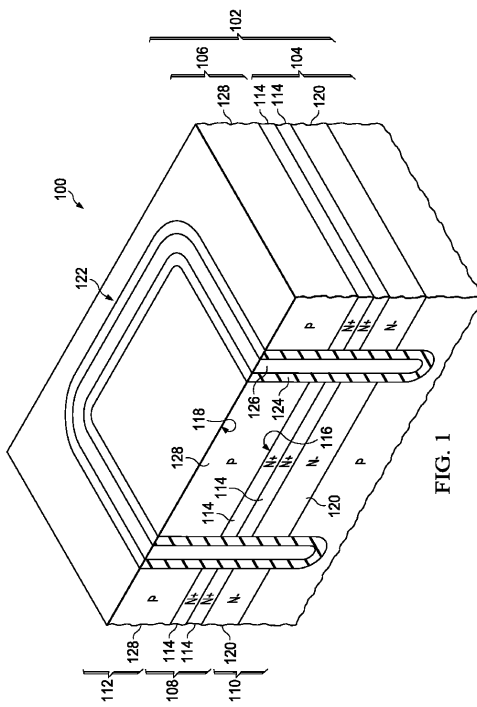
50

図面は一定の縮尺で描いてはいない。

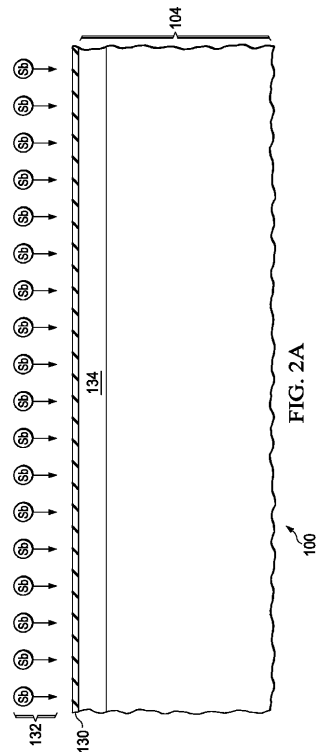
【 0 0 3 5 】

本発明の特許請求の範囲内で、説明した例示の実施例に変形が成され得、他の実施例が可能である。

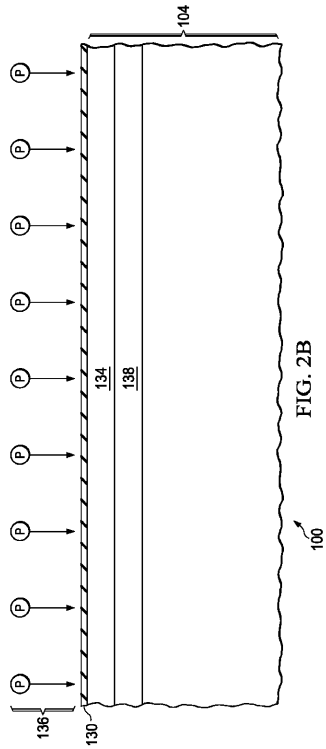
【 図 1 】



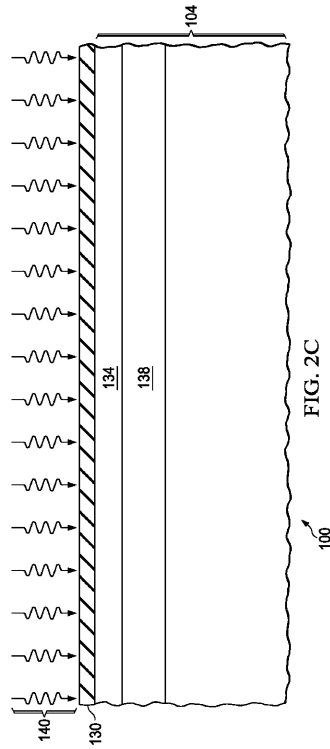
【 図 2 A 】



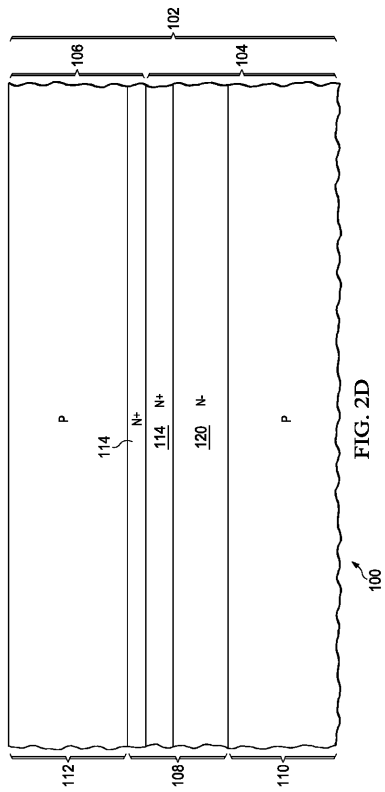
【 図 2 B 】



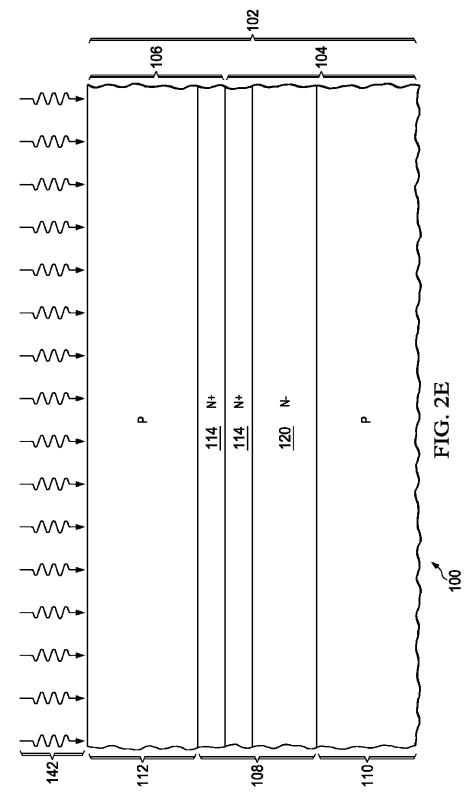
【 図 2 C 】



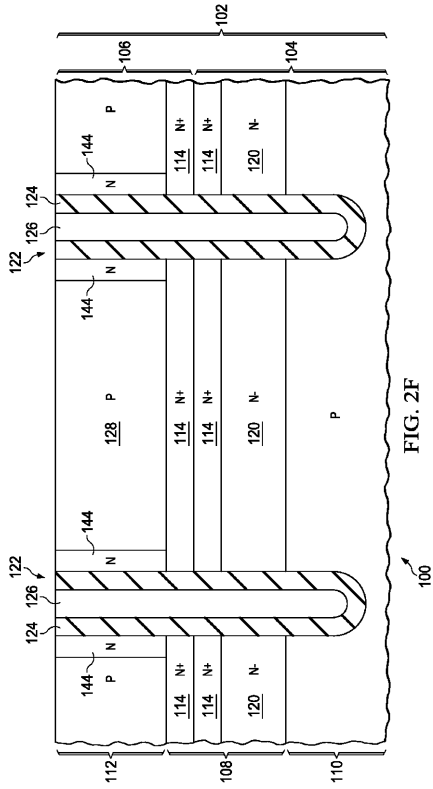
【 図 2 D 】



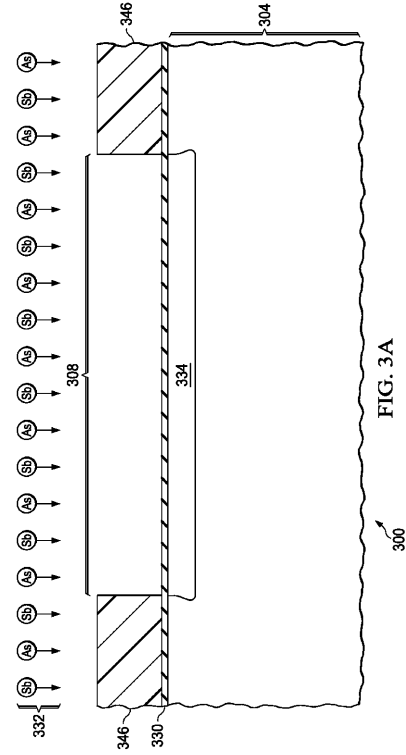
【 図 2 E 】



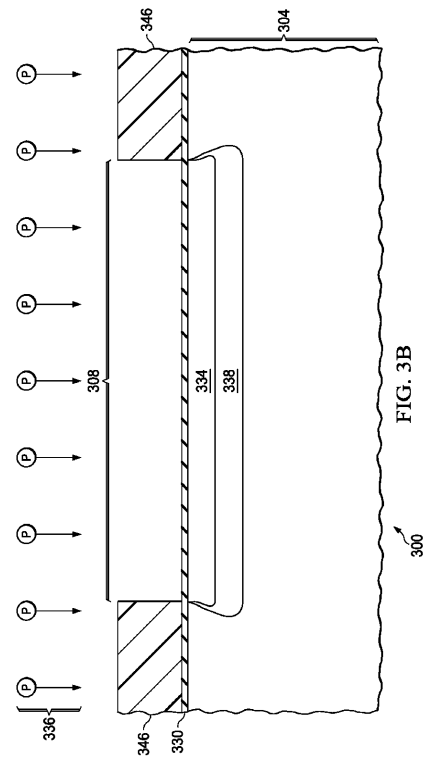
【 図 2 F 】



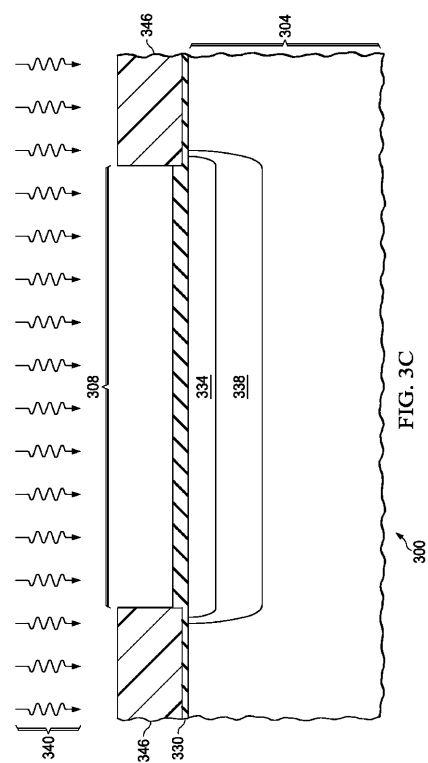
【 図 3 A 】



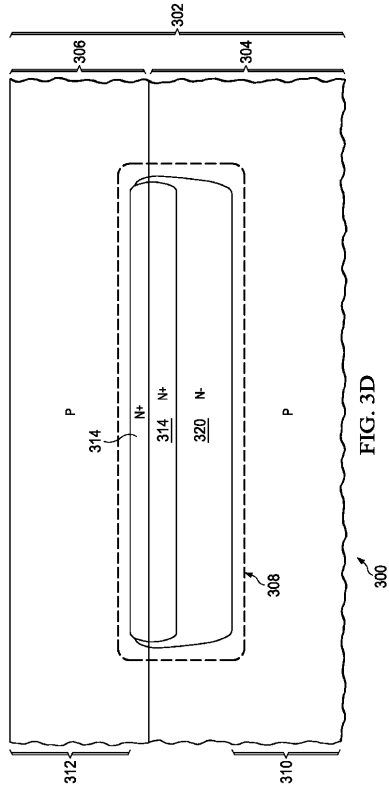
【 図 3 B 】



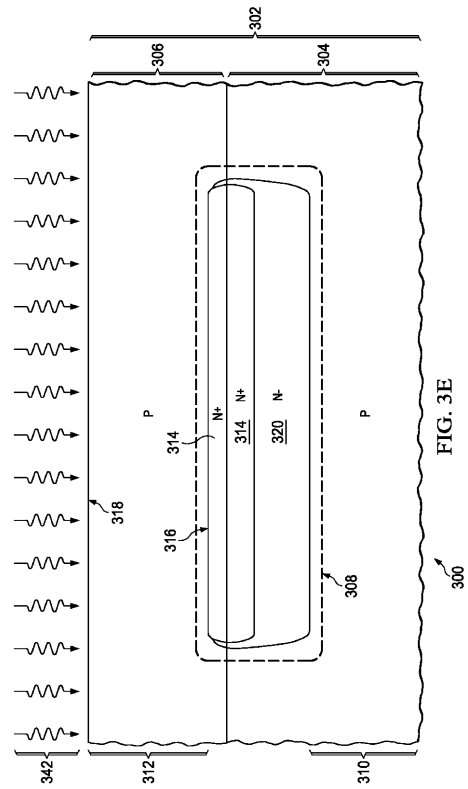
【 図 3 C 】



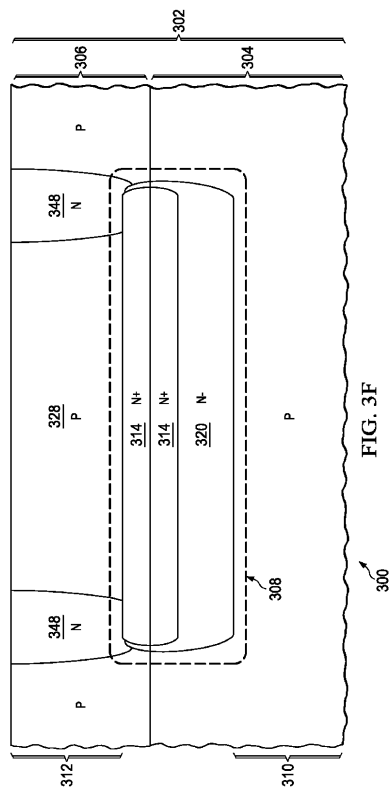
【 図 3 D 】



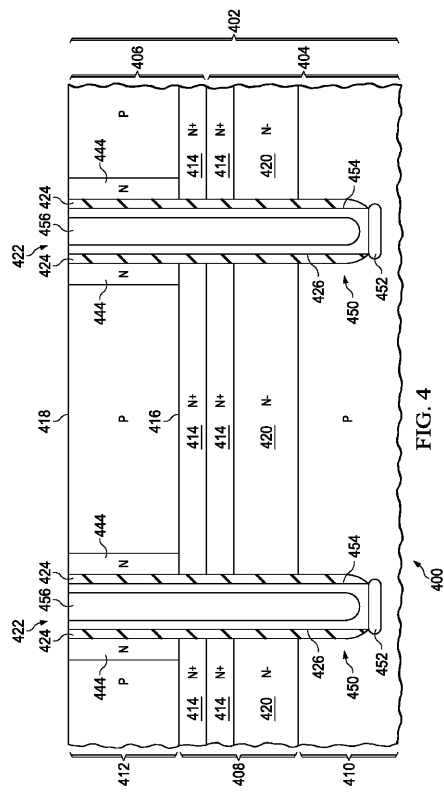
【 図 3 E 】



【 図 3 F 】



【 図 4 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 2015/027699
A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 21/337 (2006.01)</i> <i>H01L 29/26 (2006.01)</i>		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L 21/00, 21/02, 21/04, 21/18, 21/28, 21/334, 21/335, 21/336, 21/337, 29/00, 29/02, 29/36, 29/45, 29/66, 29/68, 29/70, 29/76, 29/86, 29/861, 27/00, 27/02, 27/04, 27/08, 27/082, 27/24		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
PatSearch (RUPTO internal), USPTO, PAJ, Esp@cenet, DWPI, EAPATIS, PATENTSCOPE, Information Retrieval System of FIPS		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2005/0157756 A1 (ENPIRION, INCORPORATED et al.) 04.08.2005	1-19
A	CN 101937925 A (CHENGDU MONOLITHIC POWER SYSTEM CO., LTD) 05.01.2011	1-19
A	WO 2011/160041 A2 (TEXAS INSTRUMENTS INCORPORATED et al.) 22.12.2011	1-19
A	WO 2008/086348 A2 (MAXPOWER SEMICONDUCTOR, INC. et al.) 17.07.2008	1-19
A	US 2004/0207047 A1 (MOTOROLA, INC.) 21.10.2004	1-19
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search		Date of mailing of the international search report
29 July 2015 (29.07.2015)		20 August 2015 (20.08.2015)
Name and mailing address of the ISA/RU: Federal Institute of Industrial Property, Berezhkovskaya nab., 30-1, Moscow, G-59, GSP-3, Russia, 125993 Facsimile No: (8-495) 531-63-18, (8-499) 243-33-37		Authorized officer M. Bryleva Telephone No. 499-240-25-91

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 サミール ピー ベンハルカル

アメリカ合衆国 75013 テキサス州 アレン, パーンサイド ドライブ 2032

(72)発明者 ビンホワ フー

アメリカ合衆国 75024 テキサス州 プラノ, スターテン アイランド ドライブ 4313

(72)発明者 ヘンリー リッツマン エドワーズ

アメリカ合衆国 75044 テキサス州 ガーランド, バリーバニオン サークル 705

Fターム(参考) 5F032 AA11 AA35 AA44 AA45 AA47 DA02 DA04 DA12 DA24 DA33

DA43 DA78