

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 063 385

②1 N° d'enregistrement national : 17 51595

⑤1 Int Cl⁸ : H 01 L 21/66 (2017.01), H 01 L 21/02, H 05 K 1/02

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 28.02.17.

③0 Priorité :

④3 Date de mise à la disposition du public de la
demande : 31.08.18 Bulletin 18/35.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥0 Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

⑦1 Demandeur(s) : STMICROELECTRONICS (ROUS-
SET) SAS — FR.

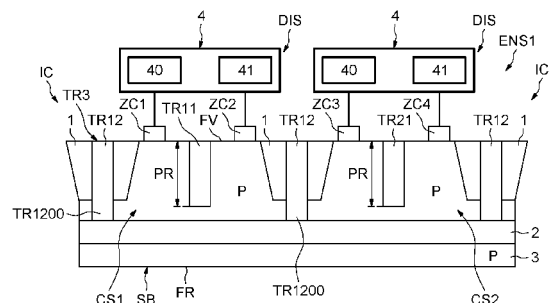
⑦2 Inventeur(s) : MARZAKI ABDERREZAK.

⑦3 Titulaire(s) : STMICROELECTRONICS (ROUSSET)
SAS.

⑦4 Mandataire(s) : CASALONGA.

⑤4 CIRCUIT INTEGRE AVEC DETECTION D'AMINCISSEMENT PAR LA FACE ARRIERE ET CONDENSATEURS
DE DECOUPLAGE.

⑤7 Circuit intégré, comprenant un substrat semiconduc-
teur (SB) ayant une face arrière (FR) et une face avant (FV)
et incluant un ensemble d'au moins un caisson semiconduc-
teur (CS1, CS2) électriquement isolé du reste (3) du subs-
trat, et un dispositif (DIS) de détection d'un amincissement
du substrat par sa face arrière, ledit dispositif (DIS) compor-
tant un groupe d'au moins une première tranchée (TR11)
s'étendant dans ledit au moins un caisson entre deux en-
droits de sa périphérie et depuis ladite face avant jusqu'à un
emplacement situé à distance du fond dudit au moins un
caisson, ladite au moins une première tranchée (TR11)
étant électriquement isolée du caisson, et des moyens de
détection (4) configurés pour mesurer une grandeur phy-
sique représentative de la résistance électrique du caisson
entre deux zones de contact (ZC1, ZC2) respectivement si-
tuées de part et d'autre dudit groupe d'au moins une pre-
mière tranchée.



FR 3 063 385 - A1



Circuit intégré avec détection d'amincissement par la face arrière et condensateurs de découplage

5 Des modes de réalisation de l'invention concernent les circuits intégrés, et plus particulièrement la détection d'un éventuel amincissement du substrat d'un circuit intégré depuis sa face arrière.

Les circuits intégrés, en particulier ceux équipés de mémoires contenant des informations sensibles, doivent être autant que possible
10 protégés contre des attaques, en particulier destinées à découvrir des données stockées.

Une attaque possible peut être effectuée par un faisceau d'ions focalisés (FIB Focus Ion Beam), par exemple au moyen d'un faisceau laser.

15 L'efficacité d'une telle attaque augmente lorsque le substrat du circuit intégré est aminci par l'attaquant, depuis sa face arrière de façon à se rapprocher le plus possible des composants du circuit intégré, réalisés au niveau de sa face avant.

Selon un mode de mise en œuvre et de réalisation, il est par
20 conséquent proposé une détection d'un éventuel amincissement du substrat d'un circuit intégré depuis sa face arrière, qui soit simple à mettre en œuvre et particulièrement compact en termes d'encombrement surfacique.

Par ailleurs, les circuits intégrés peuvent être également
25 équipés de condensateurs de découplage entre la tension d'alimentation et la masse, plus communément connus par l'homme du métier sous l'expression anglosaxonne : « filler cap ».

Selon un mode de réalisation, il est proposé d'utiliser au moins
30 en partie le dispositif de détection d'amincissement pour la réalisation de condensateurs de découplage.

Selon un aspect, il est proposé un circuit intégré comprenant un substrat semiconducteur ayant une face arrière et une face avant et incluant un ensemble d'au moins un caisson semiconducteur

électriquement isolé du reste du substrat (l'ensemble peut comporter éventuellement plusieurs caissons semiconducteurs).

5 Le circuit intégré comprend par ailleurs un dispositif de détection d'un amincissement du substrat par sa face arrière, ce dispositif comportant un groupe d'au moins une première tranchée (le groupe pouvant comporter éventuellement plusieurs premières tranchées) s'étendant dans ledit au moins un caisson entre deux endroits de sa périphérie et depuis la face avant du substrat jusqu'à un emplacement situé à distance du fond dudit au moins un caisson.

10 Ladite au moins une première tranchée est électriquement isolée du caisson.

Le dispositif de détection comporte des moyens de détection configurés pour mesurer une grandeur physique représentative de la résistance électrique du caisson entre deux zones de contact respectivement situées de part et d'autre dudit groupe d'au moins une première tranchée.

15 Ainsi, selon cet aspect, ladite au moins une tranchée est directement réalisée dans le caisson semiconducteur, typiquement une zone active, ce qui est simple à réaliser et intéressant d'un point de vue encombrement surfacique.

20 La tranchée s'étend à distance du fond du caisson. Par conséquent, si l'on amincit le substrat jusqu'à venir amincir le caisson, la résistance électrique de ce dernier va augmenter, ce qui va permettre de détecter cet amincissement.

25 La grandeur physique représentative de cette résistance peut être la résistance elle-même, ou bien un courant ou encore une tension.

Bien qu'il soit possible d'utiliser ce dispositif de détection dans un caisson semiconducteur de type de conductivité N disposé dans un substrat semiconducteur de type P, il est particulièrement avantageux de réaliser la ou les premières tranchées dans un caisson de type de conductivité P électriquement isolé du reste du substrat par une structure du type triple caisson (« triple well »). En effet, l'encombrement surfacique d'un tel caisson de type P est moindre par

30

rapport à celui d'un caisson de type N notamment en ce qui concerne son isolation latérale.

5 Ainsi, selon un mode de réalisation, le substrat et ledit au moins un caisson sont de type de conductivité P et ledit au moins un caisson est électriquement isolé du substrat par une région d'isolation comportant une tranchée périphérique isolante, par exemple une tranchée du type tranchée peu profonde (« Shallow Trench Isolation » : STI) s'étendant dans le substrat depuis la face avant et entourant ledit au moins un caisson.

10 La région d'isolation comporte par ailleurs une couche semiconductrice de type de conductivité N enterrée dans le substrat sous ledit au moins un caisson (cette couche enterrée étant communément désignée par l'homme du métier sous l'acronyme anglosaxon « NISO »).

15 La région d'isolation comporte par ailleurs une zone isolante périphérique intermédiaire entourant ledit au moins un caisson et configurée pour assurer une continuité d'isolation électrique entre ladite couche semiconductrice enterrée et la tranchée périphérique isolante.

20 Ladite au moins une première tranchée s'étend alors au moins entre deux endroits de la tranchée périphérique isolante.

25 Selon une première variante possible de réalisation, la région d'isolation comporte une tranchée additionnelle périphérique possédant au moins une enveloppe isolante, s'étendant depuis ladite face avant à travers ladite tranchée périphérique isolante (par exemple du type tranchée peu profonde) et possédant une partie inférieure s'étendant sous cette tranchée périphérique isolante jusqu'au contact de ladite couche semiconductrice enterrée.

30 Selon une autre variante possible de réalisation, cette tranchée additionnelle périphérique possédant au moins une enveloppe isolante s'étend depuis la face avant à travers ladite tranchée périphérique isolante et possède une partie inférieure s'étendant sous cette tranchée périphérique isolante à distance de la couche semiconductrice enterrée

et une zone implantée de type de conductivité N située entre ladite partie inférieure et ladite couche semiconductrice enterrée.

5 En d'autres termes, dans cette variante, la tranchée additionnelle périphérique ne vient pas contacter la couche isolante enterrée et l'isolation du caisson est alors réalisée par cette zone implantée de type de conductivité N.

Ladite au moins une première tranchée peut alors s'étendre entre deux endroits de la tranchée additionnelle périphérique.

10 Cette tranchée additionnelle périphérique peut être totalement isolante.

Il peut en être de même pour ladite au moins une première tranchée.

15 A titre d'exemple, les moyens de détection peuvent comporter des moyens de polarisation configurés pour appliquer une différence de potentiel entre lesdites deux zones de contact, ainsi que des moyens de mesure configurés pour mesurer le courant circulant entre lesdites deux zones de contact.

20 Au lieu que la tranchée additionnelle périphérique et ladite au moins une première tranchée soient totalement isolantes, elles peuvent comporter chacune une région centrale électriquement conductrice, par exemple du polysilicium, enveloppée dans une enveloppe isolante, par exemple du dioxyde de silicium.

Dans ce cas, ces tranchées peuvent aussi être utilisées pour former des condensateurs de découplage.

25 A cet égard, selon un mode de réalisation, ledit groupe peut comporter plusieurs premières tranchées parallèles reliant deux bords opposés de ladite tranchée additionnelle périphérique.

30 Les moyens de détection peuvent alors comporter des premiers moyens de polarisation configurés pour appliquer une première différence de potentiel entre lesdites deux zones de contact et des moyens de mesure configurés pour mesurer le courant circulant entre lesdites deux zones de contact, et le circuit intégré peut comprendre des deuxièmes moyens de polarisation configurés pour appliquer une deuxième différence de potentiel entre la région centrale de ladite

tranchée additionnelle périphérique et ledit au moins un caisson semiconducteur (ce qui permet de réaliser les condensateurs de découplage entre la tension d'alimentation et la masse).

5 L'invention est également avantageusement compatible avec la réalisation, au sein du circuit intégré, d'un dispositif de mémoire comportant un plan mémoire possédant des cellules-mémoire non volatiles et des transistors de sélection à grille enterrée car ladite au moins une première tranchée peut avoir une profondeur sensiblement égale à celle desdites grilles enterrées.

10 Lorsque le circuit intégré comporte plusieurs caissons, le dispositif peut comprendre en outre des moyens de couplage configurés pour coupler électriquement en série deux caissons adjacents de façon à former une chaîne de caissons électriquement couplés en série, les moyens de couplage étant disposés entre les deux
15 groupes d'au moins une première tranchée s'étendant respectivement dans lesdits deux caissons adjacents.

Les deux zones de contact sont alors respectivement situées de part et d'autre des deux groupes d'au moins une première tranchée s'étendant respectivement dans les deux caissons respectivement situés
20 aux deux extrémités de ladite chaîne.

Les moyens de détection sont alors configurés pour mesurer une grandeur physique représentative de la résistance électrique de la chaîne de caissons entre lesdites deux zones de contact.

25 Une telle structure de caissons chaînés peut aussi être utilisée en tant que telle, c'est-à-dire non nécessairement en combinaison avec un dispositif de détection d'un amincissement de substrat, de façon à créer dans le circuit intégré un circuit ou chemin résistif ayant une forte valeur résistive tout en présentant un encombrement réduit, ce qui est particulièrement intéressant dans des applications analogiques.

30 Ainsi selon un autre aspect il est proposé un circuit intégré, comprenant un substrat semiconducteur ayant une face arrière et une face avant et incluant

un ensemble de plusieurs (au moins deux) caissons semiconducteurs électriquement isolés du reste du substrat,

un groupe d'au moins une première tranchée s'étendant dans chaque caisson entre deux endroits de sa périphérie et depuis ladite face avant jusqu'à un emplacement situé à distance du fond dudit caisson, ladite au moins une première tranchée étant électriquement isolée dudit caisson,

5

des moyens de couplage configurés pour coupler électriquement en série deux caissons adjacents de façon à former une chaîne de caissons électriquement couplés en série, les moyens de couplage étant disposés entre les deux groupes d'au moins une première tranchée s'étendant respectivement dans lesdits deux caissons adjacents, et

10

deux zones de contact respectivement situées de part et d'autre des deux groupes d'au moins une première tranchée s'étendant respectivement dans les deux caissons respectivement situés aux deux extrémités de ladite chaîne,

15

de façon à former un circuit résistif s'étendant entre lesdites deux zones de contact.

Selon un autre aspect, il est proposé un objet, par exemple une carte à puce ou un appareil électronique, tel que par exemple un téléphone mobile cellulaire ou une tablette, comportant un circuit intégré tel que défini ci-avant.

20

Selon un autre aspect, il est proposé un procédé de détection d'un amincissement du substrat semiconducteur d'un circuit intégré depuis sa face arrière, le substrat incluant un ensemble d'au moins un caisson semiconducteur électriquement isolé du reste du substrat et comportant un groupe d'au moins une première tranchée s'étendant dans ledit au moins un caisson entre deux endroits de sa périphérie et depuis la face avant du substrat jusqu'à un emplacement situé à distance du fond dudit au moins un caisson, ladite au moins une première tranchée étant électriquement isolée du caisson, le procédé comprenant une mesure d'une grandeur physique représentative de la résistance électrique du caisson entre deux zones de contact respectivement situées de part et d'autre dudit groupe d'au moins une première tranchée.

30

D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de mise en œuvre et de réalisation, nullement limitatifs, et des dessins annexés sur lesquels :

5 -les figures 1 à 11 illustrent schématiquement différents modes de mise en œuvre et de réalisation de l'invention.

10 Sur la figure 1 et sur la figure 2, la référence IC désigne un circuit intégré comportant notamment un ensemble ENS1 de caissons semiconducteurs ici de type de conductivité P, réalisés au sein d'un substrat semiconducteur SB également de type de conductivité P.

15 Dans l'exemple décrit ici, l'ensemble ENS1 comporte deux caissons semiconducteurs CS1 et CS2. A des fins de simplification des figures, seul le caisson CS1 est représenté sur la figure 1 et, de ce fait, la partie gauche de la figure 2 est une vue en coupe selon la ligne II-II de la figure 1.

 Comme on va le voir maintenant, chaque caisson CS1, CS2 est électriquement isolé de la partie inférieure 3 du substrat SB par une région d'isolation comportant un certain nombre d'éléments.

20 Plus particulièrement, si, à des fins de simplification, l'on se réfère uniquement au caisson CS1, on voit que la région d'isolation comporte une tranchée périphérique isolante 1, par exemple du type tranchée peu profonde (STI : « Shallow Trench Isolation ») entourant le caisson CS1 et s'étendant dans le substrat depuis la face avant FV ou face supérieure.

25 La région d'isolation comporte également une couche semiconductrice 2, enterrée dans le substrat, sous le caisson CS1 et d'ailleurs également sous le caisson CS2, et de type de conductivité N.

30 La région d'isolation comporte également une zone isolante périphérique intermédiaire entourant le caisson CS1 et configurée pour assurer une continuité d'isolation électrique entre la couche semiconductrice enterrée 2 et la tranchée périphérique isolante 1.

 Dans l'exemple illustré sur la figure 1 et sur la figure 2, la région d'isolation comporte une tranchée additionnelle périphérique TR3 s'étendant depuis la face avant FV à travers la tranchée

périphérique isolante 1 et possédant une partie inférieure TR1200 s'étendant sous cette tranchée périphérique isolante 1 jusqu'au contact de la couche semiconductrice enterrée.

5 Cette partie inférieure TR1200 forme ici la zone isolante périphérique intermédiaire qui permet d'assurer la continuité d'isolation électrique entre la couche semiconductrice enterrée 2 et la tranchée isolante périphérique 1.

10 Comme on le voit sur ces figures 1 et 2, la tranchée additionnelle périphérique TR3 qui entoure le caisson CS1, est ici de forme rectangulaire et comporte deux premières branches TR12 parallèles formant ici les petits côtés du rectangle et deux autres branches parallèles TR31 et TR32 formant les deux grands côtés du rectangle.

15 Dans l'exemple illustré sur ces figures 1 et 2, cette tranchée additionnelle périphérique TR3 est entièrement isolante et comporte par exemple du dioxyde de silicium.

Le circuit intégré IC comporte également un dispositif DIS de détection d'un amincissement du substrat SB par sa face arrière FR.

20 Le dispositif DIS comporte ici une première tranchée TR11 s'étendant dans le caisson CS1 entre deux endroits de la tranchée additionnelle périphérique TR3, et plus particulièrement entre les deux bords opposés TR31 et TR32 de cette tranchée additionnelle périphérique.

25 La première tranchée TR11 s'étend depuis la face avant FV jusqu'à un emplacement situé à distance du fond du caisson CS1 c'est-à-dire ici à distance de la couche semiconductrice enterrée 2.

La profondeur de cette première tranchée TR11 est notée PR.

Cette première tranchée est électriquement isolée du caisson.

30 A cet égard, dans le mode de réalisation illustré sur les figures 1 et 2, la première tranchée TR11 est totalement isolante et comporte par exemple du dioxyde de silicium.

Une première tranchée TR21, de structure analogue à la première tranchée TR11, est réalisée dans l'autre caisson

semiconducteur CS2 dont la région d'isolation latérale comporte une autre tranchée additionnelle périphérique TR3.

5 Le dispositif DIS comporte également des moyens de détection 4 configurés pour mesurer une grandeur physique représentative de la résistance électrique du caisson CS1 entre deux zones de contact ZC1, ZC2 respectivement situées de part et d'autre de la première tranchée TR11.

10 Par analogie, le dispositif DIS comporte également des moyens de détection 4 configurés pour mesurer une grandeur physique représentative de la résistance électrique du caisson CS2 entre deux zones de contact ZC3 et ZC4 respectivement situées de part et d'autre de la première tranchée correspondante TR21.

15 En effet, la mesure de cette grandeur physique représentative de la résistance électrique d'un caisson permet de détecter l'amincissement du substrat SB depuis sa face arrière.

20 En effet, plus le substrat SB va être aminci jusqu'à amincir le caisson CSi correspondant, plus la résistance électrique de ce caisson CSi va augmenter jusqu'à devenir quasiment infinie lorsque l'amincissement aura atteint l'extrémité inférieure de la première tranchée correspondante TR11 (TR21).

25 A cet égard, à titre d'exemple non limitatif, les moyens de détection 4 peuvent comporter des moyens de polarisation 40 configurés pour appliquer une différence de potentiel entre les deux zones de contact ZC1, ZC2, par exemple une tension d'alimentation VDD sur le contact ZC1 et la masse sur le contact ZC2, et des moyens de mesure 41 configurés pour mesurer le courant circulant entre les deux zones de contact.

30 Il peut être également prévu des moyens de comparaison aptes à comparer la valeur mesurée du courant avec une valeur de référence correspondant à la valeur du courant en l'absence d'un amincissement du caisson.

En variante, il serait également possible de prévoir que les moyens de détection comportent un comparateur dont l'entrée non inverseuse serait reliée à un pont diviseur de tension et dont l'entrée

inverseuse serait reliée à l'un des contacts ZC1 ou ZC2. Le comparateur compare alors la tension présente sur le contact avec la tension de référence fournie par le diviseur de tension et délivre un signal dont la valeur est représentative du fait que la tension présente sur le contact est inférieure ou non à la tension de référence.

Et cette tension est bien une grandeur représentative du courant circulant dans le chemin résistif formé par les deux zones de contact ZC1 et ZC2 et le caisson C1, et notamment la résistance de ce caisson CS1.

La figure 3 illustre une variante de réalisation de la zone isolante périphérique intermédiaire entourant le caisson CS1 et configurée pour assurer une continuité d'isolation électrique entre la couche semiconductrice enterrée 2 et la couche périphérique isolante 1.

Dans ce mode de réalisation, la partie inférieure TR1200 de la tranchée additionnelle périphérique TR3 ne vient pas au contact de la zone semiconductrice enterrée 2. Et, la zone isolante périphérique intermédiaire comporte alors cette partie inférieure TR1200 ainsi qu'une zone implantée 50 de type de conductivité N (et donc de type de conductivité identique au type de conductivité de la couche 2) située entre ladite partie inférieure TR1200 et la couche semiconductrice enterrée 2.

Il convient de noter que la première tranchée TR11 est prolongée également par une zone implantée de type de conductivité N, référencée 51, ce qui permet d'augmenter la profondeur et de s'approcher encore plus près de la couche semiconductrice enterrée 2.

Alors que dans les modes de réalisation qui viennent d'être décrits, chaque première tranchée et chaque tranchée additionnelle périphérique sont totalement isolantes, il est possible, comme illustré sur la figure 4, que chaque première tranchée (référencée TR110 sur la figure 4) et chaque tranchée additionnelle périphérique (référencée TR130 sur la figure 4) comportent chacune une région centrale RC électriquement conductrice, par exemple en polysilicium, enveloppée dans une enveloppe isolante ENV, par exemple en dioxyde de silicium.

Et, comme illustré sur la figure 4, une telle tranchée TR110 (TR130) peut avantageusement être complétée par une zone implantée de type de conductivité N 50(51).

5 L'utilisation de tranchées comportant une région centrale électriquement conductrice enveloppée dans une enveloppe isolante ENV permet d'utiliser ces tranchées pour former des condensateurs de découplage comme cela va être expliqué plus en détail ci-après.

10 Comme on vient de le voir, le fond de la première tranchée TR11 peut être à distance de la couche semiconductrice enterrée 3.

10 Ceci est compatible avec un procédé de réalisation d'un dispositif de mémoire (réalisé dans un autre endroit du circuit intégré) dont le plan mémoire PM possède, comme illustré schématiquement sur la figure 5, des cellules mémoires non volatiles CEL et des transistors de sélection à grille enterrée TSL.

15 Plus précisément, chaque cellule-mémoire CEL comporte un transistor à grille flottante TGF réalisé dans et sur un caisson semiconducteur de type P séparé du substrat sous-jacent de type P par une couche semiconductrice de type N (non représentée ici à des fins de simplification).

20 De façon classique, chaque transistor à grille flottante comporte une grille flottante GF, par exemple en polysilicium, et une grille de commande CG.

25 Chaque transistor de sélection TSL permet de sélectionner une rangée de cellules et est un transistor MOS dont la grille GTSL est une grille enterrée dans le caisson de type P et électriquement isolée de ce caisson par un oxyde de grille OX, typiquement du dioxyde de silicium.

30 La grille enterrée GTSL est commune aux deux transistors de sélection TSL adjacents dont les deux oxydes de grille OX sont respectivement situés sur les deux flancs de cette grille enterrée.

Et, comme illustré sur la figure 5, la profondeur PR des tranchées ayant permis la réalisation des grilles de sélection enterrées GTSL est alors avantageusement identique ou sensiblement identique à la profondeur PR de chaque première tranchée TR11.

On se réfère maintenant plus particulièrement aux figures 6 à 8 pour décrire une structure de tranchée permettant de combiner une détection d'un amincissement du substrat par la face arrière et une formation de condensateurs de découplage entre la tension d'alimentation VDD et la masse GND.

A cet égard, toutes les tranchées comportent comme illustré sur la figure 4 une région centrale électriquement conductrice, par exemple en polysilicium, enveloppée dans une enveloppe isolante ENV jouant le rôle d'un diélectrique de condensateur.

Par ailleurs, dans l'exemple illustré sur la figure 7 qui est une vue en coupe sur la ligne VII-VII de la figure 6, les tranchées sont prolongées au niveau de leur partie inférieure par des régions implantées de type de conductivité N 50 ou 51.

Dans cet exemple, la tranchée additionnelle périphérique TR 130 est encore de forme rectangulaire et le dispositif DIS de détection d'un amincissement du substrat par la face arrière FR comporte ici au sein du caisson CS1 un groupe de plusieurs premières tranchées TR110 toutes parallèles et s'étendant entre les deux grands bords opposés TR1301 et TR1302 de la tranchée additionnelle périphérique TR130.

Une première zone de contact ZC1 est disposée au contact du caisson CS1 et une deuxième zone de contact ZC2 est disposée au contact du caisson CS1 de l'autre côté du groupe de première tranchée TR110.

Par ailleurs, une troisième zone de contact ZC3 est disposée au contact de la tranchée additionnelle périphérique TR130.

A cet égard, le circuit intégré IC comporte un premier rail d'alimentation RL1 destiné à véhiculer la tension d'alimentation VDD et un deuxième rail d'alimentation RL2 destiné à être relié à la masse GND.

Les contacts ZC1 sont reliés aux rails RL1 par des vias (non représentés ici) et une métallisation ML1.

De même, les contacts ZC3 sont reliés aux rails RL2 par des vias et une autre métallisation ML3.

Enfin, les contacts ZC2 sont reliés par des vias à une autre métallisation ML2.

5 Et, comme on le voit sur la figure 8, les moyens de détection 4 comportent des premiers moyens de polarisation 40 configurés pour appliquer, via les métallisations ML1 et ML2, une première différence de potentiel entre les deux zones de contact ZC1 et ZC2 ainsi que des moyens de mesure 41 configurés pour mesurer par exemple le courant circulant entre ces deux zones de contact ZC1 et ZC2.

10 Par ailleurs, des deuxièmes moyens de polarisation 43, sont configurés pour appliquer, via les métallisations ML1 et ML3, une deuxième différence de potentiel (typiquement la différence VDD-GND) entre la région centrale de la tranchée additionnelle périphérique TR130 et le caisson semiconducteur CS1, ce qui permet de réaliser des condensateurs de découplage entre la tension d'alimentation et la masse.

15 Comme on le voit sur la figure 9, il est possible de coupler électriquement en série plusieurs caissons (ici seulement deux caissons sont représentés) équipés chacun d'au moins une première tranchée TR11, TR21, de façon à former une chaîne de caissons électriquement couplés en série.

20 Sur la figure 9, les caissons CS1 et CS2 sont du type de ceux illustrés sur la figure 2, c'est-à-dire des caissons de type de conductivité P électriquement isolés du reste 3 du substrat par la région isolante 1, TR1200, 2.

25 En variante, les caissons pourraient être aussi des caissons de type N dans un substrat P.

30 Sur la figure 9, les moyens de couplage permettant le couplage électrique entre deux caissons adjacents CS1 et CS2 comportent une métallisation MTL et des vias V1 et V2 reliant les deux zones de contact ZC2 et ZC3.

Bien entendu les caissons pourraient être du type comportant des groupes de plusieurs premières tranchées.

Le dispositif DIS comporte alors des moyens de détection 4, par exemple du type de ceux décrits précédemment, configurés pour

mesurer une grandeur physique représentative de la résistance électrique entre les deux zones de contact ZC1, ZC4 respectivement situées de part et d'autre des deux premières tranchées TR11 et TR21 s'étendant dans les caissons disposés aux deux extrémités de la chaîne de caissons.

5 Comme on le voit sur la figure 10, il est aussi possible d'utiliser cette structure de chaîne de caissons électriquement couplés en série pour réaliser au sein du circuit intégré IC un circuit résistif RES ayant une grande valeur résistive tout en présentant un encombrement réduit.

10 Ceci est particulièrement intéressant pour des applications analogiques.

Le circuit intégré IC peut comporter un tel circuit résistif RES sans nécessairement comporter de dispositif DIS de détection d'un amincissement du substrat par la face arrière.

15 Cela étant si le circuit intégré comporte à la fois un tel circuit résistif RES et un dispositif DIS de détection d'un amincissement du substrat par la face arrière, le circuit RES et le dispositif DIS peuvent être disposés à des endroits différents du circuit intégré.

20 Sur la figure 10, les caissons CS1 et CS2 sont comme sur la figure 9, du type de ceux illustrés sur la figure 2, c'est-à-dire des caissons de type de conductivité P électriquement isolés du reste 3 du substrat par la région isolante 1, TR1200, 2.

25 Cela étant les caissons pourraient être aussi des caissons de type N dans un substrat P.

Les moyens de couplage permettant le couplage électrique entre les deux caissons adjacents CS1 et CS2 comportent ici une métallisation MTL et des vias V1 et V2 reliant les deux zones de contact ZC2 et ZC3.

30 Ainsi le circuit résistif RES s'étend notamment dans la chaîne de caissons, ici les deux caissons CS1 et CS2, entre les deux zones de contact ZC1 et ZC4 qui sont situées sur les caissons localisés aux deux extrémités de la chaîne de caissons CS1, CS2 de part et d'autre des

deux premières tranchées TR11 et TR21 s'étendant dans ces caissons d'extrémité.

5 Bien entendu les caissons pourraient être du type de celui illustré sur les figures 6 et 7, c'est-à-dire comportant des groupes de plusieurs premières tranchées.

Un tel circuit intégré IC peut être incorporé dans tout objet, notamment une carte à puce CP, comme illustré très schématiquement sur la figure 11.

REVENDICATIONS

1. Procédé de détection d'un amincissement du substrat
semiconducteur d'un circuit intégré depuis sa face arrière, le substrat
incluant un ensemble d'au moins un caisson semiconducteur (CS1,
5 CS2) électriquement isolé du reste (3) du substrat et comportant un
groupe d'au moins une première tranchée (TR11) s'étendant dans ledit
au moins un caisson entre deux endroits de sa périphérie et depuis la
face avant (FV) du substrat jusqu'à un emplacement situé à distance du
fond dudit au moins un caisson (CS1), ladite au moins une première
10 tranchée (TR11) étant électriquement isolée du caisson, le procédé
comprenant une mesure d'une grandeur physique représentative de la
résistance électrique du caisson entre deux zones de contact (ZC1,
ZC2) respectivement situées de part et d'autre dudit groupe d'au moins
une première tranchée (TR11).

15 2. Circuit intégré, comprenant :

- un substrat semiconducteur (SB) ayant une face arrière
(FR) et une face avant (FV) et incluant un ensemble d'au
moins un caisson semiconducteur (CS1, CS2)
électriquement isolé du reste (3) du substrat, et
- 20 - un dispositif (DIS) de détection d'un amincissement du
substrat par sa face arrière, ledit dispositif (DIS)
comportant
 - un groupe d'au moins une première tranchée
25 (TR11) s'étendant dans ledit au moins un caisson
entre deux endroits de sa périphérie et depuis ladite
face avant jusqu'à un emplacement situé à distance
du fond dudit au moins un caisson, ladite au moins
une première tranchée (TR11) étant électriquement
isolée du caisson, et
 - 30 ○ des moyens de détection (4) configurés pour
mesurer une grandeur physique représentative de la
résistance électrique du caisson entre deux zones de
contact (ZC1, ZC2) respectivement situées de part

et d'autre dudit groupe d'au moins une première tranchée.

5 3. Circuit intégré selon la revendication 2, dans lequel les moyens de détection comportent des moyens de polarisation (40) configurés pour appliquer une différence de potentiel entre lesdites deux zones de contact (ZC1, ZC2 ; ZC1, ZC4)) et des moyens de mesure (41) configurés pour mesurer le courant circulant entre lesdites deux zones de contact.

4. Circuit intégré, comprenant

10 - un substrat semiconducteur (SB) ayant une face arrière (FR) et une face avant (FV) et incluant un ensemble de plusieurs caissons semiconducteurs (CS1, CS2) électriquement isolés du reste (3) du substrat,

15 - un groupe d'au moins une première tranchée (TR11, TR21) s'étendant dans chaque caisson entre deux endroits de sa périphérie et depuis ladite face avant jusqu'à un emplacement situé à distance du fond dudit caisson, ladite au moins une première tranchée (TR11, TR21) étant électriquement isolée dudit caisson,

20 - des moyens de couplage (MTL, V1, V2) configurés pour coupler électriquement en série deux caissons adjacents de façon à former une chaîne de caissons électriquement couplés en série, les moyens de couplage étant disposés entre les deux groupes d'au moins une première tranchée s'étendant respectivement dans lesdits deux caissons adjacents, et

25 - deux zones de contact (ZC1, ZC4) respectivement situées de part et d'autre des deux groupes d'au moins une première tranchée s'étendant respectivement dans les deux caissons respectivement situés aux deux extrémités de ladite chaîne, de façon à former un circuit résistif (RES) s'étendant entre lesdites deux zones de contact (ZC1, ZC4).

30 5. Circuit intégré selon la revendication 2, 3 ou 4, dans lequel ledit substrat et ledit au moins un caisson sont de type de conductivité P, et ledit au moins un caisson est électriquement isolé du substrat par une région d'isolation comportant une tranchée périphérique isolante

- (1) s'étendant dans le substrat depuis la face avant et entourant ledit au moins un caisson (CS1), une couche semiconductrice (2) de type de conductivité N enterrée dans le substrat sous ledit au moins un caisson, et une zone isolante périphérique intermédiaire (TR1200, 50) entourant ledit au moins un caisson et configurée pour assurer une continuité d'isolation électrique entre ladite couche semiconductrice enterrée (2) et la tranchée périphérique isolante (1), et ladite au moins une première tranchée (TR11) s'étend au moins entre deux endroits de la tranchée périphérique isolante.
- 5
- 10 6. Circuit intégré selon la revendication 5, dans lequel la région d'isolation comporte une tranchée additionnelle périphérique (TR12) possédant au moins une enveloppe isolante, s'étendant depuis ladite face avant à travers ladite tranchée périphérique isolante et possédant une partie inférieure (TR1200) s'étendant sous cette
- 15 tranchée périphérique isolante jusqu'au contact de ladite couche semiconductrice enterrée.
7. Circuit intégré selon la revendication 6, dans lequel la région d'isolation comporte une tranchée additionnelle périphérique (TR12) possédant au moins une enveloppe isolante, s'étendant depuis
- 20 ladite face avant à travers ladite tranchée périphérique isolante et possédant une partie inférieure (TR1200) s'étendant sous cette tranchée périphérique isolante (1) à distance de la couche semiconductrice enterrée (2), et une zone implantée (50) de type de conductivité N située entre ladite partie inférieure (TR1200) et ladite
- 25 couche semiconductrice enterrée (2).
8. Circuit intégré selon la revendication 6 ou 7, dans lequel ladite au moins une première tranchée (TR11) s'étend entre deux endroits de la tranchée additionnelle périphérique.
9. Circuit intégré selon la revendication 6, 7 ou 8, dans lequel
- 30 ladite tranchée additionnelle périphérique (TR12) est totalement isolante.
10. Circuit intégré selon l'une des revendications 2 à 9, dans lequel ladite au moins une première tranchée (TR11) est totalement isolante.

11. Circuit intégré selon l'une des revendications 2 à 10, dans lequel ledit groupe comprend plusieurs premières tranchées (TR110).

5 12. Circuit intégré selon la revendication 7, 8 ou 9, dans lequel ladite tranchée additionnelle périphérique (TR130) et ladite au moins une première tranchée (TR110) comportent chacune une région centrale électriquement conductrice (RC) enveloppée dans une enveloppe isolante (ENV).

10 13. Circuit intégré selon la revendication 12, dans lequel ledit groupe comporte plusieurs premières tranchées parallèles (TR110) reliant deux bords opposés (TR1301, TR1302) de ladite tranchée additionnelle périphérique (TR130).

15 14. Circuit intégré selon la revendication 2 ou 3 prise en combinaison avec la revendication 12 ou 13, dans lequel les moyens de détection (4) comportent des premiers moyens de polarisation (40) configurés pour appliquer une première différence de potentiel entre lesdites deux zones de contact (ZC1, ZC2) et des moyens de mesure (41) configurés pour mesurer le courant circulant entre lesdites deux zones de contact, et le circuit intégré comprend des deuxièmes moyens de polarisation (43) configurés pour appliquer une deuxième différence de potentiel entre la région centrale de ladite tranchée additionnelle périphérique (TR130) et ledit au moins un caisson semiconducteur (CS1).

20 25 15. Circuit intégré selon l'une des revendications 2 à 14, comprenant un dispositif de mémoire (DM) comportant un plan mémoire (PM) possédant des cellules-mémoires non-volatiles (CEL) et des transistors de sélection (TSL) à grilles enterrées, ladite au moins une première tranchée (4) ayant une profondeur (PR) sensiblement égale à celle desdites grilles enterrées.

30 16. Circuit intégré selon l'une quelconque des revendications 2, 3 et 5 à 15, dans lequel ledit ensemble comprend plusieurs caissons semiconducteurs (CS1, CS2).

17. Circuit intégré selon la revendication 16 prise en combinaison avec la revendication 2 ou 3, comprenant en outre des moyens de couplage (MTL, V1, V2) configurés pour coupler

électriquement en série deux caissons adjacents de façon à former une chaîne de caissons électriquement couplés en série, les moyens de couplage étant disposés entre les deux groupes d'au moins une première tranchée s'étendant respectivement dans lesdits deux caissons adjacents, et les deux zones de contact (ZC1, ZC4) sont respectivement situées de part et d'autre des deux groupes d'au moins une première tranchée s'étendant respectivement dans les deux caissons respectivement situés aux deux extrémités de ladite chaîne, les moyens de détection (4) étant configurés pour mesurer une grandeur physique représentative de la résistance électrique de la chaîne de caissons entre lesdites deux zones de contact (ZC1, ZC4).

18. Objet contenant un circuit intégré (IC) selon l'une des revendications 2 à 17.

19. Objet selon la revendication 18 formant une carte à puce (CP).

1/6
FIG.1

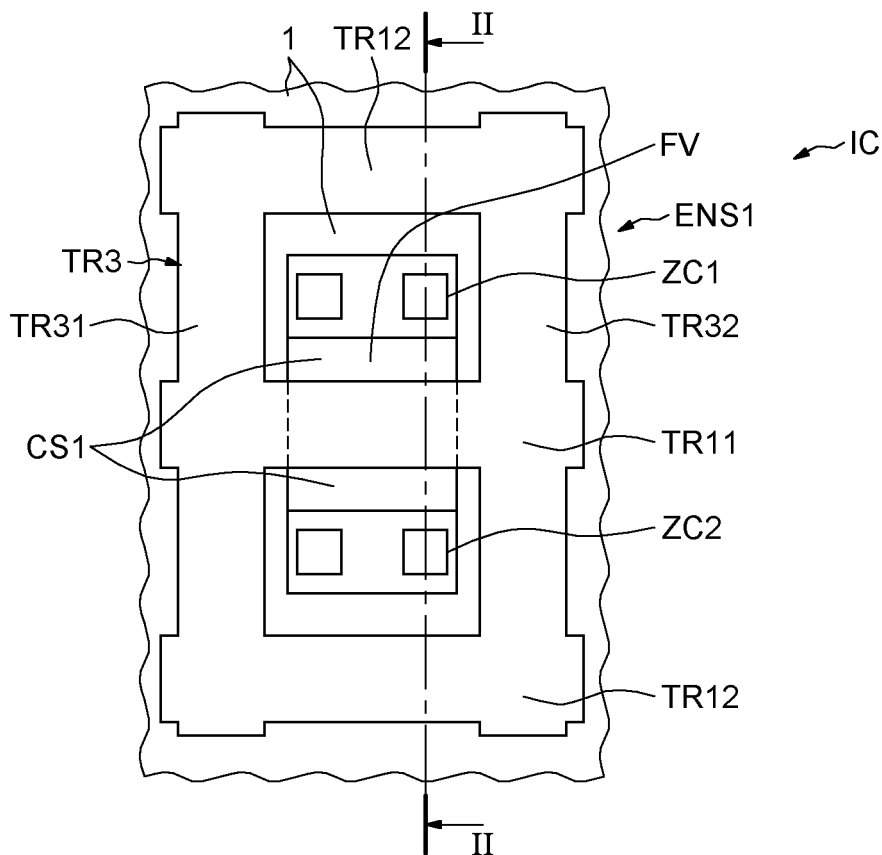
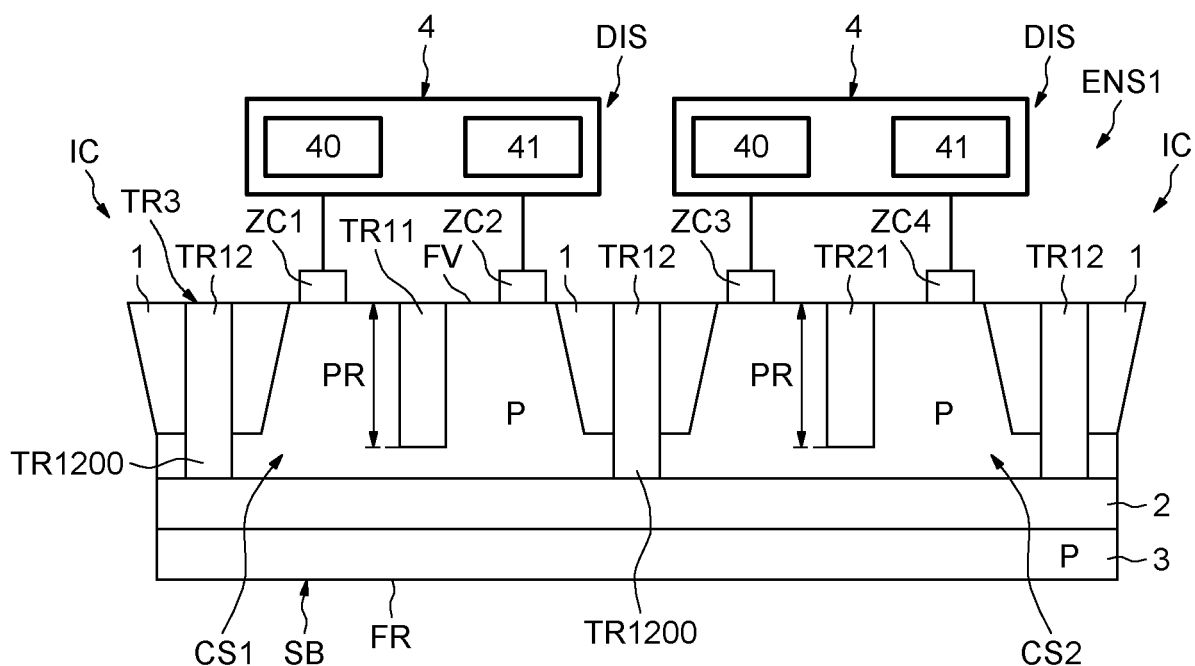


FIG.2



2/6
FIG.3

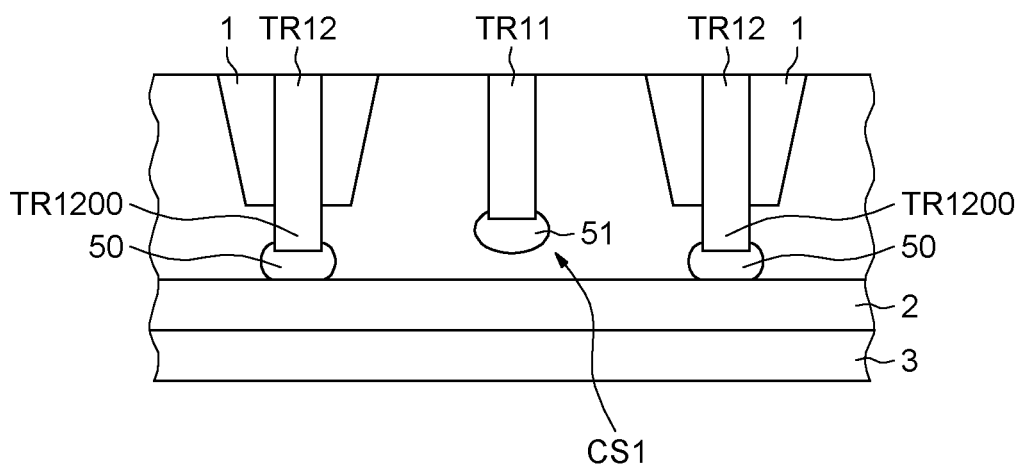
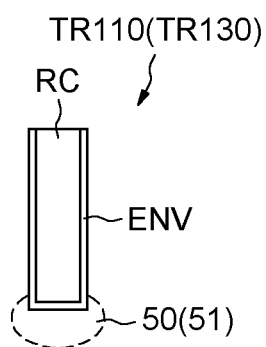
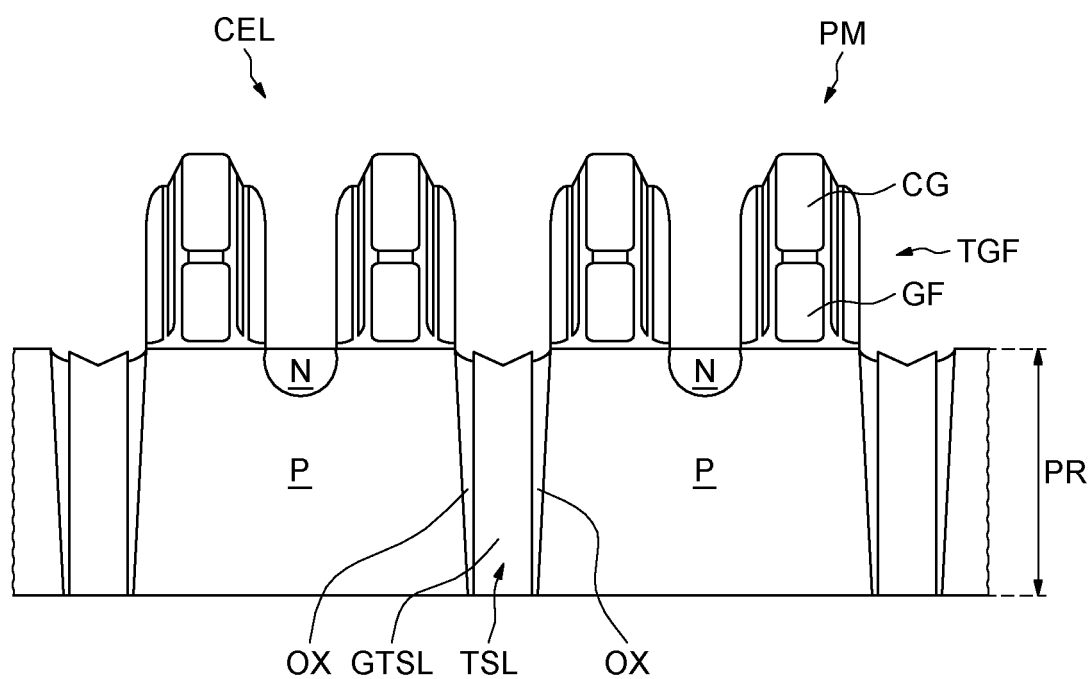


FIG.4



3/6
FIG.5

4/6
FIG.6

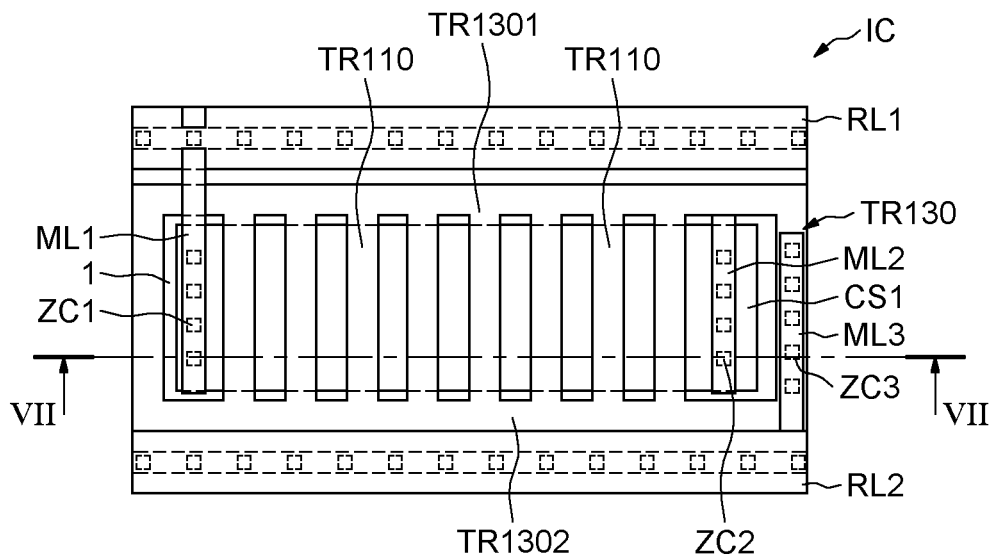


FIG.7

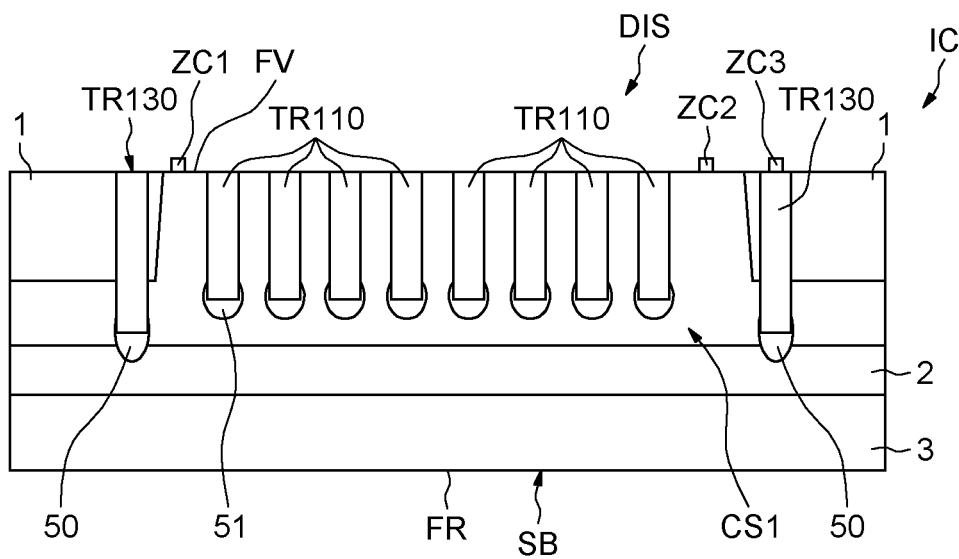
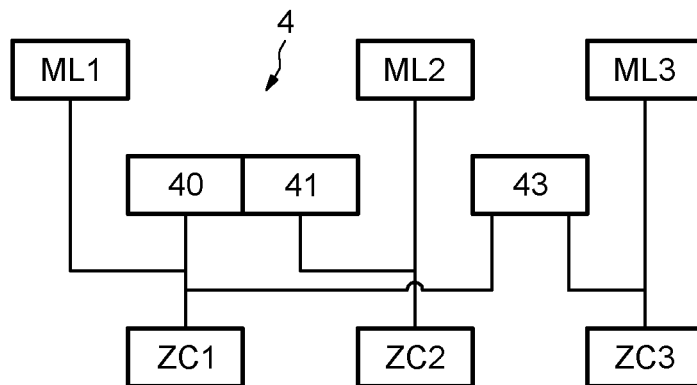


FIG.8



5/6
FIG. 9

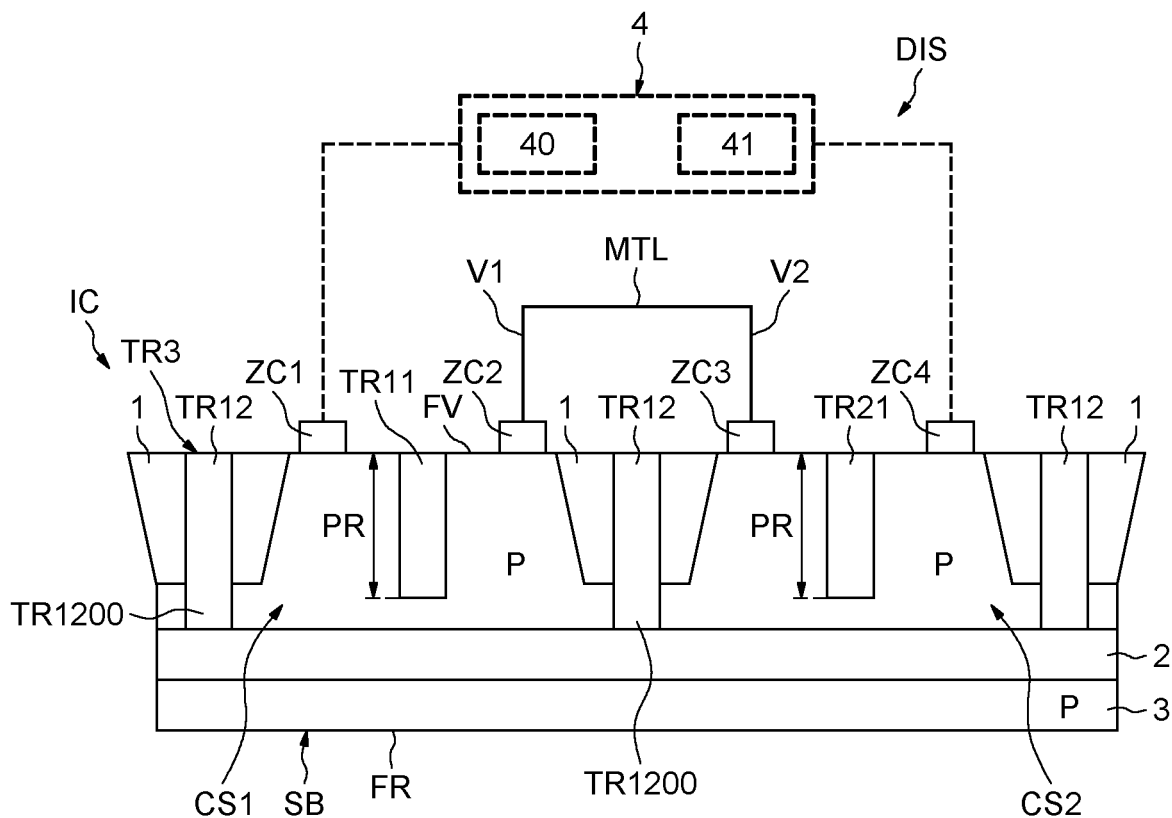
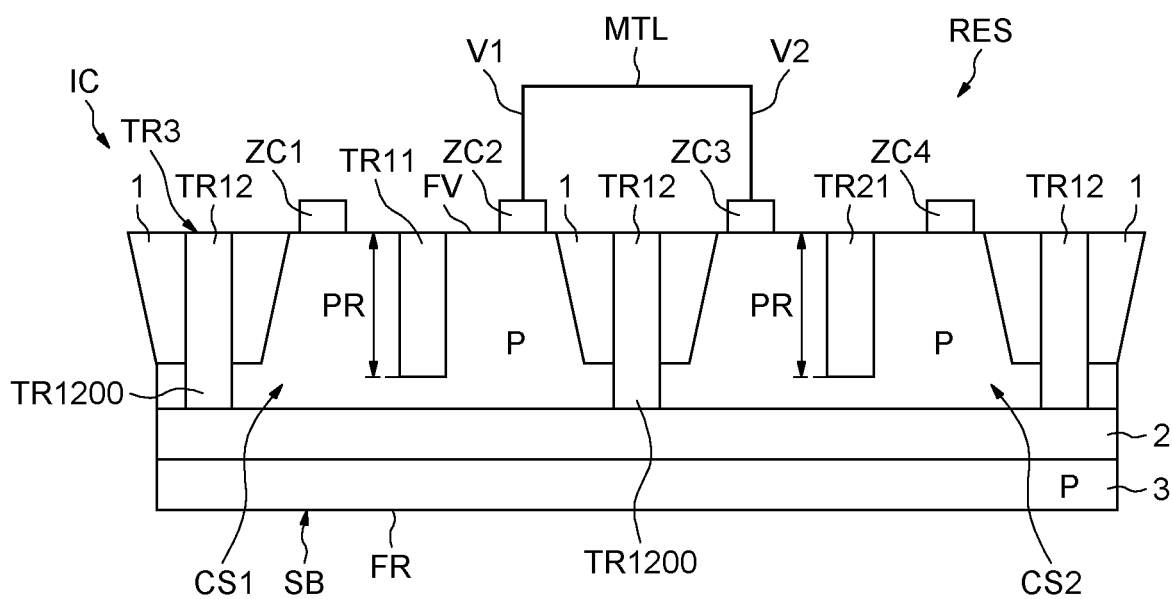
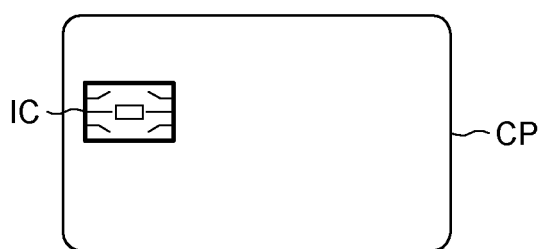


FIG. 10



6/6
FIG.11





**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 838785
FR 1751595

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
E	WO 2017/186887 A1 (NAGRAVISION SA [CH]) 2 novembre 2017 (2017-11-02) * colonne 6, ligne 20 - colonne 7, ligne 15; figure 3 *	1-19	H01L21/66 H05K1/02 H01L21/02
A	FR 3 012 237 A1 (COMMISSARIAT ENERGIE ATOMIQUE [FR]) 24 avril 2015 (2015-04-24) * page 13, lignes 5-28; figure 1 *	1-19	
A	EP 2 535 933 A1 (ST MICROELECTRONICS ROUSSET [FR]) 19 décembre 2012 (2012-12-19) * alinéas [0004], [0042] - [0046]; figure 3 *	1-19	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
24 novembre 2017		Cortes Rosa, João	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure	
Y : particulièrement pertinent en combinaison avec un		à la date de dépôt et qui n'a été publié qu'à cette date	
autre document de la même catégorie		de dépôt ou qu'à une date postérieure.	
A : arrière-plan technologique		D : cité dans la demande	
O : divulgation non-écrite		L : cité pour d'autres raisons	
P : document intercalaire		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1751595 FA 838785**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **24-11-2017**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 2017186887	A1	02-11-2017	AUCUN	

FR 3012237	A1	24-04-2015	EP 2866259 A1	29-04-2015
			FR 3012237 A1	24-04-2015
			US 2015108606 A1	23-04-2015

EP 2535933	A1	19-12-2012	EP 2535933 A1	19-12-2012
			FR 2976722 A1	21-12-2012
			US 2012320480 A1	20-12-2012
