

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3732841号  
(P3732841)

(45) 発行日 平成18年1月11日(2006.1.11)

(24) 登録日 平成17年10月21日(2005.10.21)

(51) Int. Cl. F I  
H03K 5/13 (2006.01) H03K 5/13

請求項の数 7 (全 11 頁)

(21) 出願番号	特願2003-192232 (P2003-192232)	(73) 特許権者	000003078
(22) 出願日	平成15年7月4日(2003.7.4)		株式会社東芝
(65) 公開番号	特開2005-27178 (P2005-27178A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成17年1月27日(2005.1.27)	(74) 代理人	100058479
審査請求日	平成15年10月2日(2003.10.2)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】 遅延回路

(57) 【特許請求の範囲】

【請求項1】

第1の電源と第1のノードの間に接続され、入力信号に応じてスイッチングされる第1のスイッチと、

電流通路の一端が前記第1のノードに接続され、前記入力信号に応じてスイッチングされる第2のスイッチと、

前記第2のスイッチの電流通路の他端と第2の電源との間に接続され、定電流からなる制御信号に応じて定電流を流す第3のスイッチと、

前記第1のノードと前記第2の電源との間に接続されキャパシタと、

第1の入力端に前記第1のノードの電位が供給され、第2の入力端に前記制御信号に応じた電位が供給され、前記第1のノードの電位と前記制御信号に応じた電位とを比較し、出力端子から出力信号を出力する差動増幅器と

を具備することを特徴とする遅延回路。

【請求項2】

前記差動増幅器は、

電流通路の一端に前記第1の電源が供給される第4のスイッチと、

電流通路の一端が前記第4のスイッチの他端に接続され電流通路の他端が前記第2の電源に接続され、ゲートが前記第1の入力端に接続された第5のスイッチと、

電流通路の一端に前記第1の電源が供給され、ゲートが前記第4のスイッチのゲート及び前記第4のスイッチの電流通路の他端に接続された第6のスイッチと、

10

20

電流通路の一端が前記第 6 のスイッチの他端に接続され電流通路の他端が前記第 2 の電源に接続され、ゲートが前記第 2 の入力端に接続された第 5 のスイッチとを具備することを特徴とする請求項 1 記載の遅延回路。

【請求項 3】

第 1 のカレントミラー回路と、  
電流通路の一端が前記第 1 の電源に接続され、ゲートが前記第 1 のカレントミラー回路の出力ノードに接続された第 7 のスイッチと、  
電流通路の一端が前記第 7 のスイッチの他端に接続され、他端が前記第 2 の電源に接続され、ゲートが前記第 7 のスイッチの他端、前記第 3 のスイッチのゲート、及び前記差動増幅器の第 2 の入力端に接続され、第 2 のカレントミラー回路を構成する第 8 のスイッチとを含む定電流源回路をさらに具備することを特徴とする請求項 1 記載の遅延回路。

10

【請求項 4】

第 1 の電源と第 1 のノードのスイッチングを行う第 1 のスイッチと、  
第 2 の電源と前記第 1 のノードのスイッチングを行う第 2 のスイッチと、  
前記第 1 のノードに一端が接続されるキャパシタと、  
定電流出力端子を有する定電流源と、  
前記定電流出力端子にドレインとゲートが共通接続され、ソースが前記第 1 の電源に接続される第 1 の第 1 タイプ MOS トランジスタと、  
前記第 1 のノードと前記定電流出力端子の電圧を比較し、比較結果を第 1 の出力端子に出力するカレントミラー型差動増幅器とを具備することを特徴とする遅延回路。

20

【請求項 5】

前記差動増幅器は、ソースが前記第 2 の電源に共通接続され、ゲートが共通接続される第 1、第 2 の第 2 タイプ MOS トランジスタと、ソースが前記第 1 の電源に共通接続され、ゲートがそれぞれ前記第 1 のノードと前記定電流出力端子に接続される第 2、第 3 の第 1 タイプ MOS トランジスタとにより構成され、前記第 1 の第 2 タイプ MOS トランジスタのドレインは前記第 2 の第 1 タイプ MOS トランジスタのドレインに接続され、前記第 2 の第 2 タイプ MOS トランジスタのドレインは前記第 3 の第 1 タイプ MOS トランジスタのドレインに接続され、前記第 1 の第 2 タイプ MOS トランジスタのドレインはさらにそのゲートに接続されることを特徴とする請求項 4 記載の遅延回路。

30

【請求項 6】

前記第 1 のスイッチは第 4、第 5 の第 1 タイプ MOS トランジスタが直列接続されて構成され、前記第 5 の第 1 タイプ MOS トランジスタのゲートは前記定電流出力端子に接続されることを特徴とする請求項 4 又は 5 記載の遅延回路。

【請求項 7】

前記第 2 のスイッチは第 3 の第 2 タイプ MOS トランジスタを含み、前記第 3 の第 2 タイプ MOS トランジスタのゲートと前記第 4 の第 1 タイプ MOS トランジスタのゲートは共通接続されることを特徴とする請求項 6 記載の遅延回路。

【発明の詳細な説明】

【0001】

40

【発明の属する技術分野】

本発明は、例えば半導体メモリなどの半導体装置に適用され、例えばノイズを除去するフィルタとしての機能を有する遅延回路に関する。

【0002】

【従来の技術】

半導体装置においては、種々の遅延時間を有する遅延回路が使われる。半導体装置において、もっとも典型的な遅延回路は、複数のインバータ回路により構成されたインバータ・チェーンである。1つのインバータ回路が有する遅延時間を  $1\text{ nsec}$  とすると、10個のインバータ回路により構成されたインバータ・チェーンは  $10\text{ nsec}$  の遅延時間を得ることができる。しかし、インバータ回路の特性は、電源電圧や温度、インバータ回路を

50

構成するトランジスタの加工精度によって変化する。このため、インバータ・チェーン・タイプの遅延回路の遅延時間は、時として大きくばらつく。また、抵抗素子とキャパシタを組み合わせたRC時定数を用いたタイプの遅延回路もある。しかし、この遅延回路も、抵抗素子やキャパシタの加工精度や温度によってその遅延時間がばらつく。

【0003】

近年、遅延回路を構成するトランジスタの加工ばらつきや電源電圧の変化、温度変化を補償することにより、安定した遅延時間が得られるように改良された遅延回路が提案されている(特許文献1、特許文献2、特許文献3参照)。さらに、電源電圧の上昇に伴い遅延時間が短くなる遅延回路が開発されている(特許文献4)。

【0004】

【特許文献1】

特開平8-70242号公報

【0005】

【特許文献2】

米国特許第5627488号明細書

【0006】

【特許文献3】

米国特許第5969557号明細書

【0007】

【特許文献4】

特開平8-190798号公報

【0008】

【発明が解決しようとする課題】

半導体装置は、その電源電圧が低下するに従い従来の遅延回路では安定な遅延時間が得られなくなりつつある。すなわち、遅延回路を構成するインバータ回路などの論理回路や、遅延信号を出力するための出力回路自体の遅延が顕在化し、遅延回路自体が安定でも、結果として得られる遅延時間が電源電圧によって大きくばらつく。

【0009】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、電源電圧に依存せず安定な遅延時間を得ることが可能な遅延回路を提供しようとするものである。

【0010】

【課題を解決するための手段】

本発明の一態様の遅延回路は、上記課題を解決するため、第1の電源と第1のノードの間に接続され、入力信号に応じてスイッチングされる第1のスイッチと、電流通路の一端が前記第1のノードに接続され、前記入力信号に応じてスイッチングされる第2のスイッチと、前記第2のスイッチの電流通路の他端と第2の電源との間に接続され、一定の電流からなる制御信号に応じて定電流を流す第3のスイッチと、前記第1のノードと前記第2の電源との間に接続されキャパシタと、第1の入力端に前記第1のノードの電位が供給され、第2の入力端に前記制御信号に応じた電位が供給され、前記第1のノードの電位と前記制御信号に応じた電位とを比較し、出力端子から出力信号を出力する差動増幅器とを具備している。

【0011】

前記差動増幅器は、電流通路の一端に前記第1の電源が供給される第4のスイッチと、電流通路の一端が前記第4のスイッチの他端に接続され電流通路の他端が前記第2の電源に接続され、ゲートが前記第1の入力端に接続された第5のスイッチと、電流通路の一端に前記第1の電源が供給され、ゲートが前記第4のスイッチのゲート及び前記第4のスイッチの電流通路の他端に接続された第6のスイッチと、電流通路の一端が前記第6のスイッチの他端に接続され電流通路の他端が前記第2の電源に接続され、ゲートが前記第2の入力端に接続された第5のスイッチとを具備している。

10

20

30

40

50

## 【 0 0 1 2 】

また、前記遅延回路は、第 1 のカレントミラー回路と、電流通路の一端が前記第 1 の電源に接続され、ゲートが前記第 1 のカレントミラー回路の出力ノードに接続された第 7 のスイッチと、電流通路の一端が前記第 7 のスイッチの他端に接続され、他端が前記第 2 の電源に接続され、ゲートが前記第 7 のスイッチの他端、前記第 3 のスイッチのゲート、及び前記差動増幅器の第 2 の入力端に接続され、第 2 のカレントミラー回路を構成する第 8 のスイッチとを含む定電流源回路をさらに具備している。

## 【 0 0 1 3 】

さらに、本発明の他の態様の遅延回路は、第 1 の電源と第 1 のノードのスイッチングを行う第 1 のスイッチと、第 2 の電源と前記第 1 のノードのスイッチングを行う第 2 のスイッチと、前記第 1 のノードに一端が接続されるキャパシタと、定電流出力端子を有する定電流源と、前記定電流出力端子にドレインとゲートが共通接続され、ソースが前記第 1 の電源に接続される第 1 の第 1 タイプ MOS トランジスタと、前記第 1 のノードと前記定電流出力端子の電圧を比較し、比較結果を第 1 の出力端子に出力するカレントミラー型差動増幅器とを具備している。

10

## 【 0 0 1 4 】

## 【 発明の実施の形態 】

以下、本発明の実施の形態について図面を参照して説明する。

## 【 0 0 1 5 】

図 1、図 2 は、本発明の実施形態を示す図である。図 1 は、遅延回路 10 を示し、図 2 は遅延回路 10 に定電流を供給する定電流源回路 20 を示している。ここで、 $Q_n$  の符号が付されたトランジスタは NMOS トランジスタである。 $Q_{ni}$  の符号が付されたトランジスタも NMOS トランジスタであるが、トランジスタ  $Q_n$  より低い閾値を有している。また、 $Q_p$  の符号が付されたトランジスタは PMOS トランジスタである。 $Q_{pi}$  の符号が付されたトランジスタも PMOS トランジスタであるが、トランジスタ  $Q_p$  より高い閾値を有している。すなわち、トランジスタ  $Q_{ni}$ 、 $Q_{pi}$  は、ほぼ 0 V の閾値電圧を有している。

20

## 【 0 0 1 6 】

図 1 において、ナンド回路 G1 の入力端には、入力信号 IN と制御信号 PON が供給される。制御信号 PON は、例えば半導体装置に電源が投入され、半導体装置内の電源電圧が所定のレベルに達した時に発生される信号である。電源電圧 VCC が供給される端子と接地間には、PMOS トランジスタ  $Q_{p1}$ 、NMOS トランジスタ  $Q_{n1}$ 、及びトランジスタ  $Q_{ni1}$  が直列接続されている。ナンド回路 G1 の出力端は、インバータ回路 11 を構成する PMOS トランジスタ  $Q_{p1}$ 、NMOS トランジスタ  $Q_{n1}$  のゲートに接続されている。NMOS トランジスタ  $Q_{ni1}$  のゲートには、定電流源回路 20 から供給される信号 IREF が供給されている。NMOS トランジスタ  $Q_{ni1}$  は信号 IREF に応じて定電流を流す。PMOS トランジスタ  $Q_{p1}$  と NMOS トランジスタ  $Q_{n1}$  との接続ノード MON と接地間にはキャパシタ C1 が接続されている。

30

## 【 0 0 1 7 】

入力信号 IN と制御信号 PON が共にハイレベルである場合、ナンド回路 G1 の出力信号はローレベルとなり、PMOS トランジスタ  $Q_{p1}$  が導通する。このため、接続ノード MON に接続されたキャパシタ C1 が電源電圧 VCC により充電される。また、ナンド回路 G1 の入力信号 IN あるいは制御信号 PON がローレベルである場合、ナンド回路 G1 の出力信号はハイレベルとなる。このため、NMOS トランジスタ  $Q_{n1}$  が導通する。信号 IREF により NMOS トランジスタ  $Q_{ni1}$  が導通すると、キャパシタ C1 に充電された電荷が放電され、接続ノード MON から接地電位に向かって定電流が流れる。

40

## 【 0 0 1 8 】

一方、カレントミラー型差動増幅器 12 は NMOS トランジスタ  $Q_{ni2}$ 、 $Q_{ni3}$ 、PMOS トランジスタ  $Q_{pi1}$ 、 $Q_{pi2}$  により構成されている。PMOS トランジスタ  $Q_{p2}$ 、NMOS トランジスタ  $Q_{n2}$ 、ナンド回路 G2、インバータ回路 INV1 は差動増

50

幅器 1 2 の動作 / 非動作を制御する。PMOS トランジスタ  $Q_{p2}$  は電源電圧  $V_{CC}$  の供給端子と PMOS トランジスタ  $Q_{pi1}$ 、 $Q_{pi2}$  の一端部との間に接続されている。この PMOS トランジスタ  $Q_{p2}$  のゲートには前記ナンド回路  $G2$  の出力信号が供給されている。このナンド回路  $G2$  の一方入力端には、前記ナンド回路  $G1$  の出力信号が供給され、他方入力端には後述する信号  $OUT$  が供給されている。PMOS トランジスタ  $Q_{pi1}$ 、 $Q_{pi2}$  の他端は、NMOS トランジスタ  $Q_{ni2}$ 、 $Q_{ni3}$  の一端部にそれぞれ接続されている。さらに、PMOS トランジスタ  $Q_{pi1}$ 、 $Q_{pi2}$  のゲートは、互いに接続されるとともに、PMOS トランジスタ  $Q_{pi1}$ 、NMOS トランジスタ  $Q_{ni2}$  の接続ノードに接続されている。NMOS トランジスタ  $Q_{ni2}$  のゲートは前記接続ノード  $MON$  に接続され、NMOS トランジスタ  $Q_{ni3}$  のゲートには、前記信号  $IREF$  が供給されている。前記 NMOS トランジスタ  $Q_{ni2}$ 、 $Q_{ni3}$  の他端部と接地間には、前記 NMOS トランジスタ  $Q_{n2}$  が接続され、この NMOS トランジスタ  $Q_{n2}$  のゲートには、前記インバータ回路  $INV1$  を介して前記ナンド回路  $G2$  の出力信号が供給される。

10

**【0019】**

上記差動増幅器 1 2 は、前記入力信号  $IN$  あるいは  $PON$  のどちらかがローレベルで、且つ、信号  $OUT$  がハイレベルのとき、動作状態となる。すなわち、このとき、ナンド回路  $G2$  の出力信号がローレベルとなり、PMOS トランジスタ  $Q_{p2}$  と NMOS トランジスタ  $Q_{n2}$  が導通される。この状態において、差動増幅器 1 2 は、接続ノード  $MON$  の電位と信号  $IREF$  に応じた電位との電位差を検出し、この検出結果を PMOS トランジスタ  $Q_{pi2}$  と NMOS トランジスタ  $Q_{ni3}$  との接続ノード  $AMPout$  に出力する。

20

**【0020】**

前記接続ノード  $AMPout$  には、ラッチ回路 1 3 が接続されている。このラッチ回路 1 3 は、PMOS トランジスタ  $Q_{p3}$ 、 $Q_{pi3}$ 、 $Q_{p4}$ 、NMOS トランジスタ  $Q_{n3}$ 、 $Q_{n4}$ 、 $Q_{n5}$  により構成されている。前記 PMOS トランジスタ  $Q_{p3}$ 、NMOS トランジスタ  $Q_{n3}$ 、 $Q_{n4}$  は、電源電圧  $V_{CC}$  の供給端子と接地間に直列接続されている。PMOS トランジスタ  $Q_{p3}$ 、NMOS トランジスタ  $Q_{n3}$  のゲートは、前記ナンド回路  $G1$  の出力端に接続されている。PMOS トランジスタ  $Q_{p3}$ 、NMOS トランジスタ  $Q_{n3}$  の接続ノードは、前記接続ノード  $AMPout$  に接続されるとともに、前記 PMOS トランジスタ  $Q_{pi3}$ 、NMOS トランジスタ  $Q_{n5}$  のゲートに接続される。これらトランジスタ  $Q_{pi3}$ 、 $Q_{n5}$  は、電源電圧  $V_{CC}$  の供給端子と接地間に直列接続されている。これらトランジスタ  $Q_{pi3}$ 、 $Q_{n5}$  の接続ノード  $INVout$  は、前記 NMOS トランジスタ  $Q_{n4}$  のゲートに接続されるとともに、前記 PMOS トランジスタ  $Q_{p4}$  を介して電源電圧  $V_{CC}$  の供給端子に接続されている。このトランジスタ  $Q_{p4}$  のゲートには、制御信号  $PON$  が供給されている。さらに、前記接続ノード  $INVout$  はインバータ回路  $INV2$  の入力端に接続されている。このインバータ回路  $INV2$  の出力端から前記信号  $OUT$  が出力される。

30

**【0021】**

上記ラッチ回路 1 3 において、入力信号  $IN$  と制御信号  $PON$  が共にハイレベルのとき、ナンド回路  $G1$  の出力信号はローレベルとなり、PMOS トランジスタ  $Q_{p3}$  が導通する。このため、接続ノード  $AMPout$  はハイレベルとなり、接続ノード  $INVout$  はローレベルとなる。この結果、インバータ回路  $INV2$  の出力信号  $OUT$  はハイレベルとなる。このとき NMOS トランジスタ  $Q_{n4}$  は非導通である。

40

**【0022】**

一方、前記入力信号  $IN$  が制御信号  $PON$  のどちらかがローレベルである場合、ナンド回路  $G1$  の出力信号がハイレベルとなる。このため、NMOS トランジスタ  $Q_{n3}$  が導通する。仮に、接続ノード  $INVout$  がハイレベルである場合、NMOS トランジスタ  $Q_{n4}$  も導通しているため、トランジスタ  $Q_{n3}$ 、 $Q_{n4}$  により、接続ノード  $AMPout$  がローレベルに引き下げられる。このため、接続ノード  $AMPout$  がローレベル、接続ノード  $INVout$  がハイレベルの状態にラッチされる。なお、このラッチ状態は、制御信号  $PON$  がローレベルである場合、PMOS トランジスタ  $Q_{p4}$  が導通するため、簡単に

50

作ることができる。すなわち、制御信号 P O N は、電源投入前ローレベルである。このため、トランジスタ Q p 4 は導通され、接続ノード I N V o u t はハイレベル、出力信号 O U T はローレベルにリセットされている。この状態において、電源投入後に、制御信号 P O N がハイレベルになると、P M O S トランジスタ Q p 4 は非導通となり、遅延回路 1 0 の出力信号 O U T は入力信号 I N に応じて変化する。

#### 【 0 0 2 3 】

図 2 に示す定電流源回路 2 0 は、2 つのカレントミラー回路 2 1、2 2 を有している。カレントミラー回路 2 1 は、P M O S トランジスタ Q p i 4、Q p i 5、N M O S トランジスタ Q n 6、Q n i 4、及び抵抗 R 1 により構成されている。すなわち、P M O S トランジスタ Q p i 4、N M O S トランジスタ Q n 6 は電源電圧 V C C の供給端子と接地間に直列接続され、P M O S トランジスタ Q p i 5、Q n i 4、及び抵抗 R 1 は、電源電圧 V C C の供給端子と接地間に直列接続されている。P M O S トランジスタ Q p i 4、Q p i 5 のゲートは互いに接続され、さらに、P M O S トランジスタ Q p i 5 と Q n i 4 の接続ノード N 1、及び P M O S トランジスタ Q p i 6 のゲートに接続されている。また、前記 N M O S トランジスタ Q n 6、Q n i 4 のゲートは互いに接続され、さらに、前記 P M O S トランジスタ Q p i 4 と N M O S トランジスタ Q n 6 との接続ノード N 2 に接続されている。

#### 【 0 0 2 4 】

また、前記カレントミラー回路 2 2 を構成する P M O S トランジスタ Q p i 6 と N M O S トランジスタ Q n i 5 は、電源電圧 V C C の供給端子と接地間に直列接続されている。P M O S トランジスタ Q p i 6 のゲートは N M O S トランジスタ Q n 7 を介して接地される。この N M O S トランジスタ Q n 7 のゲートにはインバータ回路 I N V 3 を介して制御信号 P O N が供給される。前記 P M O S トランジスタ Q p i 6 と N M O S トランジスタ Q n i 5 の接続ノードは N M O S トランジスタ Q n i 5 のゲートに接続され、このゲートは、図 1 に示すトランジスタ Q n i 1 及び Q n i 3 のゲートに接続されている。このゲートより定電流出力としての前記信号 I R E F が出力される。

#### 【 0 0 2 5 】

上記構成において、カレントミラー回路 2 1 を構成する P M O S トランジスタ Q p i 5 に流れる電流 I b は、P M O S トランジスタ Q p i 4 に流れる電流 I a にミラーされる。このため、電流 I a と電流 I b は等しい ( $I a = I b$ )。さらに、N M O S トランジスタ Q n 6 を流れる電流 I a は、N M O S トランジスタ Q n i 4 に流れる電流 I b にミラーされる。このため、N M O S トランジスタ Q n i 4 と抵抗 R 1 の接続ノード N 3 の電圧は、N M O S トランジスタ Q n 6 の閾値電圧から N M O S トランジスタ Q n i 4 の閾値電圧を引いた値となる。通常、この値は温度や電源電圧に依存しない。しかも、N M O S トランジスタ Q n 6 の閾値電圧のばらつきと N M O S トランジスタ Q n i 4 の閾値電圧が連動するため、非常に安定である。接続ノード N 3 の電位が例えば 0.4 V、抵抗 R 1 を例えば 400 K とすると  $I a = I b = 1 \mu A$  となる。さらに、P M O S トランジスタ Q p i 5 と P M O S トランジスタ Q p i 6 はミラー接続されている。このため、P M O S トランジスタ Q p i 6 に流れる電流 I c は電流 I b と等しくなる ( $I b = I c$ )。N M O S トランジスタ Q n i 5 を流れる電流 I c は定電流である。よって、N M O S トランジスタ Q n i 5 とミラー接続された図 1 に示す N M O S トランジスタ Q n i 1 と Q n i 3 も定電流 I c を流す。N M O S トランジスタ Q n i 5 は、それを流れる電流が I c となるように信号 I R E F に応じた電位が決まる。

#### 【 0 0 2 6 】

図 2 に示す定電流源回路 2 0 は、制御信号 P O N によって起動される。すなわち、制御信号 P O N がローレベルの時、N M O S トランジスタ Q n 7 が導通し、P M O S トランジスタ Q p i 5、Q p i 6 のゲートが接地電位に引き落とされる。この後、制御信号 P O N がハイレベルとなると、N M O S トランジスタ Q n 7 が非導通となり、上記動作により信号 I R E F は安定点に収束する。

#### 【 0 0 2 7 】

10

20

30

40

50

図3は、図1に示す遅延回路10の動作を示している。図3を用いて、遅延回路10の動作について説明する。

【0028】

先ず、時間 $t_1$ まで信号PONはローレベルであり、図1に示す遅延回路10及び図2に示す定電流源回路20はリセット状態とされている。このとき、接続ノードMON、接続ノードAMPout、出力信号OUTは、いずれも接地レベル(0V)であり、接続ノードINVoutは電源電圧VCCとなっている。

【0029】

時間 $t_2$ において、入力信号INが立ち上がると、PMOSトランジスタQp1、Qp3が導通し、少し遅れた時間 $t_3$ において、接続ノードMONと接続ノードAMPoutの電位が立ち上がり、電源電圧VCCに向かい始める。接続ノードAMPoutがハイレベルになると、時間 $t_4$ において、接続ノードINVoutが立ち下がり、0Vに向かい始める。さらに、出力信号OUTは、接続ノードINVoutがローレベルになると、時間 $t_5$ において、電源電圧VCCに向かい始める。入力信号INがハイレベルの間、差動増幅器12は非動作状態である。

【0030】

時間 $t_6$ において、入力信号INがローレベルとなると、ナンド回路G1の出力信号がハイレベルとなり、NMOSトランジスタQn1が導通する。このため、キャパシタC1により接続ノードMONに蓄えられていた電荷が、NMOSトランジスタQn1、Qn1を介して放電される。NMOSトランジスタQn1を流れる電流は一定である。このため、図3に示すように、接続ノードMONの電位は、直線状に低下する。また、入力信号INがローレベルとなり、ナンド回路G1の出力信号がハイレベルとなると、ナンド回路G2の出力信号がローレベルとなる。このため、差動増幅器12が動作し、接続ノードMONと信号IREFに応じた電位VIREFの電位差を検出する。この結果、接続ノードMONの電位が定電流IREFにより規定される電位VIREFより低下すると(時間 $t_7$ 以降)、少し遅れた時間 $t_8$ において、接続ノードAMPoutが立ち下がり始める。接続ノードAMPoutの電位がローレベルになると、時間 $t_9$ において、接続ノードINVoutの電位が立ち上がり始める。さらに、出力信号OUTは、接続ノードINVoutの電位がハイレベルになると、時間 $t_{10}$ において、立ち下がり始める。

【0031】

このように、図1に示す遅延回路10によれば、入力信号INがローレベルになってから出力信号OUTがローレベルになるまでのおよそ( $t_{10} - t_6$ )の遅延時間を得ることができる。

【0032】

時間( $t_7 - t_6$ )は、接続ノードMONが電源電圧VCCから定電流IREFに応じて定まる電位VIREFになるまでの時間でほぼ決まる。これらの関係は次式のようになる。

【0033】

$$t_7 - t_6 = C_1 \times (V_{CC} - V_{IREF}) / I_c$$

上式より、時間( $t_7 - t_6$ )は電源電圧VCCが低いほど短いことが分かる。接続ノードAMPoutが時間 $t_8$ から0Vに向かう速度は、NMOSトランジスタQn1が定電流Icを流すためほぼ一定である。接続ノードAMPoutが0Vに向かい始めてから出力信号OUTがローレベルになるまでの時間は、介在する2つのインバータ回路の遅延で決まる。インバータ回路の遅延は、電源電圧が低いほど長い。よって、この遅延回路10は、電源電圧VCCが低くなると時間( $t_7 - t_6$ )が短くなり、インバータ回路の遅延が長くなるのをキャンセルできる。したがって、安定した遅延時間を得ることができる。

【0034】

例えば、常温で、電源電圧VCCが1.8V、VIREFが0.3Vであると仮定し、時間( $t_7 - t_6$ ) = 7.5nsec、時間( $t_8 - t_7$ ) = 3nsec、時間( $t_{10} -$

10

20

30

40

50

$t_8$ ) = 3 nsec とする。遅延時間 ( $t_{10} - t_6$ ) は、13.5 nsec である。環境温度が常温より低温で、電源電圧  $V_{CC}$  が 2.0 V になると、 $V_{IREF}$  が 0.25 V となり、時間 ( $t_7 - t_6$ ) は 8.75 nsec、時間 ( $t_8 - t_7$ ) は変わらず、時間 ( $t_{10} - t_8$ ) はインバータ回路の遅延が短くなり 1.5 nsec となる。よって、遅延時間は 13.25 nsec となる。逆に、環境温度が常温より高温で、電源電圧  $V_{CC}$  が 1.6 V になると、 $V_{IREF}$  は 0.35 V となり、時間 ( $t_7 - t_6$ ) は 6.25 nsec、時間 ( $t_8 - t_7$ ) は変わらず、時間 ( $t_{10} - t_8$ ) はインバータ回路の遅延が長くなり 6 nsec となる。よって遅延時間は 15.25 nsec となる。さらに、NMOS トランジスタの閾値電圧が  $\pm 50$  mV ぶれるとする。すると、 $V_{IREF}$  も  $\pm 50$  mV ぶれる。このため、時間 ( $t_7 - t_6$ ) は  $\pm 0.25$  nsec 変化する。よって、遅延時間は、最小 13 nsec、最大 15.5 nsec となる。

10

**【0035】**

信号  $I_{REF}$  の代わりに、固定電位を NMOS トランジスタ  $Q_{ni3}$  のゲートに供給したと仮定する。トランジスタ  $Q_{ni3}$  の閾値電圧が上昇した時、NMOS トランジスタ  $Q_{ni3}$  が流せる電流が減り  $t_7$  から  $t_8$  の間の時間が長くなる。これによって、遅延時間が不安定となる。

**【0036】**

例えば、 $V_{IREF}$  が 0.3 V の固定電位であるとする。常温で、電源電圧  $V_{CC}$  が 1.8 V として、 $t_7 - t_6 = 7.5$  nsec、 $t_8 - t_7 = 3$  nsec、 $t_{10} - t_8 = 3$  nsec とする。遅延時間  $t_{10} - t_6$  は 13.5 nsec である。常温より低い温において、電源電圧  $V_{CC}$  が 2.0 V となると、 $t_7 - t_6 = 8.5$  nsec、 $t_8 - t_7 = 1.5$  nsec、 $t_{10} - t_8$  はインバータ回路の遅延が短くなるため、1.5 nsec となる。よって遅延時間は 11.5 nsec となる。逆に、高温となると、電源電圧  $V_{CC}$  が低くなり 1.6 V となると、 $t_7 - t_6 = 6.5$  nsec、 $t_8 - t_7$  は長くなり 6 nsec、 $t_{10} - t_8$  はインバータ回路の遅延が長くなり 6 nsec となる。よって、遅延時間は 18.5 nsec となる。さらに、NMOS トランジスタの閾値電圧が  $\pm 50$  mV ぶれるとすると、遅延時間のばらつきは更に大きくなる。

20

**【0037】**

よって、固定電圧により、差動増幅器 12 を構成する PMOS トランジスタ  $Q_{pi3}$  を制御した場合、遅延時間が 11.5 nsec から 18.5 nsec までばらつく。これに対して、図 1 に示すように、定電流で PMOS トランジスタ  $Q_{pi3}$  を制御した場合、遅延時間のばらつきを 13.0 nsec から 15.5 nsec の比較的狭いレンジに収めることができる。

30

**【0038】**

上記実施形態によれば、入力信号  $I_N$  に応じて動作するインバータ回路 11 に接続された NMOS トランジスタ  $Q_{ni1}$  は、定電流源回路 20 から供給される定電流  $I_{REF}$  により駆動され、キャパシタ  $C_1$  に充電された電荷を定電流で放電する。このため、インバータ回路 11 の接続ノード  $MON$  の電位は一定の速度で低下する。また、差動増幅器 12 は、接続ノード  $MON$  の電位と、定電流源回路 20 から供給される定電流  $I_{REF}$  に応じた電位  $V_{IREF}$  とを比較し、この比較結果を接続ノード  $AMP_{out}$  から出力する。このように、キャパシタ  $C_1$  の放電時間及び差動増幅器 12 の基準電位としての電位  $V_{IREF}$  を定電流源回路 20 から供給される定電流  $I_{REF}$  により制御している。このため、 $CR$  時定数回路を用いた遅延回路や、インバータ・チェーン・タイプの遅延回路に比べて、電源電圧の変動に対する遅延時間の変動の影響を低減できる。

40

**【0039】**

しかも、差動増幅器 12 から出力される信号の電源電圧の変動に依存した遅延時間のばらつきは、接続ノード  $AMP_{out}$  に接続されるインバータ回路が有する電源電圧の変動に依存した遅延時間のばらつきと逆の特性を有している。このため、遅延回路 10 全体の遅延時間のばらつきを低減できる利点を有している。

**【0040】**

50

図4は、図1に示す遅延回路10を用いたノイズフィルタの一例を示している。例えば半導体装置の入力パッド31には、前記遅延回路10の入力端が接続されている。図4において、定電流源回路20は省略している。この遅延回路10の出力端及び前記入力パッド31はノア回路32の入力端に接続されている。このノア回路32の出力端はインバータ回路33に接続されている。

#### 【0041】

上記構成において、図5に示すよう遅延回路10に設定された遅延時間DLTよりパルス幅が広い入力信号INが入力パッド31に供給された場合、遅延回路10からは、信号DOが出力される。この信号DOの立ち下がり、は、入力信号INの立ち下がりから遅延時間DLTに応じて遅れている。インバータ回路33の出力信号OUTは、遅延回路DLの出力信号DOと入力信号INに応じて、出力信号DOと同様の信号となる。

10

#### 【0042】

一方、図6に示すように、入力信号INとして、遅延時間DLTより短い幅のノイズが入力パッド31に供給された場合、遅延回路10の出力信号DOは変化しない。このため、遅延回路10の出力信号DO及びインバータ回路33の出力信号OUTは共にハイレベルのままであり、ノイズをとしての入力信号を除去することができる。

#### 【0043】

その他、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

#### 【0044】

#### 【発明の効果】

20

以上、詳述したように本発明によれば、電源電圧に依存せず安定な遅延時間を得ることが可能な遅延回路を提供できる。

#### 【図面の簡単な説明】

【図1】本発明の実施形態に係わる遅延回路の構成を示す回路図。

【図2】図1に示す回路に適用される定電流源回路を示す回路図。

【図3】図1に示される遅延回路の動作タイミングを示す波形図。

【図4】本発明が適用されるノイズフィルタ回路を示す回路図。

【図5】図4の動作を示す波形図。

【図6】図4の異なる動作を示す波形図。

#### 【符号の説明】

30

10...遅延回路、11...インバータ回路、12...カレントミラー型差動増幅器、13ラッチ回路、20...定電流源回路、21、22...カレントミラー回路。

Qn1~Qn7...比較的高い閾値を持つNMOSトランジスタ、Qni1~Qni5...比較的低い閾値を持つNMOSトランジスタ、Qp1~Qp4...比較的高い閾値を持つPMOSトランジスタ、Qpi1~Qpi6...比較的低い閾値を持つPMOSトランジスタ、C1...キャパシタ。



---

フロントページの続き

(72)発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 清水 稔

(56)参考文献 特開平08-321752(JP,A)

特開平03-171812(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 5/13