

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7635306号
(P7635306)

(45)発行日 令和7年2月25日(2025.2.25)

(24)登録日 令和7年2月14日(2025.2.14)

(51)国際特許分類			F I		
C 2 3 C	14/50	(2006.01)	C 2 3 C	14/50	F
C 2 3 C	14/34	(2006.01)	C 2 3 C	14/34	J
C 2 3 C	14/35	(2006.01)	C 2 3 C	14/35	Z
H 0 1 L	21/318	(2006.01)	H 0 1 L	21/318	B
H 0 1 L	21/31	(2006.01)	H 0 1 L	21/31	D
請求項の数 21 外国語出願 (全17頁) 最終頁に続く					
(21)出願番号 特願2023-116015(P2023-116015)			(73)特許権者 390040660		
(22)出願日 令和5年7月14日(2023.7.14)			(73)特許権者 アプライド マテリアルズ インコーポレイテッド APPLIED MATERIALS , INCORPORATED アメリカ合衆国 カリフォルニア 9 5 0 5 4 , サンタ クララ , パウアーズ ア ヴェニュー 3 0 5 0 3 0 5 0 Bowers Avenue Santa Clara CA 9 5 0 5 4 U . S . A .		
(62)分割の表示 特願2021-564871(P2021-564871)の分割					
原出願日 令和2年4月13日(2020.4.13)					
(65)公開番号 特開2023-153825(P2023-153825 A)					
(43)公開日 令和5年10月18日(2023.10.18)					
審査請求日 令和5年8月9日(2023.8.9)			(74)代理人 110002077		
(31)優先権主張番号 62/843,201			(72)発明者 ジョー , チュンミン		
(32)優先日 令和1年5月3日(2019.5.3)			アメリカ合衆国 カリフォルニア 9 5 0		
(33)優先権主張国・地域又は機関 米国(US)			最終頁に続く		

(54)【発明の名称】 裏側物理的気相堆積の方法及び装置

(57)【特許請求の範囲】

【請求項 1】
チャンバリッド及び1つ又は複数の側壁を有する物理的気相堆積チャンバであって、
前記物理的気相堆積チャンバは、
前記チャンバリッドと前記1つ又は複数の側壁によって少なくとも部分的に境界が画定された処理領域と；
基板支持面を有する基板支持体であって、前記基板支持面は、前記基板の表側の活性領域に接触することなく、前記基板支持面の周辺又はその近くで前記基板を支持するように構成されている前記基板支持体と；
前記基板の裏側に堆積領域を画定する、前記基板支持体の上方に配置されているシャドウマスクと；
前記物理的気相堆積チャンバの前記側壁に配置されているガス導管と；
マグネトロンであって、
内部磁場を生成する、内部の複数の磁石を含む内部極、及び
前記内部極を取り囲み、前記内部の複数の磁石と同心であり且つ前記内部の複数の磁石から分離された外部の複数の磁石を含む外部極であって、前記外部極は外部磁場を生成し、ここで、外部磁場の強度が内部磁場の強度と異なる、外部極を含む、前記マグネトロンと
を含む、物理的気相堆積チャンバ。

【請求項 2】

10

請求項 1 に記載の物理的気相堆積チャンバを備える、基板の裏側に裏側フィルム層を堆積するためのクラスタツール。

【請求項 3】

スパッターゲットをさらに含み、前記スパッターゲットがケイ素を含み、前記ガス導管がガス源と流体連結しており、前記ガス源がプロセスガスを前記スパッターゲットに供給し、前記プロセスガスが窒素含有ガスを含む、請求項 2 に記載のクラスタツール。

【請求項 4】

約 2,000 V ~ 約 60,000 V の電圧、約 10 μ 秒及び約 40 μ 秒の持続時間、並びに約 200 μ 秒のパルスサイクル時間で DC 電力をスパッターゲットに供給するように構成されている電源をさらに含む、請求項 2 に記載のクラスタツール。

10

【請求項 5】

電源が、前記基板支持体に RF バイアスを印加するように構成されている、請求項 2 に記載のクラスタツール。

【請求項 6】

ファクトリインターフェースをさらに備え、前記基板支持体が、前記ファクトリインターフェースから前記基板を受け取るように構成されている、請求項 2 に記載のクラスタツール。

【請求項 7】

前記ファクトリインターフェースは、前記基板の表側の活性領域に接触することなく前記基板を保持して裏返すように構成されたフリッパーを備える、請求項 6 に記載のクラスタツール。

20

【請求項 8】

前記内部極と前記外部極が、閉ループマグネトロニアセンブリを形成し、
前記内部磁場と前記外部磁場の磁場強度の比が、0.5 ~ 0.73 である、
請求項 2 に記載のクラスタツール。

【請求項 9】

前記フリッパーは、前記基板のエッジ排除領域のみに接触するように構成され、前記エッジ排除領域は、前記基板のエッジから半径方向内側の約 1 mm ~ 約 5 mm の距離まで測定される、請求項 2 に記載のクラスタツール。

【請求項 10】

半径方向内側の距離が約 1 mm ~ 約 2 mm である、請求項 9 に記載のクラスタツール。

30

【請求項 11】

前記フリッパーは、ブレードと、該ブレードから延びるアームとを含む、請求項 9 に記載のクラスタツール。

【請求項 12】

ブレードの各アームが、各アームの遠位端に配置されたクランプばねを含む、請求項 11 に記載のクラスタツール。

【請求項 13】

前記ブレードは、前記クランプばねに結合され、前記基板のエッジに接触するように構成された垂直壁をさらに含む、請求項 12 に記載のクラスタツール。

40

【請求項 14】

前記クランプばねに結合された接触パッドをさらに含み、前記接触パッドは、前記基板のエッジ排除領域に接触するように構成されている、請求項 12 に記載のクラスタツール。

【請求項 15】

前記物理的気相堆積チャンバは、前記基板の表側の活性領域に接触することなく前記基板を保持して裏返すように構成されたフリッパーをさらに含む、請求項 2 に記載のクラスタツール。

【請求項 16】

直流 (DC) 電源をさらに含む、請求項 2 に記載のクラスタツール。

【請求項 17】

50

D C 電源が、スパッターターゲットにパルス D C 電圧を供給するように構成されている、請求項 1 6 に記載のクラスタツール。

【請求項 1 8】

スパッターターゲットが誘電体スパッターターゲットである、請求項 1 7 に記載のクラスタツール。

【請求項 1 9】

スパッターターゲットがシリコンスパッターターゲットである、請求項 1 8 に記載のクラスタツール。

【請求項 2 0】

前記電源は、交流 (A C) 電力を前記スパッターターゲットにさらに供給し、 R F 電力レベルと D C 電力レベルとの比は、約 2 : 1 から約 8 : 1 である、請求項 1 7 に記載のクラスタツール。

10

【請求項 2 1】

前記基板支持体が、基板を約 7 5 0 ~ 約 9 5 0 にアニールするように構成された 1 つ又は複数のランプを含む、請求項 2 に記載のクラスタツール。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本開示の実施形態は、一般に、方法及び装置、より具体的には、基板の裏側にフィルム層を堆積するための方法及びクラスタツールに関する。

20

【背景技術】

【 0 0 0 2 】

3 D N A N D が垂直方向に拡大し続けるにつれて、集積回路上に形成される要素 / 層の密度が増加している。プラズマエッチング又はプラズマ堆積プロセス中の熱膨張、プラズマ不均一性分布、及び / 又はプラズマ密度の違いにより、ある層と次の層との間に様々な膜応力が生じる可能性がある。このような膜応力は、基板表面の局所的な変形をもたらし、過度の基板の反りのために基板がパターン化できない原因となる可能性がある。基板のボウイング (b o w i n g) はまた、後続の製造プロセスでその上に堆積されたフィルム層間の不整合の可能性を高める。さらに、リソグラフィの設計はウエハが実質的に平坦であることに依存するため、基板のボウイングは基板上のリソグラフィプロセスでミスを引き起こす。

30

【 0 0 0 3 】

ボウイングの問題に対する 1 つの解決策は、基板の裏側にもフィルムを堆積させることであり、これは基板の上面に成長した膜のひずみを一致させることによって基板の裏側のひずみを低減し、したがって基板のボウイングを低減する。基板の裏側にフィルムを堆積するには、基板を裏返すか、基板の下からフィルムを堆積する必要がある。下からの堆積には、特別に設計された処理チャンバに配置された追加のソースが必要であり、これは、そのようなチャンバを構築するために必要なコストと追加のエンジニアリングのために法外なものになる可能性がある。すでに成長したフィルムを損傷することなく基板を裏返すには、堆積したフィルムの上に成長した保護層、又は上面のフィルムの重要な領域を損傷したり接触したりしない特殊な反転装置が必要である。現在の裏側堆積方法の 1 つの欠点は、基板がアニーリングプロセスを受けた後に裏側フィルムのひずみが減少することである。

40

【 0 0 0 4 】

したがって、アニーリングプロセス後に裏側フィルムのひずみを維持する基板上で裏側フィルムを裏返し、成長させることを可能にする装置及び方法が必要である。

【発明の概要】

【 0 0 0 5 】

一実施形態では、基板をクラスタツールのファクトリインターフェースにロードすることであって、基板は表側と裏側を有し、表側は活性領域を有する、ロードすることと、基

50

板の裏側が上を向くように、ファクトリインターフェースで基板を裏返すことと、裏返した基板をファクトリインターフェースから物理的気相堆積チャンバに移すことと、基板の裏側に裏側フィルム層を堆積することを含む、基板上に裏側フィルム層を堆積する方法が提供される。裏側フィルム層は、物理的気相堆積を含む方法を使用して堆積される。

【 0 0 0 6 】

別の実施形態では、基板をクラスタツールのファクトリインターフェースにロードすることであって、基板は表側と裏側を有し、表側は活性領域を有する、ロードすることと、基板の裏側が上を向くように、ファクトリインターフェースで基板を裏返すことと、裏返した基板をファクトリインターフェースから物理的気相堆積チャンバに移すことと、基板の裏側に裏側フィルム層を堆積することを含む、基板の裏側フィルム層を堆積する方法が提供される。裏側フィルム層は、スパッターターゲットからのスパッタリングから形成され、裏側フィルム層は、スパッターターゲットに直流（DC）電力を提供することによって堆積される。

10

【 0 0 0 7 】

別の実施形態では、基板上に裏側フィルム層を堆積するためのクラスタツールが提供され、チャンバリッドと1つ又は複数の側壁とを有する物理的気相堆積チャンバを含み、処理領域と接触している第1の表面と、第1の表面の反対側にある第2の表面とを有するスパッターターゲット、スパッターターゲットに結合された電源、スパッターターゲットに面する基板支持面を有する基板支持体、基板の裏側がスパッターターゲットに露出するように、基板支持体上に配置されたシャドウマスクであって、基板の裏側に堆積領域を画定するシャドウマスク、基板の裏側に堆積領域を定義するシャドウマスク、物理的気相堆積チャンバの側壁に配置されたガス導管、及びスパッターターゲットの第2の表面に隣接して配置されたマグネトロンを含む。マグネトロンは、内側の複数の磁石を含む内側の極、及び内側の極を取り囲む、外側の複数の磁石を含む外側の極を含む。

20

【 0 0 0 8 】

基板の裏側での裏側フィルムの成長は、基板の表側で成長したフィルムによって引き起こされる基板のひずみを低減する。物理的気相堆積（PVD）プロセスによって堆積されたフィルムは、ひずみ工学の良好な制御を可能にする。

【 0 0 0 9 】

本開示の上述の特徴を詳しく理解しうるように、上記で簡単に要約した本開示のより詳細な説明が、実施形態を参照することによって得られる。一部の実施形態は、添付図面に示されている。しかし、添付図面は例示的な実施形態を示しているにすぎず、したがって、本開示の範囲を限定すると見なすべきではなく、その他の等しく有効な実施形態も許容されうことに留意されたい。

30

【図面の簡単な説明】

【 0 0 1 0 】

【図1】一実施形態による、基板の裏側にフィルム層を堆積するための方法のフロー図を示している。

【図2】マグネトロンに供給されるDC電圧パルスのグラフである。

【図3A】アニーリングプロセスの前後のSiN裏側フィルム層の厚さの関数としてプロットされた物理的気相堆積（PVD）窒化ケイ素（SiN）裏側フィルム層の応力のグラフである。

40

【図3B】アニーリングプロセスの前後にターゲットに適用された堆積パワーの関数としてプロットされたPVD SiN裏側フィルム層の応力のグラフである。

【図3C】裏側フィルム層の厚さの関数としてプロットされた基板のボウイングのグラフである。

【図4】一実施形態による、PVDチャンバの概略断面図を示している。

【図5】一実施形態による、クラスタツールを示している。

【図6】一実施形態による、基板移送装置を示している。

【図7】一実施形態による、基板支持体の一部の斜視図である。

50

【 0 0 1 1 】

理解が容易になるよう、可能な場合には、複数の図に共通する同一の要素を指し示すために同一の符号を使用した。一実施形態の構成要素及び特徴は、さらなる記述がなくとも、他の実施形態に有益に組み込まれ得ると想定されている。

【 発明を実施するための形態 】

【 0 0 1 2 】

本開示の実施形態は、一般に、上で概説したように、フィルム応力及びボウイングの問題と戦うための基板の裏側応力工学のための方法及び装置に関する。上で論じたように、基板の表側に対する過度の応力は、過剰な基板の反りのために、基板のパターン化の失敗を招くおそれがある。裏側堆積は、応力を補償し、基板の反りを修正できることが観察されている。具体的には、物理的気相堆積（PVD）技術を使用して基板の裏側にフィルム（例えば、窒化ケイ素（SiN））を堆積して、表側の堆積からの応力を打ち消し、それにより、ボウイングを示さない（又は実質的に曲がりがない）中性応力基板をもたらす。様々な実施形態の詳細は、以下でさらに議論される。

10

【 0 0 1 3 】

ここで使用される場合、「約」という用語は、公称値からの+/-10%の変動を指す。そのような変動は、ここで提供される任意の値に含まれ得ることが理解されるべきである。

【 0 0 1 4 】

図1は、一実施形態による、基板の裏側に裏側フィルム層を堆積するための方法100のフロー図を示している。方法操作は図1と併せて説明されているが、当業者は、方法操作を任意の順序で実行するように構成された任意のシステムが、ここに記載の実施形態の範囲内にあることを理解するであろう。方法100は、図5に示されるクラスタツール500などのクラスタツールのファクトリインターフェース（FI）に基板をロードすることによって、操作102で開始する。基板は、結晶性シリコン（例えば、Si<100>又はSi<111>）、酸化シリコン、ひずみシリコン、シリコンゲルマニウム、ドーブ若しくは非ドーブポリシリコン、シリコンオンインシュレータ（SOI）、カーボンドーブ酸化シリコン、窒化シリコン、ゲルマニウム、ガリウムヒ素、ガラス、又はサファイアウエハなどの、ドーブ若しくは非ドーブシリコンウエハ及びパターン化若しくは非パターン化ウエハなどの材料であり得る。基板は、表側に堆積された1つ又は複数のフィルムスタックを有することができる。フィルムスタックは、3次元（3D）NAND半導体用途用のゲート構造を形成するために利用できる。スタックは、酸化物層と窒化物層が交互になっているスタック、又は酸化物層とシリコン含有層が交互になっているスタック（例えば、多結晶シリコン、アモルファスシリコン層、又は結晶シリコン）を含むことができるが、これらに限定されない。

20

30

【 0 0 1 5 】

操作104において、基板は、いくつかの実施形態によれば、ファクトリインターフェースに取り付けられるか、又はファクトリインターフェースに配置されるか、又は処理チャンバに配置されることができるフリッパーによって裏返される。一実施形態では、基板は、基板の表側（例えば、活性領域及び/又は統合デバイスの大部分が配置されている側）が下を向くように、ファクトリインターフェースで裏返される。フリッパーには、エッジコンタクトアプローチで基板を保持及び反転できる基板ハンドラー/キャリアを有する。したがって、基板の表側への接触は、基板のエッジ排除領域に限定される。一実施形態によれば、基板の表側の活性領域には物理的接触はなされない。様々な実施形態では、エッジ排除領域は、基板のエッジから測定して、約1mm～約5mm、例えば約2mmの半径方向距離である。

40

【 0 0 1 6 】

操作106において、反転された基板は、表側の活性領域に接触することなく、基板移送機構によって、ファクトリインターフェースからクラスタツール内の堆積チャンバに移送される。基板移送機構は、上記のようにフリッパーであり得るか、又は基板移送機構は

50

、別個の装置であり得る。基板移送機構は、その周辺（例えば、エッジ排除領域）又はその近くをつかむことによって基板を移送する。基板は裏返され、表側の活性領域に接触することなく堆積チャンバに移されるので、裏側のフィルム層の堆積の前に、基板の表側に保護層は必要とされない。これにより、従来の裏側エンジニアリングでしばしば使用される保護層を生成するために必要な堆積ストリッププロセスが不要になり、表側の下にあるデバイス層／構造を、裏側の堆積又はその後の基板の取り扱い、移動、チャッキング、及び／又はデチャッキング中に発生する可能性のある損傷から保護する。

【 0 0 1 7 】

一実施形態では、堆積チャンバは、図 4 に示される P V D チャンバなどの物理的気相堆積（P V D）チャンバである。P V D が本開示で論じられている間、化学気相堆積（C V D）、プラズマ化学気相堆積（P E C V D）、原子層堆積（A L D）、プラズマ原子層堆積（P E A L D）、低圧化学気相堆積（L P C V D）等の様々な堆積技術なども企図されている。反転された基板は、表側の活性領域に接触することなく、堆積チャンバ内の基板支持体上に配置及び固定される。基板支持体は、基板支持面を有する静電チャックであり得る。あるいはまた、基板支持体は、基板が基板の周辺でリング構造によって保持されるように、リング構造体であり得る。いずれの場合も、基板の表側は、基板支持体上に配置されたときに下向きである一方で、基板の裏側は上向きであり、P V D 源に曝される。

【 0 0 1 8 】

さらに、操作 1 0 6 に記載されているように、基板の反転中、ウエハの表側の活性領域との接触は必要ない。また、炭素堆積を使用して活性領域を保護したり、ウエハ上の保護層を剥がしたりする表側保護が不要であるため、コストが削減され、消費者の使用が容易になる。

【 0 0 1 9 】

操作 1 0 7 で、表側フィルム層は、堆積チャンバ内の基板の裏側に堆積される。裏側フィルム層は、基板の表側の応力プロファイルに応じて、圧縮応力又は引張り応力を伴う誘電体層にすることができる。例えば、表側に堆積されたリフィルムが引張りひずみを受けている場合、全体的な応力のバランスをとるために、裏側のフィルム層も引張りひずみを受ける必要があり、その結果、実質的により中性の応力（例えば、ボウイングの減少）を伴う基板が得られる。一実施形態では、裏側フィルム層はケイ素を含む。一例として、バランスの取れたマグネトロンを使用し、高いチャンバ圧力下で金属裏側フィルム層を成長させると、引張りひずみのある裏側フィルムが得られる。一実施形態によれば、金属裏側フィルム層は、クロム（C r）を含む。別の例として、高い R F 印加基板バイアス、低いチャンバ圧力、及び非平衡マグネトロンの裏側フィルム層を成長させると、圧縮的にひずんだ裏側フィルム層が生じる。

【 0 0 2 0 】

堆積されたままの裏側フィルム層は、基板上で放射状に対称な局所応力を示す。堆積されたままの裏側フィルム層は、約 1 . 5 G P a の圧縮応力を有する可能性があり、アニーリング後、約 6 0 %、例えば、約 7 0 % の高い応力保持を伴う。裏側フィルム層は、基板の表側の応力プロファイルを補償するために異なる厚さを有することができる。例えば、裏側フィルム層は、基板のボウが無視できるようになる厚さまで堆積することができる（例えば、約 2 0 0 μ m のボウのような約 3 0 0 μ m 未満のボウ）。P V D プロセスの堆積速度は、約 5 A / 秒 ~ 約 2 5 A / 秒、例えば、約 2 0 A / 秒であり得る。裏側フィルム層は、約 0 . 1 μ m ~ 約 1 μ m、例えば、約 0 . 2 μ m ~ 約 0 . 5 μ m の厚さを有することができる。ここで論じられる裏側フィルム層の厚さは、基板の表面に堆積された 1 つ又は複数の層の厚さに応じて増加又は減少させることができる。

【 0 0 2 1 】

裏側フィルム堆積プロセス中に、無線周波数（R F）電源をスパッタターゲットに結合することにより、裏側フィルム層を堆積することができる。スパッタターゲットはケイ素を含むことができる。プラズマは、いくつかの実施形態によれば、アルゴン（A r）、クリプトン（K r）などの非反応性ガスから、又は窒化物堆積のための窒素含有ガス（例え

10

20

30

40

50

ば、 N_2)を含むプロセスガスから生成することができる。非反応性ガス及び任意の処理ガスは、堆積チャンバの側壁及び/又は上部に配置されたガス導管を介して堆積チャンバに導入することができる。一実施形態によれば、ガス源は、ガス導管と流体連絡しており、その結果、ガス源は、プロセスガスをスパッターターゲットに供給する。プラズマが形成されると、スパッタリングプラズマがスパッターターゲットに供給されてイオン化種を形成し、イオン化種は基板の裏側にケイ素含有層(例えば、 SiN)を形成する。一実施形態によれば、RF電力は、約300W~約800W、例えば、約500Wの電力レベルでスパッターターゲットに印加することができる。

【0022】

RF電力の周波数は、約10MHz~約30MHzの範囲、例えば、約13.56MHzであり得る。堆積チャンバは、約1.5mTorr~約10Torr、例えば、約2.5mTorr~約1Torrの圧力に維持することができる。高応力の裏側フィルム層は、スパッターターゲットのスパッタリング速度及びスパッタイオン化率を増加させることによって達成することができる。例えば、PVD堆積チャンバは、非平衡マグネトロン(例えば、図4に示されるマグネトロン489)を使用して、磁場を基板支持体に向かって処理領域に投射することができる。そのような非平衡マグネトロンは、スパッターターゲットの背面上又は背面に隣接して配置され、内極及び外極を含むことができる。内部極は、1つの磁気極性の複数の内部磁石を含み、外部極は、反対の磁気極性の複数の外部磁石を含む。一実施形態によれば、外部極は内部極を取り囲む。磁場は、スパッターターゲットの表側に隣接する高密度プラズマ領域を作成し、これにより、スパッタリング速度を大幅に増加させる。一実施形態によれば、マグネトロンは、内部極の磁場強度と外部極の磁場強度との比が0.5以上、例えば約0.55~0.73であるという意味で不均衡である。しかしながら、用途に応じて、異なる比率も考えられる。

【0023】

追加的又は代替的に、いくつかの実施形態によれば、直流(DC)電源をスパッターターゲットに結合して、処理ガス(例えば、不活性ガス又は窒化物堆積用の窒素含有ガス)のプラズマを点火及び維持することができる。処理ガスが励起されてプラズマに点火し、正イオンを生成し、これが加速されてスパッターターゲット(例えば、ケイ素スパッターターゲット)になり、スパッターターゲット材料をスパッタする。供給されるDCの電力は、約100W~約5000Wなど、約50W~約1000Wであり得る。無線周波数(RF)電力及びDC電力が使用される場合、印加されたRF電力と印加されたDC電力との比は、いくつかの実施形態によれば、約2:1~約8:1、例えば、約4:1~約6:1であり得る。

【0024】

いくつかの実施形態では、スパッターターゲットは、パルスDC電力でバイアスされて、裏側フィルム層の応力レベルを調整することができる。このような場合、高出力インパルスマグネトロンスパッタリングプロセスを実行して、波形のスパッタリング及びエッチングフェーズを提供するプラズマを点火及び維持することができる。パルスDCは、誘電体スパッタリングターゲットに対してより効果的であることが知られている。

【0025】

図2は、マグネトロンの供給されるDC電圧パルスのグラフ200である。DC電力は、高電圧で短時間にわたって供給され、高電力インパルスマグネトロンスパッタリングプロセス中に高密度でエネルギーのプラズマを生成する。高電圧は、約2000V~約6000Vの範囲であり得る。電力インパルス252(又はエネルギーパルス)は、持続時間254(又はパルス幅)及びパルスサイクル時間256のDC電源によって生成することができる。各電力インパルス252の持続時間254は、約10 μ s~約40 μ sの間であり得、パルスサイクル時間256は約200 μ sであり、これは5000Hzのパルス繰り返し周波数、すなわち、約160 μ s~約190 μ sの連続パルス間の間隔に対応する。方形波が示されている間、パルスサイクル時間256にわたって供給される電力又はエネルギーは、期間254の間に非方形波形(図示せず)を有することができ、したが

10

20

30

40

50

って、期間 2 5 4 にわたる平均電力は、約 1 k W ~ 約 1 0 0 k W、例えば約 1 0 k W と約 4 0 k W との間であることができる。パルスには、正弦波、三角関数、又はのこぎり波がある。いくつかの実施形態では、スパッタターゲットに提供される各電力インパルス 2 5 2 は、等しい量の電力及び / 又は等しい持続時間を有することができる。必要に応じて、スパッタターゲットに提供される各電力インパルス 2 5 2 は、異なる量の電力及び / 又は異なる持続時間を有することができる。高出力インパルス 2 5 2 がスパッタターゲットに加えられると、スパッタされた材料は、大量の無効エネルギー及び高度のイオン化を有し得、これは、より高密度のコーティング及びより迅速なコーティングプロセスをもたらすことが見出された。

【 0 0 2 6 】

特定の堆積パラメータを調整して、所望の応力レベルを有する裏側フィルム層を生成することもできる。本開示の実施形態のいずれかと組み合わせることができるいくつかの実施形態では、R F バイアスを基板支持体に適用して、高応力の裏側フィルム層の形成を促進することができる。そのような場合、約 1 m m であり得る空隙は、R F バイアスに結合するために、基板と基板支持体の基板支持面との間に維持され得る。あるいはまた、R F バイアスは、容量性結合回路を介して、導電性で電極として機能する基板支持体に接続することができる。プラズマの存在下で、R F バイアスされた基板支持体は、プラズマ内の正のイオンを引き付けて加速し、基板の裏側でのイオンの衝撃を促進することができる。いずれの場合でも、R F バイアスは、約 1 0 0 W ~ 約 6 0 0 W の範囲、例えば、約 2 0 0 W ~ 約 4 0 0 W の範囲内の電力レベルを有することができる。R F バイアスは、再スパッタリングを制御して、堆積された裏側フィルム層の被覆率を最適化する。R F バイアスは、基板の裏側でのイオンの衝撃を制御するのにも役立ち、それによってフィルム密度などの裏側のフィルム特性に影響を与える。R F バイアスの周波数は、約 3 5 6 k H z ~ 約 6 0 M H z であり得る。R F バイアスは、堆積された裏側フィルムの応力を増加させる。R F バイアスは、R F バイアスがない場合よりもプラズマ 4 1 6 からより多くの荷電粒子を引き付ける。用途に応じて、基板は電氣的に浮遊することもあり、R F バイアスを有さないこともできると考えられる。

【 0 0 2 7 】

裏側フィルム層の応力レベルを制御するために使用できる他の堆積パラメータには、P V D 源の露光時間、基板の温度、堆積チャンバ内の圧力などが含まれるが、これらに限定されない。いくつかの実施形態では、基板は、基板支持体及び / 又は堆積チャンバの上部及び / 又は下部に配置することができる 1 つ又は複数のランプによって加熱することができる。このような場合、基板の温度は、約 1 0 0 ~ 約 6 0 0 ° C、例えば、約 3 0 0 ~ 約 4 0 0 ° C の範囲に維持することができる。いくつかの実施形態では、基板は、P V D プロセスの間、約 3 5 0 ° C 以下に維持される。

【 0 0 2 8 】

本開示の実施形態のいずれかと組み合わせることができるいくつかの実施形態では、基板は、裏側アニーリングプロセスに供されて、裏側フィルム層の応力レベルをさらに調整することができる。例えば、基板は、基板を約 6 5 0 ° C 以上、例えば、約 7 5 0 ° C ~ 約 9 5 0 ° C の温度に、例えば、約 1 分 ~ 約 1 8 0 分間、例えば、約 3 分 ~ 約 1 5 分加熱することによって、アニールプロセスに供することができる。一例では、基板は、約 6 5 0 ° C の温度に約 1 8 0 分間加熱される。別の例では、基板は、約 8 5 0 ° C の温度に約 3 分間加熱される。必要に応じて、アニーリングの前に裏側フィルム層をフォトリソグラフィーに供することができる。アニーリングと堆積のプロセスは複数回繰り返すことができる。

【 0 0 2 9 】

図 3 A は、3 1 0 の前及び 3 2 0 のアニーリングプロセス (8 5 0 ° C で 1 5 分間) の後の S i N 裏側フィルム層の厚さの関数としてプロットされた P V D S i N 裏側フィルム層の応力のグラフである。見てわかるように、S i N 裏側フィルム層のフィルム応力はアニーリングプロセス後に改善される。さらに、応力は、より薄い (~ 1 0 0 0 Å) フィルム層でのアニーリング後と同等である。

10

20

30

40

50

【 0 0 3 0 】

図 3 B は、3 3 0 の前及び 3 4 0 のアニーリングプロセス（8 5 0 で 1 5 分間）の後のスパッタターゲットに適用された堆積電力の関数としてプロットされた P V D S i N 裏側フィルム層の応力のグラフである。見てわかるように、高出力の堆積は応力にわずかな影響を及ぼす。例えば、P V D S i N 裏側フィルム層は、ポストアニーリングの 9 k W 堆積（堆積速度 2 0 / 秒）の高出力で 0 . 9 6 G P a の圧縮応力を有する。さらに、P V D S i N 裏側フィルム層は、ポストアニーリング後のプレアニーリング応力の約 6 4 % の保持を達成できる。

【 0 0 3 1 】

図 3 C は、裏側フィルム層の厚さの関数としてプロットされた基板 3 5 0 のボウイングのグラフである。裏側フィルム層の厚さが増すと、ボウイングが大幅に減少する（ボウイングがより負になる、つまり、ボウリングが減少する）。

10

【 0 0 3 2 】

P V D を使用すると、他の堆積方法に比べていくつかの利点があります。例えば、堆積されたままの S i N 裏側フィルム層は、C V D 技術によって堆積された裏側フィルム層よりも 2 倍高い応力保持（約 6 0 ~ 7 0 % ）を有する。P V D 堆積された裏側フィルムの高い応力保持（熱安定性）により、裏側フィルムの堆積に必要なバス数を最小限に抑えることができる。P V D によって堆積された裏側フィルム層は、裏側フィルム層が C V D 法によって堆積された場合に発生するであろう面内ひずみ（I P D ）や局所表面曲率（L S C ）なしに、半径方向に均一な局所応力を提供できる。基板の 2 0 0 μ m の反りを補正するには、C V D 堆積の裏側フィルムよりも薄い P V D 堆積の裏側フィルムが必要である。

20

【 0 0 3 3 】

操作 1 0 8 で、P V D 堆積された裏側フィルム層を有する基板は、基板支持体によって堆積チャンバからファクトリインターフェースに戻される。基板は、表側の活性領域に接触することなく転写される。一実施形態によれば、基板支持体は、ファクトリインターフェースから基板を受け入れるように構成される。次に、裏側フィルム層が下を向くように、基板をファクトリインターフェースインターフェースで再び裏返す。

【 0 0 3 4 】

操作 1 1 0 で、P V D が堆積された裏側フィルム層を有する基板は、ファクトリインターフェースに結合された前方開口型統一ポッド（F O U P ）にアンロードされる。あるいはまた、P V D が堆積された裏側フィルム層を有する基板は、さらなる処理のために、クラスタツール内の 1 つ又は複数の処理チャンバに移され得る。

30

【 0 0 3 5 】

図 4 は、一実施形態による、P V D チャンバ 4 0 0 の概略断面図を示す。P V D チャンバ 4 0 0 は、概して、その中に処理領域 4 0 8 を画定するチャンバリッド 4 1 0 及び側壁 4 0 3 を含む。静電チャックであり得る基板支持体 4 0 2 は、処理領域 4 0 8 内に配置される。処理領域 4 0 8 は、典型的には、約 3 m T o r r ~ 約 1 0 m T o r r などの真空ポンプ（図示せず）によって約 1 m T o r r ~ 約 2 0 T o r r の範囲内の圧力に維持される。基板支持体 4 0 2 は、ペDESTAL 4 0 6 及びサセプタ 4 0 7 を含む。一実施形態によれば、基板支持体 4 0 2 は、ファクトリインターフェース 5 0 3 （図 5 ）から基板 4 0 4 を受け取るように構成される。サセプタ 4 0 7 は、本開示の実施形態によれば、上下逆の方向に配置された（すなわち、基板の裏側がチャンバリッド 4 1 0 に面している）基板 4 0 4 を支持する基板支持面 4 1 4 を有する。基板支持面 4 1 4 は、基板の裏側がスパッタターゲット 4 1 1 に露出されるように、基板の表側の活性領域に接触することなく、基板支持面の周辺又はその近くで基板 4 0 4 を支持するように構成される。基板支持面 4 1 4 は、基板 4 0 4 の活性領域が接触しないように配置された支持リング、支持フィン、又はリフトピンを含むことができる。

40

【 0 0 3 6 】

ペDESTAL 4 0 6 は、P V D チャンバ 4 0 0 の底部を通して配置されたリフト機構 4 3 8 又は他のアクチュエータに接続されている。チャンバリッド 4 1 0 は、P V D チャンバ

50

400の上部に配置されている。チャンバリッド410は、1つ又は複数のスパッタターゲット411を含む。一実施形態によれば、チャンバリッド410は、スパッタターゲット材料を含む。一実施形態によれば、1つ又は複数のスパッタターゲット411は、チャンバリッド410に組み込まれている。スパッタターゲット411は、処理領域408と接触している第1の表面411Sと、第1の表面の反対側に配置された第2の表面411S'とを有する。PVDチャンバ400は、格子定数、ひずみ、応力、基板の曲がり、IPD、LSCなどのウエハ特性を測定するために、X線回折(XRD)、エリプソメトリー、ナノトポグラフィー、Wafer Sight(商標)、パターンウエハ形状寸法(PWG)、デュアルフィゾー干渉法、又はレーザー計測ツールなどの計測ツール(図示せず)を含むことができる。

10

【0037】

マグネトロン489は、チャンバリッド410に隣接して配置され、マグネトロンアクチュエータ482によってチャンバリッド410の中心軸481の周りを回転することができる。マグネトロンアクチュエータ482は、マグネトロンシャフト483によってマグネトロン489に結合されている。マグネトロン489は、スパッタターゲット411の第2の表面411S'に隣接して配置されている。マグネトロン489は、非平衡磁石構成を有することができる。例えば、マグネトロン489は、1つの磁気極性の複数の磁石を含む内部極424と、内部極424を取り囲み、反対の磁気極性を有する複数の磁石を含む外部極425とを含むことができる。内部極424及び外部極425は、閉ループマグネトロンアセンブリを形成することができる。内部極424は内部磁場を生成し、外部極425は外部磁場を生成し、外部磁場の磁場強度に対する内部磁場の磁場強度の比は、約0.2と約3との間、例えば、約0.5~約1.6である。非平衡磁石構成は、マグネトロン489の特定の部分での磁場強度を増加させ、これは、生成されたプラズマ416においてより多くの荷電粒子を生成する。上記のように、比率を調整して、スパッタリング速度を変更することができると考えられる。

20

【0038】

いくつかの実施形態によれば、スパッタターゲット411材料は、ケイ素、誘電体材料、又は金属を含むことができる。スパッタターゲットは、スパッタされた材料を基板404の上面に堆積するように配置されたスパッタリング表面を提供する。チャンバリッド410は、電源419によって負にバイアスされて、カソードを形成することができる。チャンバリッド410は、絶縁体リング412によってPVDチャンバ400の残りの部分から電氣的に絶縁されている。絶縁体リング412は、チャンバリッド410を接地された環状シールド部材434から電氣的に絶縁し、その結果、負の電圧をスパッタターゲットに維持することができる。環状シールド部材434は、処理領域408の一部を少なくとも部分的に取り囲み、地面に電氣的に結合されている。窒化物堆積の場合、窒素含有ガス(例えば、 N_2)及び任意選択の不活性ガス(例えば、Ar又はHe)をPVDチャンバ400に提供して、スパッタされたターゲット材料(一例ではケイ素)と反応させることができる。電源419は、接地された環状シールド部材434に関してチャンバリッド410内のスパッタターゲットに負の電圧を印加し、それによって、窒素含有(及び追加された場合は不活性ガス)をプラズマ416中に励起する。プラズマからのイオンは、スパッタターゲット表面及びスパッタターゲットからのスパッタターゲット材料に衝撃を与える。電源419は、DC、パルスDC、RF、交流(AC)、及びそれらの任意の組み合わせを含む、任意のタイプの電源であり得る。電源419は、上で論じたように、高出力インパルスマグネトロンスパッタリングプロセスを実行するように構成することができる。一実施形態によれば、DC電源は、約2,000V~約60,000Vの電圧、約10 μ 秒及び約40 μ 秒の持続時間、及び約200 μ 秒のパルスサイクル時間でパルスDC電力を供給するように構成される。

30

40

【0039】

スパッタターゲット411は、ケイ素を含むことができる。いくつかの実施形態によれば、プラズマ416は、アルゴン(Ar)、クリプトン(Kr)などの非反応性ガスから

50

、又は窒化物堆積のための窒素含有ガス（例えば、 N_2 ）を含むプロセスガスから生成することができる。非反応性ガス及び任意の処理ガスは、チャンバリッド410などの、PVDチャンバ400の側壁403及び／又は上部に配置されたガス導管413を介して堆積チャンバに導入することができる。一実施形態によれば、ガス源480は、ガス源413と流体連結しており、その結果、ガス源は、プロセスガスをスパッタターゲット411に供給する。プラズマ416が形成されると、スパッタリングプラズマは、スパッタターゲット411に供給されてイオン化種を形成し、イオン化種は、基板404の裏側にケイ素含有層（例えば、 SiN ）を形成する。一実施形態によれば、RF電力は、約300W～約800W、例えば約500Wの電力レベルでスパッタターゲット411に印加することができる。

10

【0040】

PVDチャンバ400は、基板404の裏側にターゲット堆積領域を画定するシャドウマスク418を含む。シャドウマスク418はまた、基板404の表側上に斜面及び／又は活性領域などの望ましくない場所で堆積が発生するのを防ぐことができる。したがって、追加の斜面クリーンが必要ではない。シャドウマスク418は、基板の斜面領域を堆積から保護するために、異なるサイズのオプションを有することができる。斜面領域は、基板404のエッジから測定して約1mm～約2mmの間であり得る。

【0041】

PVDチャンバ400は、クラスタツールの一部であることができる。図5は、一実施形態による、クラスタツール500を示している。クラスタツール500は、上記のように、少なくとも1つのPVDチャンバ400を特徴とする。クラスタツール500の例は、カリフォルニア州サンタクララのApplied Materials, Inc. から入手可能なEndura（登録商標）システムである。他のメーカーが製造したクラスタツールも使用できる。

20

【0042】

クラスタツール500は、クラスタツール500に接続されたファクトリインターフェース（FI）503を含む。FI 503は、半導体FABのある領域から別の領域に基板を取り扱って、輸送するための1つ又は複数の前方開口型統一ポッド（FOUP）501を含む。FI 503は、一実施形態によれば、FOUP 501から基板を除去し、FI 503内に配置された、又はFI 503に取り付けられたフリッパー505を使用して、上記のように基板を反転させる。フリッパー505はまた、PVDチャンバ400内に配置することができる。FI 503の側面は、FI 503とクラスタツール500の様々なプロセスチャンバとの間で基板を移送するロードロックチャンバ506A、506Bに取り付けられている。第1のロボット510は、ロードロックチャンバ506A、506Bと、1つ又は複数のプロセスチャンバ512、514、516、518（4つが示されている）の第1のセットとの間で基板を移送することができる。各プロセスチャンバ512、514、516、518は、ここに記載のPVDプロセス及びエッチングプロセス、周期的層堆積（CLD）、原子層堆積（ALD）、化学気相堆積（CVD）、前洗浄、脱気、配向、及びその他の基板プロセス（ALD）を含む多くの基板処理操作を実行するように装備することができる。

30

40

【0043】

第1のロボット510はまた、基板を一又は複数の中間移送チャンバ522、524に／から移送することができる。中間移送チャンバ522、524は、クラスタツール500内部で基板を移送可能にしながら超高真空条件を維持するために使用することができる。第2のロボット530は、中間移送チャンバ522、524と第2の組の一又は複数の処理チャンバ532、534、536、538との間で基板を移送することができる。プロセスチャンバ532、534、536、538は、プロセスチャンバ512、514、516、518と同様の様々な基板処理操作を実行するように装備することができる。特定のプロセスがクラスタツール500によって実行される必要がない場合、プロセスチャンバ512、514、516、518、532、534、536、538のいずれかをク

50

ラストツール 500 から取り外すことができる。

【0044】

例示的なマルチプロセッシングクラスタツール 500 は、上記の PVD チャンバ 400 と同様に構成された最大 4 つのプロセスチャンバ 532、534、536、538 を含むことができる。例えば、プロセスチャンバ 512 は、基板の裏側に裏側フィルム層（例えば、SiN）を堆積するように構成された PVD チャンバであり得る。

【0045】

クラスタツール 500 を使用して、上記の図 1 に記載された方法を実行することができる。例えば、基板は、FI 503 で反転されて、その表側（活性領域及び／又は統合されたデバイスを含む表面）が下を向くように基板を配置する。次に、基板は、第 1 の口ポット 510 によって処理チャンバ 512 に移送され、そこで裏側フィルム層が基板の裏側に堆積される。裏側フィルム層が堆積された基板は、FI 503 に戻すことができ、そこで基板は、表側が上を向くように再び裏返される。次に、基板は、さらなる処理のために処理チャンバ 514、516、518、532、534、536、538 のいずれかに移されるか、又は FOU P 501 にアンロードされ得る。

【0046】

図 6 は、一実施形態による、基板移送装置 600 を示している。基板 404 は、基板移送装置 600 上に配置されている。基板 404 は、図 6 を説明しやすくするために透明として示されているが、基板は、基板組成及びその上のフィルム組成に応じて透明又は不透明にすることができ、したがって、基板の光学特性を制限しない。フリッパー 604 は、ブレード 607 と、ブレード 607 から延びる 2 つのフォーク状アーム 609、611 とを有することができる。クランプばね 602 は、アーム 609、611 の遠位端に配置され、垂直壁 606 と連動して、基板を固定するのを助けることができる。クランプばね 602 は、接触パッド 608 に取り付けることができる。接触パッド 608 の高さは、ブレードと基板の表側接触を回避するために増加させることができる。さらに、ブレード 607 は、基板への欠陥、引っかき傷、及び摩耗を最小限に抑えるために、ソフトタッチエッジ接触を有することができる。ブレード 607 の垂直壁 606 は、基板の動きを制限するために基板ポケット 612 を画定する。いくつかの実施形態では、基板移送装置 600 は、FI 503 ではなく、PVD チャンバ 400 内に配置される。

【0047】

図 7 は、一実施形態による、基板支持体 402 の一部の斜視図である。シャドウマスク 702 を使用して、図 4 に示されるシャドウマスク 418 を置き換えることができる。見られるように、シャドウマスク 702 は、環状シールド部材 434 と、基板支持体 402 を取り囲むように構成された処理シールド 704 とによって支持されている。シャドウマスク 702 は、基板支持体 402 の半径方向外側に配置されたリング形状の構造である。シャドウマスク 702 は、基板（図示せず）の裏側に堆積領域（すなわち、ターゲット領域）を画定し、その結果、ターゲット領域のみが、裏側フィルム層の堆積のために PVD ソースに露出される。特に、シャドウマスク 702 は、斜面及び基板の表側の活性領域に堆積することなく、基板の裏側に裏側フィルム層を堆積させることを可能にする。これにより、斜面エッチングやクリーニングが不要になり、消費者のコストが削減される。

【0048】

シャドウマスク 702 は、異なるデザイン（例えば、異なる形状またはサイズ）を有することができる。交換可能であるように構成される。いくつかの実施形態では、非円形のシャドウマスク 702 を使用して、基板の表側の異なる応力プロファイルを補償することができる。シャドウマスク 702 は、裏側フィルムの所望の応力プロファイルに応じて、異なる設計を有することができる。シャドウマスク 702 は、シャドウマスクと基板 404 との間の間隙がプロファイルされた堆積を達成するように調整可能であり、それによって基板の表側の異なる応力プロファイルを補償するように移動可能である。シャドウマスク 702 の異なる設計を使用して、非同心応力プロファイルを補償するための持続性を提供することもできる。シャドウマスク 702 はまた、局所的なひずみの修正に有用である、

10

20

30

40

50

選択的なPVD裏側フィルム成長を可能にする。例えば、基板404が特定の部分に大きなひずみの不一致を有する場合、シャドウマスク702は、基板の裏側のその部分のみが堆積中に露出されるように設計することができ、裏側フィルムはその部分でのみ成長するため、ひずみは局所的に整流される。

【0049】

上に示したように、基板404は、クラスタツール500のファクトリインターフェース503にロードされ、基板は、基板の裏側が上を向くように反転され、反転された基板は、基板の裏側に裏側フィルム層を堆積するために、ファクトリインターフェースから物理的気相堆積(PVD)チャンバ400に移される。裏側フィルム層は、PVDを使用して堆積され、裏側フィルム層は、スパッターターゲット411からのスパッタリングから形成される。

10

【0050】

堆積されたままのSiN裏側フィルム層は、CVD技術によって堆積された裏側フィルム層よりも2倍高い応力保持(約60~70%)を有する。裏側フィルムの高い応力保持(熱安定性)により、裏側堆積に必要なパス数を最小限に抑えることができる。PVDによって堆積された裏側フィルム層は、そうでなければ、裏側フィルム層がCVD法によって堆積された場合に発生するであろう面内ひずみの問題なしに半径方向に均一な局所応力を提供できる。裏側フィルム層の転写及び堆積は、非接触アプローチ(表面活性領域が接触されていない)によって行われ、それにより、表面保護層及び関連するプロセス(除去/ストリッププロセス及び基板斜面洗浄など)の必要性を排除する。企図されるシステムは、ウエハ毎時(WPH)65個を超えるウエハ堆積速度を可能にする。

20

【0051】

上記は本開示の実施形態に向けられているが、本開示の他の及びさらなる実施形態は、その基本的な範囲から逸脱することなく考案することができ、その範囲は、以下の特許請求の範囲によって決定される。

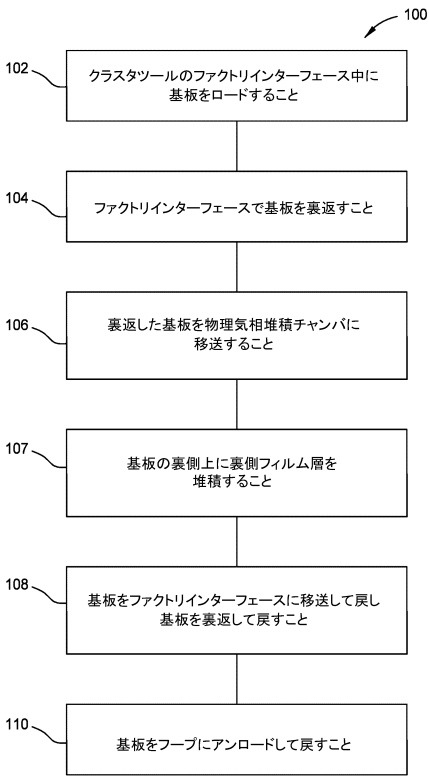
30

40

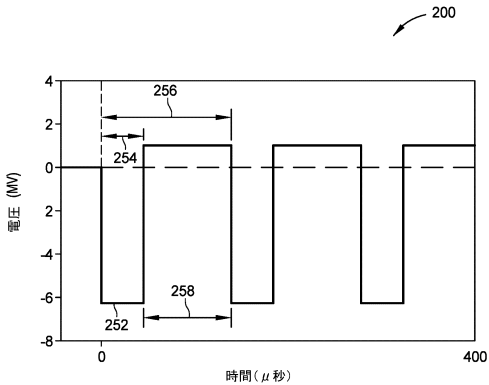
50

【図面】

【図 1】



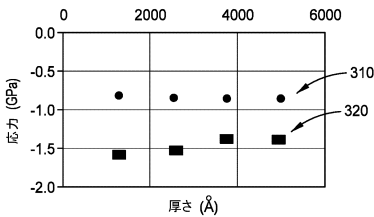
【図 2】



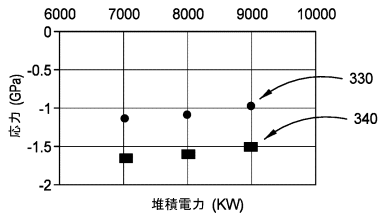
10

20

【図 3 A】



【図 3 B】

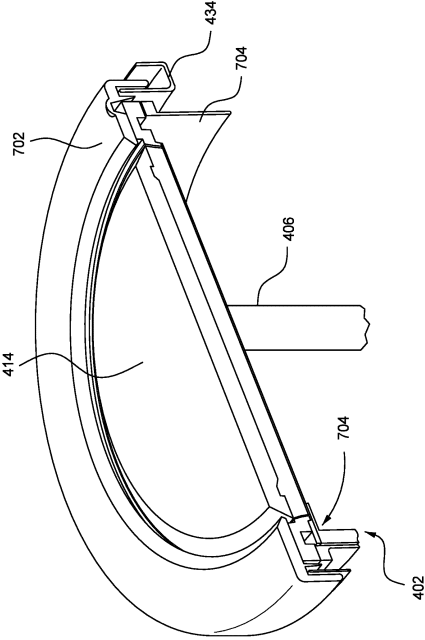


30

40

50

【図 7】



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I
H 0 1 L 21/677(2006.01)	H 0 1 L 21/68 A
(72)発明者	5 4 , サンタ クララ , パウアーズ アヴェニュー 3 0 5 0 , エム / エス 1 2 6 9 , シー / オー アプライド マテリアルズ インコーポレイテッド , ロー デパートメント
(72)発明者	ラマリンガム , ジョーティーリンガム アメリカ合衆国 カリフォルニア 9 5 0 5 4 , サンタ クララ , パウアーズ アヴェニュー 3 0 5 0 , エム / エス 1 2 6 9 , シー / オー アプライド マテリアルズ インコーポレイテッド , ロー デパートメント
(72)発明者	カオ , ヨン アメリカ合衆国 カリフォルニア 9 5 0 5 4 , サンタ クララ , パウアーズ アヴェニュー 3 0 5 0 , エム / エス 1 2 6 9 , シー / オー アプライド マテリアルズ インコーポレイテッド , ロー デパートメント
(72)発明者	モラエス , ケビン ヴィンセント アメリカ合衆国 カリフォルニア 9 5 0 5 4 , サンタ クララ , パウアーズ アヴェニュー 3 0 5 0 , エム / エス 1 2 6 9 , シー / オー アプライド マテリアルズ インコーポレイテッド , ロー デパートメント
(72)発明者	ラヴァン , シェーン アメリカ合衆国 カリフォルニア 9 5 0 5 4 , サンタ クララ , パウアーズ アヴェニュー 3 0 5 0 , エム / エス 1 2 6 9 , シー / オー アプライド マテリアルズ インコーポレイテッド , ロー デパートメント
審査官	▲高▼橋 真由
(56)参考文献	米国特許出願公開第 2 0 0 8 / 0 2 1 3 6 6 4 (U S , A 1) 特開 2 0 1 6 - 0 8 6 0 0 5 (J P , A) 特開 2 0 1 0 - 0 3 7 6 5 6 (J P , A) 米国特許出願公開第 2 0 1 0 / 0 2 2 1 5 8 3 (U S , A 1) 米国特許出願公開第 2 0 1 5 / 0 3 4 0 2 2 5 (U S , A 1)
(58)調査した分野	(Int.Cl. , D B 名) C 2 3 C H 0 1 L