



(10) **DE 10 2016 117 567 B3** 2017.11.16

(12)

Patentschrift

(21) Aktenzeichen: **10 2016 117 567.6**

(22) Anmeldetag: **19.09.2016**

(43) Offenlegungstag: –

(45) Veröffentlichungstag
der Patenterteilung: **16.11.2017**

(51) Int Cl.: **G06F 11/30** (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:

**Elmos Semiconductor Aktiengesellschaft, 44227
Dortmund, DE**

(72) Erfinder:

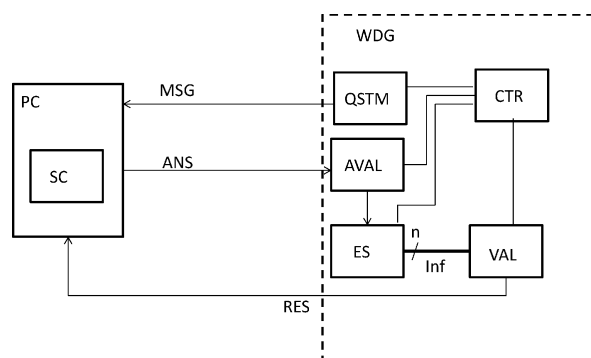
**Sudhaus, Andre, 44227 Dortmund, DE; Subijanto,
Tan, 44227 Dortmund, DE**

(56) Ermittelter Stand der Technik:

DE	100 56 408	C1
DE	10 2006 028 992	B4
DE	42 34 910	A1
DE	10 2004 009 359	A1
US	4 594 685	A

(54) Bezeichnung: **Watchdog mit Mustererkennung für wiederkehrende Lastsituationen mit einem empfangsgesteuerten Zwischenspeicher**

(57) Zusammenfassung: Die Erfindung betrifft einen Watchdog zur Überwachung eines Prozessors (PC). Der Watchdog (WDG) sendet Botschaften (MSG) an den Prozessor (PC) der daraufhin Statusinformation über sich und ggf. Systemkomponenten (SC) und deren Testergebnisse zu vorbestimmten Zeiten als Antworten (ANS) an den Watchdog (WDG) zurücksendet. Der Watchdog weist mindestens einen Ereignisspeicher (ES) oder mindestens ein Schieberegister (SR) auf in dem der Watchdog (WDG) die Historie der Antworten (ANS) aufzeichnet und auf Muster in auftretenden fehlerhaften Antworten hin untersucht. Die Aufzeichnung wird durch ein Trigger-Ereignis veranlasst, das der Empfang einzelner Antworten und/oder das Ende von vorgesehenen Empfangszeiträumen sein können. In Abhängigkeit von den Mustern werden Signalisierungen an den Prozessor und/oder andere Systemkomponenten vorgenommen, die ggf. Maßnahmen einleiten und ihre Struktur und/oder die ausgeführten Programme und/oder die Priorität dieser Ausführungen etc. anpassen.



Beschreibung

Oberbegriff

[0001] Die Erfindung richtet sich auf einen Watchdog zur Überwachung eines Prozessors. Dieser Watchdog wertet Antworten eines Prozessors aus und berücksichtigt dabei die historische Entwicklung dieser Antworten insbesondere durch Mustererkennung.

Allgemeine Einleitung

[0002] Bei der Verwendung von Prozessoren zur Steuerung sicherheitsrelevanter Vorrichtungen in Fahrzeugen ist die Überwachung des bestimmungsgemäßen Programmablaufs von entscheidender Bedeutung für die Sicherheit der betreffenden Anwendungen. Hierzu sind unter dem Stichwort Watchdog zahlreiche Publikationen auffindbar. Deren Aufgabe ist es, das zeitliche Verhalten des Überwachten Prozessors anhand von Merkmalen und Signalisierungen zu bewerten und ggf. durch geeignete Rücksignalisierungen den Prozessor zu Gegenmaßnahmen zu veranlassen, wenn das Verhalten von den Erwartungen abweicht.

Stand der Technik

[0003] Aus der DE 10 056 408 C1 ist ein solcher Watchdog bekannt. Diese Vorrichtung dient zur Überwachung eines Prozessors wobei der Watchdog bei wenigstens einem erkannten Fehler eine Fehlermeldung an den Prozessor überträgt und einen Fehlerzähler inkrementiert.

[0004] Dieses reine Inkrementieren hat den Nachteil, dass es für sich alleine nur für Systeme geeignet ist, die niemals einen Fehler zeigen dürfen. Komplexere Systeme benötigen aber eine Laststeuerung. Daher wird oft ein Aufwärts-/Abwärtszähler verwendet. Dieser hat aber den Nachteil, dass der Zähler integrierend wirkt und damit wie ein Tiefpass bei oszillierenden, aber trotzdem schlechten Ergebnissen wirkt. Solche oszillierenden Ergebnisse liegen beispielsweise dann vor, wenn mehrfach hintereinander die Überprüfungsergebnisse mal gut und mal schlecht sind.

[0005] Aus der DE 10 2006 028 992 B4 sind Anomaliezähler bekannt, die für jede Anomalie einzeln diese Anomalieereignisse zählen. Aus der DE 10 2004 009 359 A1 ist eine elektronische Steuereinheit zur Überwachung eines Mikrocomputers bekannt. Hier wird mit jeder richtigen Antwort ein Zuweisungszähler inkrementiert. Bei einer falschen Antwort findet keine Inkrementierung des Zuweisungszählers statt. Aus der US 4 594 685 A ist eine Vorrichtung zur Verifizierung der korrekten Abarbeitung eines Rechnerprogramms durch die Hardware eines Rechnersystems bekannt. Kern der Vorrichtung sind

zwei Schieberegister. Ein erstes Schieberegister (Bezugszeichen **20** der der US 4 594 685 A) dient der Erzeugung eines Signals, das vom Prozessor unabhängig ist. Die Signalerzeugung des zweiten Schieberegisters (Bezugszeichen 15 der der US 4 594 685 A) ist von der korrekten Programmausführung abhängig. Kommt es zu einer fehlerhaften Programmabarbeitung, so wird ein Fehlerzähler inkrementiert. Wird ein Zählerstand überschritten, so kommt es zu einem Rücksetzen des Rechners. Aus der DE 42 34 910 A1 ist eine Schaltungsanordnung bekannt, bei der ein Prozessor zyklische Signale, welche in ein Eingangsregister eingegeben werden, erhält. Dadurch wird ein Zeitgeber gesetzt und in Abhängigkeit davon ein Ausgangssignal erzeugt.

[0006] Allen diesen Schriften aus dem Stand der Technik ist gemeinsam, dass Muster in Fehlervorfällen nicht erkannt werden können.

Aufgabe der Erfindung

[0007] Der Erfindung liegt daher die Aufgabe zugrunde, eine Lösung zu schaffen die die obigen Nachteile des Stands der Technik nicht aufweist und weitere Vorteile aufweist.

[0008] Diese Aufgabe wird durch eine Vorrichtung nach Anspruch 1 gelöst.

Lösung der erfindungsgemäßen Aufgabe

[0009] Bei der Erfindung handelt es sich um eine Vorrichtung zur Überwachung eines Prozessors (PC). Sie umfasst typischerweise einen Watchdog (WDG) mit einem Taktgeber (CTR) als Teil dieses Watchdog (WDG). Der Prozessor (PC) sollte mit dem Watchdog (WDG) zur Überwachung verbindbar sein. Der Taktgeber legt einen vorgesehenen Empfangszeitraum (b) fest, in dem der Watchdog (WDG) vorbestimmbare Antworten (ASW) des Prozessors (PC) an den Watchdog (WDG) erwartet. Im Gegensatz zum Stand der Technik weist die Erfindungsgemäße Vorrichtung in dem Watchdog (WDG) als Teil desselben nun einen Ergebnisspeicher (ES) auf, der vorzugsweise als Schieberegister (SR) gestaltet ist. Dieser Ergebnisspeicher umfasst nun vorzugsweise n Ergebnisspeicherzellen oder im Falle des Schieberegisters (SR) n Schieberegisterzellen. Hierbei ist n eine ganze positive Zahl größer 1. Bei diesen Schieberegisterzellen kann es sich um Speicherzellen handeln, die beispielsweise nur ein Bit pro Ergebnisspeicherzelle bzw. Schieberegisterzelle abspeichern können. Vorzugsweise werden jedoch mehr Informationen in einer Ergebnisspeicherzelle bzw. Schieberegisterzelle abgelegt. Eine Ergebnisspeicherzelle bzw. Schieberegisterzelle speichert also eine Datenstruktur, die im einfachsten Fall ein einzelnes Bit je Ergebnisspeicherzelle bzw. Schieberegisterzelle sein kann und in komplizierteren Fällen komplexere Da-

tenstrukturen umfassen kann. Dabei müssen nicht alle Informationsanteile der in diesen Datenstrukturen gespeicherten Informationen stets und immer benutzt werden. Wichtig ist jedoch, dass in der Datenstruktur der jeweiligen Ergebnisspeicherzelle bzw. Schieberegisterzelle stets ein Speicherplatz für einen ersten Informationsanteil vorgesehen ist, dessen Funktion später noch erläutert werden wird. In den n Ergebnisspeicherzellen bzw. n Schieberegisterzellen des Ergebnisspeichers (ES) bzw. des Schieberegisters (SR) befinden sich nun n zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$). Diese n zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) haben jeweils die zuvor angesprochene Datenstruktur und umfassen jeweils zumindest den besagten ersten Informationsanteil. In dem Ergebnisspeicher (ES) bzw. dem Schieberegister (SR) sind diese n zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) abgelegt. In den n Ergebnisspeicherzellen bzw. n Schieberegisterzellen des Ergebnisspeichers (ES) bzw. des Schieberegisters (SR) und damit auch die darin abgelegten n zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) können nun von 1 bis n durchnummeriert werden. Dadurch erhält jede der n zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) eine eindeutige Ergebnisspeicherposition von n Ergebnisspeicherpositionen, die von 1 bis n durchnummeriert sind, bzw. eine eindeutige Schieberegisterposition von n Schieberegisterpositionen, die von 1 bis n durchnummeriert sind. Wie bereits beschrieben weist jede der n zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) zumindest einen ersten Informationsanteil auf und kann im Falle komplexerer Datenstrukturen ggf. weitere Informationsanteile aufweisen. Der Watchdog weist erste Stimulierungsmittel (QSTM) auf, die zur Aussendung von Botschaften (MSG) vom Watchdog (WDG) an den Prozessor (PC) verwendet werden können. Hierbei kann es sich beispielsweise um einfache Leitungen, die auf verschiedene Potenziale gelegt werden können oder kompliziertere serielle Bussysteme handeln. Der Watchdog (WDG) bewertet mit Hilfe erster Bewertungsmittel (AVAL), die vorzugsweise Teil des Watchdog (WDG) sind, Antworten (ANS) des Prozessors (PC) an den Watchdog (WDG). Der Watchdog (WDG) sendet dabei Botschaften (MSG) an den Prozessor (PC) die sowohl den Prozessor (PC) selbst, Teile desselben und weitere Systemkomponenten (SC) betreffen können. Der Prozessor (PC), die betroffenen Teile des Prozessors (PC) und/oder die weiteren Systemkomponenten führen daraufhin beispielsweise vorbestimmbare Tests mit vorbestimmbaren Ergebnissen durch. Hierbei kann es sich in einfachen Fällen beispielsweise um die Ermittlung von Programmzählerständen oder ähnlichem handeln. Der der Prozessor (PC) sendet dann sein Ergebnis an den Watchdog (WDG). Dieses Ergebnis hängt also von zumindest einer zuvor empfangenen Botschaft (MSG) ab. Es ist auch denkbar, dass mehrere Botschaften (MSG) den Inhalt der Antwort (ANS) des Prozessors (PC) an den Watchdog (WDG) be-

stimmen oder mehrere Antworten (ANS) aufgrund einer oder mehrerer empfangener Botschaften (MSG) an den Watchdog (WDG) gesendet werden. Bei der Versendung der Antworten (ANS) durch den Prozessor (PC) bestimmen die Botschaften (MSG) jedoch nicht nur den Inhalt, sondern auch den Zeitpunkt. Die Antworten (ANS) werden in einem dafür vorgesehenen Empfangszeitraum (b) durch den Watchdog (WDG) erwartet. Im Gegensatz dazu gibt es auch einen Zeitraum (a) zu dem kein Empfang von Antworten (ANS) vorgesehen ist. Vorzugsweise wechselt sich dieser Zeitraum (a) mit dem vorgesehenen Empfangszeitraum (b) zyklisch ab. Darüber hinaus sind noch Zeiträume (c) denkbar, zu denen keine Bewertung von Antworten erfolgt. Zyklisch bedeutet hier nicht, dass die zeitliche Länge dieser Zeiträume in ihrer Gesamtheit oder einzeln immer gleich sein muss. Vielmehr kann sie variieren. Auch kann die Reihenfolge der Zeiträume (a, b, c) variieren. Ein Zyklus umfasst mindestens einen der Zeiträume (a, b, c). Empfängt nun der Watchdog (WDG) eine Antwort (ANS) vom Prozessor (PC) so bewertet der Watchdog (WDG) mittels der ersten Bewertungsmittel (AVAL) die Antwort (ANS) des Prozessors (PC) als „korrekt“ oder „nicht korrekt“. Eine Antwort (ANS) ist dann „korrekt“ wenn deren Inhalt korrekt ist, also einem Element einer erlaubten Menge von Inhalten entspricht, die vorberechnet werden kann oder vorausberechnet ist. Gleichzeitig muss für die Bewertung als „korrekt“ durch die ersten Bewertungsmittel (AVAL) die Antwort (ANS) innerhalb des für diese Antwort (ANS) vorbestimmten Empfangszeitraums (b) durch den Watchdog (WDG) empfangen werden. Andersherum bewerten die ersten Bewertungsmittel (AVAL) des Watchdog (WDG) die Antwort (ANS) als „nicht korrekt“, wenn der Inhalt der Antwort (ANS) „nicht korrekt“ ist, also wenn deren Inhalt keinem Element der erlaubten, vorausgerechneten Menge von Inhalten zu dem Empfangszeitpunkt entspricht. Es kann also vorgegeben Erwartungszeiträume (b) geben, die von der erwarteten Antwort (ANS) abhängen und sich ggf. auch überlappen können.

[0010] Andersherum bewerten die ersten Bewertungsmittel (AVAL) des Watchdog (WDG) die Antwort (ANS) als „nicht korrekt“, wenn die Antwort (ANS) nicht innerhalb des für diese Antwort (ANS) vorbestimmten Empfangszeitraums (b) durch den Watchdog (WDG) empfangen werden, sondern in einem Zeitraum (a) zu dem kein Empfang von Antworten (ANS) vorgesehen ist.

[0011] Sofern es sich bei dem Empfangsspeicher (ES) beispielsweise um ein Schieberegister (SR) handelt, löscht das Schieberegister (SR) in einer ersten grundlegenden Ausprägung bei jedem Empfang einer Antwort (ANS) des Prozessors (PC) oder in einer zweiten grundlegenden Ausprägung zeitlich nach dem Empfang einer Antwort (ASW) durch dem

Watchdog (WDG) oder zeitlich nach dem Ende des vorgesehenen Empfangszeitraums (b) die n-te zwischengespeicherte Information (Inf_n) aus dem Schieberegister (SR) und verschiebt jede der $(n - 1)$ zwischengespeicherten Informationen von der jeweiligen j-ten Schieberegisterposition (p_j , mit $1 \leq j \leq (n - 1)$) auf die $(j + 1)$ -te Schieberegisterposition (p_j , mit $2 \leq j \leq n$). Die dann frei gewordene erste Schieberegisterposition (p_1) füllt das Schieberegister (SR) dann zumindest mit dem Ergebnis der Bewertung der empfangenen Antwort (ANS) durch den Prozessor (PC) als neuen ersten Informationsanteil der neuen 1-ten zwischengespeicherten Information (Inf_1). Dieser erste Informationsanteil der 1-ten zwischengespeicherten Information (Inf_1) entspricht dann dem logischen Wert „korrekt“ oder „nicht korrekt“ je nach Ergebnis der vorausgegangenen Bewertung.

[0012] Es kann sich aber auch um eine allgemeinere Form eines Ergebnisspeichers (ES) handeln. Der Ergebnisspeicher (ES) löscht zeitlich nach jedem Empfang einer Antwort (ANS) des Prozessors (PC) durch den Watchdog (WDG) oder zeitlich nach dem Ende des vorgesehenen Empfangszeitraums (b) zumindest eine zwischengespeicherte Information (z. B. Inf_n) aus einer Ergebnisspeicherzelle des Ergebnisspeichers (ES). Gleichzeitig oder in Zusammenhang damit verschiebt der Ergebnisspeicher (ES) die verbleibenden $(n - 1)$ nicht gelöschten, zwischengespeicherten Informationen von den ursprünglichen zugeordneten logischen Ergebnisspeicherpositionen auf andere logische Ergebnisspeicherpositionen. Dies kann zum einen durch echte Verschiebung der Informationsdaten in andere physikalische Ergebnisspeicherzellen des Ergebnisspeichers geschehen oder viel einfacher durch Neuordnung der logischen Ergebnisspeicherpositionen zu den physikalischen Ergebnisspeicherpositionen und damit zu den Ergebnisspeicherzellen. Im einfachsten Fall wird nur ein Schreibzeiger verwendet, der festlegt, welche der Ergebnisspeicherzellen als nächstes gelöscht werden soll. Eine der Ergebnisspeicherzellen enthält dann nur den Löschwert. In diese Ergebnisspeicherzelle wird dann die neue Information (z. B. Inf_1) geschrieben. Dieser Schreibvorgang kann gleichzeitig den Löschvorgang der bisherigen Information dieser Ergebnisspeicherzelle darstellen. Zumindest wird der erste Informationsanteil der Information in der betreffenden Ergebnisspeicherzelle festgelegt. Als zumindest neuen ersten Anteil der neuen zwischengespeicherten Information (z. B. Inf_1) auf der betreffenden Ergebnisspeicherposition, in die keine der verbleibenden $(n - 1)$ zwischengespeicherten Informationen verschoben wurde, wird dann vorzugsweise zumindest das Ergebnis der Bewertung der empfangenen Antwort (ANS) durch den Prozessor (PC) entsprechend einem logischen Wert „korrekt“ oder „nicht korrekt“ verwendet.

[0013] Der erfindungsgemäße Watchdog führt also ein Verfahren zur Überwachung eines Prozessors (PC) aus. Ein Taktgeber (CTR) gibt einen vorgesehenen Empfangszeitraum (b) für eine Antwort (ANS) des Prozessors (PC) an den Watchdog (WDG) vor. Der Watchdog (WDG) versendet eine oder mehrere Botschaften (MSG) mit Inhalten, die den Prozessor (PC) selbst, Teile desselben und/oder weitere Systemkomponenten (SC) betreffen können, an den Prozessor (PC). Dieser beantwortet die Botschaft (MSG) bzw. die Botschaften (MSG) in Abhängigkeit von zumindest dem Inhalt einer dieser Botschaften (MSG) in Form zumindest der besagten Antwort (ASW) an den Watchdog (WDG). Dieser bewertet mindestens eine Antwort (ANS) des Prozessors (PC) an den Watchdog (WDG) durch den Watchdog (WDG) als „korrekt“ oder „nicht korrekt“ zur Erzeugung eines Bewertungsergebnisses.

[0014] In dem Verfahren wird nun der Inhalt des Ergebnisspeichers (ES) zeitlich nach dem Empfang einer Antwort (ASW) durch den Watchdog (WDG) oder zeitlich nach dem Ende des vorgesehenen Empfangszeitraums (b) modifiziert. Wie zuvor erläutert weist der Ergebnisspeicher (ES) n Ergebnisspeicherzellen mit n zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) auf. Dabei ist n wieder eine ganze Zahl größer 1. Jede Ergebnisspeicherzelle hat jeweils eine eindeutige logische Ergebnisspeicherposition und eine zugeordnete eindeutige physikalische Ergebnisspeicherposition, die nicht identisch sein müssen.

[0015] Die Modifikation des Inhalts des Ergebnisspeichers (ES) erfolgt dabei durch Löschung mindestens einer zwischengespeicherten Information (Inf_k) der n zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) in einer zugeordneten Ergebnisspeicherzelle (hier beispielhaft der k-ten Ergebnisspeicherzelle). Des Weiteren erfolgt eine Änderung mindestens einer logischen Ergebnisspeicherposition mindestens einer zwischengespeicherten Information (Inf_j) der n zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) in dem Ergebnisspeicher (ES). Dies kann durch echtes Verschieben der mindestens einen zwischengespeicherten Information (Inf_j) innerhalb des Ergebnisspeichers (ES) erfolgen oder auch durch eine Änderung der Adressierung. In diesem letzten Fall werden nicht Inhalte verschoben, sondern die den jeweiligen Ergebnisspeicherzellen und damit den jeweiligen zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) zugeordneten logischen Ergebnisspeicherpositionen geändert. Das Ergebnis der Bewertung der mindestens einen empfangenen Antwort (ANS) wird dann durch den Watchdog (WDG) als neuer erster Informationsanteil einer neuen zwischengespeicherten Information (Inf_1) in dem Ergebnisspeicher abgelegt und verwendet. In einem besonders einfachen Fall kann man sich also einen Schreibzeiger vorstellen, der stets auf eine Ergebnisspeicherposition zeigt. Zeitlich nach dem Empfang einer Ant-

wort (ASW) durch dem Watchdog (WDG) oder zeitlich nach dem Ende des vorgesehenen Empfangszeitraums (b) oder zeitlich nach dem Empfang einer einzelnen Antwort (ASW) überschreitet der Watchdog (WDG) den ersten Informationsanteil der zwischengespeicherten Information (Inf_k) an der entsprechenden Ergebnisspeicherposition mit dem Ergebnis der Bewertung der mindestens einen empfangenen Antwort (ANS) und springt mit dem Schreibzeiger zur vorbestimmten nächsten Ergebnisspeicherzelle. Der Empfang einer Antwort (ASW) durch dem Watchdog (WDG) oder der Empfang jeder Antwort (ASW) durch dem Watchdog (WDG) oder das Ende des vorgesehenen Empfangszeitraums (b) stellen also ein Trigger-Ereignis für den Ergebnisspeicher (ES) dar. Der Algorithmus für das Berechnen der nächsten Schreibzeigerposition der nächsten Ergebnisspeicherzelle des Ergebnisspeichers (ES) wird dabei vorzugsweise so ausgelegt, dass der Schreibzeiger vor einer Wiederholung der Schreibzeigerpositionierung einmal auf die Ergebnisspeicherpositionen vorzugsweise aller Ergebnisspeicherzellen des Ergebnisspeichers gezeigt hat.

Vorteil der Erfindung

[0016] Im Gegensatz zum Stand der Technik werden also die Bewertungsergebnisse innerhalb des Watchdog nicht sofort verwendet, sondern abgespeichert. Ein solcher Watchdog ermöglicht zumindest in einigen Realisierungen, dass diese abgespeicherten Bewertungen der Antworten (ANS) dann als Grundlage für weitere Entscheidungen herangezogen werden können. Oszillierende Ergebnisse können somit erkannt werden und für entsprechende Warnungen genutzt werden. Die Vorteile sind hierauf aber nicht beschränkt.

Beschreibung der Weiterbildungen/ Ausbildungen der Erfindung

[0017] In einer ersten Ausführungsform der Erfindung ist die erfindungsgemäße Vorrichtung mit einem zusätzlichen zweiten Bewertungsmitteln (VAL) als Teil des Watchdog (WDG) versehen, das zur Bewertung der zwischengespeicherten Informationen (Inf_1 bis Inf_n) des Schieberegisters (SR) dient. Diese zweiten Bewertungsmittel (VAL) können in Abhängigkeit vom Inhalt des Ergebnisspeichers (ES) bzw. des Schieberegisters (SR) zumindest ein Steuersignal (RES) erzeugen, das den Zustand des Prozessors (PC) verändern kann. Beispielsweise ist es denkbar, dass verschiedene Rücksetzsignale oder Interrupt-Signale je nach erkanntem Muster oder Anzahl der im Ergebnisspeicher (ES) bzw. im Schieberegister (SR) befindlichen „nicht korrekt“ Informationen durch die zweiten Bewertungsmittel (VAL) aktiviert werden, die unterschiedliche Effekte auf den Prozessor (PC), dessen Programmablauf, Teile desselben oder sonstige Systemkomponenten (SC) ha-

ben. Es reicht natürlich aus, wenn aus Ausgangssignalen der zweiten Bewertungsmittel (VAL) zumindest ein solches Steuersignal (RES) erzeugt werden kann.

[0018] Dies hat den Vorteil, dass auch bei oszillierenden Bewertungsergebnissen komplexere Situationen erkannt werden können und je nach Situation durch spezifische Signalisierungen (RES) der Prozessor (PC), Teile desselben oder andere Systemkomponenten (SC) zu einem anderen Programmablauf oder anderen Maßnahmen veranlasst werden können. Eine solche Situationserkennung ist im Stand der Technik nicht bekannt.

[0019] In einer weiteren Ausgestaltung der Erfindung bewertet der Watchdog (WDG) mittels der ersten Bewertungsmittel (AVAL) die Antwort (ANS) des Prozessors (PC) als „korrekt“ oder „nicht korrekt“. In der Regel wird es sich hierbei um ein einzelnes Bit, das die Werte 0 oder 1 annimmt oder um eine Leitung handeln, die ein erstes Potenzial oder ein zweites Potenzial annimmt, handeln. Andere Realisierungen sind denkbar. Diese weitere Ausgestaltung der Erfindung ist dadurch gekennzeichnet, dass eine Antwort (ANS) durch den Watchdog (WDG) als „korrekt“ bewertet wird, wenn die Anzahl der durch den Watchdog (WDG) empfangenen Antworten (ANS) innerhalb des vorbestimmten Empfangszeitraums (b) durch die nun empfangene Antwort (ANS) nicht eine vorgegebene maximale Anzahl von zu empfangenen Antworten (ANS) überschreitet oder am Ende des vorbestimmten Empfangszeitraums (b) die Anzahl der empfangenen Antworten (ANS) eine vorgegebene minimale Anzahl von zu empfangenen Antworten (ANS) nicht unterschreitet. Eine Antwort (ANS) ist zusätzlich „nicht korrekt“, wenn die Anzahl der durch den Watchdog (WDG) empfangenen Antworten (ANS) innerhalb des vorbestimmten Empfangszeitraums (b) durch die empfangene Antwort (ANS) eine vorgegebene maximale Anzahl von zu empfangenen Antworten (ANS) überschreitet oder am Ende des vorbestimmten Empfangszeitraums (b) eine zumindest für diesen vorbestimmten Empfangszeitraum (b) vorgegebene minimale Anzahl von zu empfangenen Antworten (ANS) unterschreitet.

[0020] Diese Auswertung der Antwortanzahl in dem vorbestimmten Empfangszeitraum (b) ermöglicht weitere Bewertungen und dementsprechend flexible Reaktionen des Systems.

[0021] Bevorzugt erfolgt in einer weiteren Ausgestaltung der Erfindung die Bewertung der Antwort (ANS) des Prozessors (PC) durch die ersten Bewertungsmittel (AVAL) des Watchdog (WDG) zusätzlich in Abhängigkeit von zumindest einer, mehreren oder allen zwischengespeicherten Informationen (Inf_j) der n zwischengespeicherten Informationen (Inf_j bis Inf_n) des Schieberegisters (SR). Das bedeutet, dass nicht

nur der Inhalt der Antworten (ANS) des Prozessors (PC) und deren Zeitpunkt in Bezug auf den vorbestimmten Empfangszeitraum (b) ausgewertet wird, sondern diese Daten auch in Bezug zu den bereits erhaltenen Antworten (ANS) gesetzt werden. Dies hat den Vorteil, dass beispielsweise die Art ergriffenen Maßnahmen in den Ergebnisspeicher (ES) oder das Schieberegister als Inhalt weiterer Informationsanteile der jeweiligen Informationen (Inf_1 bis Inf_n) mit abgelegt werden können. Es kommt beispielsweise vor, dass die Maßnahmen selbst durch Zusatzaufwände die Situation kurzfristig verschlechtern bevor die erwünschte Besserung der Belastungssituation erkannt wird. Daher kann es vorkommen, dass solche eigentlich als „nicht korrekt“ zu bewertenden Antworten infolge der zuvor ergriffenen Maßnahmen als „korrekt“, da erwartet, bewertet werden können.

[0022] Bevorzugt erzeugten in einer weiteren Ausgestaltung der Erfindung die weiten Bewertungsmittel (VAL) in Abhängigkeit von zumindest einer zwischengespeicherten Informationen (Inf_j) der n zwischengespeicherten Informationen ($\text{Inf}_1, \dots \text{Inf}_n$) des Schieberegisters (SR) des Ergebnisspeichers (ES) oder des Schieberegisters (SR) zusätzlich zumindest eine weitere Bewertung. In dieser weiteren Ausgestaltung der Erfindung wird diese weitere Bewertung ebenfalls als weiterer Informationsanteil einer Information in einer Speicherzelle des Ergebnisspeichers (ES) bzw. des Schieberegisters (SR) abgelegt. Somit umfasst dann zumindest eine zwischengespeicherte Information (Inf_j) der zwischengespeicherten Informationen (Inf_j bis Inf_n) des Ergebnisspeichers (ES) bzw. des Schieberegisters (SR) eine zwischengespeicherte weitere Bewertung der zweiten Bewertungsmittel (VAL) zusätzlich zur jeweiligen Bewertungen der Antworten (ANS) des Prozessors (PC) durch die ersten Bewertungsmittel (AVAL), die im ersten Informationsanteil der jeweiligen zwischengespeicherten Information (Inf_j) der zwischengespeicherten Informationen (Inf_j bis Inf_n) des Ergebnisspeichers (ES) abgelegt ist.

[0023] Bevorzugt erzeugten in einer weiteren Ausgestaltung der Erfindung die zweiten Bewertungsmittel (VAL) in Abhängigkeit vom Auftreten vorbestimmter Muster unter zumindest jeweils eines Anteiles zumindest zweier verschiedener zwischengespeicherter Informationen ($\text{Inf}_j, \text{Inf}_k$, mit $1 \leq j \leq n$ und $1 \leq k \leq n$ und $j \neq k$) der zwischengespeicherten Informationen ($\text{Inf}_1, \dots \text{Inf}_n$) des Ergebnisspeichers (ES) bzw. des Schieberegisters (SR) zusätzlich zumindest eine zweite weitere Bewertung. Ganz besonders bevorzugt werden natürlich alle Informationen ($\text{Inf}_1, \dots \text{Inf}_n$) des Ergebnisspeichers (ES) bzw. des Schieberegisters (SR) in eine solche Auswertung einbezogen.

[0024] In einer besonders bevorzugten Ausprägung der Erfindung wird der Ergebnisspeicher am Ende des des vorbestimmten Empfangszeitraums (b) gelöscht. Dabei kann „gelöscht“ beispielsweise be-

deuten, dass die ersten Informationsanteile der zwischengespeicherten Informationen (Inf_1 bis Inf_n) des Schieberegisters (SR) am Ende des vorbestimmten Empfangszeitraums (b) auf einen Wert entsprechend „nicht korrekt“ gesetzt werden. Es kann aber auch bedeuten, dass stattdessen die ersten Informationsanteile der zwischengespeicherten Informationen (Inf_1 bis Inf_n) des Schieberegisters (SR) am Ende des vorbestimmten Empfangszeitraums (b) auf einen Wert entsprechend „korrekt“ gesetzt werden. Dies insbesondere dann von Vorteil, wenn die Vorrichtung zweistufig, wie im Folgenden erläutert ausgeführt wird.

[0025] Bevorzugt wird in einer weiteren Ausgestaltung der Erfindung das erfindungsgemäße Prinzip mehrstufig angewandt. Zusätzliche zweite Bewertungsmitteln (VAL), die Teil des Watchdog (WDG) sind, bewerten die zwischengespeicherten Informationen (Inf_1 bis Inf_n) im Ergebnisspeicher (ES) bzw. im Schieberegisters (SR) wie zuvor beschrieben. Die so erhaltenen Bewertungsergebnisse werden nun jedoch in mindestens einem weiteren Ergebnisspeicher (ES_B) bzw. mindestens einem weiteren Schieberegister (SR_B) abgelegt. Diese sind zusätzlich nun ebenfalls Teil des Watchdog (WDG). Der weitere Ergebnisspeicher (ER_B) besteht aus m weiteren Ergebnisspeicherzellen bzw. das weitere Schieberegister (SR_B) besteht aus m weiteren Schieberegisterzellen. Hierbei ist m eine ganze positive Zahl größer 1. In diesen weiteren Ergebnisspeicherzellen bzw. weiteren Schieberegisterzellen befinden sich m weitere zwischengespeicherte Informationen ($\text{Inf}_{1B}, \dots \text{Inf}_{mB}$). Die weiteren logischen und physikalischen Ergebnisspeicherpositionen bzw. weiteren logischen und physikalischen Schieberegisterpositionen, die diesen m weiteren Ergebnisspeicherzellen bzw. weiteren Schieberegisterzellen zugeordnet sind, können von 1 bis m durchnummeriert werden. Damit können auch die darin enthaltenen m weiteren zwischengespeicherten Informationen ($\text{Inf}_{1B}, \dots \text{Inf}_{mB}$) von 1 bis m entsprechend durchnummeriert werden. Somit ist dann jeder der m weiteren zwischengespeicherten Informationen ($\text{Inf}_{1B}, \dots \text{Inf}_{mB}$) eine eindeutige logische und eine eindeutige physikalische Ergebnisspeicherposition von m Ergebnisspeicherpositionen bzw. eine eindeutige logische und eine eindeutige physikalische Schieberegisterposition von m Schieberegisterpositionen zugeordnet, die von 1 bis m eineindeutig durchnummeriert sind. Wie zuvor weist auch hier bevorzugt jede der m weiteren zwischengespeicherten Informationen ($\text{Inf}_{1B}, \dots \text{Inf}_{mB}$) wieder zumindest einen ersten Informationsanteil auf. Wie zuvor in der einstufigen Lösung kann jede der m weiteren zwischengespeicherten Informationen ($\text{Inf}_{1B}, \dots \text{Inf}_{mB}$) ggf. weitere Informationsanteile über diesen ersten Informationsanteil hinaus aufweisen. Es handelt sich also auch hier typischerweise aber nicht notwendigerweise um komplexere Datenstrukturen. Im einfachsten Fall handelt es sich um ein Bit.

[0026] Weitere zweite Bewertungsmittel (VAL_B), die ebenfalls bevorzugt Teil des Watchdog (WDG) sind, bewerten nun diese weiteren zwischengespeicherten Informationen (Inf_{1B} , ... Inf_{mB}) des weiteren Ergebnisspeichers (ES_B) bzw. des weiteren Schieberegisters (SR_B).

[0027] Sofern es sich bei dem weiteren Empfangsspeicher (ES_B) beispielsweise um ein weiteres Schieberegister (SR_B) handelt, löscht das weitere Schieberegister (SR_B) in einer ersten grundlegenden Ausprägung dieser Variante der Erfindung bei jedem Empfang einer Antwort (ANS) des Prozessors (PC) oder in deiner zweiten grundlegenden Ausprägung dieser Variante der Erfindung zeitlich nach dem Empfang einer Antwort (ASW) durch dem Watchdog (WDG) oder zeitlich nach dem Ende des vorgesehenen Empfangszeitraums (b) die m-te weitere zwischengespeicherte Information (Inf_{mB}) aus dem weiteren Schieberegister (SR_B) und verschiebt jede der (m - 1) weiteren zwischengespeicherten Informationen von der jeweiligen j-ten weiteren Schieberegisterposition (p_{jB} , mit $1 \leq j \leq (m - 1)$) auf die (j + 1)-te weitere Schieberegisterposition (p_{jB} , mit $2 \leq j \leq n$). Die dann freigeordnete erste weitere Schieberegisterposition füllt das weitere Schieberegister (SR_B) dann zumindest mit dem besagten Bewertungsergebnis der weiteren Bewertung der n Informationen (Inf_1 bis Inf_n) des ersten Ergebnisspeichers (ES) bzw. des ersten Schieberegisters (SR) durch die zweiten Bewertungsmittel (VAL) als neuen ersten Informationsanteil der neuen 1-ten weiteren zwischengespeicherten Information (Inf_{1B}). Dieser erste Informationsanteil der 1-ten weiteren zwischengespeicherten Information (Inf_{1B}) entspricht dann wieder dem logischen Wert „korrekt“ oder „nicht korrekt“ je nach Ergebnis der vorausgegangenen Bewertung der n Informationen (Inf_1 bis Inf_n) des ersten Ergebnisspeichers (ES) bzw. des ersten Schieberegisters (SR) durch zweite Bewertungsmittel (VAL).

[0028] Es kann sich aber auch um eine allgemeinere Form eines weiteren Ergebnisspeichers (ES_B) handeln. Der weitere Ergebnisspeicher (ES_B) löscht zeitlich nach jedem Empfang einer Antwort (ANS) des Prozessors (PC) durch dem Watchdog (WDG) oder zeitlich nach dem Ende des vorgesehenen Empfangszeitraums (b) zumindest eine weitere zwischengespeicherte Information (z. B. Inf_{mB}) aus dem weiteren Ergebnisspeicher (ES_B). Gleichzeitig oder in Zusammenhang damit verschiebt der weitere Ergebnisspeicher (ES_B) die verbleibenden (m - 1) nicht gelöschten weiteren zwischengespeicherten Informationen von den ursprünglichen zugeordneten logischen weiteren Ergebnisspeicherposition innerhalb des weiteren Ergebnisspeichers (ES_B) auf andere logische weitere Ergebnisspeicherpositionen. Dies kann zum einen durch echte Verschiebung der Informationsdaten in andere physikalische weitere Ergebnisspeicherzellen geschehen oder viel einfa-

cher durch Neuordnung der logischen weiteren Ergebnisspeicherpositionen zu den weiteren physikalischen Ergebnisspeicherpositionen und damit zu den weiteren Ergebnisspeicherzellen. Im einfachsten Fall wird nur ein weiterer Schreibzeiger verwendet, der festlegt, welche der weiteren Ergebnisspeicherzellen als nächstes gelöscht und überschrieben werden soll. Eine der weiteren Ergebnisspeicherzellen enthält dann nur den Löschwert. In diese weitere Ergebnisspeicherzelle wird dann die neue weitere Information (Inf_{1B}) geschrieben. Dieser Schreibvorgang kann gleichzeitig den Löschvorgang der bisherigen Information dieser weiteren Ergebnisspeicherzelle darstellen. Zumindest wird der erste Informationsanteil der weiteren Information in der betreffenden weiteren Ergebnisspeicherzelle festgelegt. Als zumindest neuen ersten Anteil der neuen zwischengespeicherten weiteren Information (z. B. Inf_{1B}) auf der betreffenden weiteren Ergebnisspeicherposition, in die keine der verbleibenden (m - 1) zwischengespeicherten weiteren Informationen verschoben wurde, wird dann vorzugsweise zumindest das Ergebnis der Bewertung der n Informationen (Inf_1 bis Inf_n) des ersten Ergebnisspeichers (ES) bzw. des ersten Schieberegisters (SR) entsprechend einem logischen Wert „korrekt“ oder „nicht korrekt“ verwendet.

[0029] Weiteren Bewertungsmittel (VAL_B) erzeugen nun in Abhängigkeit von diesen weiteren zwischengespeicherten Informationen (Inf_{jB}) der m weiteren zwischengespeicherten Informationen (Inf_{1B} bis Inf_{mB}) des weiteren Ergebnisspeichers (ES_B) bzw. des weiteren Schieberegisters (SR_B) das Steuersignal (RES), das ebenfalls den Zustand des Prozessors (PC) verändern kann, anstelle der zweiten Bewertungsmittel (VAL), die in einer weiteren Variante ebenfalls ein Steuersignal (RES) erzeugen können, oder parallel zu diesen.

Liste der Figuren

[0030] Fig. 1 zeigt ein grobes vereinfachtes Schema des Zusammenwirkens der einzelnen Komponenten der erfindungsgemäßen Vorrichtung.

[0031] Fig. 2 entspricht der Fig. 1 mit einem Schieberegister (SR) als Ergebnisspeicher (ES).

[0032] Fig. 3 zeigt eine erfindungsgemäße zweistufige Vorrichtung.

[0033] Fig. 4 entspricht der Fig. 3, wobei der erste Ergebnisspeicher (ES) ein Schieberegister (SR) ist und der weitere Ergebnisspeicher (ES_B) ein weiteres Schieberegister (SR_B) ist

[0034] Fig. 5 bis Fig. 7 zeigen schematisch ein beispielhaftes, aufeinanderfolgendes zeitliches Verhalten einer beispielhaften einstufigen Lösung mit einem Schieberegister (SR) entsprechend Fig. 2.

[0035] Fig. 8 zeigt ein beispielhaftes zweistufiges Verfahren entsprechend der Fig. 4.

[0036] Fig. 9 entspricht in seiner Grundstruktur wieder der Fig. 2 wobei das Muster der im Schieberegister (SR) hinterlegten Informationen ausgewertet wird.

Beschreibung der Figuren

Fig. 1

[0037] Fig. 1 zeigt ein grobes vereinfachtes Schema des Zusammenwirkens der einzelnen Komponenten der erfindungsgemäßen Vorrichtung. Der Watchdog (WDG) umfasst erste Stimulierungsmittel (QSTM), erste Bewertungsmittel (AVAL), einen internen Taktgeber (CTR), einen ersten Ergebnisspeicher (ES) und zweite Bewertungsmittel (VAL). Der Prozessor (PC) umfasst hier die weiteren Systemkomponenten (SC) mit. Die ersten Stimulierungsmittel (QSTM) senden Botschaften (MSG) vom Watchdog (WDG) an den Prozessor (PC), die dieser dann mit Antworten (ANS) zu richtigen Zeitpunkten und mit erwarteten Inhalten und in richtiger Anzahl beantworten soll, was dann durch den Watchdog (WDG) geprüft werden kann. Diese Prüfung wird durch die ersten Bewertungsmittel (AVAL) durchgeführt. Die ersten Bewertungsmittel (AVAL) bewerten die Antworten (ANS) des Prozessors (PC) an den Watchdog (WDG) nach Aufforderung durch die besagten Botschaften (MSG), die das erste Stimulierungsmittel (QSTM) vom Watchdog (WDG) an den Prozessor (PC) gesandt hat und die dieser dann mit eben diesen Antworten (ANS) zu richtigen Zeitpunkten und mit erwarteten Inhalten und in richtiger Anzahl beantworten soll, was dann durch die ersten Bewertungsmittel (AVAL) des Watchdog (WDG) wiederum geprüft werden kann. Diese Bewertungsergebnisse der ersten Bewertungsmittel (AVAL) werden im Ergebnisspeicher (ES) zwischengespeichert, der die Historie dieser Bewertungen mitführt. Der Ergebnisspeicher (ES) besteht aus Ergebnisspeicherzellen. Jede Ergebnisspeicherzelle des Ergebnisspeichers (ES) ist mit einer Nummer von 1 bis n durchnummeriert. Das bedeutet, dass jede Ergebnisspeicherzelle zum einen eine reale physikalische Ergebnisspeicherzellenposition aufweist und zum anderen einen logische Ergebnisspeicherzellenposition aufweist, die mit der realen nicht identisch sein muss. Der Ergebnisspeicher kann als Schieberegister (SR) ausgeführt werden. Der Ergebnisspeicher (ES) löscht zeitlich nach jedem Empfang einer Antwort (ANS) des Prozessors (PC) durch den Watchdog (WDG) oder nach dem Empfang einzelner Antworten (ANS) oder zeitlich nach dem Ende des vorgesehenen Empfangszeitraums (b) vorzugsweise zumindest eine zwischengespeicherte Information (z. B. Inf_n) aus dem Ergebnisspeicher (ES). Gleichzeitig oder in Zusammenhang damit verschiebt der Ergebnisspeicher (ES) die verbleibenden ($n - 1$) nicht gelöschten zwischengespeicherten Informa-

tionen von den ursprünglichen zugeordneten logischen Ergebnisspeicherpositionen auf andere logische Ergebnisspeicherpositionen. Dies kann zum einen durch echte Verschiebung der Informationsdaten in andere physikalische Ergebnisspeicherzellen geschehen oder viel einfacher durch Neuordnung der logischen Ergebnisspeicherpositionen zu den physikalischen Ergebnisspeicherpositionen und damit zu den Ergebnisspeicherzellen. Im einfachsten Fall wird nur ein Schreibzeiger verwendet, der festlegt, welche der Ergebnisspeicherzellen als nächstes gelöscht werden soll und dann nach einem vorbestimmbaren Schema neu positioniert wird. Eine der Ergebnisspeicherzellen enthält dann nur den Löschwert. In diese Ergebnisspeicherzelle wird dann die neue zwischengespeicherte Information (Inf_1) geschrieben. Dieser Schreibvorgang kann gleichzeitig den Löschvorgang der bisherigen Information dieser Ergebnisspeicherzelle darstellen. Zumindest wird der erste Informationsanteil der Information in der betreffenden Ergebnisspeicherzelle festgelegt. Als zumindest neuen ersten Anteil der neuen zwischengespeicherten Information (z. B. Inf_1) auf der betreffenden logischen Ergebnisspeicherposition, in die keine der verbliebenen ($n - 1$) zwischengespeicherten Informationen verschoben wurde, wird dann zumindest das Ergebnis der Bewertung der empfangenen Antwort (ANS) durch die ersten Bewertungsmittel (AVAL) verwendet. Je nachdem ob dieses Ergebnis einem logischen Wert „korrekt“ oder „nicht korrekt“ entsprechend durch die ersten Bewertungsmittel (AVAL) bewertet wurde, enthält dann die zugehörige Ergebnisspeicherzelle den zugeordneten logischen Wert. Diese so zwischengespeicherten Informationen (Inf_1 bis Inf_n) werden in dem Beispiel der Fig. 1 durch zweite Bewertungsmittel (VAL) bewertet. Sie bewertet die im Ergebnisspeicher (ES) bzw. im Schieberegister (SR) zwischengespeicherten n Informationen (Inf_1 bis Inf_n). Hierbei können die zweiten Bewertungsmittel (VAL) ggf. auch mehr als nur eine Bewertung erzeugen. Die zweiten Bewertungsmittel (VAL) können beispielsweise die Zahl der „korrekt“-Informationen in den Ergebnisspeicherzellen des Ergebnisspeichers (ES) feststellen und mit einem Schwellwert vergleichen. Liegt die ermittelte Zahl unter dem Schwellwert, so kann beispielsweise das Steuersignal (RES) oder ein anderes entsprechendes Signal zur Beeinflussung des Prozessors (PC) oder von Teilen desselben oder von sonstigen Systemkomponenten (SC) durch zweite Bewertungsmittel (VAL) gesetzt werden. Auch können weitere Signale in Form weiterer Bewertungen durch die zweiten Bewertungsmittel (VAL) erzeugt werden, die beispielsweise bestimmten Mustern in den Ergebnisspeicherzellen des Ergebnisspeichers (ES) entsprechen können. Der Taktgeber (CTR) erzeugt die Zeitsignale für alle relevanten Blöcke (QSTM, AVAL, SR, VAL) des Watchdog (WDG). Insbesondere legt der Taktgeber (CTR) vorzugsweise den Zeitpunkt der Aussendung der Botschaften (MSG) an den Prozessor (PC) durch den

Watchdog (WDG) fest und die zeitliche Lage und Dauer der vorgesehenen Empfangszeiträume (b) für die Antworten (ANS) des Prozessors (PC) auf diese Botschaften (MSG). Somit veranlasst der Taktgeber (CTR) vorzugsweise im Zusammenwirken mit den ersten Bewertungsmitteln (AVAL), die die Botschaften (MSG) des Prozessors (PC) empfangen, dass der Ergebnisspeicher (ES) die Ergebnisspeicherpositionen der zwischengespeicherten Informationen (Inf_1 bis Inf_n) zu den richtigen Zeitpunkten wie vorgegeben ändert und die richtige Ergebnisspeicherzelle löscht und das neue Bewertungsergebnis der ersten Bewertungsmittel (AVAL) zum richtigen Zeitpunkt in die richtige Ergebnisspeicherstelle schreibt.

Fig. 2

[0038] Fig. 2 entspricht der Fig. 1 mit einem Schieberegister (SR) als Ergebnisspeicher (ES).

Fig. 3

[0039] Fig. 3 zeigt eine erfindungsgemäße zweistufige Vorrichtung. Sie zeigt wieder ein grobes vereinfachtes Schema des Zusammenwirkens der einzelnen Komponenten der erfindungsgemäßen Vorrichtung. Der Watchdog (WDG) umfasst wieder erste Stimulierungsmittel (QSTM), erste Bewertungsmittel (AVAL), einen internen Taktgeber (CTR), einen ersten Ergebnisspeicher (ES), zweite Bewertungsmittel (VAL) einen weiteren Ergebnisspeicher (ES_B) und weitere zweite Bewertungsmittel (VAL_B). Der Prozessor (PC) umfasst hier beispielhaft wieder die weiteren Systemkomponenten (SC) mit. Die ersten Stimulierungsmittel (QSTM) senden Botschaften (MSG) vom Watchdog (WDG) an den Prozessor (PC), die dieser dann mit Antworten (ANS) zu richtigen Zeitpunkten und mit erwarteten Inhalten und in richtiger Anzahl beantworten soll, was dann durch den Watchdog (WDG) geprüft werden kann. Diese Prüfung wird wieder durch die ersten Bewertungsmittel (AVAL) durchgeführt. Die ersten Bewertungsmittel (AVAL) bewerten die Antworten (ANS) des Prozessors (PC) an den Watchdog (WDG) nach Aufforderung durch die besagten Botschaften (MSG), die das erste Stimulierungsmittel (QSTM) vom Watchdog (WDG) an den Prozessor (PC) gesandt hat und die dieser dann mit eben diesen Antworten (ANS) zu richtigen Zeitpunkten und mit erwarteten Inhalten und in richtiger Anzahl an Antworten (ANS) beantworten soll, was dann durch die ersten Bewertungsmittel (AVAL) des Watchdog (WDG) wiederum geprüft werden kann. Diese Bewertungsergebnisse der ersten Bewertungsmittel (AVAL) werden im ersten Ergebnisspeicher (ES) zwischengespeichert, die die Historie dieser Bewertungen mitführt. Der Ergebnisspeicher (ES) besteht wieder aus Ergebnisspeicherzellen. Jede Ergebnisspeicherzelle des Ergebnisspeichers (ES) ist mit einer Nummer von 1 bis n durchnummeriert. Das bedeutet, dass jede Er-

gebnisspeicherzelle zum einen eine reale physikalische Ergebnisspeicherzellenposition aufweist und zum anderen einen logische Ergebnisspeicherzellenposition aufweist, die mit der realen nicht identisch sein muss. Der erste Ergebnisspeicher (ES) kann als Schieberegister (SR) ausgeführt werden. Der erste Ergebnisspeicher (ES) löscht zeitlich nach jedem Empfang einer Antwort (ANS) des Prozessors (PC) durch den Watchdog (WDG) oder nach dem Empfang einer Antwort (ANS) oder zeitlich nach dem Ende des vorgesehenen Empfangszeitraums (b) zumindest eine zwischengespeicherte Information (z. B. Inf_n) aus dem ersten Ergebnisspeicher (ES). Gleichzeitig oder in Zusammenhang damit verschiebt der erste Ergebnisspeicher (ES) die verbleibenden ($n - 1$) nicht gelöschten zwischengespeicherten Informationen von den ursprünglichen zugeordneten logischen Ergebnisspeicherpositionen auf andere logische Ergebnisspeicherpositionen des ersten Ergebnisspeichers (ES). Dies kann zum einen durch echte Verschiebung der Informationsdaten in andere physikalische Ergebnisspeicherzellen des ersten Ergebnisspeichers (ES) geschehen oder viel einfacher durch Neuordnung der logischen Ergebnisspeicherpositionen zu den Ergebnisspeicherzellen des ersten Ergebnisspeichers (ES). Im einfachsten Fall wird nur ein erster Schreibzeiger für den ersten Ergebnisspeicher (ES) verwendet, der festlegt, welche der Ergebnisspeicherzellen des ersten Ergebnisspeichers (ES) als nächstes gelöscht werden soll. Eine der Ergebnisspeicherzellen des ersten Ergebnisspeichers (ES) enthält dann nur den Löschwert. In diese Ergebnisspeicherzelle des ersten Ergebnisspeichers (ES) wird dann die neue zwischenzuspeichernde Information (Inf_1) geschrieben. Dieser Schreibvorgang kann gleichzeitig den Löschvorgang der bisherigen Information dieser Ergebnisspeicherzelle des ersten Ergebnisspeichers (ES) darstellen. Zumindest wird der erste Informationsanteil der Information in der betreffenden Ergebnisspeicherzelle des ersten Ergebnisspeichers (ES) festgelegt. Als zumindest neuen ersten Anteil der neuen zwischengespeicherten Information (z. B. Inf_1) auf der betreffenden Ergebnisspeicherposition des ersten Ergebnisspeichers (ES), in die keine der verbliebenen ($n - 1$) zwischengespeicherten Informationen verschoben wurde, wird dann zumindest das Ergebnis der Bewertung der empfangenen Antwort (ANS) durch die ersten Bewertungsmittel (AVAL) verwendet. Je nachdem ob dieses Ergebnis einem logischen Wert „korrekt“ oder „nicht korrekt“ entsprechend bewertet wurde, enthält dann die zugehörige Ergebnisspeicherzelle des ersten Ergebnisspeichers (ES) den zugeordneten logischen Wert. Die so zwischengespeicherten Informationen (Inf_1 bis Inf_n) werden in dem Beispiel der Fig. 3 nun durch zweite Bewertungsmittel (VAL) bewertet. Sie bewerten die im ersten Ergebnisspeicher (ES) bzw. im ersten Schieberegister (SR) zwischengespeicherten n Informationen (Inf_1 bis Inf_n), die die letzten Bewertungsergebnisse widerspiegeln. Hierbei können die

zweiten Bewertungsmittel (VAL) ggf. auch mehr als nur eine weitere Bewertung erzeugen. Diese zweiten Bewertungsmittel (VAL) können beispielsweise im Rahmen der Bewertung des Inhalts des ersten Ergebnisspeichers (ES) bzw. des ersten Schieberegisters (SR) beispielsweise die Zahl der „korrekt“-Informationen in den Ergebnisspeicherzellen des Ergebnisspeichers (ES) feststellen und mit einem ersten Schwellwert vergleichen. Liegt diese so ermittelte Zahl unter dem ersten Schwellwert, so wird das Ergebnis beispielsweise mit einem logischen Wert entsprechend „korrekt“ bewertet und im anderen Fall mit einem logischen Wert entsprechend „nicht korrekt“ bewertet.

[0040] Diese Bewertungsergebnisse der zweiten Bewertungsmittel (VAL) werden nun in einem weiteren Ergebnisspeicher (ES_B) im Gegensatz zur **Fig. 1** ebenfalls zwischengespeichert. Dieser führt die Historie dieser Bewertungen mit. Der weitere Ergebnisspeicher (ES_B) besteht analog zum ersten Ergebnisspeicher (ES) aus weiteren Ergebnisspeicherzellen. Jede weitere Ergebnisspeicherzelle des weiteren Ergebnisspeichers (ES_B) ist mit einer Nummer von 1 bis m durchnummeriert. Das bedeutet, dass jede weitere Ergebnisspeicherzelle zum einen eine reale physikalische weitere Ergebnisspeicherzellenposition aufweist und zum anderen eine logische weitere Ergebnisspeicherzellenposition aufweist, die mit der realen nicht identisch sein muss. Der weitere Ergebnisspeicher (ES_B) kann als weiteres Schieberegister (SR_B) ausgeführt werden. Der weitere Ergebnisspeicher (ES_B) löscht zeitlich nach jedem Empfang einer Antwort (ANS) des Prozessors (PC) durch dem Watchdog (WDG) oder nach dem Empfang einzelner Antworten (ANS) oder zeitlich nach dem Ende des vorgesehenen Empfangszeitraums (b) zumindest eine weitere zwischengespeicherte Information (z. B. Inf_{mB}) aus dem weiteren Ergebnisspeicher (ES_B). Gleichzeitig oder in Zusammenhang damit verschiebt der weitere Ergebnisspeicher (ES_B) die verbleibenden ($m - 1$) nicht gelöschten zwischengespeicherten weiteren Informationen von den ursprünglichen zugeordneten logischen weiteren Ergebnisspeicherpositionen auf andere logische weitere Ergebnisspeicherpositionen des weiteren Ergebnisspeichers (ES_B). Dies kann zum einen durch echte Verschiebung der weiteren Informationsdaten in andere physikalische weitere Ergebnisspeicherzellen des weiteren Ergebnisspeichers (ES_B) geschehen oder viel einfacher durch Neuordnung der logischen weiteren Ergebnisspeicherpositionen zu den weiteren Ergebnisspeicherzellen des weiteren Ergebnisspeichers (ES_B). Im einfachsten Fall wird nur ein weiterer Schreibzeiger für den weiteren Ergebnisspeicher (ES_B) verwendet, der festlegt, welche der weiteren Ergebnisspeicherzellen des weiteren Ergebnisspeichers (ES_B) als nächstes gelöscht oder überschrieben werden soll. Eine der weiteren Ergebnisspeicherzellen des weiteren Ergebnisspeichers (ES_B) enthält

dann nur den Löschwert. In diese weitere Ergebnisspeicherzelle des weiteren Ergebnisspeichers (ES_B) wird dann die neue zwischenzuspeichernde weitere Information (Inf_{1B}) geschrieben. Dieser Schreibvorgang kann gleichzeitig den Löschvorgang der bisherigen weiteren Information dieser weiteren Ergebnisspeicherzelle des weiteren Ergebnisspeichers (ES_B) darstellen. Zumindest wird der erste Informationsanteil der weiteren Information in der betreffenden weiteren Ergebnisspeicherzelle des weiteren Ergebnisspeichers (ES_B) festgelegt. Als zumindest neuen ersten Anteil der neuen zwischengespeicherten weiteren Information (z. B. Inf_{1B}) auf der betreffenden weiteren Ergebnisspeicherposition des weiteren Ergebnisspeichers (ES_B), in die keine der verbliebenen ($m - 1$) zwischengespeicherten weiteren Informationen verschoben wurde, wird dann zumindest das weitere Ergebnis der weiteren Bewertung des Inhalts des ersten Ergebnisspeichers (ES) durch die zweiten Bewertungsmittel (VAL) verwendet. Je nachdem ob dieses weitere Ergebnis einem logischen Wert „korrekt“ oder „nicht korrekt“ entsprechend bewertet wurde, enthält dann die zugehörige weitere Ergebnisspeicherzelle des weiteren Ergebnisspeichers (ES_B) den zugeordneten logischen Wert. Die so zwischengespeicherten m weiteren Informationen (Inf_{1B} bis Inf_{mB}) werden in dem Beispiel der **Fig. 3** nun durch weitere zweite Bewertungsmittel (VAL_B) wiederum bewertet. Sie bewerten die im weiteren Ergebnisspeicher (ES_B) bzw. im weiteren Schieberegister (SR_B) zwischengespeicherten m Informationen (Inf_{1B} bis Inf_{mB}), die die letzten Bewertungsergebnisse der zweiten Bewertungsmittel (VAL) widerspiegeln. Hierbei können die weiteren zweiten Bewertungsmittel (VAL_B) ggf. auch mehr als nur eine weitere Bewertung erzeugen. In dem Beispiel der **Fig. 3** sind dies das erste Warnsignal (WRN) und das zweite Warnsignal (WRN2). Diese weiteren zweiten Bewertungsmittel (VAL_B) können beispielsweise im Rahmen der Bewertung des Inhalts des weiteren Ergebnisspeichers (ES_B) bzw. des weiteren Schieberegisters (SR_B) beispielsweise analog zur **Fig. 1** die Zahl der „korrekt“-Informationen in den weiteren Ergebnisspeicherzellen des weiteren Ergebnisspeichers (ES_B) feststellen und mit einem ersten weiteren Schwellwert vergleichen. Liegt diese so ermittelte Zahl unter dem ersten weiteren Schwellwert, so kann beispielsweise das Steuersignal (RES) oder ein anderes entsprechendes Signal zur Beeinflussung des Prozessors (PC) oder von Teilen desselben oder von sonstigen Systemkomponenten (SC) gesetzt werden. Liegt diese so ermittelte Zahl unter einem zweiten weiteren Schwellwert, so kann beispielsweise das erste Warnsignal (WRN) gesetzt werden, woraufhin der Prozessor (PC) oder Teile desselben oder sonstige Systemkomponenten (SC) Maßnahmen zur Reduktion der Prozessor- oder Systemlast einleiten können. Liegt diese so ermittelte Zahl unter einem dritten weiteren Schwellwert, so kann beispielsweise das zweite Warnsignal (WRN2) gesetzt werden, woraufhin der Prozessor (PC) oder

Teile desselben oder sonstige Systemkomponenten (SC) weiter reichende Maßnahmen zur weiteren Reduktion der Prozessor- oder Systemlast einleiten können. Würden alle diese Maßnahmen nicht ausreichen, käme es schließlich beispielsweise zum Setzen des ersten Steuersignals (RES), das beispielsweise einen kompletten System- oder Prozessorneustart zum Ergebnis haben könnte.

[0041] Wie zuvor können auch hier weitere Signale nun aber durch die weiteren zweiten Bewertungsmittel (VAL_B) in Form weiterer Bewertungen erzeugt werden, die beispielsweise bestimmten Mustern in den weiteren Ergebnisspeicherzellen des weiteren Ergebnisspeichers (ES_B) entsprechen können. In dem Beispiel der **Fig. 3** erzeugt der Taktgeber (CTR) die Zeitsignale für alle relevanten Blöcke (QSTM, AVAL, ES, VAL, ES_B , VAL_B) des Watchdog. Insbesondere legt der Taktgeber (CTR) wieder vorzugsweise den Zeitpunkt der Aussendung der Botschaften (MSG) an den Prozessor (PC) fest und die zeitliche Lage und Dauer der vorgesehenen Empfangszeiträume (b) für die Antworten (ANS) des Prozessors (PC) auf diese Botschaften (MSG). Somit veranlasst der Taktgeber (CTR) vorzugsweise im Zusammenwirken mit den ersten Bewertungsmitteln (AVAL), die die Botschaften (MSG) des Prozessors (PC) empfangen, dass der Ergebnisspeicher (ES) die Ergebnisspeicherpositionen der n zwischengespeicherten Informationen (Inf_1 bis Inf_n) zu den richtigen Zeitpunkten wie vorgegeben ändert und die richtige Ergebnisspeicherzelle löscht und das neue Bewertungsergebnis der ersten Bewertungsmitteln (AVAL) zum richtigen Zeitpunkt in die richtige Ergebnisspeicherstelle des ersten Ergebnisspeichers (ES) schreibt. Außerdem veranlasst der Taktgeber (CTR) im Beispiel der **Fig. 3** vorzugsweise im Zusammenwirken mit den zweiten Bewertungsmitteln (VAL), dass der weitere Ergebnisspeicher (ES_B) die weiteren Ergebnisspeicherpositionen der m weiteren zwischengespeicherten Informationen (Inf_{1B} bis Inf_{nB}) zu den richtigen Zeitpunkten wie vorgegeben ebenfalls ändert und die richtige weitere Ergebnisspeicherzelle löscht und das neue Bewertungsergebnis der zweiten Bewertungsmitteln (VAL) zum richtigen Zeitpunkt in die richtige weitere Ergebnisspeicherstelle des weiteren Ergebnisspeichers (ES_B) schreibt.

Fig. 4

[0042] **Fig. 4** entspricht der **Fig. 3**, wobei der erste Ergebnisspeicher (ES) ein Schieberegister (SR) ist und der weitere Ergebnisspeicher (ES_B) ein weiteres Schieberegister (SR_B) ist.

Fig. 5 bis Fig. 7

[0043] **Fig. 5 bis Fig. 7** zeigen schematisch ein beispielhaftes, aufeinanderfolgendes zeitliches Verhalten einer beispielhaften einstufigen Lösung mit ei-

nem Schieberegister (SR) entsprechend **Fig. 2**. Der Taktgeber (CTR) erzeugt ein beispielhaftes Fenstersignal (WD). In dem Beispiel der **Fig. 5 bis Fig. 7** soll ein 1-Pegel bedeuten, dass keine Antworten erwartet werden und dass Antworten in diesen Zeiträumen mit einem 1-Pegel unabhängig von deren Inhalt als „nicht korrekt“ bewertet werden. In einem Zeitraum mit einem 0-Pegel des Fenstersignals (WD) werden Antworten vorzugsweise in einer vorgegebenen Anzahl erwartet. Sofern deren Inhalte korrekt sind, also einem vorausbestimmbaren Inhalt entsprechen, werden diese als „korrekt bewertet“. Ggf. kann eine abweichende Anzahl von Antworten auch zu einer „nicht korrekt“ Bewertung führen. In den Beispielen der **Fig. 5 bis Fig. 7** werden beispielhaft 27 zeitliche Zeiträume (P1 bis P27) dargestellt. Jeder dieser beispielhaften 27 Zeiträume (P1 bis P27) ist beispielhaft in einen ersten Zeitraum (a) und einen zweiten Zeitraum (b) unterteilt. In dem ersten Zeitraum (a) ist in dem Beispiel der **Fig. 5 bis Fig. 7** das beispielhafte Fenstersignal (WD) auf einem logischen 1-Pegel und im zweiten Zeitraum (b) auf einem logischen 0-Pegel. Unter dem Fenstersignal (WD) sind in den **Fig. 5 bis Fig. 7** Zeitpunkte von Antworten (ANS) auf einem Zeitstrahl von links nach rechts dargestellt. Der Zeitpunkt der jeweiligen Antwort (ANS) wird durch einen Pfeil nach oben oder unten an einer entsprechenden Stelle auf dem Zeitstrahl in zeitlicher Relation zu dem Fenstersignal (WD) symbolisiert. Ein Pfeil nach unten soll dabei einer inhaltlich als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewerteten Antwort (ANS) des Prozessors (PC) an den Watchdog (WDG) entsprechen. Ein Pfeil nach oben soll dabei einer inhaltlich als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewerteten Antwort (ANS) des Prozessors (PC) an den Watchdog (WDG) entsprechen. Links sind in den **Fig. 5 bis Fig. 7** entsprechend die Werte „OK“ für inhaltlich „korrekt“ und „NOK“ für inhaltlich „nicht korrekt“ markiert. Bei dem Beispiel der **Fig. 5 bis Fig. 7** wird ein Schieberegister (SR) als erster Ergebnisspeicher (ES) verwendet. Das Schieberegister (SR) umfasst in diesem Beispiel exemplarische 8 Bit. Es enthält im ersten Zeitraum (P1) den Wert „00111111“. Das „b“ soll indizieren, dass es sich um Bit-Werte handelt, die einer logischen „0“ (= „nicht korrekt“) oder einer logischen „1“ (= „korrekt“) entsprechen können.

[0044] Im ersten Zeitraum (P1) empfängt der Watchdog (WDG) eine als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der interne Taktgeber (CTR) des Watchdog (WDG) erzeugt in diesem Beispiel aufgrund des Empfangs der Antwort (ANS) mit einer typischerweise durch die Implementation vorgegebenen konstanten Verzögerung zum Empfangszeitpunkt der Antwort (ANS) des Prozessors (PC) eine Übernahme des Bewertungsergebnisses der ersten Bewertungsmittel (AVAL) in das erste Schieberegister (SR) in Verbindung mit einer

Schiebeoperation nach links. Der Inhalt des Schieberegisters (SR) ist in diesem Beispiel dann anschließend „01111111“, da eine korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0045] Im zweiten Zeitraum (P2) empfängt der Watchdog (WDG) eine als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „11111111“, da eine korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0046] Im dritten Zeitraum (P3) empfängt der Watchdog (WDG) eine als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „11111111“, da eine korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0047] Im vierten Zeitraum (P4) empfängt der Watchdog (WDG) eine als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im nicht dafür vorgesehenen Empfangszeitraum (a). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „11111110“, da eine nicht korrekte Antwort (ANS) zum falschen Zeitpunkt empfangen wurde.

[0048] Im fünften Zeitraum (P5) empfängt der Watchdog (WDG) eine als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im nicht dafür vorgesehenen Empfangszeitraum (a). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „11111100“, da eine korrekte Antwort (ANS) zum falschen Zeitpunkt empfangen wurde.

[0049] Im sechsten Zeitraum (P6) empfängt der Watchdog (WDG) eine als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „11111001“, da eine korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0050] Im siebten Zeitraum (P7) empfängt der Watchdog (WDG) eine als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b).

Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „11110010“, da eine nicht korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0051] Im achten Zeitraum (P8) empfängt der Watchdog (WDG) eine als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im nicht dafür vorgesehenen Empfangszeitraum (a). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „11100100“, da eine korrekte Antwort (ANS) zum falschen Zeitpunkt empfangen wurde.

[0052] Im neunten Zeitraum (P9) empfängt der Watchdog (WDG) eine als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „11001000“, da eine nicht korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0053] Im zehnten Zeitraum (P10) empfängt der Watchdog (WDG) eine als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „10010001“, da eine korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0054] Im elften Zeitraum (P11) empfängt der Watchdog (WDG) eine als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „00100011“, da eine korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0055] Im zwölften Zeitraum (P12) empfängt der Watchdog (WDG) eine als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „01000111“, da eine korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0056] Im dreizehnten Zeitraum (P13) empfängt der Watchdog (WDG) zwei als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Es

wurde jedoch nur eine Antwort (ANS) des Prozessors erwartet. Daher erfolgt in diesem Beispiel die Bewertung der eigentlich inhaltlich korrekten Antworten (ANS) des Prozessors (PC) als „nicht korrekt“. Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „10001110“, da eine nicht korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0057] Im vierzehnten Zeitraum (P14) empfängt der Watchdog (WDG) eine als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „00011100“, da eine nicht korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0058] Im fünfzehnten Zeitraum (P15) empfängt der Watchdog (WDG) eine als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „00111001“, da eine korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0059] Im sechzehnten Zeitraum (P16) empfängt der Watchdog (WDG) eine als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „01110010“, da eine nicht korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0060] Im siebzehnten Zeitraum (P17) empfängt der Watchdog (WDG) eine als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „11100100“, da eine nicht korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0061] Im achtzehnten Zeitraum (P18) empfängt der Watchdog (WDG) eine als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „11001000“, da eine nicht korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0062] Im neunzehnten Zeitraum (P19) empfängt der Watchdog (WDG) eine als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „10010000“, da eine nicht korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0063] Im zwanzigsten Zeitraum (P20) empfängt der Watchdog (WDG) eine als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „00100000“, da eine nicht korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0064] Im einundzwanzigsten Zeitraum (P21) empfängt der Watchdog (WDG) eine als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „01000000“, da eine nicht korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0065] Im zweiundzwanzigsten Zeitraum (P22) empfängt der Watchdog (WDG) eine als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im nicht dafür vorgesehenen Empfangszeitraum (a). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „10000000“, da eine nicht korrekte Antwort (ANS) zum falschen Zeitpunkt empfangen wurde.

[0066] Im dreiundzwanzigsten Zeitraum (P23) empfängt der Watchdog (WDG) keine Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b), obwohl eine Antwort (ANS) des Prozessors (PC) im dafür vorgesehenen Empfangszeitraum (b) erwartet wurde. Dies wird hier beispielhaft als eine „nicht korrekt“ zu bewertende Antwort (ANS) durch die ersten Bewertungsmittel (AVAL) bewertet. Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „00000000“, da eine nicht korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0067] Im vierundzwanzigsten Zeitraum (P24) empfängt der Watchdog (WDG) eine als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewerte-

te Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „00000000“, da eine nicht korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0068] Im fünfundzwanzigsten Zeitraum (P25) empfängt der Watchdog (WDG) eine als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „00000001“, da eine nicht korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0069] Im sechsundzwanzigsten Zeitraum (P26) empfängt der Watchdog (WDG) eine als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „00000010“, da eine nicht korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0070] Im siebenundzwanzigsten Zeitraum (P27) empfängt der Watchdog (WDG) eine als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertete Antwort (ANS) im dafür vorgesehenen Empfangszeitraum (b). Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und durchgeführter Schiebeoperation in diesem Beispiel dann anschließend „00000100“, da eine nicht korrekte Antwort (ANS) zum richtigen Zeitpunkt empfangen wurde.

[0071] Die zweiten Bewertungsmittel (VAL) werten parallel die jeweiligen Informationen (Inf₁ bis Inf₈) in dem beispielhaften Schieberegister (SR) der **Fig. 5** bis **Fig. 7** aus. In diesem Beispiel wird nach jeder Schiebeoperation des Schieberegisters (SR) dessen Inhalt durch die zweiten Bewertungsmittel bewertet. Dies geschieht hier beispielhaft durch Zählung der 1-Pegel innerhalb des Schieberegisters (SR), die die als „korrekt“ bewerteten Antworten (ANS) der letzten acht Zeiträume angeben, in einem beispielhaften Zählwert (NO). Andere Zählweisen und Auswertungen sind natürlich ausdrücklich denkbar. In diesem Beispiel wird das Steuersignal (RES) gesetzt, wenn das Schieberegister (SR) beispielhaft keine Information in den acht Informationen (Inf₁ bis Inf₈) der acht Schieberegisterzellen, die als korrekte Information „korrekte“ Information in den letzten acht Zeiträumen bewertet wurde, enthält. Je nach Implementation kann es sinnvoll sein, wenn das Steuersi-

gnal (RES) nicht wie in den **Fig. 5** bis **Fig. 7** dargestellt, ein Non-Return-To-Zero-Signal (NRZ-Signal) ist, sondern ein Return-To-Zero-Signal (RTZ-Signal) ist, dass bei Eintritt der Bedingung nur für einen kurzen Zeitraum aktiv ist und dann erst wieder bei dem erneuten Eintreten der Bedingung wieder aktiv wird. In diesem Beispiel wird das erste Warnsignal (WRN) gesetzt, wenn das Schieberegister (SR) beispielhaft in weniger als drei Informationen (Inf₁ bis Inf₈) für drei korrekte Informationen in den letzten acht Zeiträumen enthält. In diesem Beispiel wird das zweite Warnsignal (WRN2) gesetzt, wenn das Schieberegister beispielhaft weniger als fünf Informationen (Inf₁ bis Inf₈) für fünf korrekte Informationen in den letzten acht Zeiträumen enthält.

Fig. 8

[0072] **Fig. 8** zeigt ein beispielhaftes zweistufiges Verfahren entsprechend der **Fig. 4**. Der erste Ergebnisspeicher (ES) wird hier durch ein erstes Schieberegister (SR) mit einer beispielhaften Breite von 4 Bit realisiert. In diesem Beispiel führt das erste Schieberegister (SR) mit jedem Empfang einer Antwort (ANS) einen Schiebevorgang nach links aus und übernimmt das Bewertungsergebnis der ersten Bewertungsmittel (AVAL) in die rechteste Schieberegisterzelle (Ergebnisspeicherzelle). Zur besseren Übersichtlichkeit sind die beispielhaften zeitlich unterschiedlichen Werte der 4 zwischengespeicherten Informationen (Inf₁ bis Inf₄) des Schieberegisters (SR) untereinander und versetzt hingeschrieben.

[0073] Zu Anfang des ersten Zeitraums (P1) ist der Inhalt des Schieberegisters (SR) auf einen Rücksetzwert, hier beispielhaft „0000“ zurückgesetzt. In diesem Zeitraum empfängt der Watchdog (WDG) vier erwartete und keine nicht erwarteten Antworten (ANS) des Prozessors (PC). Alle Antworten (ASN) werden als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Keine der Antworten (ASN) wird als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Alle erwarteten Antworten werden im dafür vorgesehenen Empfangszeitraum (b) empfangen. Keine Antworten werden im nicht dafür vorgesehenen Empfangszeitraum (a) empfangen. Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und 4 durchgeführten Schiebeoperationen in diesem Beispiel dann anschließend „1111“.

[0074] Zu Anfang des zweiten Zeitraums (P2) ist der Inhalt des Schieberegisters (SR) auf einen Rücksetzwert, hier beispielhaft „0000“ zurückgesetzt. In diesem Zeitraum empfängt der Watchdog (WDG) vier erwartete und keine nicht erwarteten Antworten (ANS) des Prozessors (PC). Drei Antworten (ASN) werden als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Eine der Antworten (ASN) wird als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Drei der erwarteten Antworten wer-

den im dafür vorgesehenen Empfangszeitraum (b) empfangen. Eine Antwort wird im nicht dafür vorgesehenen Empfangszeitraum (a) empfangen. Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und 4 durchgeführten Schiebeoperationen in diesem Beispiel dann anschließend „0111“.

[0075] Zu Anfang des dritten Zeitraums (P3) ist der Inhalt des Schieberegisters (SR) auf einen Rücksetzwert, hier beispielhaft „0000“ zurückgesetzt. In diesem Zeitraum empfängt der Watchdog (WDG) vier erwartete und keine nicht erwarteten Antworten (ANS) des Prozessors (PC). Zwei Antworten (ASN) werden als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Zwei der Antworten (ASN) werden als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Drei der erwarteten Antworten werden im dafür vorgesehenen Empfangszeitraum (b) empfangen. Eine Antwort wird im nicht dafür vorgesehenen Empfangszeitraum (a) empfangen. Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und 4 durchgeführten Schiebeoperationen in diesem Beispiel dann anschließend „0101“.

[0076] Zu Anfang des vierten Zeitraums (P4) ist der Inhalt des Schieberegisters (SR) auf einen Rücksetzwert, hier beispielhaft „0000“ zurückgesetzt. In diesem Zeitraum empfängt der Watchdog (WDG) vier erwartete und keine nicht erwarteten Antworten (ANS) des Prozessors (PC). Eine Antwort (ASN) wird als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Drei der Antworten (ASN) werden als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Drei der erwarteten Antworten werden im dafür vorgesehenen Empfangszeitraum (b) empfangen. Eine Antwort wird im nicht dafür vorgesehenen Empfangszeitraum (a) empfangen. Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und 4 durchgeführten Schiebeoperationen in diesem Beispiel dann anschließend „0001“.

[0077] Zu Anfang des fünften Zeitraums (P5) ist der Inhalt des Schieberegisters (SR) auf einen Rücksetzwert, hier beispielhaft „0000“ zurückgesetzt. In diesem Zeitraum empfängt der Watchdog (WDG) vier erwartete und keine nicht erwarteten Antworten (ANS) des Prozessors (PC). Eine Antwort (ASN) wird als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Drei der Antworten (ASN) werden als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Drei der erwarteten Antworten werden im dafür vorgesehenen Empfangszeitraum (b) empfangen. Eine korrekte Antwort wird im nicht dafür vorgesehenen Empfangszeitraum (a) empfangen. Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und 4 durchgeführten Schiebeoperationen in diesem Beispiel dann anschließend „0000“.

[0078] Zu Anfang des sechsten Zeitraums (P6) ist der Inhalt des Schieberegisters (SR) auf einen Rück-

setzwert, hier beispielhaft „0000“ zurückgesetzt. In diesem Zeitraum empfängt der Watchdog (WDG) nur drei statt erwarteter 4 Antworten (ANS) des Prozessors (PC). Zwei Antworten (ASN) werden als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Eine der Antworten (ASN) wird als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Die drei erwarteten Antworten werden im dafür vorgesehenen Empfangszeitraum (b) empfangen. Keine Antwort wird im nicht dafür vorgesehenen Empfangszeitraum (a) empfangen. Die fehlende Antwort wird beispielhaft hier als „nicht korrekte“ Antwort bewertet. Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und 3 durchgeführten Schiebeoperationen in diesem Beispiel dann anschließend „0110“.

[0079] Zu Anfang des siebten Zeitraums (P7) ist der Inhalt des Schieberegisters (SR) auf einen Rücksetzwert, hier beispielhaft „0000“ zurückgesetzt. In diesem Zeitraum empfängt der Watchdog (WDG) nur drei statt erwarteter 4 Antworten (ANS) des Prozessors (PC). Eine Antwort (ASN) wird als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Zwei der Antworten (ASN) werden als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Die drei erwarteten Antworten werden im dafür vorgesehenen Empfangszeitraum (b) empfangen. Keine Antwort wird im nicht dafür vorgesehenen Empfangszeitraum (a) empfangen. Die fehlende Antwort wird beispielhaft hier als „nicht korrekte“ Antwort bewertet. Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und 3 durchgeführten Schiebeoperationen in diesem Beispiel dann anschließend „0001“.

[0080] Zu Anfang des achten Zeitraums (P8) ist der Inhalt des Schieberegisters (SR) auf einen Rücksetzwert, hier beispielhaft „0000“ zurückgesetzt. In diesem Zeitraum empfängt der Watchdog (WDG) 5 statt erwarteter 4 Antworten (ANS) des Prozessors (PC). Zwei Antworten (ASN) werden als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Drei der Antworten (ASN) werden als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Vier Antworten werden im dafür vorgesehenen Empfangszeitraum (b) empfangen. Eine Antwort wird im nicht dafür vorgesehenen Empfangszeitraum (a) empfangen. Die zusätzliche inhaltlich korrekte Antwort wird beispielhaft hier als „nicht korrekte“ Antwort bewertet. Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und 5 durchgeführten Schiebeoperationen in diesem Beispiel dann anschließend „1000“.

[0081] Zu Anfang des neunten Zeitraums (P9) ist der Inhalt des Schieberegisters (SR) auf einen Rücksetzwert, hier beispielhaft „0000“ zurückgesetzt. In diesem Zeitraum empfängt der Watchdog (WDG) 4 der erwarteten 4 Antworten (ANS) des Prozessors (PC).

Eine Antwort (ASN) wird als „korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Drei der Antworten (ASN) werden als „nicht korrekt“ durch die ersten Bewertungsmittel (AVAL) bewertet. Drei Antworten werden im dafür vorgesehenen Empfangszeitraum (b) empfangen. Eine Antwort wird im nicht dafür vorgesehenen Empfangszeitraum (a) empfangen. Der Inhalt des Schieberegisters (SR) ist nach Übernahme der Bewertung und 4 durchgeführten Schiebeoperationen in diesem Beispiel dann anschließend „0010“.

[0082] In diesem Beispiel der **Fig. 8** zählen die zweiten Bewertungsmittel (VAL) in Form eines Zählwertes (NO) die mit „korrekt“ bewerteten letzten 4 Antworten des Prozessors (PC) an den Watchdog (WDG).

[0083] Die zweiten Bewertungsmittel (VAL) vergleichen in diesem Beispiel diesen so ermittelten Zählwert (NO) mit einem vierten Schwellwert. Liegt der Zählwert (NO) in diesem Beispiel unter dem vierten Schwellwert von 3, so wird ein Bewertungssignal (BW) gesetzt. Liegt der Zählwert darüber, so wird dieses beispielhafte Bewertungssignal (BW) zurückgesetzt.

[0084] Der Wert dieses Bewertungssignals (BW) wird beispielhaft am Ende jedes Zeitraums, also am Ende des jeweiligen vorgesehenen Empfangszeitraums (b) für die Antworten (ANS) in ein weiteres Schieberegister (SR_B) übernommen, das hier den weiteren Ergebnisspeicher (ES_B) darstellt.

[0085] Daher wird das Überprüfungsergebnis in Form des logischen Pegels des Bewertungssignals (BW) im ersten Zeitraum (P1) und im zweiten Zeitraum (B2) mit einem 1-Pegel bewertet, was hier „korrekt“ bedeuten soll und in den übrigen Zeiträumen mit einem 0-Pegel bewertet, was hier „nicht korrekt“ bedeuten soll.

[0086] Diese somit im weiteren Schieberegister (SR_B) gespeicherten Überprüfungsergebnisse werden durch weitere zweite Bewertungsmittel (VAL_B) ausgewertet. Dies geschieht hier beispielhaft durch Zählung der 1-Pegel innerhalb des weiteren Schieberegisters (SR_B). Hierdurch wird ein zweiter Zählwert (CCNT_B) durch die weiteren zweiten Bewertungsmittel (VAL_B) bestimmt.

[0087] Die weiteren zweiten Bewertungsmittel (VAL_B) vergleichen diesen zweiten Zählwert (CCNT_B) beispielsweise mit einem ersten Schwellwert, der hier beispielhaft 1 ist. Liegt der zweite Zählwert (CCNT_B) unterhalb des ersten Schwellwerts, so wird in dem Beispiel der **Fig. 8** das Steuersignal (RES) gesetzt und ansonsten nicht gesetzt.

[0088] Die weiteren zweiten Bewertungsmittel (VAL_B) vergleichen den zweiten Zählwert (CCNT_B) in dem Beispiel der **Fig. 8** mit einem zweiten Schwell-

wert, der hier beispielhaft 5 ist. Liegt der zweite Zählwert (CCNT_B) unterhalb des zweiten Schwellwerts, so wird in dem Beispiel der **Fig. 8** das erste Warnsignal (WRN) gesetzt und ansonsten nicht gesetzt.

[0089] Die weiteren zweiten Bewertungsmittel (VAL_B) vergleichen den zweiten Zählwert (CCNT_B) in dem Beispiel der **Fig. 8** mit einem dritten Schwellwert, der hier beispielhaft 3 ist. Liegt der zweite Zählwert (CCNT_B) unterhalb des dritten Schwellwerts, so wird in dem Beispiel der **Fig. 8** das zweite Warnsignal (WRN2) gesetzt und ansonsten nicht gesetzt.

Fig. 9

[0090] Das Beispiel der **Fig. 9** entspricht in seiner Grundstruktur wieder der **Fig. 2**. Die Auswertung des Schieberegisters (SR) durch die zweiten Bewertungsmittel (VAL) erfolgt nun jedoch in anderer Weise als die Auswertung entsprechend den **Fig. 5** bis **Fig. 7**. Es wird nun nicht die Anzahl der korrekten Antworten, die im Schieberegister (SR) als 1-Information hinterlegt sind ausgewertet, sondern das Muster. Hier versuchen die zweiten Bewertungsmittel das Muster „0101“ zu detektieren. Liegt dies in einem Bereich in vier aufeinander folgenden Schieberegisterzellen des Schieberegisters (SR) vor, so wird in diesem Beispiel ein internes Bewertungssignal (hier C0101) auf 1 gesetzt. Ein Aufwärts/Abwärtszähler (CCNT) der zweiten Bewertungsmittel (VAL) zählt am Ende jedes Zeitraums (P1 bis P9) aufwärts, wenn das Bewertungssignal (C0101) 1 ist, und abwärts, wenn es 0 ist. Liegt der Wert des Aufwärts/Abwärtszählers (CCNT) über einen ersten Schwellwert (hier 2), so wird das erste Warnsignal (WRN) gesetzt. Liegt der Wert des Aufwärts/Abwärtszählers (CCNT) über einen zweiten Schwellwert (hier nicht mehr angegeben), so wird das zweite Warnsignal (WRN2) gesetzt. Liegt der Wert des Aufwärts/Abwärtszählers (CCNT) über einen dritten Schwellwert (hier nicht mehr angegeben), so wird das Steuersignal (RES) gesetzt.

Glossar

Zwischengespeicherte Informationen
(Inf₁, ... Inf_n) und (Inf_{1B}, ... Inf_{nB})

[0091] Unter den zwischengespeicherten Informationen (Inf₁, ... Inf_n) und unter den weiteren zwischengespeicherten Informationen (Inf_{1B}, ... Inf_{nB}) werden im Sinne dieser Schrift Datensätze mit mindestens einem Datum verstanden. Im einfachsten Fall handelt es sich also um die Information „korrekt“ oder „nicht korrekt“, was vorzugsweise dann in einem Bit kodiert wird. Wie in der Beschreibung oben angesprochen, ist es aber denkbar, komplexere Bewertungen vorzunehmen und solche Bewertungsvektoren als einzelne zwischengespeicherte Information zu verwenden.

Ergebnisspeicher

[0092] Ein Ergebnisspeicher besteht im Sinne dieser Schrift aus mehreren (n oder m) Ergebnisspeicherzellen. Jede Ergebnisspeicherzelle kann eine Information (Inf_j) bzw. (Inf_{jB}) speichern. Jede der Informationen kann mehrere Teilinformationen – hier auch Informationsanteile genannt – umfassen. Es kann sich also um eine komplexere Datenstruktur handeln. Im einfachsten Fall ist eine solche Information aber nur ein Bit. Jeder der n bzw. m im Ergebnisspeicher zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) bzw. ($\text{Inf}_{1B}, \dots, \text{Inf}_{mB}$) kann eine logische und eine physikalische Ergebnisspeicherposition zugeordnet werden. Bei einem Trigger-Ereignis verschiebt oder verwürfelt nach einem vorgebbaren Schema der Ergebnisspeicher in einer vorbestimmbaren Weise die n bzw. m Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) bzw. ($\text{Inf}_1, \dots, \text{Inf}_m$) im Ergebnisspeicher. Dies kann rein logisch durch Änderung der logischen Ergebnisspeicherpositionen oder durch tatsächliche Verschiebung der n bzw. m Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) bzw. ($\text{Inf}_1, \dots, \text{Inf}_m$) im Ergebnisspeicher auf andere Ergebnisspeicherzellen also durch Änderung der physikalischen Ergebnisspeicherpositionen erfolgen. Eine vorbestimmte Information der zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) bzw. ($\text{Inf}_1, \dots, \text{Inf}_m$) des Ergebnisspeichers wird bei dem Trigger-Ereignis durch einen durch Bewertungsmittel (AVAL, VAL) ermittelten Bewertungswert zumindest teilweise überschrieben und damit gelöscht. Natürlich können Beschreiben und Löschen auch sequentiell hintereinander ausgeführt werden. Im einfachsten Fall kann ein Schreib-/Lesezeiger innerhalb des Ereignisspeichers bei jedem Trigger-Ereignis neu auf eine neue Ereignisspeicherzelle in vorbestimmbarer Weise positioniert werden, die dann mit dem zwischenzuspeichernden Bewertungsergebnis überschrieben wird. Vorzugsweise werden alle Ergebnisspeicherzellen einmal überschrieben bevor eine Ergebnisspeicherzelle erneut überschrieben wird.

Trigger-Ereignis

[0093] Ein Trigger-Ereignis für das Schieben eines Schieberegisters oder das Neustrukturieren der Informationen im Ereignisspeicher (wie unter Ereignisspeicher beschrieben) kann ein Empfang einer Antwort (ANS) des Prozessors durch den Watchdog (WDG) sein oder der Empfang jeder Antwort (ANS) des Prozessors durch den Watchdog (WDG) sein oder das Ende des vorbestimmten Empfangszeitraums (b) oder der das Ende einer vorbestimmten oder eingestellten Anzahl q aufeinander folgender Empfangszeiträume (b), die typischerweise aber nicht notwendigerweise durch andere Zeiträume (a , c) getrennt sind. Nicht jede Antwort (ANS) des Prozessors (PC) muss ein Trigger-Signal sein. Es ist aber bevorzugt, dass jede Antwort (ANS) des Prozessors (PC) ein Trigger-Signal ist.

Schieberegister (SR)

[0094] Im Allgemeinen wird unter einem Schieberegister ein Register verstanden, dass in jeder Speicherstelle ein einzelnes Bit umfasst, das bei Vorliegen einer Taktflanke nach links oder rechts geschoben wird. Im Sinne dieser Schrift enthalten die Registerzellen jedoch nicht nur ein Bit sondern die Datensätze der zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) bzw. ($\text{Inf}_{1B}, \dots, \text{Inf}_{mB}$). Ein solcher Datensatz einer zwischengespeicherten Information (Inf_j) bzw. (Inf_{jB}) kann zwar auch nur aus einem Bit bestehen, muss es aber nicht. Um den Schiebevorgang zu ermöglichen, muss die Datenstruktur der Registerzellen unabhängig davon, ob die Registerzellen genutzt werden oder nicht, gleich sein.

Bezugszeichenliste

a erster Zeitraum, zu dem kein Empfang von Antworten (ANS) vorgesehen ist. Der Zeitraum überlappt sich zeitlich nicht mit dem zweiten Zeitraum (c), zu dem keine Bewertung von Antworten (ANS) durch den Watchdog (WDG) erfolgt, und mit dem vorgesehenen Empfangszeitraum (b) für eine Antwort (ANS) des Prozessors (PC). Die zeitliche Länge eines ersten Zeitraums kann 0 sein. Die zeitliche Länge des ersten Zeitraums kann von erstem Zeitraum zu ersten Zeitraum variieren.

ANS Antwort des Prozessors (PC) auf eine oder mehrere Botschaften (MSG) hin, dies das erste Stimulierungsmittel (QSTM) als Teil des Watchdog (WDG) an den Prozessor (PC) gesendet hat.

ANS1 erste erwartete Antwort;

ANS2 zweite erwartete Antwort;

AVAL erste Bewertungsmittel (AVAL). Die ersten Bewertungsmittel sind Teil des Watchdog (WDG). Sie dienen zur Bewertung von Antworten (ANS) des Prozessors (PC) an den Watchdog (WDG) nach Aufforderung durch Botschaften (MSG) die das erste Stimulierungsmittel (QSTM) vom Watchdog (WDG) an den Prozessor (PC) gesandt hat und die dieser dann mit eben diesen Antworten (ANS) zu richtigen Zeitpunkten und mit erwarteten Inhalten und in richtiger Anzahl beantworten soll, was dann durch die ersten Bewertungsmittel des Watchdog (WDG) wiederum geprüft werden kann.

b zweiter Zeitraum, auch vorgesehener Empfangszeitraum für eine Antwort (ANS) genannt. Die zeitliche Länge eines zweiten Zeitraums muss größer 0 sein. Die zeitliche Länge des zweiten Zeitraums kann von zweitem Zeitraum zu zweiten Zeitraum variieren.

$b1$ erster Empfangszeitraum;

$b2$ zweiter Empfangszeitraum;

sBW Bewertungssignal.

c dritter Zeitraum (c), zu dem keine Bewertung von Antworten (ANS) durch den Watchdog erfolgt. Der dritte Zeitraum überlappt sich zeitlich nicht mit dem ersten Zeitraum (a), zu dem kein Empfang von Antworten (ANS) vorgesehen ist, und mit dem vorgesehenen Empfangszeitraum (b), dem zweiten Zeitraum, für eine Antwort (ANS) des Prozessors (PC). Die zeitliche Länge eines dritten Zeitraums kann 0 sein. Die zeitliche Länge des dritten Zeitraums kann von drittem Zeitraum zu dritten Zeitraum variieren.

CCNT_B zweiter Zählwert.

CTR interner Taktgeber (CTR), der Teil des Watchdog (WDG) ist.

ES Ergebnisspeicher, der Teil des Watchdog (WDG) ist und aus Ergebnisspeicherzellen besteht. Jede Ergebnisspeicherzelle des Ergebnisspeichers ist mit einer Nummer von 1 bis n durchnummeriert. Das bedeutet, dass jede Ergebnisspeicherzelle zum einen eine reale physikalische Ergebnisspeicherzellenposition aufweist und zum anderen einen logische Ergebnisspeicherzellenposition aufweist, die mit der realen nicht identisch sein muss. Der Ergebnisspeicher kann als Schieberegister (SR) ausgeführt werden.

ES_B weiterer Ergebnisspeicher, der Teil des Watchdog (WDG) ist und aus weiteren Ergebnisspeicherzellen besteht. Jede weitere Ergebnisspeicherzelle des weiteren Ergebnisspeichers ist mit einer Nummer von 1 bis m durchnummeriert. Das bedeutet, dass jede weitere Ergebnisspeicherzelle zum einen eine reale physikalische weitere Ergebnisspeicherzellenposition aufweist und zum anderen einen logische weitere Ergebnisspeicherzellenposition aufweist, die mit der realen nicht identisch sein muss. Der weitere Ergebnisspeicher kann als weiteres Schieberegister (SR_B) ausgeführt werden.

Inf₁ erste zwischengespeicherte Information im Ergebnisspeicher (ES) oder im Schieberegister (SR).

Inf_j j-te zwischengespeicherte Information im Ergebnisspeicher (ES) oder im Schieberegister (SR).

Inf_n n-te zwischengespeicherte Information im Ergebnisspeicher (ES) oder im Schieberegister (SR).

Inf_{1B} erste weitere zwischengespeicherte Information im weiteren Ergebnisspeicher (ES_B) oder im weiteren Schieberegister (SR_B).

Inf_{jB} j-te weitere zwischengespeicherte Information im weiteren Ergebnisspeicher (ES_B) oder im weiteren Schieberegister (SR_B).

Inf_{mB} m-te weitere zwischengespeicherte Information im weiteren Ergebnisspeicher (ES_B) oder im weiteren Schieberegister (SR_B).

MSG Botschaften, dies das erste Stimulierungsmittel (QSTM) als Teil des Watchdog (WDG). an den Prozessor (PC) sendet, die dieser dann mit

Antworten (ANS) in vorgesehenen Zeiträumen (b) und mit erwarteten Inhalten und in richtiger Anzahl beantworten soll, was dann durch den Watchdog (WDG) geprüft werden kann.

n Anzahl der zwischengespeicherten Informationen (Inf₁, ... Inf_n), die der Ergebnisspeicher (ES) bzw. das Schieberegister (SR) enthält.

NO Zählwert. Er gibt hier beispielhaft die Zahl der als korrekt bewerteten und in dem Ergebnisspeicher abgelegten „korrekt“-Bewertungen an. m Anzahl der weiteren zwischengespeicherten Informationen (Inf_{1B}, ... Inf_{mB}), die der weitere Ergebnisspeicher (ES_B) bzw. das weitere Schieberegister (SR_B) enthält.

PC Prozessor.

p₁ erste Ergebnisspeicherposition bzw. erste Schieberegisterposition der ersten Ergebnisspeicherzelle bzw. der ersten Schieberegisterzelle.

p_j j-te Ergebnisspeicherposition bzw. j-te Schieberegisterposition der j-ten Ergebnisspeicherzelle bzw. der j-ten Schieberegisterzelle.

p_n n-te Ergebnisspeicherposition bzw. n-te Schieberegisterposition der n-ten Ergebnisspeicherzelle bzw. der n-ten Schieberegisterzelle.

p_{1B} erste weitere Ergebnisspeicherposition bzw. erste weitere Schieberegisterposition der ersten weiteren Ergebnisspeicherzelle bzw. der ersten weiteren Schieberegisterzelle.

p_{jB} j-te weitere Ergebnisspeicherposition bzw. j-te weitere Schieberegisterposition der j-ten weiteren Ergebnisspeicherzelle bzw. der j-ten weiteren Schieberegisterzelle.

p_{mB} m-te weitere Ergebnisspeicherposition bzw. m-te weitere Schieberegisterposition der m-ten weiteren Ergebnisspeicherzelle bzw. der m-ten weiteren Schieberegisterzelle.

q Anzahl der aufeinanderfolgenden vorbestimmten Empfangszeiträume (b) nach deren Ende der Bewertungsinhalt des Ergebnisspeichers (ES) bzw. des Schieberegisters (SR) zumindest in Form der ersten Anteile der in diesem Ergebnisspeicher (ES) bzw. in diesem Schieberegisters (SR) zwischengespeicherten Informationen (Inf₁ bis Inf_n) auf einen Wert entsprechend „korrekt“ bzw. „nicht korrekt“ gesetzt wird, was einer Rücksetzoperation des Ergebnisspeichers (ES) bzw. Schieberegisters (SR) entspricht. Vorzugsweise wird der ganze Ergebnisspeicher (ES) bzw. das ganze Schieberegister (SR) zurückgesetzt.

P1 bis P26 zeitliche Zeiträume.

QSTM erste Stimulierungsmittel (QSTM). Die ersten Stimulierungsmittel sind Teil des Watchdog (WDG). Sie senden von Botschaften (MSG) vom Watchdog (WDG) an den Prozessor (PC), die dieser dann mit Antworten (ANS) zu richtigen Zeitpunkten und mit erwarteten Inhalten und in richtiger Anzahl beantworten soll, was dann durch den Watchdog (WDG) geprüft werden kann.

RES Steuersignal, das den Zustand des Prozessors (PC) verändern kann. Typischerweise handelt es sich um ein Rücksetzsignal, das den Prozessor (PC) zwangsweise in einen vordefinierten Zustand versetzt, oder um eine Interrupt-Signal, das den Prozessor (PC) veranlasst, die aktuelle Programmausführung zu unterbrechen und einen vordefinierten Programmabschnitt auszuführen.

SC Systemkomponenten

SR Schieberegister, das Teil des Watchdog (WDG) ist und aus weiteren Schieberegisterzellen besteht. Jede Schieberegisterzelle des Schieberegisters ist mit einer Nummer von 1 bis n durchnummeriert. Das bedeutet, dass jede Schieberegisterzelle zum einen eine reale physikalische Schieberegisterzellenposition aufweist und zum anderen eine logische Schieberegisterzellenposition aufweist, die mit der realen nicht identisch sein muss. Im Sinne dieser Schrift fällt ein Schieberegister unter den Begriff eines Ergebnisspeichers (ES).

SR_B weiteres Schieberegister, das Teil des Watchdog (WDG) ist und aus weiteren Schieberegisterzellen besteht. Jede weitere Schieberegisterzelle des weiteren Schieberegisters ist mit einer Nummer von 1 bis m durchnummeriert. Das bedeutet, dass jede weitere Schieberegisterzelle zum einen eine reale physikalische weitere Schieberegisterzellenposition aufweist und zum anderen eine logische weitere Schieberegisterzellenposition aufweist, die mit der realen nicht identisch sein muss. Im Sinne dieser Schrift fällt ein weiteres Schieberegister unter den Begriff eines weiteren Ergebnisspeichers (ES_B).

VAL zweite Bewertungsmittel, die Teil des Watch-Dogs (WD) sind. Sie bewerten die im Ergebnisspeicher (ES) bzw. im Schieberegister (SR) zwischengespeicherten n Informationen (Inf₁ bis Inf_n). Hierbei können die zweiten Bewertungsmittel ggf. auch mehr als nur eine Bewertung erzeugen. Die kann beispielsweise die Zahl der „korrekt“-Informationen in den Ergebnisspeicherzellen des Ergebnisspeichers (ES) bzw. bzw. in den Schieberegisterzellen des Schieberegisters (SR) feststellen und mit einem Schwellwert vergleichen. Liegt die Zahl unter dem Schwellwert, so kann beispielsweise das Steuersignal (RES) oder ein anderes entsprechendes Signal zur Beeinflussung des Prozessors (PC) oder von Teilen desselben oder von sonstigen Systemkomponenten (SC) gesetzt werden. Auch können weitere Signale in Form weiterer Bewertungen erzeugt werden, die beispielsweise bestimmten Mustern in den Ergebnisspeicherzellen des Ergebnisspeichers (ES) bzw. in den Schieberegisterzellen des Schieberegisters (SR) entsprechen können.

VAL_B weitere zweite Bewertungsmittel, die Teil des Watch-Dogs (WD) sind. Sie bewerten die

im weiteren Schieberegister (SR_B) zwischengespeicherten weiteren Informationen (Inf_{1B} bis Inf_{nB}). Hierbei können die Bewertungsmittel mehr als nur eine Bewertung erzeugen. Die kann beispielsweise die weitere Zahl der „korrekt“-Informationen in den weiteren Ergebnisspeicherzellen des weiteren Ergebnisspeichers (ES_B) bzw. in den weiteren Schieberegisterzellen des weiteren Schieberegisters (SR_B) feststellen und mit einem weiteren Schwellwert vergleichen. Liegt diese weitere Zahl unter diesem weiteren Schwellwert, so kann beispielsweise das Steuersignal (RES) oder ein anderes entsprechendes Signal zur Beeinflussung des Prozessors (PC) oder Teile desselben oder von sonstigen Systemkomponenten (SC) gesetzt werden. Auch können weitere Signale in Form weiterer Bewertungen erzeugt werden, die beispielsweise bestimmten Mustern in den weiteren Ergebnisspeicherzellen des weiteren Ergebnisspeichers (ES_B) bzw. weiteren Schieberegisterzellen des weiteren Schieberegisters (SR_B) entsprechen können.

WD Fenstersignal. In den Beispielen der Figuren soll ein 1-Pegel bedeuten, dass keine Antworten (ANS) erwartet werden und dass Antworten (ANS) des Prozessors (PC) in diesen Zeiträumen mit einem 1-Pegel unabhängig von deren Inhalt als „nicht korrekt“ bewertet werden. In einem Zeitraum mit einem 0-Pegel des Signals werden Antworten (ANS) vorzugsweise in vorgegebener Anzahl erwartet. Sofern deren Inhalte korrekt sind, also einem vorausbestimmbaren Inhalt entsprechen, werden diese als „korrekt bewertet“. Ggf. kann eine abweichende Anzahl von Antworten (ANS) auch zu einer „nicht korrekt“ Bewertung führen.

WDG Watchdog

WRN erstes Warnsignal des Watchdog (WDG) an den Prozessor (PC).

WRN2 zweites Warnsignal des Watchdog (WDG) an den Prozessor (PC).

Liste der zitierten Schriften

DE 10 056 408 C1,
DE 42 34 910 A1,
DE 10 2004 009 359 A1,
DE 10 2006 028 992 B4,
US 4 594 685 A.

Patentansprüche

1. Vorrichtung zur Überwachung eines Prozessors (PC),
 - mit einem Watchdog (WDG) und
 - mit einem Taktgeber (CTR) als Teil des Watchdog (WDG) und
 - mit einem Ergebnisspeicher (ES) als Teil des Watchdog (WDG) und

- mit n zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$), die in n Ergebnisspeicherzellen gespeichert sind, aus denen der Ergebnisspeicher (ES), besteht, wobei n eine ganze positive Zahl größer 1 ist, und
 - die von 1 bis n durchnummeriert werden können und
 - wobei jede der n zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) eine eindeutige logische Ergebnisspeicherposition von n logischen Ergebnisspeicherpositionen besitzt, die von 1 bis n durchnummeriert werden können, und
 - wobei jede der n zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) zumindest einen ersten Informationsanteil aufweist und ggf. weitere Informationsanteile aufweisen kann und
- mit ersten Stimulierungsmitteln (QSTM) als Teil des Watchdog (WDG), zur Aussendung von Botschaften (MSG) vom Watchdog (WDG) an den Prozessor (PC) und
- mit ersten Bewertungsmitteln (AVAL) als Teil des Watchdog (WDG), zur Bewertung von Antworten (ANS) des Prozessors (PC) an den Watchdog (WDG) und
- wobei der Watchdog (WDG) an den Prozessor (PC) Botschaften (MSG) sendet,
 - die den Prozessor (PC) selbst und weitere Systemkomponenten (SC) betreffen können, und
 - wobei der Prozessor (PC) in Abhängigkeit von diesen Botschaften (MSG) Antworten (ANS) an den Watchdog (WDG) sendet und
 - wobei der Watchdog (WDG) mittels der ersten Bewertungsmittel (AVAL) die Antwort (ANS) des Prozessors (PC) als korrekt oder nicht korrekt bewertet und
 - wobei eine Antwort (ANS) „korrekt“ ist,
 - wenn deren Inhalt mit mindestens einem möglichen erwarteten Inhalt übereinstimmt und
 - wenn die Antwort (ANS) innerhalb eines vorbestimmten Empfangszeitraums (b) durch den Watchdog (WDG) empfangen wird und
 - wobei eine Antwort (ANS) „nicht korrekt“ ist,
 - wenn der Inhalt der Antwort (ANS) nicht mit mindestens einem möglichen erwarteten Inhalt übereinstimmt oder
 - wenn die Antwort (ANS) nicht in dem vorbestimmten Empfangszeitraum (b) durch den Watchdog (WDG) empfangen wird und
 - wobei der Ergebnisspeicher (ES) bei jedem Empfang einer Antwort (ANS) des Prozessors (PC)
 - eine zwischengespeicherte Information (z. B. Inf_j) auf der j -ten logischen Ergebnisspeicherposition in einer Ergebnisspeicherzelle des Ergebnisspeichers (ES) aus diesem Ergebnisspeicher (ES) löscht, wobei $1 \leq j \leq n$ ist, und
 - die verbleibenden $(n - 1)$ zwischengespeicherten Informationen (Inf_k), wobei $1 \leq k \leq n$ und $k \neq j$ ist, von der jeweiligen k -ten ursprünglichen logischen Ergebnisspeicherposition (p_k , mit $1 \leq k \leq m$ und $k \neq j$) auf eine andere logische Ergebnisspeicherposition ($p_{k'}$, mit $k' \neq k$ und $1 \leq k' \leq n$) jeweils verschiebt und

- als zumindest neuen ersten Anteil der j -ten zwischengespeicherten Information (z. B. Inf_j) auf der logischen Ergebnisspeicherposition, in die keine der verbleibenden $(n - 1)$ zwischengespeicherten Informationen verschoben wurde, zumindest das Ergebnis der Bewertung der empfangenen Antwort (ANS) durch den Prozessor (PC) entsprechend einem logischen Wert „korrekt“ oder „nicht korrekt“ verwendet.

2. Vorrichtung nach Anspruch 1

- mit einem zusätzlichen zweiten Bewertungsmittel (VAL) als Teil des Watchdog (WDG), zur Bewertung der zwischengespeicherten Informationen (Inf_1 bis Inf_n) des Schieberegisters (SR),
- wobei die zweiten Bewertungsmittel (VAL) in Abhängigkeit von zwischengespeicherten Informationen der n zwischengespeicherten Informationen (Inf_1 bis Inf_n) in den Ergebnisspeicherzellen des Ergebnisspeichers (ES) zumindest ein Steuersignal (RES) erzeugen, das den Zustand des Prozessors (PC) verändern kann, oder ein Signal erzeugen, aus denen ein solches ein Steuersignal (RES) abgeleitet wird.

3. Vorrichtung nach Anspruch 1

- mit weiteren überwachbaren Systemkomponenten (SC) als Teil des Prozessors.

4. Vorrichtung nach Anspruch 1

- wobei einer ersten erwarteten Antwort (ANS1) durch die ersten Bewertungsmittel (AVAL) ein vorbestimmter erster Empfangszeitraum ($b1$) als vorbestimmter Empfangszeitraum (b) für die Bewertung der ersten erwarteten Antwort (ANS1) nach deren Empfang durch den Watchdog (WDG) als Antwort (ANS) zugeordnet wird und
- wobei einer zweiten erwarteten Antwort (ANS2) durch die ersten Bewertungsmittel (AVAL) ein vorbestimmter zweiter Empfangszeitraum ($b2$) als vorbestimmter Empfangszeitraum (b) für die Bewertung der zweiten erwarteten Antwort (ANS2) nach deren Empfang durch den Watchdog (WDG) als Antwort (ANS) zugeordnet wird und
- wobei der vorbestimmte erste Empfangszeitraum ($b1$) und der vorbestimmte zweite Empfangszeitraum ($b2$) verschieden sind und sich überlappen und
- wobei der vorbestimmte erste Empfangszeitraum ($b1$) auf die Bewertung der zweiten Antwort (ANS2) keine Wirkung hat und
- wobei der vorbestimmte zweite Empfangszeitraum ($b2$) auf die Bewertung der ersten Antwort (ANS1) keine Wirkung hat.

5. Vorrichtung nach Anspruch 1

- wobei der Watchdog (WDG) mittels der ersten Bewertungsmittel (AVAL) die Antwort (ANS) des Prozessors (PC) als korrekt oder nicht korrekt bewertet und
- wobei eine Antwort (ANS) zusätzlich „korrekt“ ist,
 - wenn die Anzahl der durch den Watchdog (WDG) empfangenen Antworten (ANS) innerhalb des vor-

bestimmten Empfangszeitraums (b) durch die empfangene Antwort (ANS) eine vorgegebene maximale Anzahl von zu empfangenen Antworten (ANS) nicht überschreitet oder am Ende des vorbestimmten Empfangszeitraums (b) eine vorgegebene minimale Anzahl von zu empfangenen Antworten (ANS) nicht unterschreitet und

– wobei eine Antwort (ANS) zusätzlich „nicht korrekt“ ist,

• wenn die Anzahl der durch den Watchdog (WDG) empfangenen Antworten (ANS) innerhalb des vorbestimmten Empfangszeitraums (b) durch die empfangene Antwort (ANS) eine vorgegebene maximale Anzahl von zu empfangenen Antworten (ANS) überschreitet oder eine vorgegebene minimale Anzahl von zu empfangenen Antworten (ANS) unterschreitet.

6. Vorrichtung nach Anspruch 1 gekennzeichnet dadurch dass

– die Bewertung der Antwort (ANS) des Prozessors durch die ersten Bewertungsmittel (AVAL) des Watchdog (WDG) zusätzlich von zumindest einer zwischengespeicherten Information (Inf_i) der zwischengespeicherten Informationen (Inf_1 bis Inf_n) des Ergebnisspeichers (ES) abhängt.

7. Vorrichtung nach Anspruch 1 gekennzeichnet dadurch dass

– die Bewertung der Antwort (ANS) des Prozessors durch die ersten Bewertungsmittel (AVAL) des Watchdog (WDG) zusätzlich von den zwischengespeicherten Informationen (Inf_1 bis Inf_n) des Ergebnisspeichers (ES) abhängt.

8. Vorrichtung nach Anspruch 1 gekennzeichnet dadurch dass

– das eine zweite Bewertungsmittel (VAL) in Abhängigkeit von zumindest einer zwischengespeicherten Information (Inf_i) der zwischengespeicherten Informationen ($\text{Inf}_1, \dots, \text{Inf}_n$) des Ergebnisspeichers (ES) zusätzlich zumindest eine weitere Bewertung erzeugt und

– zumindest eine zwischengespeicherte Information (Inf_i) der zwischengespeicherten Informationen (Inf_1 bis Inf_n) des Ergebnisspeichers (ES) eine zwischengespeicherte weitere Bewertung der zweiten Bewertungsmittel (VAL) als weiteren Informationsanteil neben dem besagten ersten Informationsanteil zusätzlich umfasst.

9. Vorrichtung nach Anspruch 1 gekennzeichnet dadurch dass

– dass die zweiten Bewertungsmittel (VAL) in Abhängigkeit vom Auftreten vorbestimmter Muster unter zumindest jeweils eines Informationsanteiles zumindest zweier verschiedener zwischengespeicherten Informationen ($\text{Inf}_1, \text{Inf}_k$, mit $1 \leq j \leq n$ und $1 \leq k \leq n$ und $j \neq k$) der zwischengespeicherten Informationen ($\text{Inf}_1, \dots$

Inf_n) des Ergebnisspeichers (ES) zusätzlich zumindest eine zweite weitere Bewertung erzeugt.

10. Vorrichtung nach Anspruch 1 gekennzeichnet dadurch dass

– die ersten Informationsanteile der zwischengespeicherten Informationen (Inf_1 bis Inf_n) des Ergebnisspeichers (ES) am Ende des vorbestimmten Empfangszeitraums (b) auf einen Wert entsprechend „nicht korrekt“ gesetzt werden.

11. Vorrichtung nach Anspruch 1 gekennzeichnet dadurch dass

– die ersten Informationsanteile der zwischengespeicherten Informationen (Inf_1 bis Inf_n) des Ergebnisspeichers (ES) am Ende des vorbestimmten Empfangszeitraums (b) auf einen Wert entsprechend „korrekt“ gesetzt werden.

12. Vorrichtung nach einem oder mehreren der vorausgehenden Ansprüche

– mit einem zusätzlichen zweiten Bewertungsmittel (VAL) als Teil des Watchdog (WDG), zur Bewertung der n zwischengespeicherten Informationen (Inf_1 bis Inf_n) des Ergebnisspeichers (ES) und

– mit mindestens einem weiteren Ergebnisspeicher (ES_B) als Teil des Watchdog (WDG) und

– mit m weiteren zwischengespeicherten Informationen ($\text{Inf}_{1B}, \dots, \text{Inf}_{mB}$), die in m weiteren Ergebnisspeicherzellen gespeichert sind, aus denen der weitere Ergebnisspeicher (ES_B), besteht, wobei m eine ganze positive Zahl größer 1 ist, und

• wobei die m weiteren zwischengespeicherten Informationen ($\text{Inf}_{1B}, \dots, \text{Inf}_{mB}$) von 1 bis m durchnummeriert werden können und

• wobei jede der m weiteren zwischengespeicherten Informationen ($\text{Inf}_{1B}, \dots, \text{Inf}_{mB}$) eine eindeutige logische weitere Ergebnisspeicherposition von m logischen weiteren Ergebnisspeicherpositionen besitzt, die von 1 bis m durchnummeriert sind, und

• wobei jede der m weiteren zwischengespeicherten Informationen ($\text{Inf}_{1B}, \dots, \text{Inf}_{mB}$) zumindest einen ersten Informationsanteil aufweist und ggf. weitere Informationsanteile aufweisen kann und

– mit weiteren Bewertungsmitteln (VAL_B) als Teil des Watchdog (WDG), zur Bewertung der weiteren zwischengespeicherten Informationen ($\text{Inf}_{1B}, \dots, \text{Inf}_{mB}$) des weiteren Ergebnisspeichers (ES_B) und

– wobei der weitere Ergebnisspeicher (ES_B) bei jedem Empfang einer Antwort des Prozessors (PC)

• die eine j-te weitere zwischengespeicherte Information (Inf_{jB}) auf der j-ten logischen weiteren Ergebnisspeicherposition in einer Ergebnisspeicherzelle des weiteren Ergebnisspeichers (ES_B) aus dem weiteren Ergebnisspeicher (ES_B) löscht, wobei $1 \leq j \leq m$ ist, und

• jede der (m – 1) zwischengespeicherten Informationen (Inf_{kB}), wobei $1 \leq k \leq m$ und $k \neq j$ ist, von der jeweiligen k-ten logischen weiteren Ergebnisspeicherposition (p_k , mit $1 \leq k \leq m$ und $k \neq j$) auf eine andere

logische weitere Ergebnisspeicherposition ($p_{k'}$, mit $k' \neq k$ und $1 \leq k' \leq m$) verschiebt und

- als zumindest als neuer erster Anteil der j' -ten weiteren zwischengespeicherten Information ($\text{Inf}_{j'B}$) oder als neue j' -te weitere zwischengespeicherte Information ($\text{Inf}_{j'B}$), auf der logischen weiteren Ergebnisspeicherposition, in die keine der verbleibenden $(m - 1)$ zwischengespeicherten weiteren Informationen verschoben wurde, zumindest das Ergebnis der weiteren Bewertung der zweiten Bewertungsmittel (VAL) verwendet und

- wobei die weiteren Bewertungsmittel (VAL_B) in Abhängigkeit von weiteren zwischengespeicherten Informationen der m weiteren zwischengespeicherten Informationen (Inf_{1B} bis Inf_{mB}) des weiteren Schieberegisters (SR_B) ein Steuersignal (RES), das den Zustand des Prozessors (PC) verändern kann, erzeugen.

13. Vorrichtung nach einem oder mehreren der vorangehenden Ansprüche

- mit einem zusätzlichen zweiten Bewertungsmittel (VAL) als Teil des Watchdog (WDG), zur Bewertung der zwischengespeicherten Informationen (Inf_1 bis Inf_n) des Ergebnisspeichers (ES),

- mit mindestens einem weiteren Ergebnisspeicher (ES_B) als Teil des Watchdog (WDG) und

- mit m weiteren zwischengespeicherten Informationen (Inf_{1B} , ... Inf_{mB}), die in m weiteren Ergebnisspeicherzellen gespeichert sind, aus denen der weitere Ergebnisspeicher (ES_B), besteht, wobei m eine ganze positive Zahl ist, und

- wobei die m weiteren zwischengespeicherten Informationen (Inf_{1B} , ... Inf_{mB}) von 1 bis m durchnummeriert werden können und

- wobei jede der m weiteren zwischengespeicherten Informationen (Inf_{1B} , ... Inf_{mB}) eine eindeutige logische weitere Ergebnisspeicherposition von m logischen weiteren Ergebnisspeicherpositionen besitzt, die von 1 bis m durchnummeriert werden können, und

- wobei jede der m weiteren zwischengespeicherten Informationen (Inf_{1B} , ... Inf_{mB}) zumindest einen ersten Informationsanteil aufweist und ggf. weitere Informationsanteile aufweisen kann und

- mit weiteren Bewertungsmitteln (VAL_B) als Teil des Watchdog (WDG), zur Bewertung der weiteren zwischengespeicherten Informationen (Inf_{1B} , ... Inf_{mB}) des weiteren Ergebnisspeichers (ES_B) und

- wobei der weitere Ergebnisspeicher (ES_B) nach einem Ende eines Empfangszeitraums (b) oder nach jedem Ende eines Empfangszeitraums (b)

- die eine j -te weitere zwischengespeicherte Information (Inf_{jB}) auf der j -ten logischen weiteren Ergebnisspeicherposition in einer Ergebnisspeicherzelle des weiteren Ergebnisspeichers (ES_B) aus dem weiteren Ergebnisspeicher (ES_B) löscht, wobei $1 \leq j \leq m$ ist, und

- jede der $(m - 1)$ zwischengespeicherten Informationen (Inf_{kB}), wobei $1 \leq k \leq m$ und $k \neq j$ ist, von der jeweiligen k -ten logischen weiteren Ergebnisspeicher-

position (p_k , mit $1 \leq k \leq m$ und $k \neq j$) auf eine andere logische weitere Ergebnisspeicherposition ($p_{k'}$, mit $k' \neq k$ und $1 \leq k' \leq m$) verschiebt und

- als zumindest als neuer erster Anteil der j' -ten weiteren zwischengespeicherten Information ($\text{Inf}_{j'B}$) oder als neue j' -te weitere zwischengespeicherte Information ($\text{Inf}_{j'B}$), auf der logischen weiteren Ergebnisspeicherposition, in die keine der verbleibenden $(m - 1)$ zwischengespeicherten weiteren Informationen verschoben wurde, zumindest das Ergebnis der weiteren Bewertung der zweiten Bewertungsmittel (VAL) verwendet und

- wobei die weiteren Bewertungsmittel (VAL_B) in Abhängigkeit von weiteren zwischengespeicherten Informationen der m weiteren zwischengespeicherten Informationen (Inf_{1B} , ... Inf_{mB}) des weiteren Schieberegisters (SR_B) ein Steuersignal (RES), das den Zustand des Prozessors (PC) verändern kann, erzeugen.

14. Vorrichtung nach einem oder mehreren der vorangehenden Ansprüche

- mit einem zusätzlichen zweiten Bewertungsmittel (VAL) als Teil des Watchdog (WDG), zur Bewertung der zwischengespeicherten Informationen (Inf_1 bis Inf_n) des Ergebnisspeichers (ES) und

- mit mindestens einem weiteren Ergebnisspeicher (ES_B) als Teil des Watchdog (WDG) und

- mit m weiteren zwischengespeicherten Informationen (Inf_{1B} , ... Inf_{mB}), die in m weiteren Ergebnisspeicherzellen gespeichert sind, aus denen der weitere Ergebnisspeicher (ES_B), besteht, wobei m eine ganze positive Zahl ist, und

- wobei die m weiteren zwischengespeicherten Informationen (Inf_{1B} , ... Inf_{mB}) von 1 bis m durchnummeriert werden können und

- wobei jede der m weiteren zwischengespeicherten Informationen (Inf_{1B} , ... Inf_{mB}) eine eindeutige logische weitere Ergebnisspeicherposition von m logischen weiteren Ergebnisspeicherpositionen besitzt, die von 1 bis m durchnummeriert werden können, und

- wobei jede der m weiteren zwischengespeicherten Informationen (Inf_{1B} , ... Inf_{mB}) zumindest einen ersten Informationsanteil aufweist und ggf. weitere Informationsanteile aufweisen kann und

- mit weiteren Bewertungsmitteln (VAL_B) als Teil des Watchdog (WDG), zur Bewertung der weiteren zwischengespeicherten Informationen (Inf_{1B} bis Inf_{mB}) des weiteren Ergebnisspeichers (ES_B) und

- wobei der weitere Ergebnisspeicher (ES_B) nach dem Ende einer vorbestimmten oder eingestellten Anzahl q aufeinander folgender Empfangszeiträume (b)

- die eine j -te weitere zwischengespeicherte Information (Inf_{jB}) auf der j -ten logischen weiteren Ergebnisspeicherposition in einer Ergebnisspeicherzelle des weiteren Ergebnisspeichers (ES_B) aus dem weiteren Ergebnisspeicher (ES_B) löscht, wobei $1 \leq j \leq m$ ist, und

- jede der $(m - 1)$ zwischengespeicherten Informationen (Inf_{kB}), wobei $1 \leq k \leq m$ und $k \neq j$ ist, von der jeweiligen k -ten logischen weiteren Ergebnisspeicherposition (p_k , mit $1 \leq k \leq m$ und $k \neq j$) auf eine andere logische weitere Ergebnisspeicherposition ($p_{k'}$, mit $k' \neq k$ und $1 \leq k' \leq m$) verschiebt und
- als zumindest als neuer erster Anteil der j '-ten weiteren zwischengespeicherten Information (Inf_{jB}) oder als neue j '-te weitere zwischengespeicherte Information (Inf_{jB}), auf der logischen weiteren Ergebnisspeicherposition, in die keine der verbleibenden $(m - 1)$ zwischengespeicherten weiteren Informationen verschoben wurde, zumindest das Ergebnis der weiteren Bewertung der zweiten Bewertungsmittel (VAL) verwendet und
- wobei die weiteren Bewertungsmittel (VAL_B) in Abhängigkeit von weiteren zwischengespeicherten Informationen der m weiteren zwischengespeicherten Informationen ($\text{Inf}_{1B}, \dots, \text{Inf}_{mB}$) des weiteren Schieberegisters (SR_B) ein Steuersignal (RES), das den Zustand des Prozessors (PC) verändern kann, erzeugen.

15. Vorrichtung nach Anspruch 14 **dadurch gekennzeichnet,**

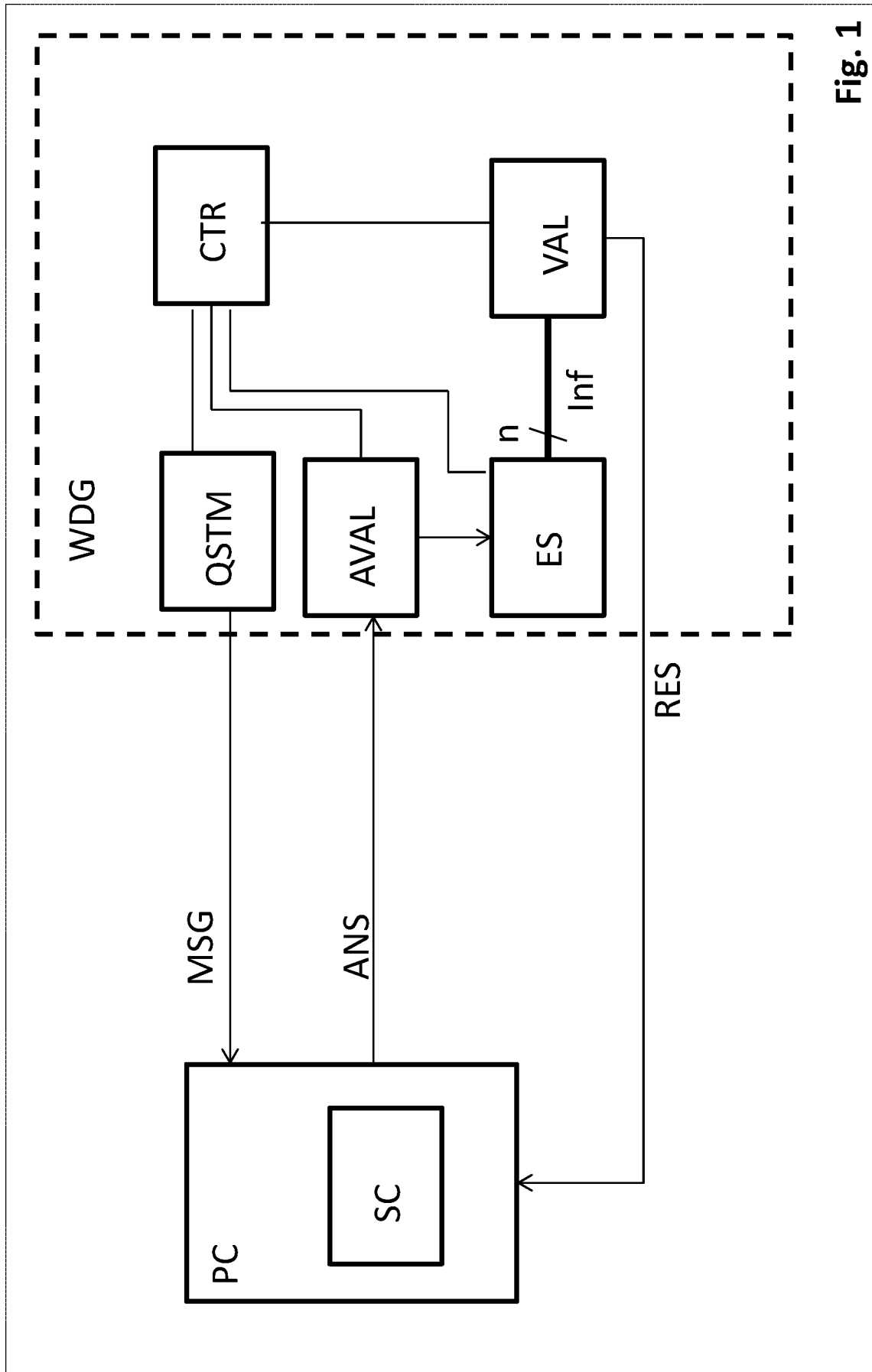
- dass die ersten Informationsanteile der zwischengespeicherten Informationen (Inf_1 bis Inf_n) des Ergebnisspeichers (ES) nach dem Ende einer Anzahl von q aufeinanderfolgenden Empfangszeiträumen (b) auf einen Wert entsprechend „nicht korrekt“ gesetzt werden.

16. Vorrichtung nach Anspruch 14 **dadurch gekennzeichnet,**

- dass die ersten Informationsanteile der zwischengespeicherten Informationen (Inf_1 bis Inf_n) des Ergebnisspeichers (ES) nach dem Ende einer Anzahl von q aufeinanderfolgenden Empfangszeiträumen (b) auf einen Wert entsprechend „korrekt“ gesetzt werden.

Es folgen 9 Seiten Zeichnungen

Anhängende Zeichnungen



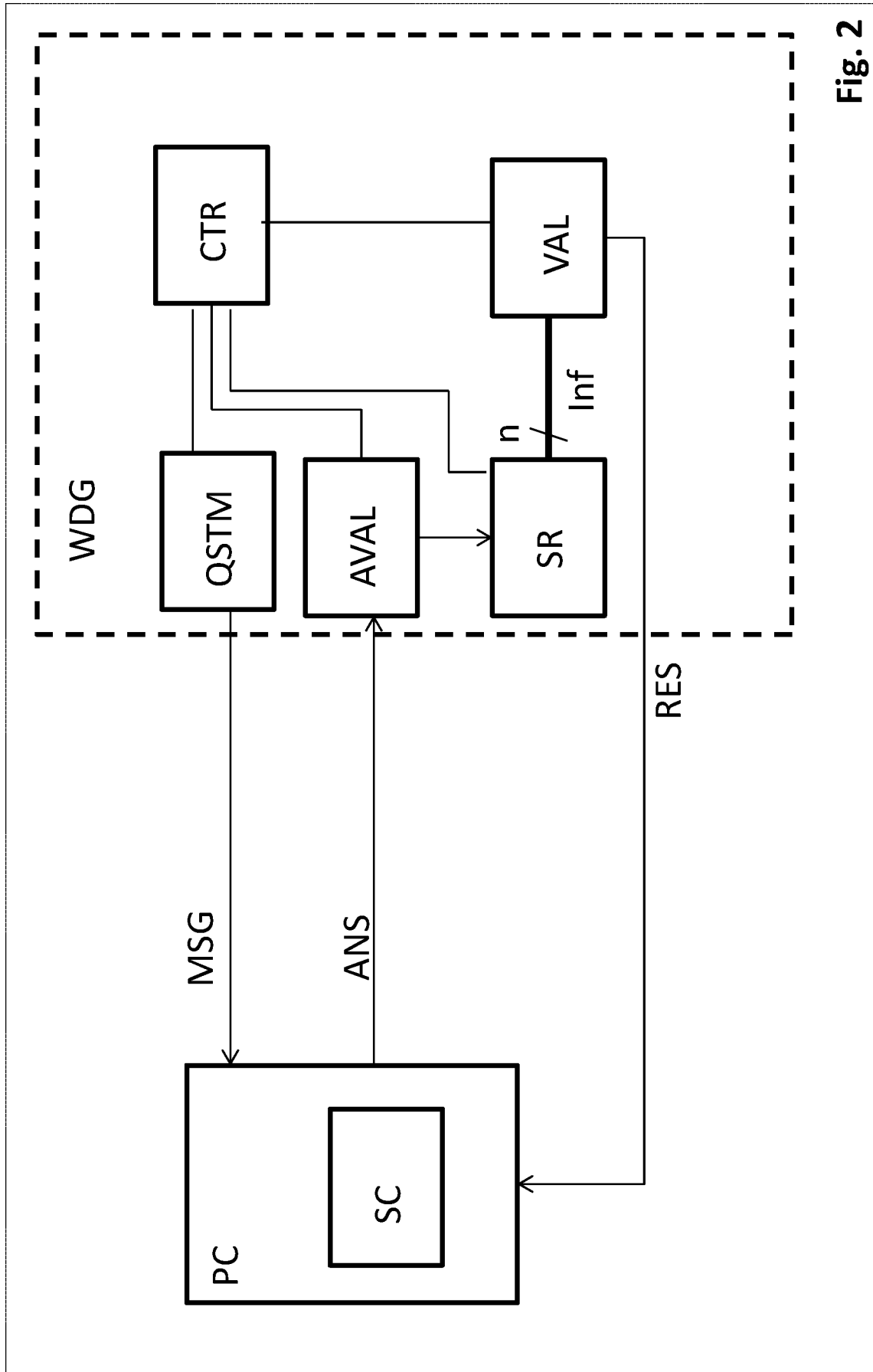


Fig. 2

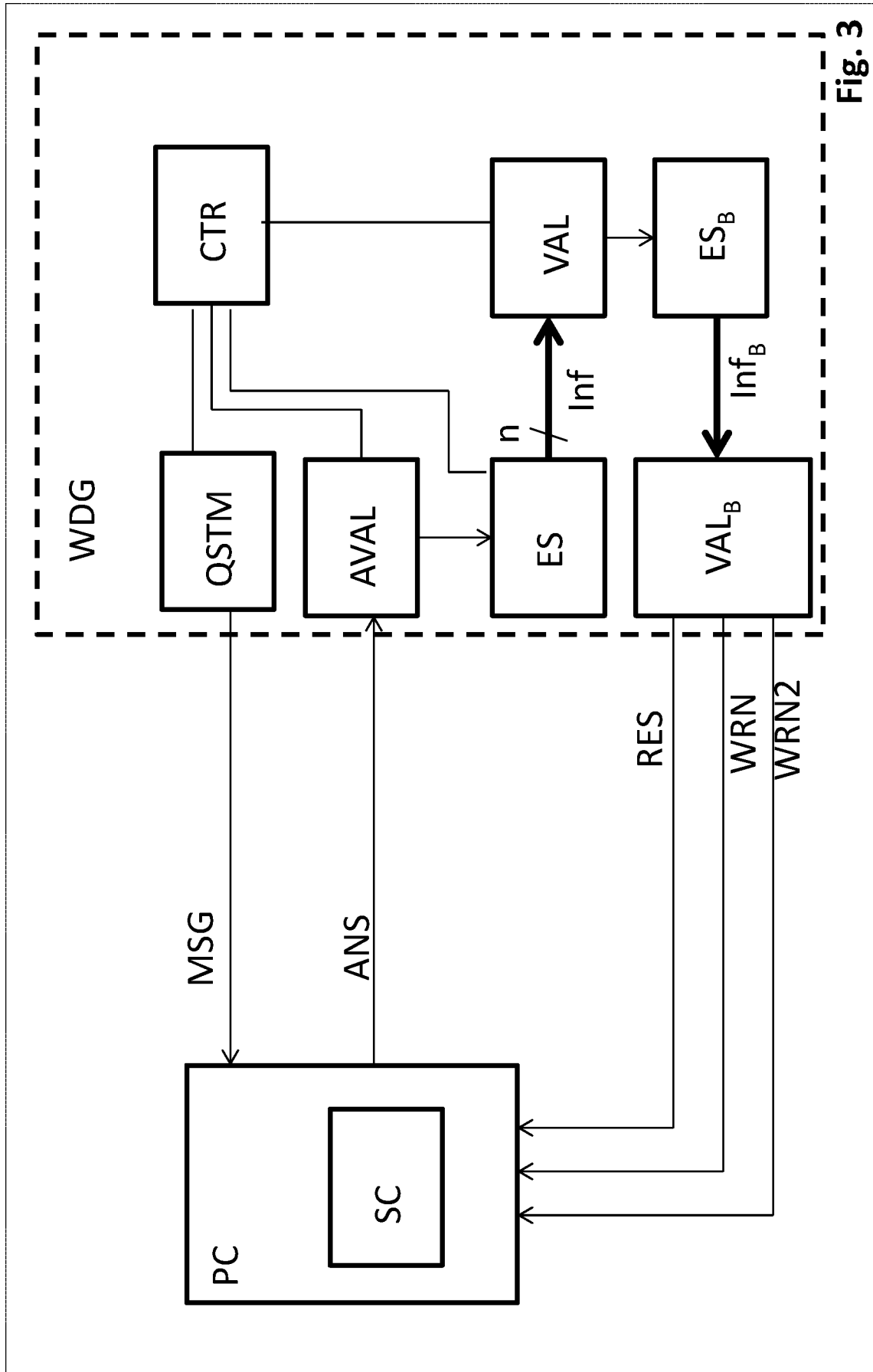


Fig. 3

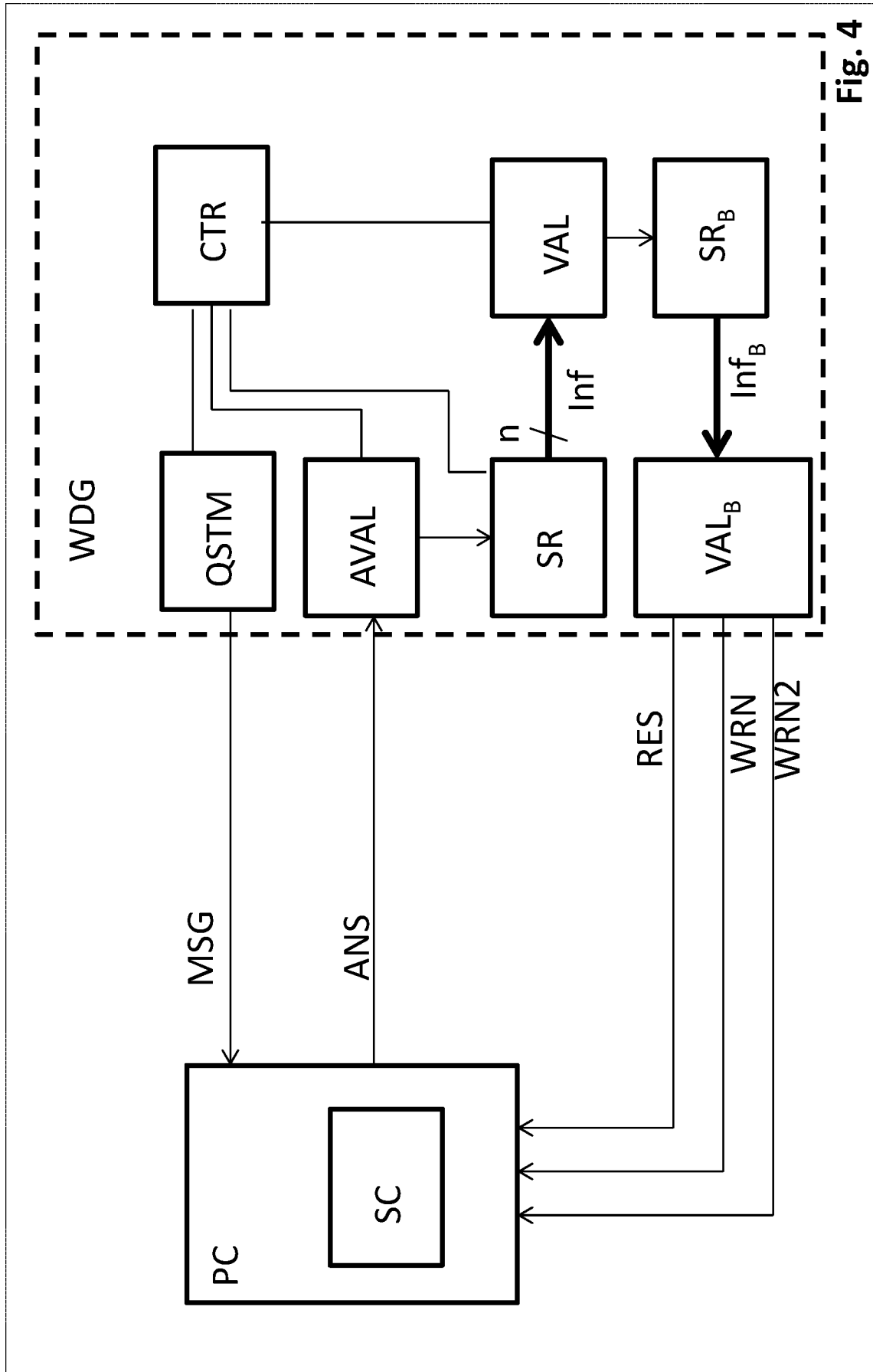


Fig. 4

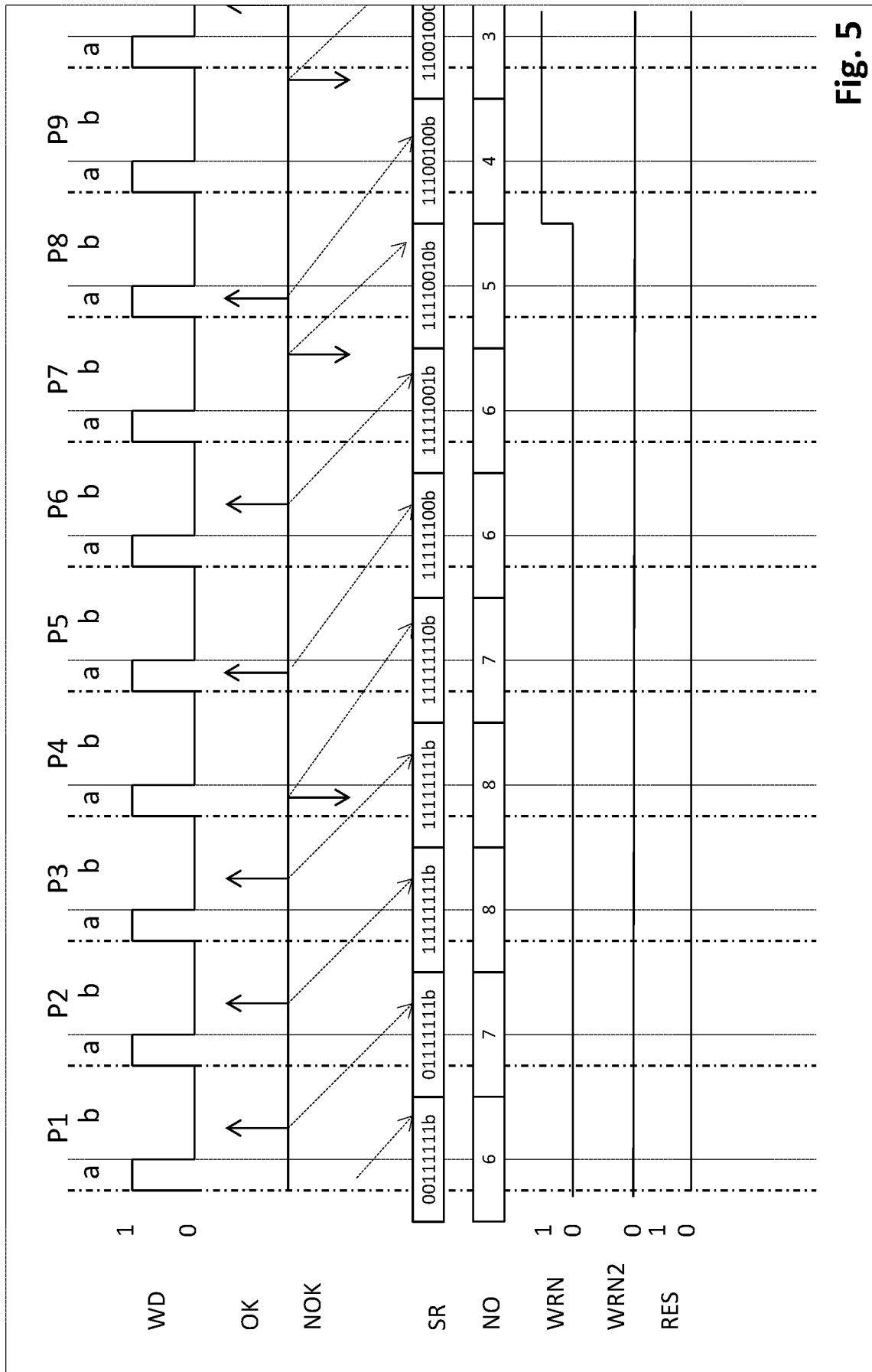


Fig. 5

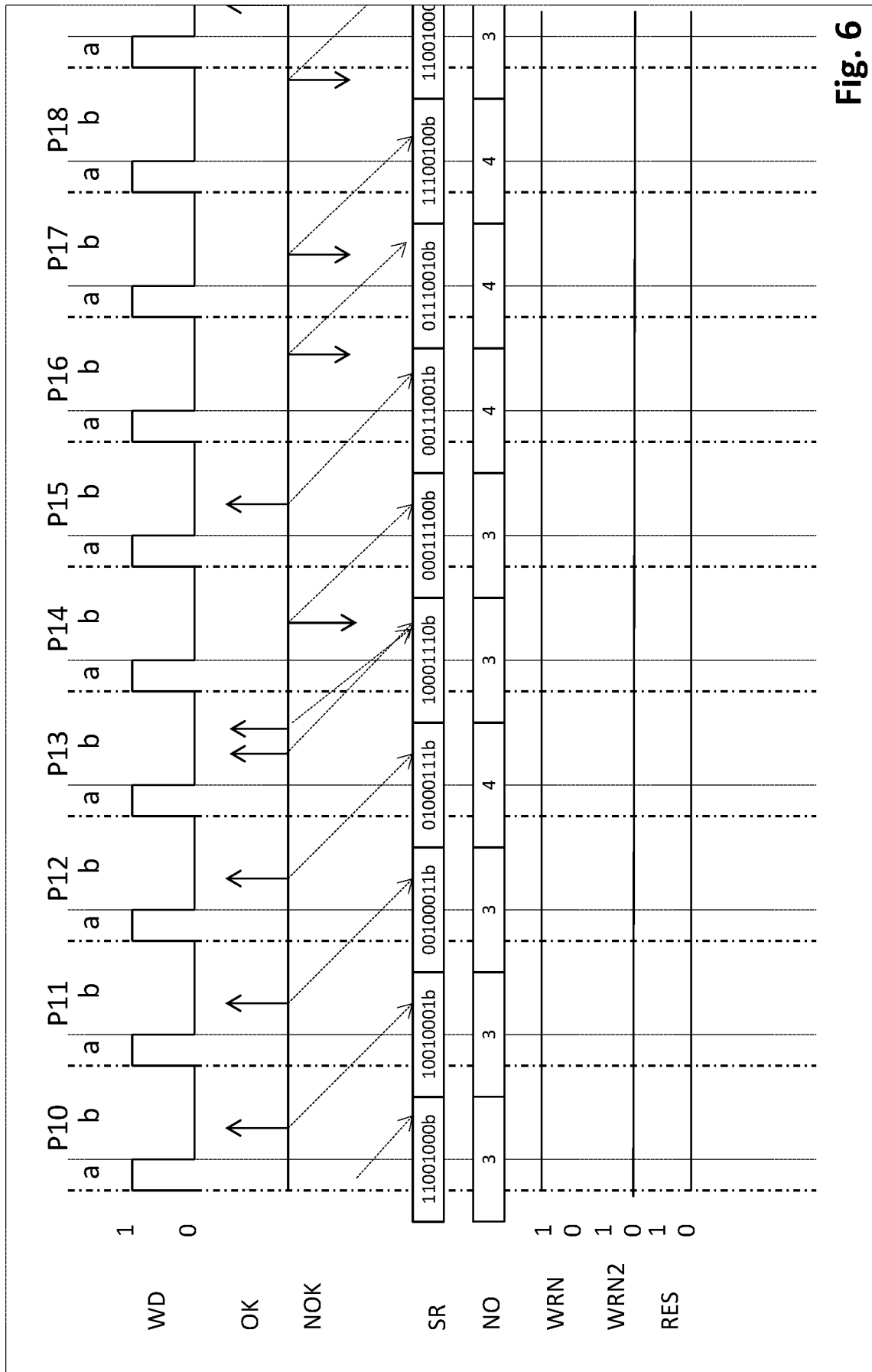


Fig. 6

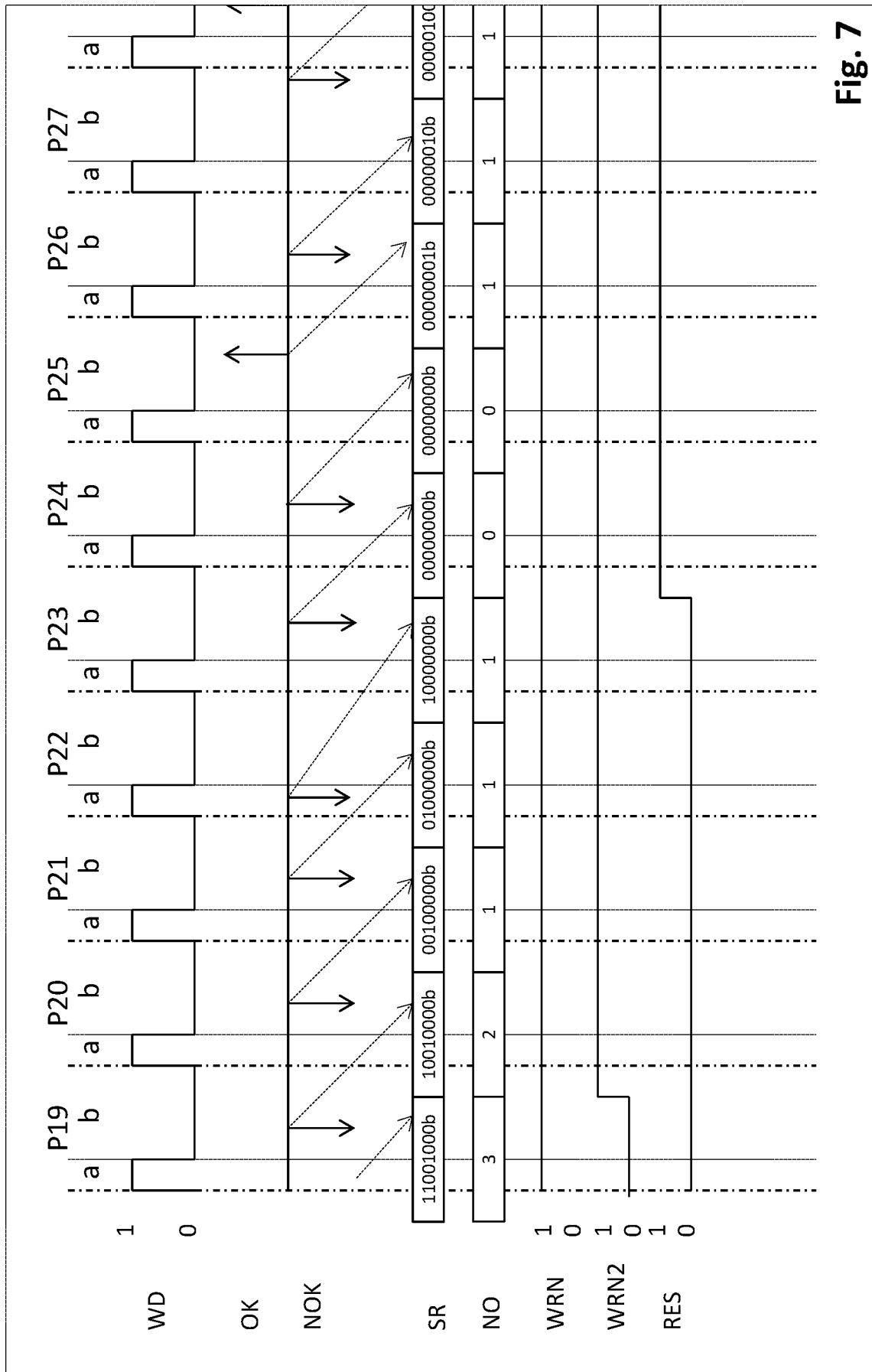


Fig. 7

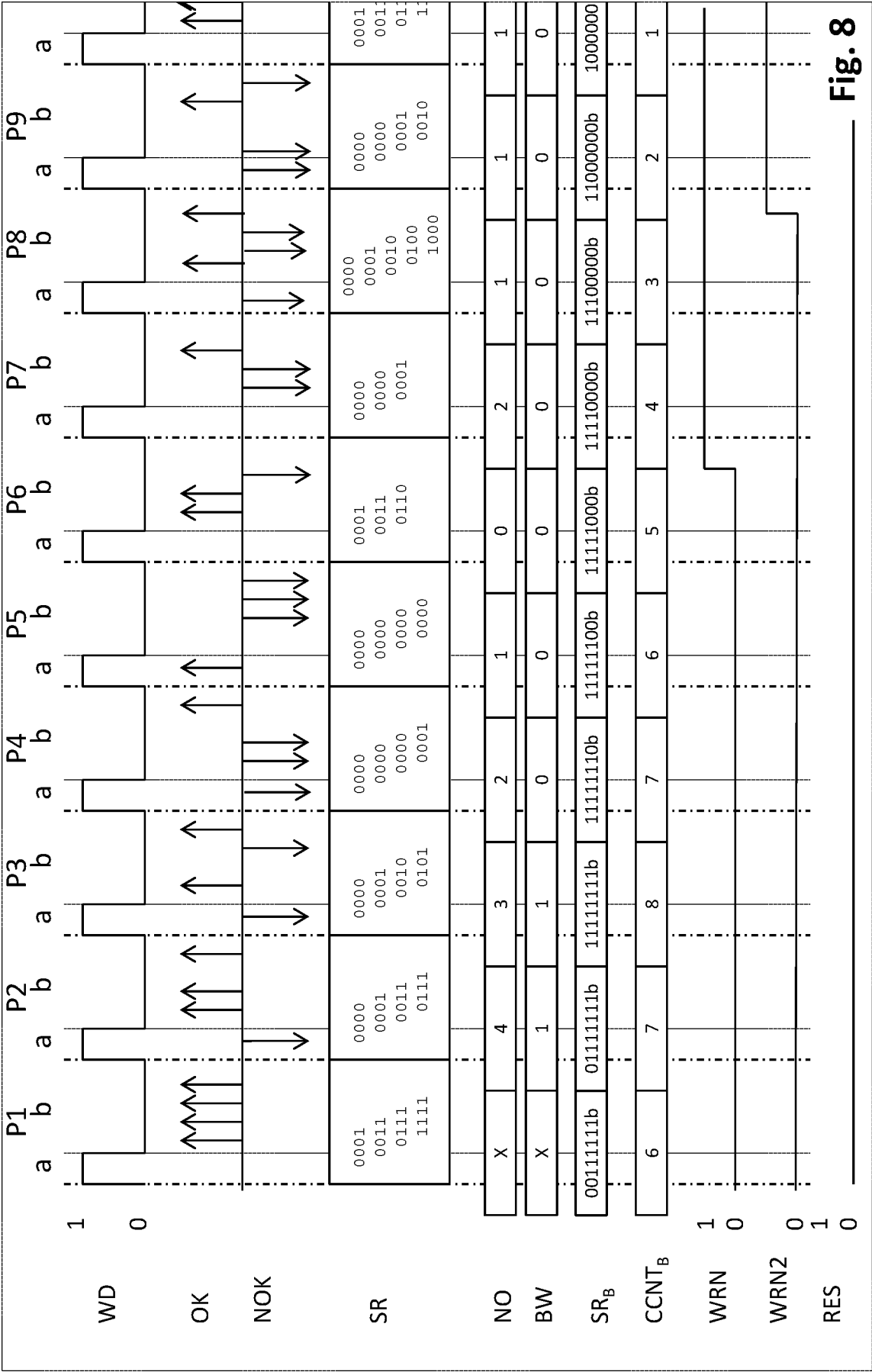


Fig. 8

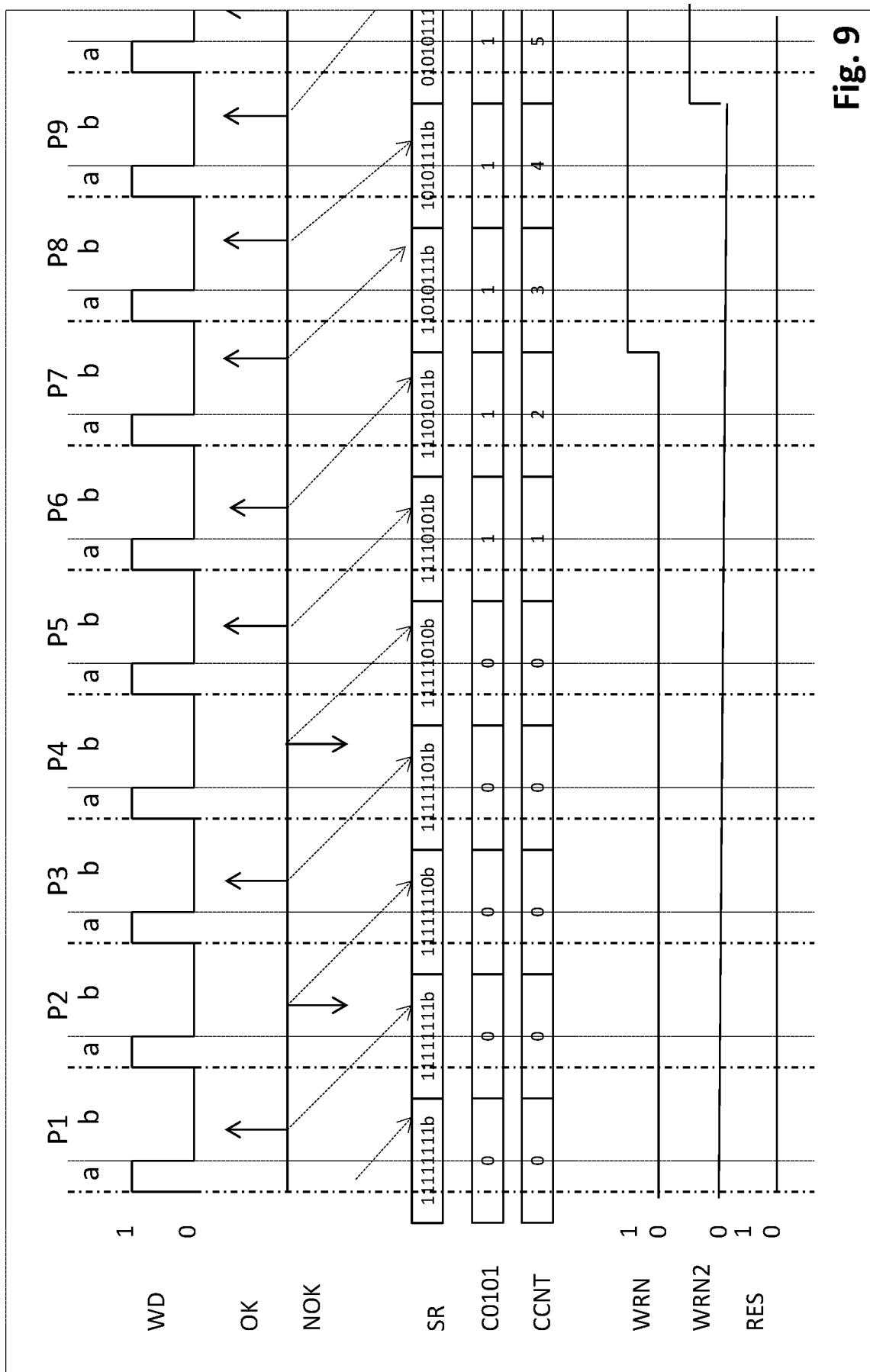


Fig. 9