

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 1월 5일 (05.01.2017)



(10) 국제공개번호
WO 2017/002986 A1

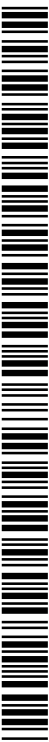
- (51) 국제특허분류:
H01L 29/786 (2006.01)
- (21) 국제출원번호: PCT/KR2015/006651
- (22) 국제출원일: 2015년 6월 30일 (30.06.2015)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (71) 출원인: 실리콘 디스플레이 (주) (SILICON DISPLAY TECHNOLOGY) [KR/KR]; 17084 경기도 용인시 기흥구 탑실로 58번길 8, Gyeonggi-do (KR).
- (72) 발명자: 최순호 (CHOI, Soon Ho); 446-720 경기도 용인시 기흥구 동백 8로 90 2401-601, Gyeonggi-do (KR). 문성룡 (MOON, Sung Ryong); 411-752 경기도 고양시 일산서구 일현로 140 115-2002, Gyeonggi-do (KR). 이민중 (LEE, Min Jong); 404-170 인천시 서구 청라카네로 163 484-1701, Incheon (KR).
- (74) 대리인: 유미특허법인 (YOU ME PATENT AND LAW FIRM); 06134 서울시 강남구 테헤란로 115, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO,

AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

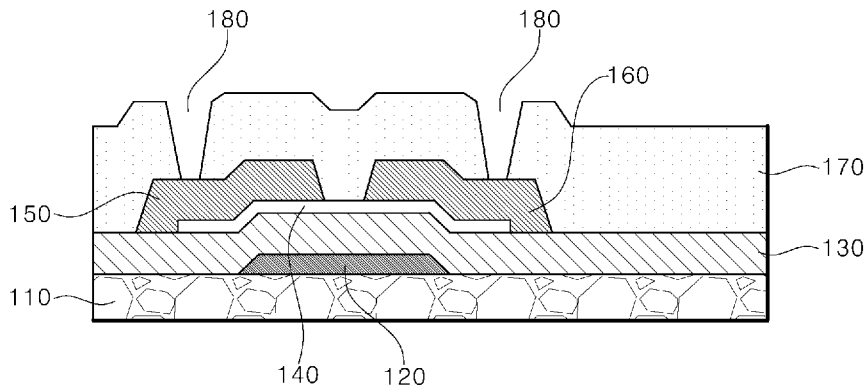
— 국제조사보고서와 함께 (조약 제 21 조(3))



WO 2017/002986 A1

(54) Title: OXIDE SEMICONDUCTOR THIN-FILM TRANSISTOR AND MANUFACTURING METHOD THEREFOR

(54) 발명의 명칭 : 산화물 반도체 박막 트랜지스터 및 그 제조 방법



(57) Abstract: The present invention relates to an oxide semiconductor thin-film transistor and a manufacturing method therefor, and the method for manufacturing an oxide semiconductor thin-film transistor comprises: a first step of forming a gate electrode by depositing and patterning a gate layer on a substrate; a second step of depositing a gate insulating film on the gate electrode; a third step of depositing and patterning an oxide semiconductor on the gate insulating film; and a fourth step of processing the oxide semiconductor by using plasma including fluorine (F).

(57) 요약서: 본 발명은 산화물 반도체 박막 트랜지스터 및 그 제조 방법에 관한 것으로, 산화물 반도체 박막 트랜지스터의 제조 방법은 기판 상에 게이트 층을 증착하고 패터닝하여 게이트 전극을 형성하는 제 1 단계; 상기 게이트 전극 상에 게이트 절연막을 증착하는 제 2 단계; 상기 게이트 절연막 상에 상기 산화물 반도체를 증착하고 패터닝하는 제 3 단계; 및 상기 산화물 반도체 상에 불소(F)가 포함된 플라즈마를 이용해 처리를 하는 제 4 단계;를 포함한다.

명세서

발명의 명칭: 산화물 반도체 박막 트랜지스터 및 그 제조 방법 기술분야

- [1] 본 발명의 실시예는 산화물 반도체 박막 트랜지스터 및 그 제조 방법에 관한 것이다.

배경기술

- [2] 일반적으로 액정 디스플레이 장치(LCD: liquid display device)나 전계발광 디스플레이 장치(ELD: electroluminescence display device) 등의 디스플레이 장치에는 각 화소의 동작을 제어하는 스위칭 소자 및 각 화소의 구동 소자로 박막 트랜지스터가 사용되고 있다.
- [3] 이에 따라 박막 트랜지스터의 제조방법에 대한 연구가 활발하게 진행되고 있으며, 박막 트랜지스터 내부에 구비된 반도체층의 패터닝 정밀도 향상 및 비용절감을 위하여 한국공개특허 제10-2010-0060502호와 같은 기술들이 제안되었다.
- [4] 최근에는 산화물 반도체를 활성층으로 사용한 박막 트랜지스터의 연구 개발이 활발하게 진행되고 있다.
- [5] 산화물 반도체 박막 트랜지스터는 높은 전계 이동도와 0V 근방의 낮은 문턱 전압, 낮은 누설 전류 등의 장점을 바탕으로 TFT-LCD, AMOLED 와 같은 평면 디스플레이, 각종 감지 센서 및 구동, logic 회로 등에 적용된다.
- [6] 그러나, 산화물 반도체 박막 트랜지스터는 상기의 장점에도 불구하고 신뢰성에 대한 문제가 제기되고 있으며, 보다 구체적으로는 산화물 반도체의 상면에 소스 전극과 드레인 전극의 형성을 위한 식각 시에 산화물 반도체에 가해지는 손상을 보상하여 안정성과 신뢰성을 향상시키고, 공정의 변화 또는 추가 공정 없이도, 전이 특성에서 문턱 전압(threshold voltage)를 증가시킬 수 있는 방법에 대한 요구가 높아지고 있다.

발명의 상세한 설명

기술적 과제

- [7] 본 발명은 전술한 문제를 해결하기 위해 안출된 것으로서, 소스 전극과 드레인 전극의 사이로 노출되는 산화물 반도체의 상면에 플라즈마 처리를 실시하여, 소스 전극과 드레인 전극의 패터닝 시에 산화물 반도체에 가해진 손상(damage)을 보상할 수 있도록 하고, 플라즈마 처리를 통해 산화물 반도체 표면의 안정화가 가능하여 불안정성 보완하여 신뢰성을 향상시키고자 한다.
- [8] 또한, 본 발명은 플라즈마 처리 시간을 조절하여 공정의 변화 또는 추가 공정 없이도 전이 특성에서 문턱 전압(threshold voltage)를 증가시켜, 다양한 기판 상에 능동 구동 디스플레이 장치 및 능동 구동 센서의 제조가 가능하도록 하고자 한다.

과제 해결 수단

- [9] 전술한 문제를 해결하기 위한 본 실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법은, 기판 상에 게이트 층을 증착하고 패터닝하여 게이트 전극을 형성하는 제1 단계; 상기 게이트 전극 상에 게이트 절연막을 증착하는 제2 단계; 상기 게이트 절연막 상에 상기 산화물 반도체를 증착하고 패터닝하는 제3 단계; 및 상기 산화물 반도체 상에 불소(F)가 포함된 플라즈마를 이용해 처리를 하는 제4 단계;를 포함한다.
- [10] 본 발명의 다른 일실시예에 따르면, 상기 제3 단계는 상기 패터닝된 산화물 반도체 상에 소스 전극과 드레인 전극을 형성하는 단계;를 더 포함하고, 상기 제4 단계는 상기 소스 전극과 상기 드레인 전극의 사이로 노출되는 상기 산화물 반도체 상에 불소(F)가 포함된 플라즈마를 이용해 처리할 수 있다.
- [11] 본 발명의 다른 일실시예에 따르면, 상기 플라즈마를 이용해 처리한 상기 산화물 반도체 상에 소스 전극과 드레인 전극을 형성하는 제5 단계;를 더 포함할 수 있다.
- [12] 본 발명의 다른 일실시예에 따르면, 상기 제1 단계 이전에 상기 기판 상에 실리콘 산화 보호막을 증착하는 단계;를 더 포함할 수 있다.
- [13] 본 발명의 다른 일실시예에 따르면, 상기 제1 단계는 상기 산화 보호막 상에 게이트 층을 증착하고 패터닝하여 게이트 전극을 형성할 수 있다.
- [14] 본 발명의 다른 일실시예에 따르면, 상기 산화물 반도체는 인듐 갈륨 징크옥사이드(Amorphous-InGaZnO₄), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 어느 하나를 포함하여 형성된 비정질 혹은 다결정질로 구성될 수 있다.
- [15] 본 발명의 다른 일실시예에 따르면, 상기 플라즈마 처리한 상기 소스 전극, 상기 드레인 전극과 상기 산화물 반도체 상에 보호층을 형성하는 제5 단계;를 더 포함할 수 있다.
- [16] 본 발명의 다른 일실시예에 따르면, 상기 게이트 절연막 또는 상기 보호층은, 실리콘 산화막 및 실리콘 질화막 중에서 적어도 어느 하나를 포함하여 구성될 수 있다.
- [17] 본 발명의 다른 일실시예에 따르면, 상기 제4 단계는 상기 불소(F)가 포함된 플라즈마를 이용한 처리에 의하여 상기 산화물 반도체 내에 ZnF 분당이 형성될 수 있다.
- [18] 본 발명의 다른 일실시예에 따르면, 상기 제4 단계는 상기 질소(N) 및 불소(F)가 포함된 플라즈마를 이용한 처리에 의하여 상기 산화물 반도체 내에 NF 혹은 InZn 분당이 상기 산화물 박막 내에 형성될 수 있다.
- [19] 본 발명의 다른 일실시예에 따르면, 상기 기판은 유리 기판, 플라스틱 기판,

실리콘 기판 및 유리 기판 상에 폴리머 물질이 형성된 기판 중에서 어느 하나이고, 상기 소스 전극 및 상기 드레인 전극은 몰리브덴(Mo), 구리 (Cu), 알루미늄 (AL) 및 인듐 틴 옥사이드(ITO) 중에서 적어도 어느 하나를 포함할 수 있다.

- [20] 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터는 기판; 상기 기판 상에 형성되는 게이트 전극; 상기 게이트 전극 상에 형성되는 게이트 절연막; 상기 게이트 절연막 상에 형성되는 산화물 반도체; 및 상기 산화물 반도체 상에 형성되는 소스 전극과 드레인 전극;를 포함하고, 상기 산화물 반도체는 불소(F)가 포함된 플라즈마를 이용한 처리에 의하여 상기 산화물 반도체 내에 ZnF 본딩이 형성되거나, 질소(N) 및 불소(F)가 포함된 플라즈마를 이용한 처리에 의하여 상기 산화물 반도체 내에 NF 혹은 InZn 본딩이 형성된다.
- [21] 본 발명의 다른 일실시예에 따르면, 상기 기판 상에 형성되는 산화 보호막;을 더 포함할 수 있다.
- [22] 본 발명의 다른 일실시예에 따르면, 상기 산화물 반도체는 인듐 갈륨 징크옥사이드(Amorphous-InGaZnO₄), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드 (HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드 (AZTO) 중 어느 하나를 포함하여 형성된 비정질 혹은 다결정질로 구성될 수 있다.
- [23] 본 발명의 다른 일실시예에 따르면, 상기 플라즈마 처리한 상기 소스 전극, 상기 드레인 전극과 상기 산화물 반도체 상에 형성되는 보호층;을 더 포함할 수 있다.
- [24] 본 발명의 다른 일실시예에 따르면, 상기 게이트 절연막 또는 상기 보호층은 실리콘 산화막 및 실리콘 질화막 중에서 적어도 어느 하나를 포함하여 구성될 수 있다.
- [25] 본 발명의 다른 일실시예에 따르면, 상기 기판은 유리 기판, 플라스틱 기판, 실리콘 기판 및 유리 기판 상에 폴리머 물질이 형성된 기판 중에서 어느 하나이고, 상기 소스 전극 및 상기 드레인 전극은 몰리브덴(Mo), 구리 (Cu), 알루미늄 (AL) 및 인듐 틴 옥사이드(ITO) 중에서 적어도 어느 하나를 포함할 수 있다.

발명의 효과

- [26] 본 발명의 실시예에 따르면 소스 전극과 드레인 전극의 사이로 노출되는 산화물 반도체의 상면에 플라즈마 처리를 실시하여, 소스 전극과 드레인 전극의 패터닝 시에 산화물 반도체에 가해진 손상(damage)을 보상할 수 있으며, 플라즈마 처리를 통해 산화물 반도체 표면의 안정화가 가능하여 불안정성 보완하고, 신뢰성을 향상시킬 수 있다.
- [27] 또한, 본 발명의 실시예에 따르면 플라즈마 처리 시간을 조절하여 공정의 변화 또는 추가 공정 없이도 전이 특성에서 문턱 전압(threshold voltage)를 증가시켜,

다양한 기판 상에 능동 구동 디스플레이 장치 및 능동 구동 센서의 제조가 가능하다.

도면의 간단한 설명

- [28] 도 1 내지 도 4는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터 및 그 제조 방법을 설명하기 위한 도면이다.
- [29] 도 5 내지 도 12는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법의 향상된 특성을 설명하기 위한 도면이다.

발명의 실시를 위한 형태

- [30] 이하에서는 첨부한 도면을 참조하여 바람직한 본 발명의 일실시예에 대해서 상세히 설명한다. 다만, 실시형태를 설명함에 있어서, 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그에 대한 상세한 설명은 생략한다. 또한, 도면에서의 각 구성요소들의 크기는 설명을 위하여 과장될 수 있으며, 실제로 적용되는 크기를 의미하는 것은 아니다.
- [31] 도 1 내지 도 4는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기 위한 도면이다.
- [32] 도 1 내지 도 4를 참조하여 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법을 설명하기로 한다.
- [33] 도 1에 도시된 바와 같이, 먼저 기판(110) 상에 게이트 전극(120)을 형성한다.
- [34] 상기 게이트 전극(120)의 형성시에는, 기판(110) 상에 게이트 층을 증착한 후 패터닝하여 상기 게이트 전극(120)을 형성한다.
- [35] 상기 기판(110)은 유리 기판, 플라스틱 기판, 실리콘 기판 및 유리 기판 상에 폴리머 물질이 형성된 기판 중에서 어느 하나로 구성될 수 있다.
- [36] 이때, 상기 기판(110) 상에 먼저 실리콘 산화 보호막을 증착한 이후에 상기 산화 보호막 상에 게이트 전극(120)을 형성할 수도 있다.
- [37] 이후, 상기와 같이 구성된 게이트 전극 상에는, 도 2에 도시된 바와 같이 게이트 절연막(130)이 증착되어 형성된다.
- [38] 이때, 상기 게이트 절연막(130)은 실리콘 산화막 및 실리콘 질화막 중에서 적어도 어느 하나를 포함하여 구성될 수 있다.
- [39] 또한, 상기와 같이 형성된 게이트 절연막(130) 상에 산화물 반도체(140)를 증착하고 패터닝한다.
- [40] 이때, 본 발명의 일실시예에 따른 산화물 반도체(140)는 인듐 갈륨 징크옥사이드(Amorphous-InGaZnO₄), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 어느 하나를 포함하여 형성된 비정질 혹은 다결정질로 구성될 수 있다.

- [41] 이후, 도 3에 도시된 바와 같이 상기 산화물 반도체(140) 상에 불소(F)가 포함된 플라즈마를 이용해 처리한다.
- [42] 이때, 상기 산화물 반도체 상에 바로 플라즈마 처리를 실시하거나, 소스 전극(150)과 드레인 전극(160)을 형성한 이후에 상기 소스 전극(150)과 드레인 전극(160)의 사이로 노출되는 산화물 반도체(140)의 상면에 플라즈마 처리를 실시할 수 있다.
- [43] 본 발명의 일실시예에 따르면 플라즈마 처리를 실시하여, 이후에 소스 전극(150)과 드레인 전극(160)의 형성시에 상기 산화물 반도체(140)를 보호하거나, 또는 소스 전극(150)과 드레인 전극(160)의 패터닝 시에 산화물 반도체(140)에 가해진 손상(damage)을 보상할 수 있다.
- [44] 한편, 본 발명의 일실시예에 따르면 산화물 반도체(140) 상에 불소(F)가 포함된 플라즈마를 이용한 처리에 의하여 상기 산화물 반도체 내에 ZnF 본딩이 형성되거나, 질소(N) 및 불소(F)가 포함된 플라즈마를 이용한 처리에 의하여 상기 산화물 반도체 내에 NF 혹은 InZn 본딩이 상기 산화물 박막 내에 형성될 수 있다.
- [45] 이와 같이 산화물 반도체(140) 상에 플라즈마 처리를 실시하면 산화물 반도체(140) 표면의 안정화가 가능하여 불안정성 보완하고, 신뢰성을 향상시킬 수 있으며, 플라즈마 처리 시간을 조절하여 공정의 변화 또는 추가 공정 없이도 전이 특성에서 문턱 전압(threshold voltage)를 증가시켜, 다양한 기판 상에 능동 구동 디스플레이 장치 및 능동 구동 센서의 제조가 가능하다.
- [46] 한편, 상기 소스 전극(150) 및 상기 드레인 전극(160)은 몰리브덴(Mo), 구리(Cu), 알루미늄(AL) 및 인듐 텅 옥사이드(ITO) 중에서 적어도 어느 하나를 포함하여 구성될 수 있다.
- [47] 이후에는 도 4에 도시된 바와 같이, 상기 플라즈마 처리한 상기 소스 전극(150), 상기 드레인 전극(160)과 상기 산화물 반도체(140) 상에 보호층(170)을 형성할 수 있다.
- [48] 한편, 상기 게이트 절연막(130) 또는 보호층(170)은 실리콘 산화막 및 실리콘 질화막 중에서 적어도 어느 하나를 포함할 수 있다.
- [49] 또한, 상기 보호층(170)에는 각각 소스 전극(150)과 드레인 전극(160)의 상면을 일부 노출하는 콘택 홀(180)이 형성될 수 있다.
- [50]
- [51] 이후부터는 도 4를 참조하여 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 구성을 설명하기로 한다.
- [52] 도 4에 도시된 바와 같이, 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터는 기판(110), 게이트 전극(120), 게이트 절연막(130), 산화물 반도체(140), 소스 전극(150), 드레인 전극(160) 및 보호층(170)을 포함한다.
- [53] 게이트 전극(120)은 기판(110) 상에 형성되고, 게이트 절연막(130)은 상기 게이트 전극(120) 상에 형성되며, 산화물 반도체(140)는 상기 게이트 전극(120)

상에 형성되고, 산화물 반도체(140) 상에는 소스 전극(150)과 드레인 전극(160)이 형성되며, 상기 소스 전극(150), 상기 드레인 전극(160)과 상기 산화물 반도체(140) 상에는 보호층(170)이 형성될 수 있다.

- [54] 이때, 상기 기판(110)은 유리 기판, 플라스틱 기판, 실리콘 기판 및 유리 기판 상에 폴리머 물질이 형성된 기판 중에서 어느 하나로 구성될 수 있으며, 상기 기판(110) 상에는 산화 보호막이 추가로 형성될 수 있다.
- [55] 또한, 상기 소스 전극(150) 및 상기 드레인 전극(160)은 몰리브덴(Mo), 구리(Cu), 알루미늄(AL) 및 인듐 틴 옥사이드(ITO) 중에서 적어도 어느 하나를 포함하여 구성될 수 있다.
- [56] 한편, 상기 산화물 반도체는(140)는 인듐 갈륨 징크옥사이드(Amorphous-InGaZnO₄), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 어느 하나를 포함하여 형성된 비정질 혹은 다결정질로 구성될 수 있다.
- [57] 이때, 본 발명의 일실시예에 따르면 상기 산화물 반도체(140)는 불소(F)가 포함된 플라즈마를 이용한 처리에 의하여 상기 산화물 반도체(140) 내에 ZnF 본딩이 형성되거나, 질소(N) 및 불소(F)가 포함된 플라즈마를 이용한 처리에 의하여 상기 산화물 반도체(140) 내에 NF 혹은 InZn 본딩이 형성될 수 있다.
- [58] 또한, 상기 게이트 절연막(130) 또는 상기 보호층(170)은 실리콘 산화막 및 실리콘 질화막 중에서 적어도 어느 하나를 포함하여 구성될 수 있으며, 상기 보호층(170)에는 각각 소스 전극(150)과 드레인 전극(160)의 상면을 일부 노출하는 콘택 홀(180)이 형성될 수 있다.
- [59]
- [60] 도 5 내지 도 12는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법의 향상된 특성을 설명하기 위한 도면이다.
- [61] 이후부터는 도 5 내지 도 12를 참조하여 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 제조 방법의 향상된 특성을 설명하기로 한다.
- [62] 도 5는 종래 기술에 따른 BCE 구조의 산화물 반도체 박막 트랜지스터의 전이 특성 곡선(transfer curve) 및 전계 이동도를 나타내는 그래프이다.
- [63] 도 6은 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 전이 특성 곡선(transfer curve)을 나타내는 그래프이고, 도 7은 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 전류 곡선(output curve)을 나타내는 그래프이다.
- [64] 도 5와 도 6은 드레인 전압이 0.1 V 와 1 V, 5 V, 10V 일때의 활성층을 가지는 산화물 반도체 박막 트랜지스터의 전류 전압 특성을 나타내고 있다.
- [65] 도 6의 그래프를 통해, 도 5의 종래 기술에 따른 BCE(Back channel etched)구조의 산화물 반도체 박막 트랜지스터의 전이 곡선 및 전계 이동도의 와

- 비교하여 문턱전압(threshold voltage)의 증가와 동시에 sub-threshold swing (SS) 또한 감소하는 성능의 박막 트랜지스터를 구현할 수 있음을 확인 할 수 있다.
- [66] 도 8과 도 9는 산화물 반도체 박막 트랜지스터의 외부 환경적 안정성 확보를 위한 스트레스 테스트 결과이다. 각각의 회로 단에 Positive 전압이 인가되는 상황을 나타내는 그래프이다. 게이트 전극에 각각 $V_{GS} = +30V$ 를 인가하여 주었을 때 나타나는 현상을 보여준다.
- [67] 도 8 은 기존 제조 방법에 의한 산화물 TFT의 PBS(Positive Bias Stress) ($V_{GS}=30V$) 특성이다. Stress 시간에 따라서 문턱전압의 Positive shift 가 발생하는 것을 알 수 있다.
- [68] 도 9는 본 발명의 일실시예에 따른 산화물 반도체 박막 트랜지스터의 PBS(Positive Bias Stress) ($V_{GS}=30V$) 특성이다.
- [69] 각각 박막 트랜지스터가 'turn on 상태' 및 'turn off' 상태로 전환하기 위해서는 각각의 회로 단에 Positive 전압 또는 negative 전압이 인가 되게 된다. 그러므로 트랜지스터의 전기적 안정성을 확보하기 위하여 Positive 전압이 인가되었을 때 문턱전압의 Positive shift 되지 않는 것은 박막 트랜지스터의 중요한 특성 평가 요소이다. 도 8 과 도 9를 비교하였을 때 Positive Bias Stress에 전기적 특성의 안정성이 우수해 진 것을 알 수 있다.
- [70] 도 10은 본 발명의 일실시예에 따른 소스 전극(150)과 상기 드레인 전극(160)의 사이로 노출되는 산화물 반도체(140) 표면에 플라즈마 처리를 실시한 표면을 TOF-SIMS 로 측정된 그래프 이다. 산화물 반도체(140) 표면에 Florin 다수 발견됨을 확인 할 수 있다.
- [71] 도 11과 도 12는 본 발명의 일실시예에 전극(150, 160) 사이의 노출되는 산화물 반도체(140) 표면에 플라즈마 처리를 함으로 표면의 TOF-SIMS를 측정된 그래프 이다. 표면에는 Nitrogen 다수 발견됨을 확인할 수 있다.
- [72] 단순히 게이트 전극에 인가하여 준 positive 전압에 대하여서는 stress 시간에 따라 문턱전압의 Positive shift가 발생하는 열화현상이 있으며, 본 현상은 electron trapping 로 설명할 수 있다. 위의 TOF-SIMS 데이터를 기준으로 불소(F), 질소(N), 질화갈륨(GaN) 및 NF_3 중에서 적어도 어느 하나를 이용해 플라즈마 처리를 함으로 표면의 Florin 과 Nitrogen이 electron trapping을 감소시켜줌으로 산화물 반도체의 상면에 소스 전극과 드레인 전극의 형성을 위한 식각 시에 산화물 반도체에 가해지는 손상을 보상하여 안정성과 신뢰성을 향상시켜줌을 확인할 수 있다.
- [73] 전술한 바와 같은 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였다. 그러나 본 발명의 범주에서 벗어나지 않는 한도 내에서는 여러 가지 변형이 가능하다. 본 발명의 기술적 사상은 본 발명의 전술한 실시예에 국한되어 정해져서는 안 되며, 특허청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

청구범위

- [청구항 1] 기판 상에 게이트 층을 증착하고 패터닝하여 게이트 전극을 형성하는 제1 단계;
 상기 게이트 전극 상에 게이트 절연막을 증착하는 제2 단계;
 상기 게이트 절연막 상에 상기 산화물 반도체를 증착하고 패터닝하는 제3 단계;
 상기 산화물 반도체 상에 불소(F)가 포함된 플라즈마를 이용해 처리를 하는 제4 단계;
 를 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.
- [청구항 2] 청구항 1에 있어서,
 상기 제3 단계는,
 상기 패터닝된 산화물 반도체 상에 소스 전극과 드레인 전극을 형성하는 단계;
 를 더 포함하고,
 상기 제4 단계는,
 상기 소스 전극과 상기 드레인 전극의 사이로 노출되는 상기 산화물 반도체 상에 불소(F)가 포함된 플라즈마를 이용해 처리를 하는 산화물 반도체 박막 트랜지스터의 제조 방법.
- [청구항 3] 청구항 1에 있어서,
 상기 플라즈마를 이용해 처리한 상기 산화물 반도체 상에 소스 전극과 드레인 전극을 형성하는 제5 단계;
 를 더 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.
- [청구항 4] 청구항 1에 있어서,
 상기 제1 단계 이전에,
 상기 기판 상에 실리콘 산화 보호막을 증착하는 단계;
 를 더 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.
- [청구항 5] 청구항 4에 있어서,
 상기 제1 단계는,
 상기 산화 보호막 상에 게이트 층을 증착하고 패터닝하여 게이트 전극을 형성하는 산화물 반도체 박막 트랜지스터의 제조 방법.
- [청구항 6] 청구항 1에 있어서,
 상기 산화물 반도체는,
 인듐 갈륨 징크옥사이드(Amorphous-InGaZnO4), 징크 옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 텅 옥사이드(ITO), 징크 텅 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐 징크 옥사이드(HIZO), 징크 인듐 텅 옥사이드(ZITO) 및 알루미늄 징크 텅 옥사이드(AZTO) 중 어느 하나를 포함하여 형성된 비정질

혹은 다결정질로 구성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 7]

청구항 1에 있어서,
상기 플라즈마 처리한 상기 소스 전극, 상기 드레인 전극과 상기 산화물 반도체 상에 보호층을 형성하는 제5 단계;
를 더 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 8]

청구항 7에 있어서,
상기 게이트 절연막 또는 상기 보호층은,
실리콘 산화막 및 실리콘 질화막 중에서 적어도 어느 하나를 포함하여 구성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 9]

청구항 1에 있어서,
상기 제4 단계는,
상기 불소(F)가 포함된 플라즈마를 이용한 처리에 의하여 상기 산화물 반도체 내에 ZnF 본딩이 형성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 10]

청구항 1에 있어서,
상기 제4 단계는,
상기 질소(N) 및 불소(F)가 포함된 플라즈마를 이용한 처리에 의하여 상기 산화물 반도체 내에 NF 혹은 InZn 본딩이 상기 산화물 박막 내에 형성되는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 11]

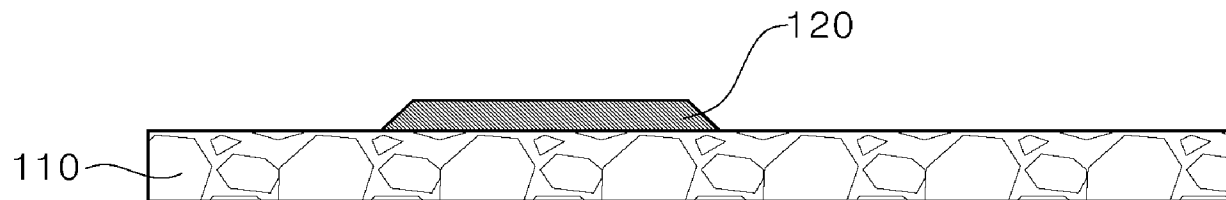
청구항 1에 있어서,
상기 기판은,
유리 기판, 플라스틱 기판, 실리콘 기판 및 유리 기판 상에 폴리머 물질이 형성된 기판 중에서 어느 하나이고,
상기 소스 전극 및 상기 드레인 전극은,
몰리브덴(Mo), 구리(Cu), 알루미늄(AL) 및 인듐 틴 옥사이드(ITO) 중에서 적어도 어느 하나를 포함하는 산화물 반도체 박막 트랜지스터의 제조 방법.

[청구항 12]

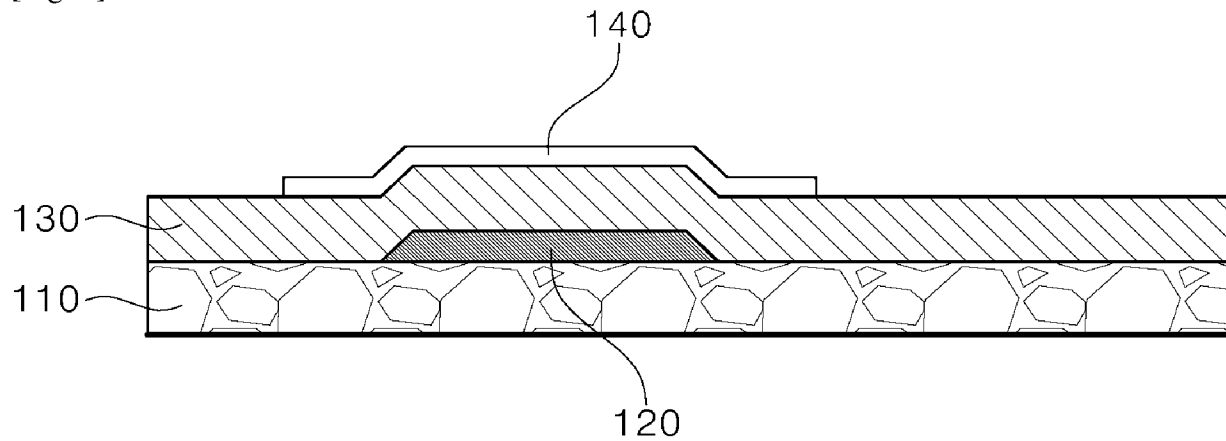
기판;
상기 기판 상에 형성되는 게이트 전극;
상기 게이트 전극 상에 형성되는 게이트 절연막;
상기 게이트 절연막 상에 형성되는 산화물 반도체; 및
상기 산화물 반도체 상에 형성되는 소스 전극과 드레인 전극;
를 포함하고,
상기 산화물 반도체는,
불소(F)가 포함된 플라즈마를 이용한 처리에 의하여 상기 산화물 반도체 내에 ZnF 본딩이 형성되거나, 질소(N) 및 불소(F)가 포함된 플라즈마를 이용한 처리에 의하여 상기 산화물 반도체 내에 NF

- 혹은 InZn 본딩이 형성되는 산화물 반도체 박막 트랜지스터.
- [청구항 13] 청구항 12에 있어서,
상기 기판 상에 형성되는 산화 보호막;
을 더 포함하는 산화물 반도체 박막 트랜지스터.
- [청구항 14] 청구항 12에 있어서,
상기 산화물 반도체는,
인듐 갈륨 징크옥사이드(Amorphous-InGaZnO₄), 징크
옥사이드(ZnO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO),
징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), 하프늄 인듐
징크 옥사이드(HIZO), 징크 인듐 틴 옥사이드(ZITO) 및 알루미늄
징크 틴 옥사이드(AZTO) 중 어느 하나를 포함하여 형성된 비정질
혹은 다결정질로 구성되는 산화물 반도체 박막 트랜지스터.
- [청구항 15] 청구항 12에 있어서,
상기 플라즈마 처리한 상기 소스 전극, 상기 드레인 전극과 상기
산화물 반도체 상에 형성되는 보호층;
을 더 포함하는 산화물 반도체 박막 트랜지스터.
- [청구항 16] 청구항 15에 있어서,
상기 게이트 절연막 또는 상기 보호층은,
실리콘 산화막 및 실리콘 질화막 중에서 적어도 어느 하나를
포함하여 구성되는 산화물 반도체 박막 트랜지스터.
- [청구항 17] 청구항 12에 있어서,
상기 기판은,
유리 기판, 플라스틱 기판, 실리콘 기판 및 유리 기판 상에 폴리머
물질이 형성된 기판 중에서 어느 하나이고,
상기 소스 전극 및 상기 드레인 전극은,
몰리브덴(Mo), 구리(Cu), 알루미늄(AL) 및 인듐 틴 옥사이드(ITO)
중에서 적어도 어느 하나를 포함하는 산화물 반도체 박막
트랜지스터.

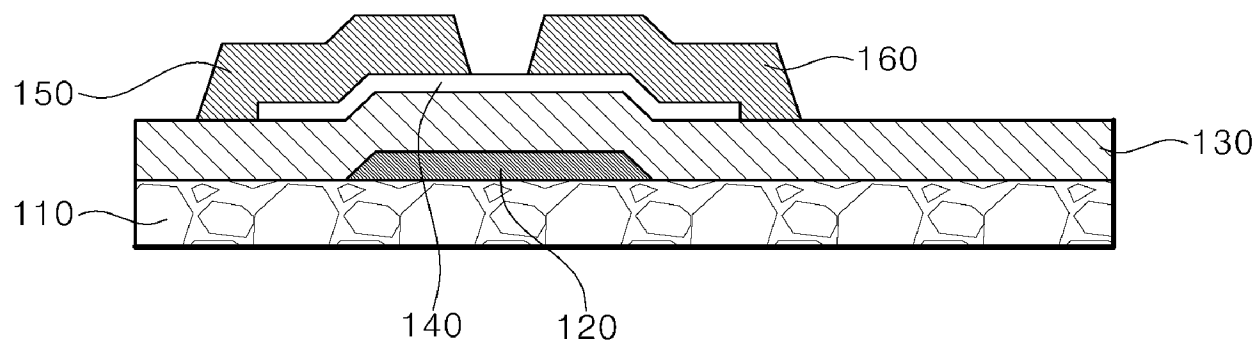
[Fig. 1]



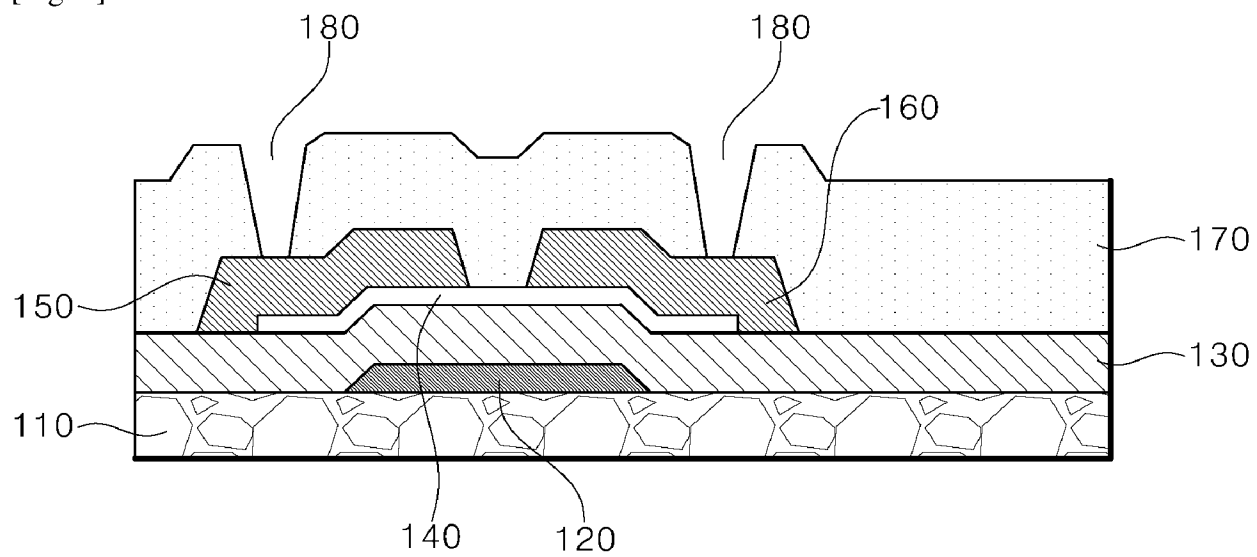
[Fig. 2]



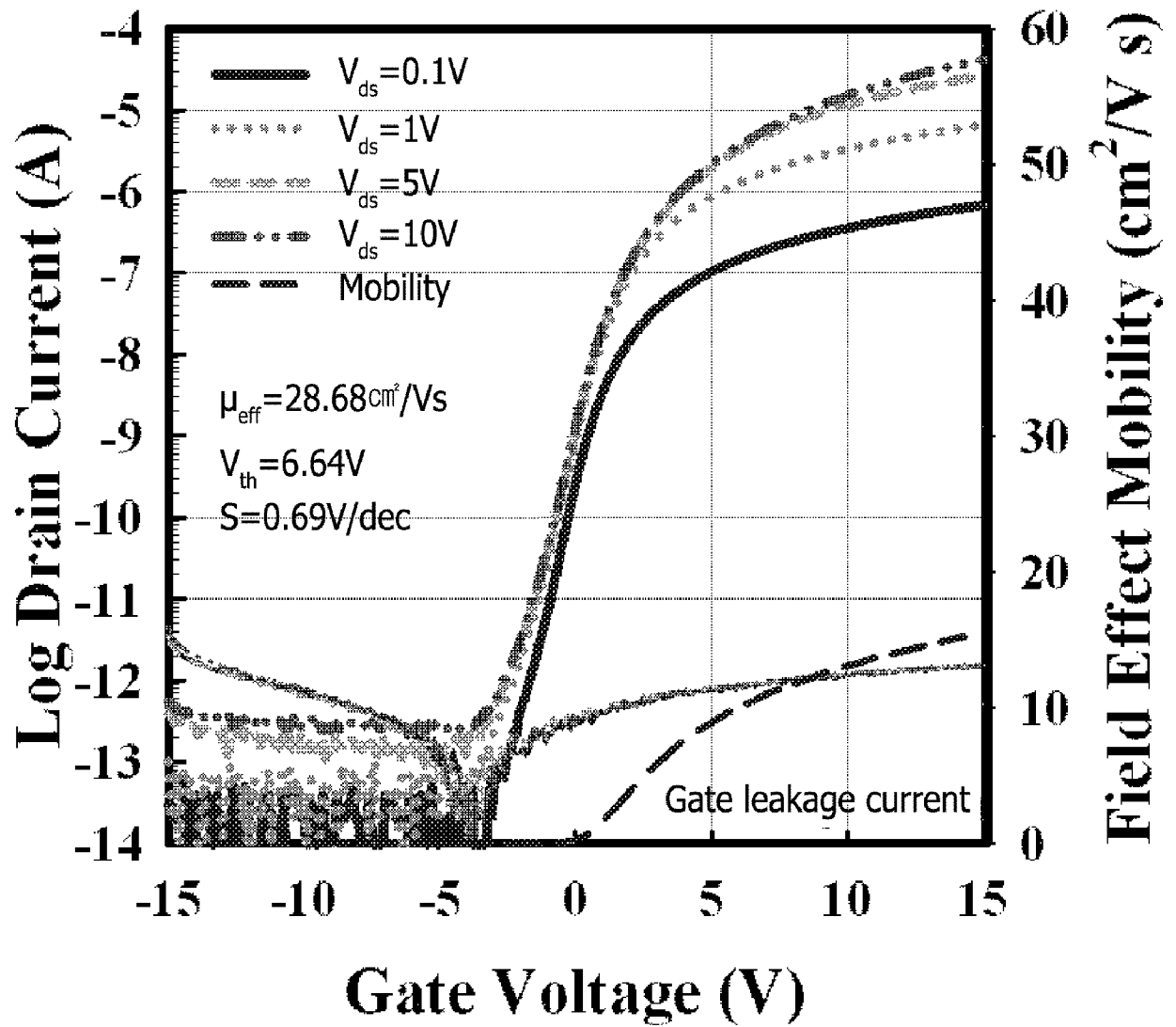
[Fig. 3]



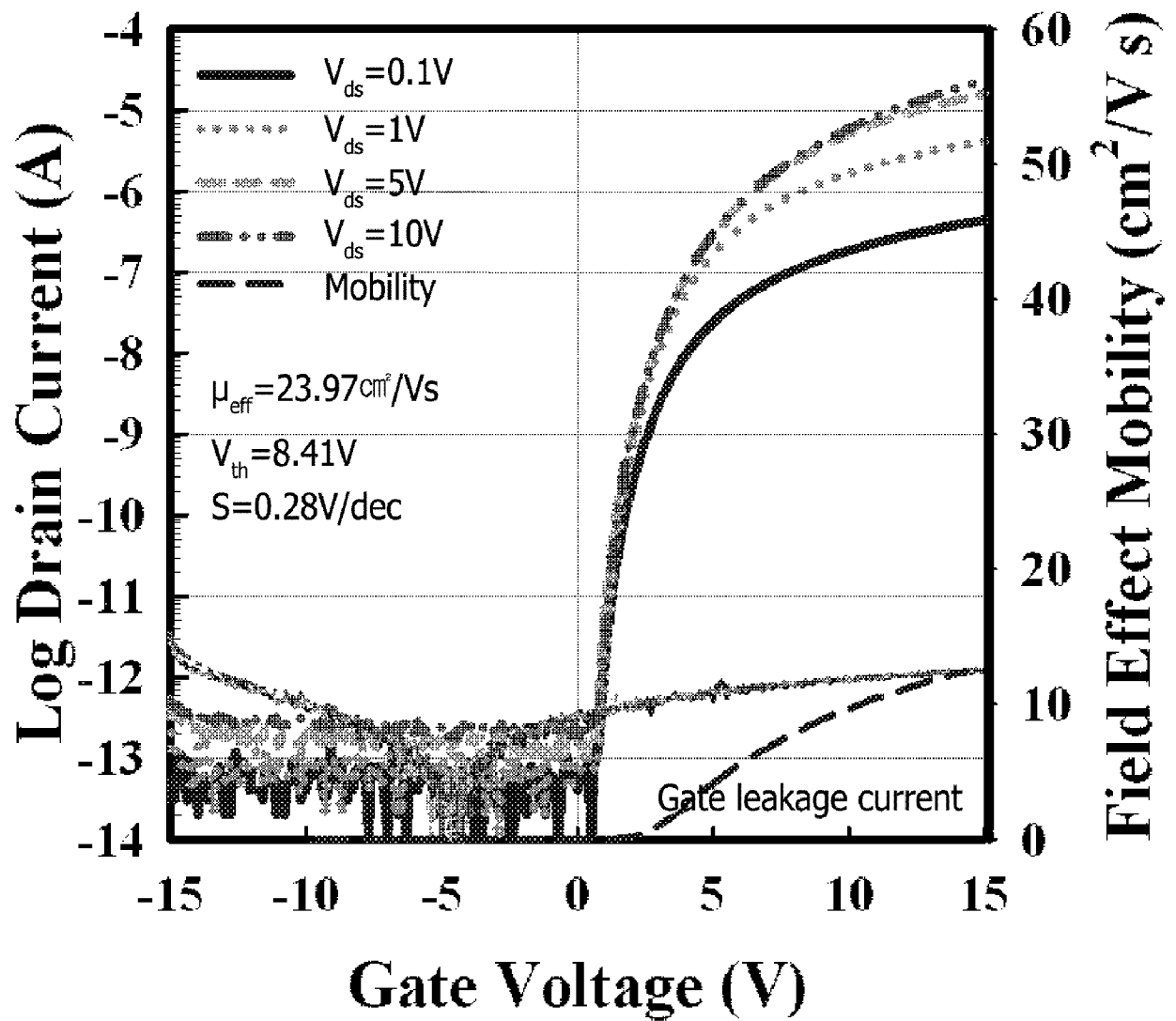
[Fig. 4]



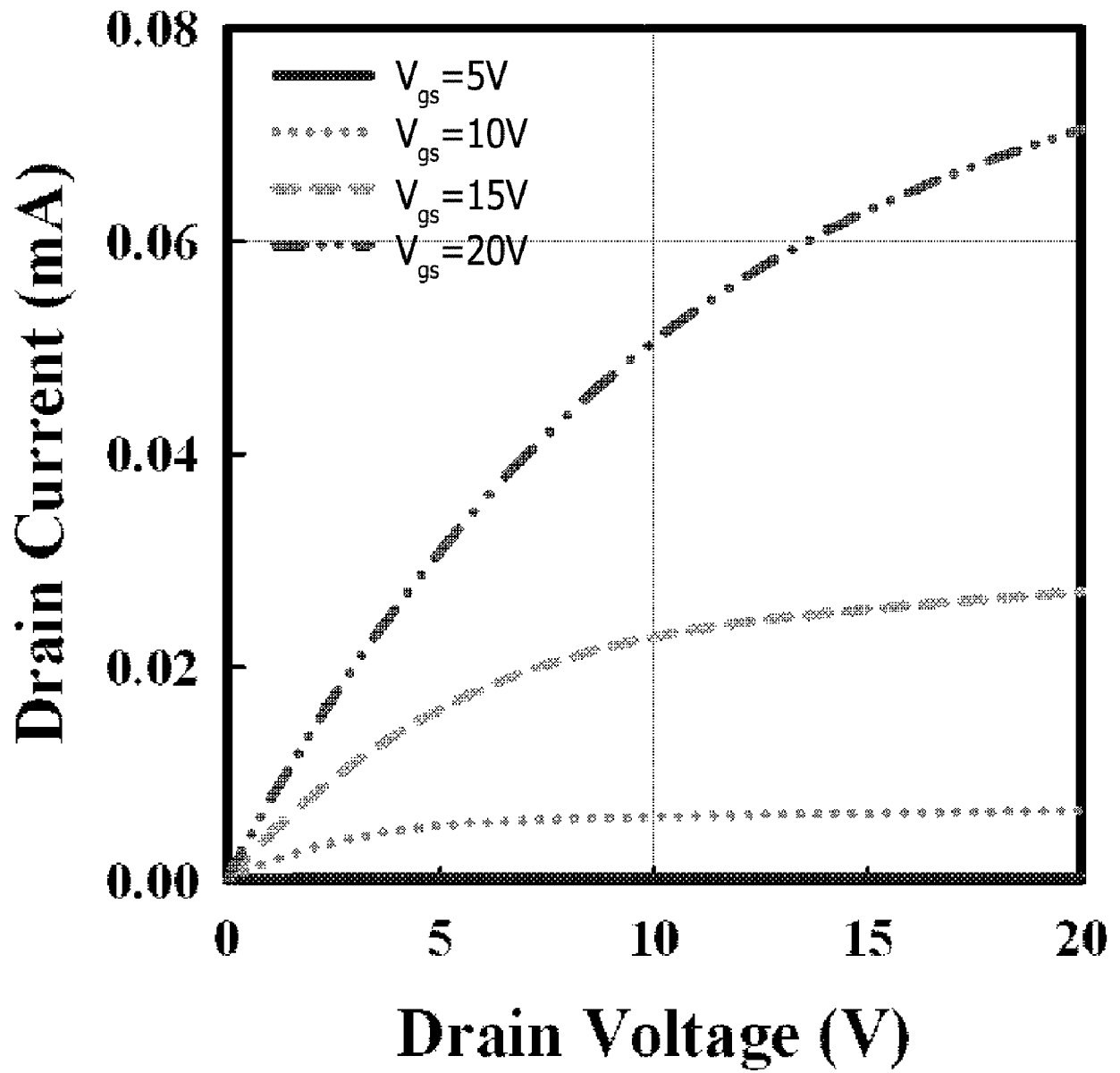
[Fig. 5]



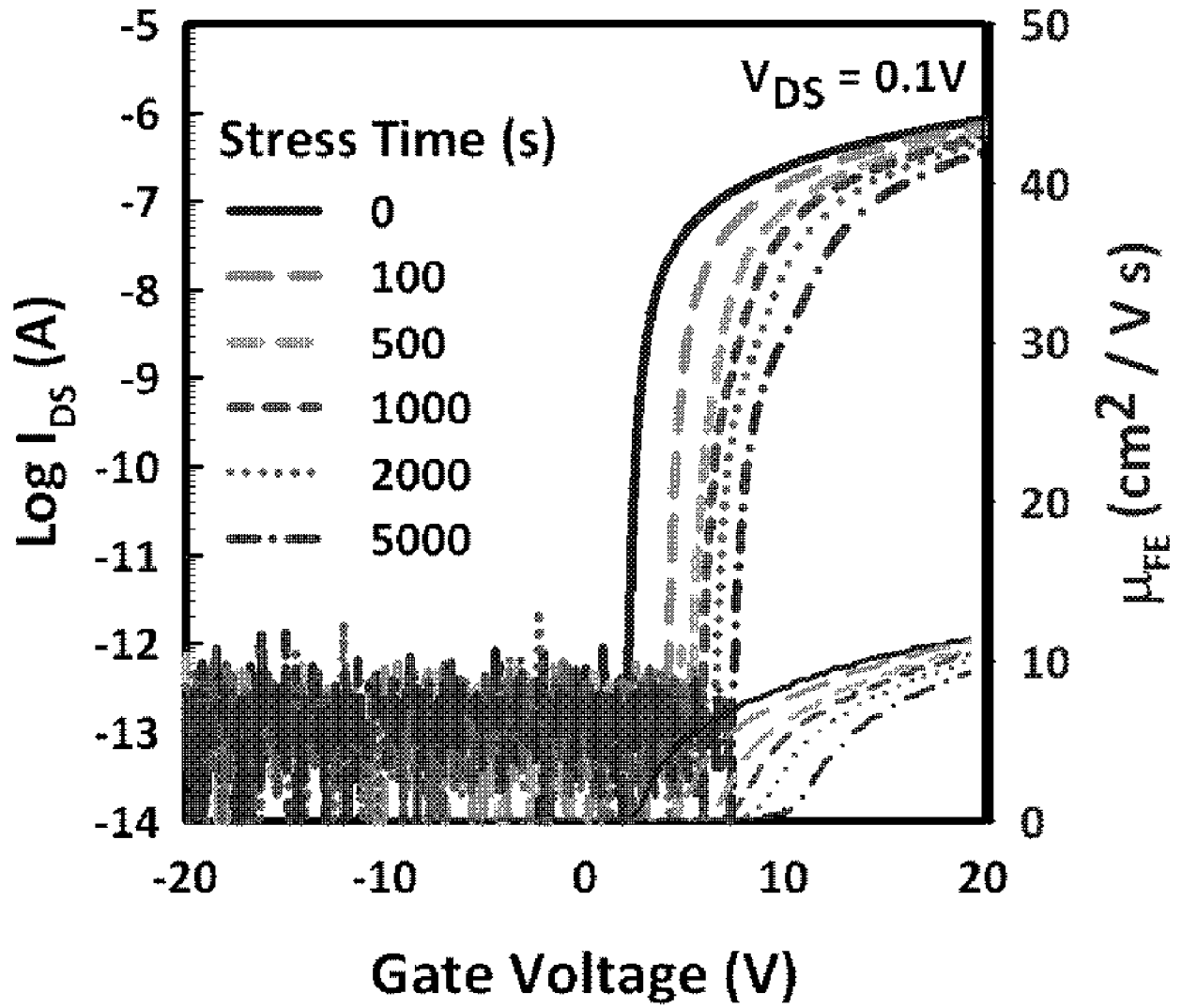
[Fig. 6]



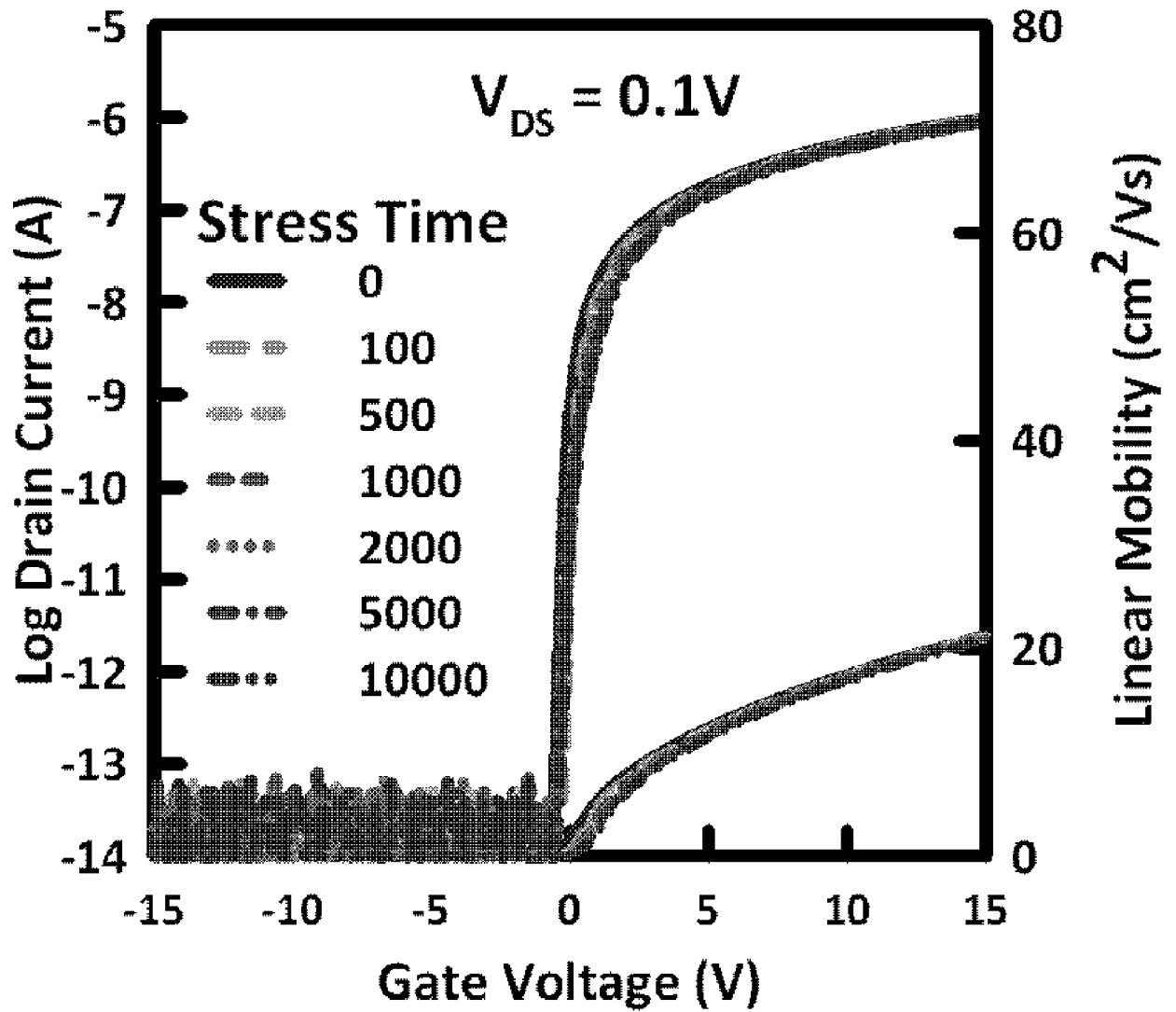
[Fig. 7]



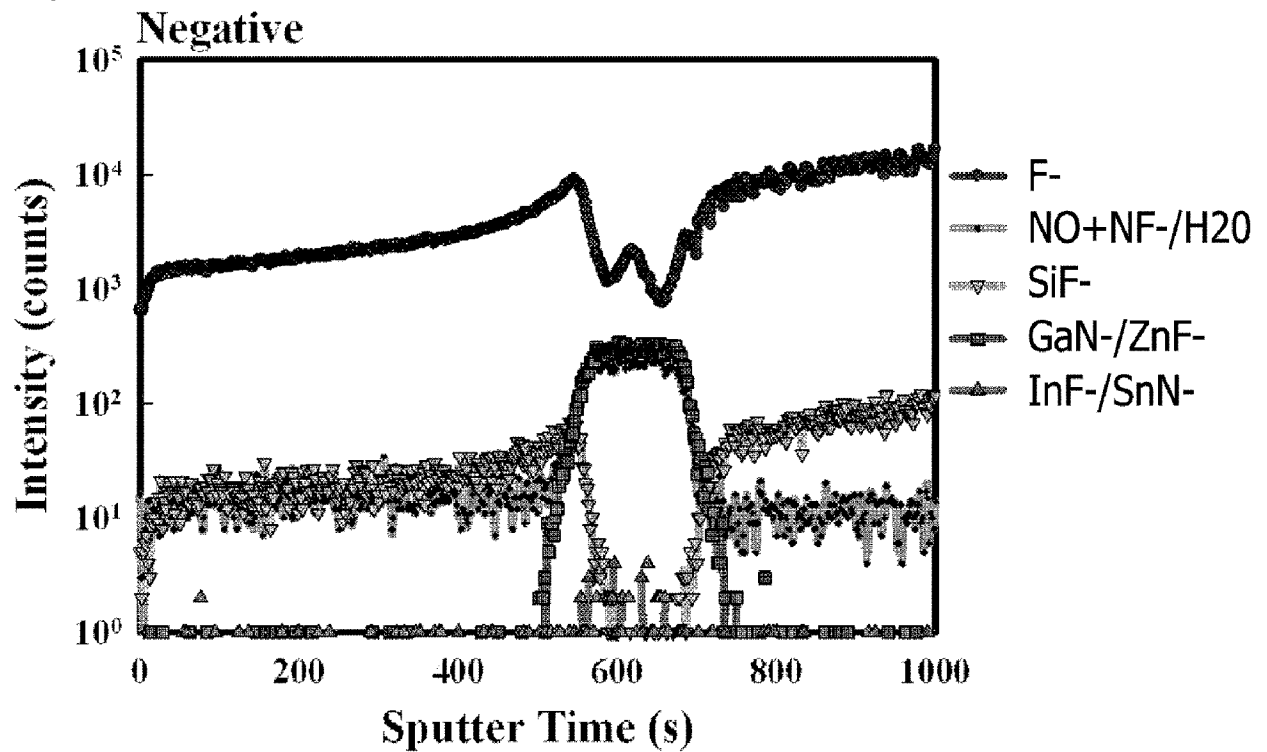
[Fig. 8]



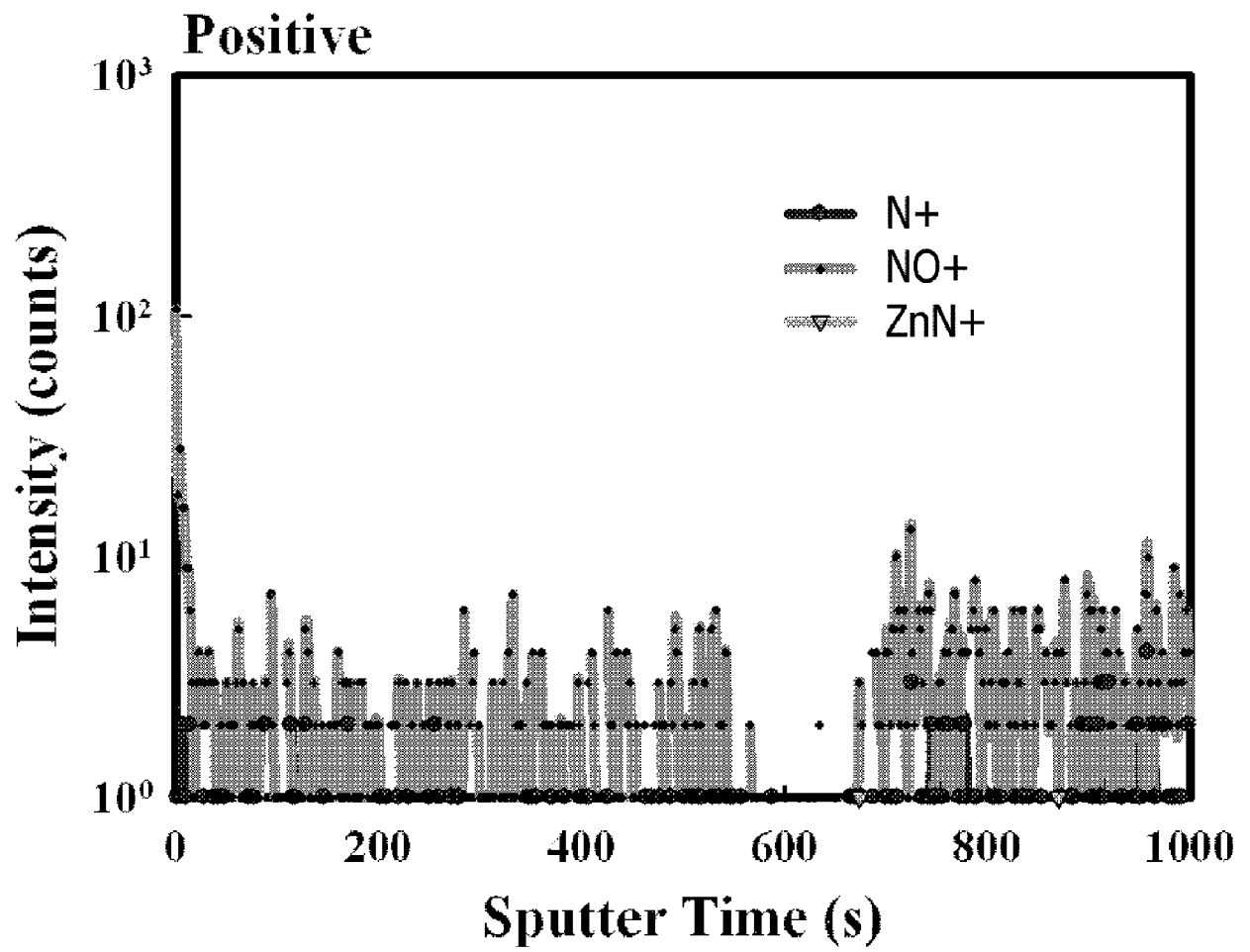
[Fig. 9]



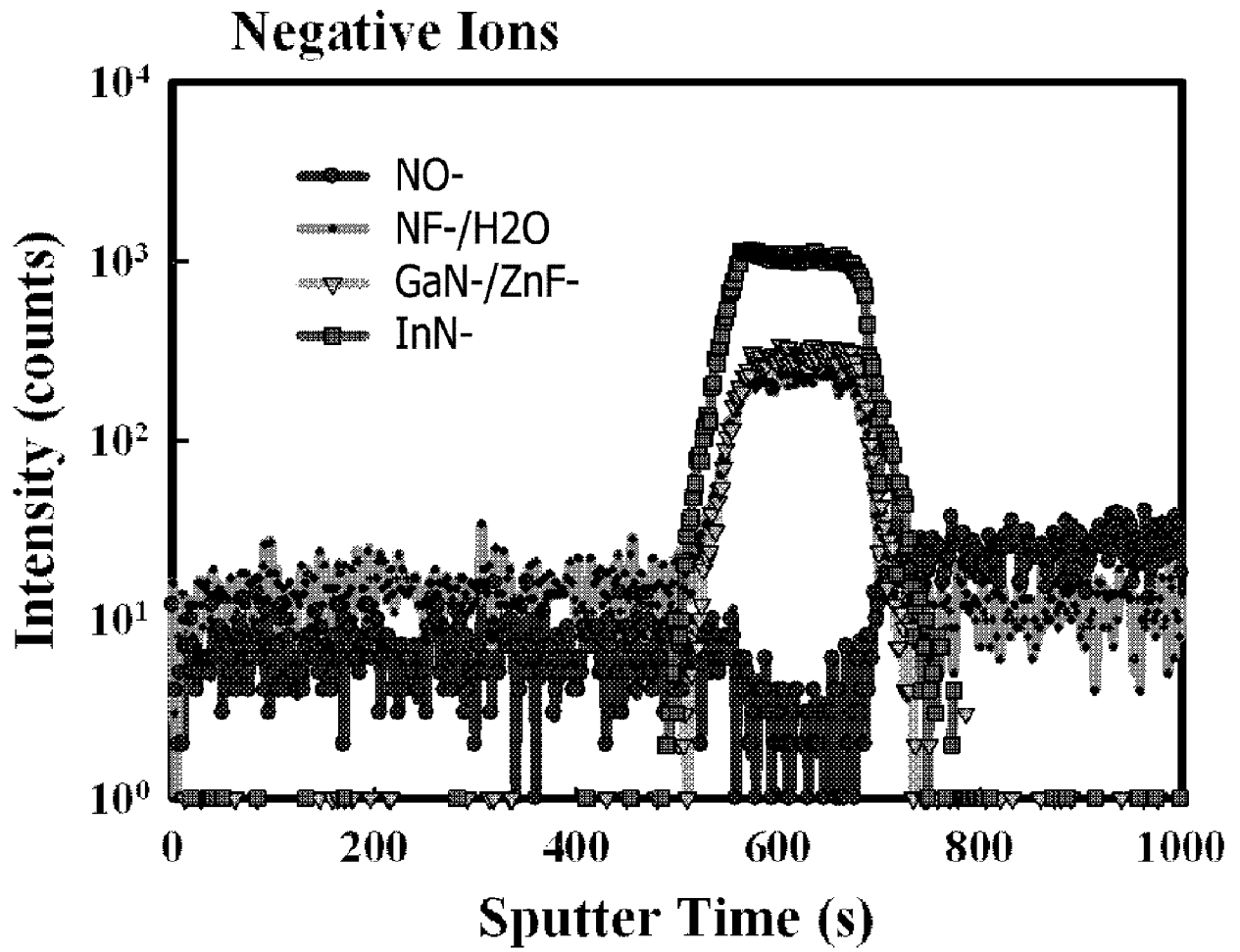
[Fig. 10]



[Fig. 11]



[Fig. 12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2015/006651

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/786; H01L 21/336; H01L 29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as aboveElectronic data base consulted during the international search (name of data base and, where practicable, search terms used)
eKOMPASS (KIPO internal) & Keywords: oxide semiconductor, plasma, fluorine, thin film transistor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2012-0076062 A (SAMSUNG ELECTRONICS CO., LTD.) 09 July 2012 See paragraphs [0038]-[0044], claims 15-20 and figures 3a-3d.	1-3,6-9,11-12 ,14-17
Y		4-5,10,13
Y	JP 2015-026863 A (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 05 February 2015 See paragraph [0058] and figure 4.	4-5,13
Y	KR 10-2015-0007000 A (SAMSUNG DISPLAY CO., LTD.) 20 January 2015 See claims 6-7 and figures 8a-8h.	10
A	KR 10-2013-0018199 A (NLT TECHNOLOGIES, LTD.) 20 February 2013 See claims 1-5 and figure 1.	1-17
A	KR 10-2012-0003374 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10 January 2012 See claims 13-20 and figure 1.	1-17

 Further documents are listed in the continuation of Box C.
 See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

28 MARCH 2016 (28.03.2016)

Date of mailing of the international search report

28 MARCH 2016 (28.03.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2015/006651

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2012-0076062 A	09/07/2012	US 2012-0168757 A1	05/07/2012
JP 2015-026863 A	05/02/2015	CN 102473729 A	23/05/2012
		CN 102473729 B	28/01/2015
		EP 2449593 A1	09/05/2012
		EP 2449593 A4	03/06/2015
		JP 2011-029637 A	10/02/2011
		JP 2012-160744 A	23/08/2012
		JP 4999968 B2	15/08/2012
		JP 5632411 B2	26/11/2014
		KR 10-2012-0046222 A	09/05/2012
		KR 10-2015-0053818 A	18/05/2015
		TW 201118957 A	01/06/2011
		US 2011-0003429 A1	06/01/2011
		US 2014-0106505 A1	17/04/2014
		US 8637347 B2	28/01/2014
		WO 2011-001822 A1	06/01/2011
KR 10-2015-0007000 A	20/01/2015	US 2015-0014677 A1	15/01/2015
KR 10-2013-0018199 A	20/02/2013	CN 102956681 A	06/03/2013
		JP 2013-041949 A	28/02/2013
		KR 10-1387315 B1	18/04/2014
		TW 201324785 A	16/06/2013
		TW 1473274 B	11/02/2015
		US 2013-0037797 A1	14/02/2013
		US 8785925 B2	22/07/2014
KR 10-2012-0003374 A	10/01/2012	JP 2012-033900 A	16/02/2012
		US 2012-0001332 A1	05/01/2012
		US 2013-0299991 A1	14/11/2013
		US 8486773 B2	16/07/2013
		US 9153537 B2	06/10/2015

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 29/786(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 29/786; H01L 21/336; H01L 29/78 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 산화물 반도체, 플라즈마, 불소, 박막 트랜지스터		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2012-0076062 A (삼성전자주식회사) 2012.07.09 단락 [0038]-[0044], 청구항 15-20 및 도면 3a-3d 참조.	1-3,6-9,11-12 ,14-17
Y		4-5,10,13
Y	JP 2015-026863 A (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 2015.02.05 단락 [0058] 및 도면 4 참조.	4-5,13
Y	KR 10-2015-0007000 A (삼성디스플레이 주식회사) 2015.01.20 청구항 6-7 및 도면 8a-8h 참조.	10
A	KR 10-2013-0018199 A (엔엘터 테크놀로지 가부시카가이샤) 2013.02.20 청구항 1-5 및 도면 1 참조.	1-17
A	KR 10-2012-0003374 A (가부시카가이샤 한도오마이 에네루기 켄큐쇼) 2012.01.10 청구항 13-20 및 도면 1 참조.	1-17
<input type="checkbox"/> 추가 문헌이 C(계속)에 기재되어 있습니다. <input checked="" type="checkbox"/> 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2016년 03월 28일 (28.03.2016)	국제조사보고서 발송일 2016년 03월 28일 (28.03.2016)	
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 최상원 전화번호 +82-42-481-8291	

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2012-0076062 A	2012/07/09	US 2012-0168757 A1	2012/07/05
JP 2015-026863 A	2015/02/05	CN 102473729 A	2012/05/23
		CN 102473729 B	2015/01/28
		EP 2449593 A1	2012/05/09
		EP 2449593 A4	2015/06/03
		JP 2011-029637 A	2011/02/10
		JP 2012-160744 A	2012/08/23
		JP 4999968 B2	2012/08/15
		JP 5632411 B2	2014/11/26
		KR 10-2012-0046222 A	2012/05/09
		KR 10-2015-0053818 A	2015/05/18
		TW 201118957 A	2011/06/01
		US 2011-0003429 A1	2011/01/06
		US 2014-0106505 A1	2014/04/17
		US 8637347 B2	2014/01/28
		WO 2011-001822 A1	2011/01/06
KR 10-2015-0007000 A	2015/01/20	US 2015-0014677 A1	2015/01/15
KR 10-2013-0018199 A	2013/02/20	CN 102956681 A	2013/03/06
		JP 2013-041949 A	2013/02/28
		KR 10-1387315 B1	2014/04/18
		TW 201324785 A	2013/06/16
		TW I473274 B	2015/02/11
		US 2013-0037797 A1	2013/02/14
		US 8785925 B2	2014/07/22
KR 10-2012-0003374 A	2012/01/10	JP 2012-033900 A	2012/02/16
		US 2012-0001332 A1	2012/01/05
		US 2013-0299991 A1	2013/11/14
		US 8486773 B2	2013/07/16
		US 9153537 B2	2015/10/06