

19 RÉPUBLIQUE FRANÇAISE  
 INSTITUT NATIONAL  
 DE LA PROPRIÉTÉ INDUSTRIELLE  
 PARIS

11 N° de publication :  
 (à n'utiliser que pour les  
 commandes de reproduction)

2 570 232

21 N° d'enregistrement national :

84 13938

51 Int CI<sup>e</sup> : H 03 K 5/156; G 01 R 31/28; G 05 B 23/02.

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 11 septembre 1984.

30 Priorité :

43 Date de la mise à disposition du public de la  
 demande : BOPI « Brevets » n° 11 du 14 mars 1986.

60 Références à d'autres documents nationaux appa-  
 rentés :

71 Demandeur(s) : THOMSON-CSF, société anonyme. —  
 FR.

72 Inventeur(s) : Eric Ciuciu, Jean Imbert et Jacques Flan-  
 drois.

73 Titulaire(s) :

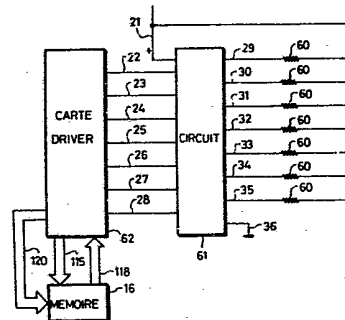
74 Mandataire(s) : P. Guilguet, Thomson-CSF, SCPI.

54 Dispositif de traduction de séquence de test en séquence de rodage pour circuit logique et/ou numérique, procédé de rodage de circuit logique et/ou numérique et dispositif de rodage de circuit logique et/ou numérique.

57 L'invention se rapporte principalement à un dispositif de traduction de séquence de test en séquence de rodage pour circuit logique et/ou numérique, à un procédé de rodage de circuit logique et/ou numérique et à un dispositif de rodage de circuit logique et/ou numérique.

Le dispositif selon l'invention permet la traduction automatique de table de vérité de test d'un circuit intégré en table de vérité de rodage du même circuit. La génération automatique de ces séquences de test permet d'en diminuer le prix. De plus correspondant aux mêmes tables de vérité qu'à celui du rodage le test permet de détecter à coup sûr une défaillance générée par le test.

Application au rodage de circuits logiques et/ou numériques.



FR 2 570 232 - A1

DISPOSITIF DE TRADUCTION DE SEQUENCE DE TEST EN SEQUENCE  
DE RODAGE POUR CIRCUIT LOGIQUE ET/OU NUMERIQUE,  
PROCEDE DE RODAGE DE CIRCUIT LOGIQUE ET/OU NUMERIQUE ET  
DISPOSITIF DE RODAGE DE CIRCUIT LOGIQUE ET/OU NUMERIQUE

5 L'invention a principalement pour objet un dispositif de traduction de séquence de test en séquence de rodage pour circuit logique et/ou numérique, un procédé de rodage de circuit logique et/ou numérique et un dispositif de rodage de circuit logique et/ou numérique.

10 L'augmentation des performances de circuits logiques et/ou numériques en étend de plus en plus le domaine d'application. Certains domaines comme par exemple l'aéronautique exigent une fiabilité totale de ces circuits. On est ainsi amené à tester les circuits logiques et/ou numériques avant leur première utilisation.

15 Pour augmenter encore la fiabilité desdits circuits on est amené à effectuer des séquences de rodage (burn in en terminologie anglo-saxonne). On s'est ainsi assuré non seulement que le circuit fabriqué fonctionne après sa réalisation, mais aussi qu'il ne va pas défaillir dans les premiers heures de son fonctionnement. Le rodage consiste

20 par exemple en 168 heures de fonctionnement à 125°C du circuit logique et/ou numérique à roder. Pendant ce temps on fait exécuter au circuit le maximum de fonctions qu'il aura à exécuter durant son utilisation.

25 Il est connu de générer manuellement des séquences de rodage pour circuit logique et/ou numérique. Cette méthode devient de moins en moins efficace et de plus en plus coûteuse au fur et à mesure que le circuit logique et/ou numérique à tester devient plus complexe.

30 Le dispositif selon l'invention permet de générer à partir d'une séquence de test une séquence de rodage pour un circuit logique et/ou numérique. Ceci permet un gain de temps et une réduction de coût du rodage de ces circuits. De plus, en utilisant le même type de

séquence pour le rodage et pour le test, un test effectué après un rodage d'un circuit augmenterait la probabilité de détection d'un défaut dudit circuit.

5 L'invention a principalement pour objet un dispositif de traduction de séquence de test en séquence de rodage pour circuits numériques, caractérisé par le fait qu'il conserve le nombre de transitions de la séquence de test dans la séquence de rodage.

L'invention sera mieux comprise au moyen de la description ci-après des figures annexées données comme des exemples non limitatifs parmi lesquels :

- 10 - la figure 1 illustre une séquence de test d'un circuit logique et/ou numérique ;
- la figure 2 illustre la séquence de rodage d'un circuit logique et/ou numérique généré par le système selon l'invention à partir de la séquence de test illustrée sur la figure 1 ;
- 15 - la figure 3 illustre la compression en une seule étape de deux étapes identiques et successives de rodage ;
- la figure 4 illustre un dispositif de génération de séquence de rodage selon l'invention ;
- 20 - la figure 5 est un schéma d'un dispositif de rodage de circuit selon l'invention.

Sur la figure 1, on peut voir un exemple de chronogramme de test d'un circuit logique et/ou numérique. Les courbes 7, 8 et 9 correspondent à trois entrées du circuit. La courbe 10 représente les fenêtres de mesure (strobe en terminologie anglo-saxonne). Les signaux 7, 8 et 9 appliqués sur les diverses entrées du circuit correspondent à des tables de vérité de test pré-établies.

30 Sur la figure 2, on peut voir les signaux de test 11, 12 et 13 à appliquer dans le rodage du circuit, ces signaux étant la traduction respectivement des signaux 7, 8 et 9 des tests de ce circuit. Dans l'exemple des signaux 11, 12 et 13 pour trois entrées choisies le chronogramme se compose de six périodes  $T_1$  de durée identique. Pour effectuer la traduction des tables de vérité de test en signaux

de rodage pour des circuits statiques il suffit de conserver le nombre de transitions sur les diverses entrées du circuit. Par contre pour le rodage des circuits MOS dynamiques, la traduction doit, en plus, tenir compte de temps minimum de rafraîchissement de ces circuits.

5 Sur la figure 3a, on peut voir un exemple de deux périodes  $T_1$  successives pour lesquelles les valeurs des signaux 11, 12 et 13 sont identiques. Avantageusement, dans la séquence de rodage, apparaîtra une seule période  $T_1$  correspondant à ces valeurs illustrées par la figure 3b.

10 Sur la figure 4, on peut voir un dispositif de génération de séquence de rodage à partir des séquences de test pour circuit intégré. Les dispositifs comportent un générateur de séquence de rodage 14 et deux mémoires 15 et 16. Le générateur de séquence de rodage 14 est un calculateur comportant un programme permettant  
15 la traduction des tables de vérité de test en table de vérité de rodage. Les mémoires 15 et 16 sont par exemple des disques magnétiques. La mémoire 15 est reliée au générateur de séquence de rodage 14 par un bus de donnée 17. Le générateur de séquence de rodage 14 est relié à la mémoire 16 par un bus de donnée 18. Les  
20 mémoires 15 et 16 sont reliées au générateur de séquence de rodage 14 par un bus de commande 19, et un bus d'adresse 20. Pour chaque combinaison de valeur des signaux 7, 8 et 9 numérotés sur la figure 1 de 1 à 6, le générateur de séquence de rodage 14 effectue une lecture en mémoire 15 des valeurs de ces signaux. Le générateur de  
25 séquence de rodage effectue la mise en forme, il produit un signal de rodage de circuit transmis par le bus 18 afin de le stocker dans la mémoire 16. Ce processus est effectué pour toute la séquence de test.

30 Sur la figure 5, on peut voir un dispositif de rodage utilisant des séquences de rodage selon l'invention. Le dispositif de rodage comporte une carte 62, appelée carte driver, les circuits à roder 61

ainsi que la mémoire 16. La carte driver 62 est reliée à la mémoire 16 par un bus de donnée 115, un bus de commande 119 et un bus d'adresse 120. Le circuit 61 comporte une borne 36 reliée à la masse ainsi qu'une borne 21 assurant son alimentation électrique, par exemple + 5 volts continus. D'autre part l'exemple du circuit illustré

5 comporte des entrées 22 à 28 et des sorties 29 à 35. Les entrées 22 à 28 sont reliées à la carte driver 62. Les sorties 29 à 35 sont reliées à travers des résistances 60 à la borne 21 du circuit 61. La carte driver 62 comporte des dispositifs de mise en forme de signal reliés

10 à des amplificateurs en courant eux-mêmes reliés aux entrées 22 à 28 du circuit 61. Les amplificateurs en courant et les dispositifs de mise en forme permettent l'excitation des entrées du circuit 61. D'autre part la carte driver 62 comporte des compteurs d'adresse. A

15 chaque période  $T_1$  de la séquence de test la carte driver 62 lit par l'intermédiaire des bus 115, 119 et 120 la valeur stockée en mémoire 16 correspondant aux valeurs des signaux 11, 12 et 13 de la figure 2. Ces signaux sont générés par les circuits de mise en forme et les amplificateurs en courant. La mémoire 16 est par exemple une

20 mémoire morte programmable (PROM en terminologie anglo-saxonne).

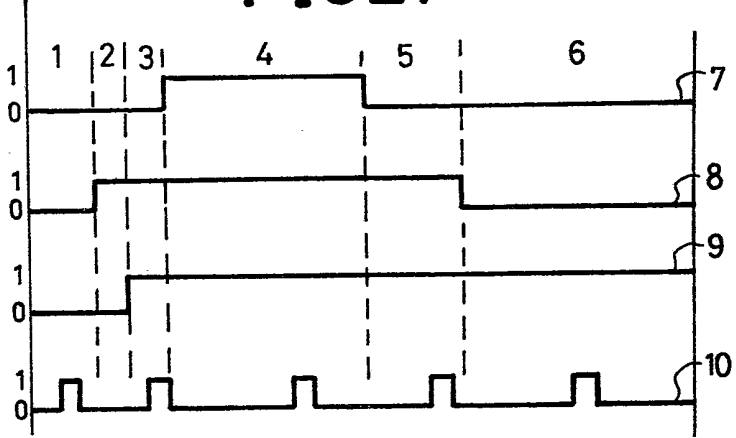
Le dispositif selon l'invention s'applique principalement au rodage des circuits intégrés numériques.

REVENDEICATIONS

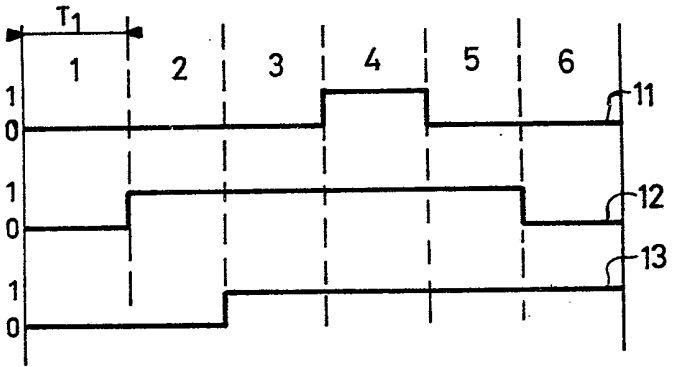
- 5 1. Dispositif de traduction de séquence de test (7, 8, 9) en séquence de rodage (11, 12, 13) pour circuits logiques et/ou numériques (61), caractérisé par le fait qu'il conserve le nombre de transitions de la séquence de test (7, 8, 9) dans la séquence de rodage (11, 12, 13).
2. Dispositif selon la revendication 1, caractérisé par le fait qu'il fait correspondre à deux périodes de séquence de test successives à valeur identique une période de séquence de rodage unique.
- 10 3. Dispositif selon la revendication 1 ou 2, caractérisé par le fait que le circuit logique et/ou numérique (61) est un circuit statique.
- 15 4. Dispositif selon la revendication 1 ou 2, caractérisé par le fait que le circuit logique et/ou numérique (61) est un circuit MOS dynamique, les séquences de rodage générées tenant compte du temps de rafraîchissement de ce circuit.
5. Procédé de rodage de circuit logique et/ou numérique, caractérisé par le fait qu'il utilise des séquences de rodage générées par un dispositif selon l'une quelconque des revendications précédentes.
- 20 6. Dispositif de rodage de circuit logique et/ou numérique, caractérisé par le fait qu'il comporte une carte driver (62) comprenant des circuits de mise en forme de signal des amplificateurs de courant connectée aux entrées (22, 23, 24, 25, 26, 27, 28) du circuit à roder et un compteur d'adresse permettant de lire dans une mémoire (16) les valeurs de signaux à appliquer auxdites entrées du
- 25 circuit à roder.

1/2

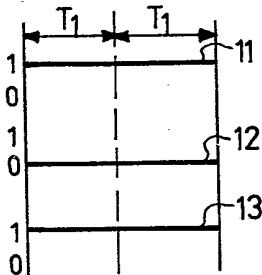
FIG\_1



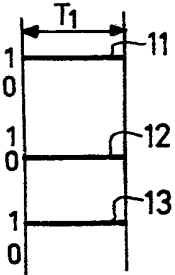
FIG\_2



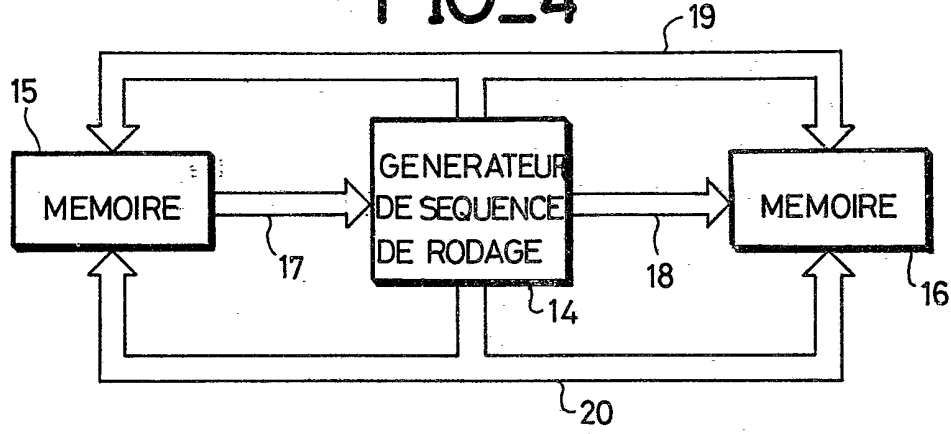
FIG\_3-a



FIG\_3-b



FIG\_4



FIG\_5

