



(12)发明专利

(10)授权公告号 CN 104718549 B

(45)授权公告日 2017. 10. 03

(21)申请号 201480001749.6

(22)申请日 2014.02.27

(65)同一申请的已公布的文献号
申请公布号 CN 104718549 A

(43)申请公布日 2015.06.17

(30)优先权数据

61/802,114 2013.03.15 US

13/939,763 2013.07.11 US

(85)PCT国际申请进入国家阶段日
2014.12.31

(86)PCT国际申请的申请数据
PCT/US2014/019106 2014.02.27

(87)PCT国际申请的公布数据
W02014/149507 EN 2014.09.25

(73)专利权人 谐振公司
地址 美国加利福尼亚州

(72)发明人 尼尔·芬齐 库尔特·赖恩

(74)专利代理机构 北京康信知识产权代理有限公司 11240

代理人 余刚 吴孟秋

(51)Int.Cl.
G06F 17/50(2006.01)
H03H 9/46(2006.01)

(56)对比文件

US 4661789 ,1987.04.28,

CN 102867760 A,2013.01.09,

US 2004/0044971 A1,2004.03.04,

Sylvain Giraud etc..Bulk Acoustic

Wave Filters Synthesis and Optimization
for Multi-Standard Communication

Terminals.《IEEE TRANSACTIONS ON

ULTRASONICS, FERROELECTRICS, AND

FREQUENCY CONTROL》.2010,第57卷(第1期),

审查员 李剑炜

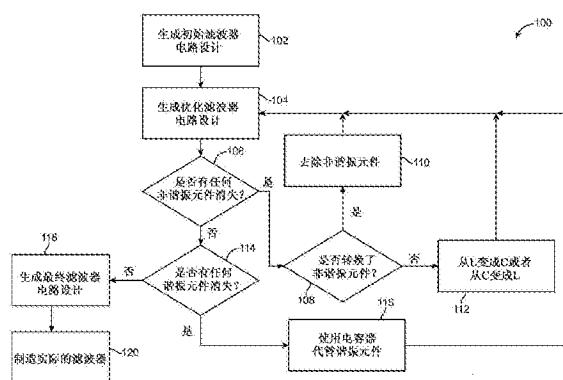
权利要求书2页 说明书9页 附图12页

(54)发明名称

微波滤波器中的元件去除设计

(57)摘要

一种使用计算机化滤波器优化器设计微波滤波器的方法,包括生成包括具有多个谐振元件和一个或多个非谐振元件的多个电路元件的滤波器电路设计工序(DIP),通过将DIP输入计算机化滤波器优化器内来优化DIP,确定在DIP中的多个电路元件中的一个无关紧要,从DIP中去除所述一个无关紧要的电路元件,从DIP中获得最终滤波器电路设计,并且根据所述最终滤波器电路设计,制造微波滤波器。



1. 一种使用计算机化滤波器优化器 (300) 设计微波滤波器的方法, 包括:

(a) 生成包括具有多个谐振元件 (202) 和一个或多个非谐振元件 (204) 的多个电路元件的滤波器电路设计工序;

(b) 通过将所述滤波器电路设计工序输入所述计算机化滤波器优化器 (300) 内来优化所述滤波器电路设计工序;

(c) 在所述滤波器电路设计工序已被优化之后确定在所述滤波器电路设计工序中的所述多个电路元件中的一个电路元件无关紧要;

(d) 从所述滤波器电路设计工序中去除一个无关紧要的所述电路元件;

(e) 从所述滤波器电路设计工序中获得最终滤波器电路设计;

以及

(f) 基于所述最终滤波器电路设计, 制造所述微波滤波器。

2. 根据权利要求1所述的方法, 其中, 所述一个无关紧要的电路元件是最初包括电感和电容中的一个的非谐振元件 (204), 在去除所述非谐振元件之前, 所述方法进一步包括:

通过将所述一个无关紧要的电路元件从所述电感和所述电容中的所述一个转换成所述电感和所述电容中的另一个, 生成转换的滤波器电路设计;

通过将所述转换的滤波器电路设计输入所述计算机化滤波器优化器 (300) 内, 再次优化所述滤波器电路设计工序; 以及

确认在所述滤波器电路设计工序中的所述一个无关紧要的电路元件无关紧要。

3. 根据权利要求1所述的方法, 其中, 所述一个无关紧要的电路元件最初是谐振元件 (202), 在去除所述一个无关紧要的电路元件之前, 所述方法进一步包括:

通过将所述一个无关紧要的电路元件从所述谐振元件 (202) 转换成静态电容, 生成转换的滤波器电路设计;

通过将所述转换的滤波器电路设计输入所述计算机化滤波器优化器 (300) 内, 再次优化所述滤波器电路设计工序; 以及

确认在所述滤波器电路设计工序中的所述一个无关紧要的电路元件无关紧要。

4. 根据权利要求1所述的方法, 其中, 从所述滤波器电路设计工序中去除一个重要的所述电路元件产生减小的滤波器电路设计, 所述方法进一步包括:

(g) 通过将所述减小的滤波器电路设计输入所述计算机化滤波器优化器 (300) 内, 再次优化所述滤波器电路设计工序;

(h) 在所述滤波器电路设计工序被再次优化之后确定在所述滤波器电路设计工序内的所述多个电路元件中的另一个无关紧要;

以及

(i) 从所述滤波器电路设计工序中去除所述另一个无关紧要的电路元件。

5. 根据权利要求4所述的方法, 其中, 所述一个无关紧要的电路元件是非谐振元件 (204), 并且所述另一个无关紧要的电路元件是谐振元件 (202)。

6. 根据权利要求4所述的方法, 进一步包括通过重复步骤 (g) - (i), 直到确定所述滤波器电路设计工序内的任何电路元件都并非无关紧要, 生成至少一个额外减小的滤波器电路设计, 其中, 所述最终滤波器电路设计与最后优化的滤波器电路设计工序相同。

7. 根据权利要求1所述的方法, 其中, 所述一个电路元件是非谐振元件 (204)。

8. 根据权利要求7所述的方法, 其中, 确定所述非谐振元件 (204) 是否无关紧要包括比较所述非谐振元件的值与阈值。

9. 根据权利要求8所述的方法, 其中, 所述非谐振元件 (204) 的值是绝对阻抗值。

10. 根据权利要求9所述的方法, 其中, 如果所述绝对阻抗值小于所述阈值, 那么所述非谐振元件 (204) 是被确定为无关紧要的串联电感器或并联电容器。

11. 根据权利要求9所述的方法, 其中, 如果所述绝对阻抗值大于所述阈值, 那么非谐振元件 (204) 是被确定为无关紧要的并联电感器或串联电容器。

12. 根据权利要求7所述的方法, 其中, 所述非谐振元件 (204) 的值是相对值。

13. 根据权利要求12所述的方法, 其中, 所述非谐振元件 (204) 是串联电路元件, 所述相对值是所述串联电路元件的绝对值相对于所述滤波器电路设计工序中的另一串联电路元件的绝对值的百分比, 并且如果所述相对值小于阈值, 那么确定所述串联电路元件无关紧要。

14. 根据权利要求12所述的方法, 其中, 所述非谐振元件 (204) 是并联电路元件, 所述相对值是所述并联电路元件的绝对值相对于所述滤波器电路设计工序中的另一并联电路元件的绝对值的百分比, 并且如果所述相对值小于阈值, 那么确定所述并联电路元件无关紧要。

15. 根据权利要求12所述的方法, 其中, 所述非谐振元件 (204) 是串联电路元件, 所述相对值是所述串联电路的绝对值相对于在从所述串联电路元件中的任一方向观看的阻抗的百分比, 并且如果所述相对值小于阈值, 那么确定所述串联电路元件无关紧要。

16. 根据权利要求12所述的方法, 其中, 所述非谐振元件 (204) 是并联电路元件, 所述相对值是所述并联电路元件的绝对值相对于在从所述并联电路元件中的任一方向观看的电纳的百分比, 并且如果所述相对值小于阈值, 那么确定所述并联电路元件无关紧要。

17. 根据权利要求7所述的方法, 其中, 确定所述非谐振元件 (204) 是否无关紧要包括从优化电路设计中去除所述非谐振元件, 并且比较在没有所述非谐振元件 (204) 的所述优化电路设计中的性能参数的值与在具有所述非谐振元件 (204) 的所述优化电路设计中的性能参数的值。

18. 根据权利要求1所述的方法, 其中, 所述一个电路元件是谐振元件 (202)。

19. 根据权利要求18所述的方法, 其中, 所述滤波器电路设计工序具有通带和阻带中的一个或两者的频率响应, 并且其中, 确定所述谐振元件 (202) 是否无关紧要包括比较与所述谐振元件相关联的传输零点与所述通带和所述阻带中的一个或两者的边缘频率。

微波滤波器中的元件去除设计

技术领域

[0001] 本发明总体上涉及微波滤波器,并且更具体地,涉及为窄带应用设计的声波微波滤波器。

背景技术

[0002] 电滤波器长期用于处理电信号。具体地,通过传递期望的信号频率,这种电滤波器用于从输入信号中选择期望的电信号频率,同时阻止或者衰减其他不期望的电信号频率。滤波器可以分成几种常规类型,包括低通滤波器、高通滤波器、带通滤波器以及带阻滤波器,表示由滤波器选择性地传递的频率类型。而且,滤波器可以通过类型分类,例如 Butterworth、Chebyshev、逆Chebyshev以及Elliptic,表示带形频率响应的类型(频率截止特性)。

[0003] 通常使用的滤波器类型取决于预期用途。在通信应用中,带通和带阻滤波器通常用于蜂窝基站、蜂窝手机以及其他电信设备中,以用于在一个或多个预定义的频带内滤出或者阻挡RF信号。最特别重要的是大约500–3,500MHz的频率范围。

[0004] 参照图1,现有技术的电信系统10可以包括:收发器12,其能够发送和接收无线信号;以及控制器/处理器14,其能够控制收发器12的功能。

[0005] 收发器12通常包括:宽带天线16;双工器18,其具有发射滤波器24和接收滤波器26;发射器20,其通过双工器18的发射滤波器24耦接至天线16;以及接收器22,其通过双工器18的接收滤波器26耦接至天线16。

[0006] 发射器20包括上转换器28,其被配置为将由控制器/处理器14提供的基带信号转换成射频(RF)信号;可变增益放大器(VGA)30,其被配置为放大RF信号;带通滤波器32,其被配置为以由控制器/处理器14选择的频率输出RF信号;以及功率放大器34,其被配置为放大经滤波的RF信号,然后,通过双工器18的发射滤波器24将该RF信号提供给天线16。

[0007] 接收器22包括:凹槽或阻带滤波器36,其被配置为通过接收滤波器26拒绝来自从天线16中输入的RF信号的传输信号干扰;低噪声放大器(LNA)38,其被配置为放大具有相对较低噪音的来自阻带滤波器36的RF信号;可调谐带通滤波器40,其被配置为以由控制器/处理器14选择的频率输出放大的RF信号;以及下转换器42,其被配置为将RF信号下转换为提供给控制器/处理器14的基带信号。或者,由阻带滤波器36执行的拒绝传输信号干扰的功能反而可以由双工器18执行。或者,发射器20的功率放大器34可以被设计为减少传输信号干扰。

[0008] 应理解的是,在图1中示出的框图本质上是功能图,并且几个功能可以由一个电子元件执行,或者一个功能可以由几个电子元件执行。例如,由上转换器28、VGA 30、带通滤波器40、下转换器42以及控制器/处理器14执行的功能通常由单个收发器芯片执行。带通滤波器32的功能可以结合进双工器18的功率放大器34和发射滤波器24内。

[0009] 通常使用两个电路构件构造微波滤波器:多个谐振器,其以谐振频率(该谐振频率可以是基本谐振频率 f_0 或者各个更高阶谐振频率 f_1 – f_n 中的任一个)非常高效地存储能量;

以及耦合器,其耦合在谐振器之间的电磁能量,以便形成提供更广的光谱响应的多个反射零点(reflection zero,反射零区)。例如,四谐振器滤波器可以包括四个反射零点。为了本说明书的目的,反射零点可以表示滤波器的反射函数的根,其中,反映了电感和电容取消以及最小量的功率。规定的耦合器的强度由其电抗(即,电感和/或电容)决定。耦合器的相对强度决定滤波器形状,并且耦合器的拓扑决定滤波器是否执行带通或带阻功能。谐振频率 f_0 主要由各个谐振器的电感和电容决定。对于传统的滤波器设计,滤波器为激活的频率由构成滤波器的谐振器的谐振频率决定。由于上面讨论的原因,每个谐振器必须具有非常低的内部电阻,以便能够使滤波器的响应敏锐并且选择性高。对于规定的技术,低电阻的这种要求易于驱动谐振器的尺寸和成本。

[0010] 前端接收滤波器(例如,在图1中所示的接收滤波器26)优选采用限定清楚的带通滤波器的形式,以用于以接近期望的所接收的信号频率的频率,消除强烈的干扰信号造成的不利影响。由于前端接收滤波器在天线输出处的位置,所以插入损耗必须非常低,以便不使噪声系数退化。在大部分滤波器技术中,实现低插入损耗需要相应的对滤波器倾斜度或选择性的损害。实际上,使用声谐振器技术,构成蜂窝手机的大部分滤波器,例如表面声波(SAW)、体声波(BAW)以及薄膜体声波谐振器(FBAR)技术。与等效的电感器/电容器谐振器相比,这种声谐振器滤波器具有低插入损耗、紧凑尺寸以及低成本的优点。

[0011] 实际微波滤波器的设计可以从例如使用图像设计或网络合成设计生成的初始电路的设计开始。从一开始,这些方法通常仅仅考虑具有可能最少数量的电路元件的电路。通常,出于尽可能减少最终滤波器的损耗的期望来这样做,并且这可能是所有类型的微波滤波器设计的惯常做法。使用简化的理想化的电路元件模型,可以生成初始设计,这些模型通常可忽略用于制造最终滤波器的物理电路元件的损耗以及其他不想要的特性。在实际的微波滤波器的设计中,计算机优化可以是关键且必要的步骤。此外,包括安捷伦的先进设计系统(ADS)的设计工具可以使用数字优化方法,例如Monte Carlo、梯度等,以用于改善“初始电路设计”。这种计算机优化步骤可以使用越来越实际、精确的电路元件模型,并且可以将电路元件值限制为可以根据最终滤波器设计制作的电路元件值。优化可以搜索与期望的滤波器响应最佳匹配的电路元件值的组合。这种计算机优化通常可以用于微波滤波器设计中。虽然优化通常可以产生可以通过物理电路元件实现的明显改进的设计,但是与在初始电路设计中的电路元件的数量相比,在最终电路设计中,通常未减少电路元件的数量,也没有将一种类型的电路元件变成另一种。

[0012] 例如,通常用于设计声波带通滤波器的一个初始电路是梯式滤波器50,该滤波器包括多个交替的并联谐振器52a和串联谐振器52b,如图2中所示。滤波器50可以被视为N谐振器阶梯拓扑(即,N等于谐振器的数量,并且在这种情况下,为6)。为了本说明书的目的,声梯式滤波器可以表示使用Mason型声波梯形电路结构的一个或多个滤波器,该电路结构包括交替的串联和并联声波谐振器。

[0013] 每个声谐振器52可以由修改的Butterworth-Van Dyke(MBVD)模型54描述。MBVD模型54还可以描述SAW谐振器,可以通过在压电衬底上设置叉指式换能器(IDT)来制造这些谐振器,例如晶状石英、铌酸锂(LiNbO_3)、钽酸锂(LiTaO_3)晶体或BAW谐振器。每个MBVD模型54包括动态电容 C_m 56、静态电容 C_0 58、动态电感 L_m 60以及电阻 R 62。动态电容 C_m 56和动态电感 L_m 60可以由电气和声学性能的相互作用产生,且因此,可以称为MBVD模型54的动态臂部。静

态电容 C_0 58可以由该结构的固有电容产生,且因此,可以称为MBVD模型54的静态(非动态)电容。电阻 R 62可以由声谐振器52的电阻产生。通过以下等式使参数相关:

$$[0014] \quad [1] \quad \omega_R = \frac{1}{\sqrt{L_m C_m}};$$

$$[0015] \quad [2] \quad \frac{\omega_A}{\omega_R} = \sqrt{1 + \frac{1}{\gamma}},$$

[0016] 其中, ω_R 和 ω_A 可以是任何给定的声谐振器的各个谐振和反谐振频率,并且伽玛 γ 可以取决于材料的性能,该性能可以进一步由以下等式定义:

$$[0017] \quad [3] \quad \frac{C_0}{C_m} = \gamma。$$

[0018] 通常,对于42度的X Y切割LiTaO₃, γ 值的范围可以从约12到约18。

[0019] 通过等式[1]可以理解的是,每个声谐振器52的谐振频率将取决于MBVD模型54的动态臂部,然而,滤波器特性(例如,带宽)将由在等式[2]中的 γ 决定。声谐振器52的品质因数(Q)可以是声滤波器设计的重要品质系数,与在滤波器内的元件的损耗相关。电路元件的Q表示每个周期储存的能量与每个周期耗散的能量比率。品质因数在每个声谐振器52中模型化实际损失,并且通常,可能需要不止一个品质因数来描述声谐振器52的损耗。可以如下为滤波器实例定义品质因数。动态电容 C_m 56可以具有定义为 $QC_m = 1.0E+8$ 的相关联的品质;静态电容 C_0 58可以具有定义为 $QC_0 = 200$ 的相关联的品质;并且动态电感 L_m 60可以具有定义为 $QL_m = 1000$ 的相关联的品质。电路设计师通常可以使SAW谐振器通过谐振频率 ω_R 、静态电容 C_0 、伽玛 γ 以及品质因数 QL_m 来表征。对于商业应用,对于SAW谐振器, QL_m 可以约为1000,并且对于BAW谐振器,约为3000。

[0020] 在图3中示出了滤波器50的频率响应,该响应表示以分贝的对数单位(dB)对频率 f 的滤波器响应的散射矩阵 $|S_{21}|^2$ (插入损耗)和 $|S_{11}|^2$ (返回损耗)。将每个并联谐振器52a的谐振和反谐振频率分别表示为 ω_{rp} 和 ω_{ap} ,并且每个串联谐振器52b的谐振和反谐振频率分别表示为 ω_{rs} 和 ω_{as} 。在 ω_{rs} 和 ω_{ap} 彼此大约相等时,产生中心在 $\omega = \omega_{rs}$, ω_{ap} 附近的通带,并且产生处于限定通带边缘的 $\omega = \omega_{rp}$, ω_{as} 的传输零点,如在图3中显示的滤波器响应中所示。为了本说明书的目的,传输零点可以表示滤波器的传输函数的根,其中,反映了最大的功率量。以远离通带中心频率 ω_p 的频率 f ,谐振器大致用作电容器,产生滤波器 $|S_{21}|^2$ 响应,该响应形成对于大的 $|\omega - \omega_p|$ 渐进恒定的翼,提供带外抑制。

[0021] 带通滤波器响应可以以回波损耗(即,以中心通带频率 ω_p 的值 $|S_{11}|^2$)表征、插入损耗(即,以中心通带频率 ω_p 的值 $|S_{21}|^2$)、通带宽度(PBW)以及带外抑制(即,具有大的 $|\omega - \omega_p|$ 时为 $1/|S_{21}|$)。可以仅在这些参数的有限访问范围上设计带通梯式滤波器,且该范围取决于材料参数值 γ 以及谐振器的数量(称为滤波器阶数)。对于SAW和BAW滤波器,目前广泛使用的材料的材料参数值在12-14的范围内,允许谐振频率和反谐振频率接近通带中心频率 ω_p ,从而在 $|S_{21}|^2$ 滤波器响应中产生相对较窄的通带。材料参数值 γ 为4的材料目前正在研发中。更小的材料参数值 γ 能够具有更宽的通带宽度PBW,减小回波损耗RL,或者提高带外抑制 ϵ 。

[0022] 对于固定的通带宽度PBW,随着带外抑制 ϵ 的增大,回波损耗RL减小。在某些情况

下,无源电路元件耦接至梯式结构,以提高滤波器性能。例如,增加电感器可以减小有效的材料参数值 γ ,这可以增大通带宽度PBW,减小回波损耗RL,或者提高带外抑制 ϵ 。然而,增加电感器的优点以插入损耗、尺寸以及成本的增大为代价。将带通滤波器参数推向可访问范围的极限,以便最大化性能,在根据系统应用和需求的参数之间进行权衡。高阶滤波器可以通过给定的通带回波损耗RL和通带宽度PBW实现更大的带外抑制 ϵ 。

[0023] 如上面简单讨论,滤波器50可以具有初始电路设计,然后,通过合适的计算机优化技术(例如,安捷伦的ADS软件)可以优化该设计,以便产生最终电路设计。例如,滤波器50可以首先设计有用于在图4a中所示的每个谐振器52的谐振频率 ω_R 以及静态电容 C_0 ,在模拟时,这产生在图4b中所示的频率响应。该频率响应显示为以以下标记为特征:在频率=1.770GHz时,Mag S21的M1=-65.71dB;在频率=1.830GHz时,Mag S21的M2=-36.735dB;在频率=1.850GHz时,Mag S21的M3=-4.367dB;在频率=1.879GHz时,Mag S21的M4=-1.444dB;在频率=1.910GHz时,Mag S21的M5=-2.680dB;在频率=1.930GHz时,Mag S21的M6=-30.118dB;并且在频率=1.990GHz时,Mag S21的M7=-62.874dB。

[0024] 在优化之后,滤波器50可以具有用于在图5a中所示的每个谐振器52的谐振频率 ω_R 和静态电容 C_0 ,在模拟时,这产生在图5b中所示的频率响应。该频率响应显示为以以下标记为特征:在频率=1.770GHz时,Mag S21的N1=-46.943dB;在频率=1.829GHz时,Mag S21的N2=-29.865dB;在频率=1.851GHz时,Mag S21的N3=-1.479dB;在频率=1.875GHz时,Mag S21的N4=-0.833dB;在频率=1.910GHz时,Mag S21的N5=-1.898dB;在频率=1.929GHz时,Mag S21的N6=-41.977dB;并且在频率=1.990GHz时,Mag S21的N7=-47.182dB。

[0025] 从上文中可以理解的是,谐振器52的MBVD模型54的值随着优化改变,提高了频率响应。然而,电路元件的类型和数学依然未改变,且因此,未减少最终电路的占地面积或成本。因此,通常对于微波滤波器,且尤其是包含无源元件和/或使用更复杂的设计技术的滤波器设计,例如,具有更复杂的部分的现代网络理论或图像理论,需要一种改进的优化方法。

附图说明

[0026] 附图显示了本发明的优选实施方式的设计和效用,其中,相似的元件由共同的参考数字表示。为了更好地理解如何获得本发明的上述和其他优点以及目标,将参照在附图中显示的其具体实施方式,显示上面简单描述的本发明的更特别的描述。理解这些附图仅仅描述本发明的典型实施方式,因此不被视为限制其范围,将通过使用附图,额外特别并且详细地描述和解释本发明,其中:

[0027] 图1为现有技术的无线电信系统的框图;

[0028] 图2为可用于现有技术的无线电信系统中的现有技术的声梯式滤波器的示意图;

[0029] 图3为图2的现有技术的声梯式滤波器的频率响应曲线图;

[0030] 图4a为可使用传统的滤波器优化技术来优化的图2的声梯式滤波器的初始电路设计的示意图;

[0031] 图4b为图4a的初始电路设计的频率响应曲线图;

[0032] 图5a为由使用传统的滤波器优化技术优化图4a的初始滤波器电路设计而产生的

图2的声梯式滤波器的优化的最终电路设计的示意图；

[0033] 图5b为图5a的最终电路设计的频率响应曲线图；

[0034] 图6为示出根据本发明的一种方法的用于优化声梯式滤波器的元件去除设计(ERD)技术的流程图；

[0035] 图7a为可以使用图6的ERD技术优化的声梯式滤波器的初始电路设计的示意图；

[0036] 图7b为图7a的初始电路设计的频率响应曲线图；

[0037] 图8a为使用图6的ERD技术优化图7a的初始滤波器电路设计而产生的优化最终电路设计的示意图；

[0038] 图8b为图8a的最终电路设计的频率响应曲线图；以及

[0039] 图9为可以实现图6的ERD技术的计算机化步骤的计算机化滤波器设计系统的框图。

具体实施方式

[0040] 通过改变电路元件值,改变电路元件类型和/或离散地去除额外或不必要的电路元件,微波滤波器设计优化技术优化声波(AW)微波滤波器(例如,表面声波(SAW)、体声波(BAW)以及薄膜体声波(FBAR)滤波器)。这些元件可以包括电感器、电容器以及声谐振器(例如,使用修改的Butterworth Van Dyke(MBVD)模型来模型化)。

[0041] 这种优化技术利用几种传统的计算机优化方法,与在现有技术中可能具有的优化相比,能够在初始设计中改善对更复杂的电路的优化。可以使用任何设计方法(例如,图像设计或网络合成)产生这些初始滤波器电路设计。这种优化技术产生最终滤波器电路设计,与初始滤波器电路设计相比,减少了元件的数量,而同时改善了滤波器的频率响应。为了本说明书的目的,频率响应改进可表示滤波器的期望的微波性能(例如,更低的插入损耗、更陡峭的抑制斜坡、更高的带外抑制、更低的节点电压、更加线性的群延迟等)的改进。因此,可以实现更小的占地面积、更低的成本、更低的插入损耗以及更大选择的滤波器,同时允许使用传统的制造工艺和基础设施。

[0042] 虽然在本文中参照AW滤波器描述了微波滤波器设计优化技术,但是应理解的是,这种技术可以供其他类型的微波滤波器使用,其中,可以使用MBVD模型,通过某种程度的精确度来模型化谐振元件。优化技术还可以适用于具有复杂的谐振器元件的其他技术(例如,多模式介质谐振器和其他相似的技术)。

[0043] 现参照图6,将描述一种可用于设计声波滤波器的元件去除设计(ERD)技术100。在ERD技术100的实现期间,设计工序(DIP)从初始设计修改为改进的最终设计。在步骤中,该方法使用计算机优化和决定来递增地改善DIP,以便减少电路元件数量并且提高性能指标。

[0044] 为此,ERD技术100首先根据性能规格生成初始滤波器电路设计,例如,可以使用图像滤波技术或网络合成技术,生成中心通带频率、通带宽度、回波损耗以及带外抑制(步骤102)。为了本说明书的目的,电路元件可以表示在电路互连网络中的电感器、电容器、谐振器、开关或者电阻器。

[0045] 例如,如图7a中所示,初始滤波器电路设计可以是带通阶梯200,该阶梯包括多个交替的并联谐振元件202a和202b以及串联谐振元件202c。在所显示的实施方式中,梯式滤波器200的每个并联支腿包括可以以不同的频率共振的两个平行的并联谐振元件202a和

202b。每个谐振元件202可以使用在图2中所示的MBVD模型54来模型化。梯式滤波器200还包括具有电容器形式的多个非谐振元件204,这些元件与串联谐振元件202c分别相关。为了本说明书的目的,非谐振元件可以表示在电路中的无源元件。示例性非谐振元件可以包括电感器、电容器、开关或电阻器。非谐振元件可以具有远离感兴趣频率的谐振。例如,电感器可以具有比通带频率的50%更大的谐振。因此,滤波器200包括9个谐振元件和3个非谐振元件。

[0046] 滤波器200可以首先设计有用于在图7a中所示的每个谐振器202的谐振频率 ω_R 以及静态电容 C_0 ,在模拟时,这产生在图7b中所示的频率响应。该频率响应被显示为以下标记为特征:在频率=1.770GHz时, Mag S21的R1=-24.627dB;在频率=1.830GHz时, Mag S21的R2=-64.652dB;在频率=1.850GHz时, Mag S21的R3=-3.857dB;在频率=1.881GHz时, Mag S21的R4=-0.987dB;在频率=1.910GHz时, Mag S21的R5=-3.039dB;在频率=1.930GHz时, Mag S21的R6=-87.468dB;并且在频率=1.990GHz时, Mag S21的R7=-28.429dB。假设初始滤波器电路设计200的电路元件具有以下参数:伽马 $\gamma=12$ 、 $QC_0=200$ 、 $Q_{cap}=200$ 、 $Q_{Lm}=1000$ 并且 $R_s=0.5$ 欧姆。

[0047] 接下来,ERD技术100将DIP(在这种情况下为初始滤波器设计)输入计算机化的滤波器优化器(例如,安捷伦的ADS)内(步骤104)。为了本说明书的目的,DIP的计算机优化可以表示通过改变在基于计算机的电路模拟器内的电路元件的值来提高频率响应。电路模拟器可以使用模板,以便比较模拟的响应和期望的结果。应理解的是,计算机优化的DIP是此时的初始电路设计,可以实现ERD技术100以便在滤波器设计工序的任一点中改善DIP。无路如何,所产生的DIP具有的电路元件的数量与在输入的DIP中的电路元件的数量相同。

[0048] 然后,ERD技术100确定在DIP中的任何非谐振元件204是否无关紧要(“消失”)(步骤106)。为了本说明书的目的,如果在步骤104中的计算机优化期间,串联元件电抗值和/或并联元件电纳值变得非常小,那么电路元件趋于消失,和/或可以从滤波器设计中去除电路元件,而不会大幅影响滤波器性能。根据其在滤波器电路设计内的类型和位置,非谐振元件204可以趋于消失。

[0049] 例如,如果非谐振元件204是串联电感器或并联电容器,那么在其绝对阻抗值变小时,该元件将趋于消失;例如,小于0.1nH(电感器)或0.1pF(电容器)。在这种情况下,如果其绝对阻抗值小于阈值,那么非谐振元件204将被确定为无关紧要。相反,如果非谐振元件204是并联电感器或串联电容器,那么在其绝对阻抗值变大时,该元件将趋于消失;例如,大于100nH(电感器)或50pF(电容器)。在这种情况下,如果其绝对阻抗值大于阈值,那么非谐振元件204将被确定为无关紧要。

[0050] 再如,跟与其(串联或并联)连接的相同类型的其他电路元件相比,在其相对值(阻抗或电纳)变小(例如,小于10%)时,非谐振元件204将趋于消失。因此,如果非谐振元件204是串联电路元件,那么如果其绝对值相对于在DIP中的另一个串联非谐振元件204的绝对值的百分比小于阈值,那么将确定该元件无关紧要。同样,如果非谐振元件204是并联电路元件,那么如果其绝对值相对于在DIP中的另一个并联非谐振元件204的绝对值的百分比小于阈值,那么将确定该元件无关紧要。

[0051] 再如,如果非谐振元件204是串联电路元件,那么在其阻抗小于在从非谐振元件204的任一个方向看到的阻抗的百分比(例如,10%)时,该元件将趋于消失。在这种情况下,

如果非谐振元件204的绝对阻抗值相对于在从非谐振元件204的任一个方向看到的阻抗的百分比小于阈值,那么将确定非谐振元件204无关紧要。相反,如果非谐振元件204是并联电路元件,那么在其电纳小于在从非谐振元件204的任一个方向看到的电纳的百分比(例如,10%)时,该元件将趋于消失。在这种情况下,如果非谐振元件204的绝对电纳值相对于在从非谐振元件204的任一个方向看到的电纳的百分比小于阈值,那么将确定非谐振元件204无关紧要。

[0052] 再如,在去除非谐振元件造成小于滤波器电路的性能参数(例如,插入损耗、抑制斜坡、带外抑制、节点电压、群延迟平坦度等)的百分比退化变化(例如,10%)时,非谐振元件204可以趋于消失。在这种情况下,如果没有非谐振元件204的性能参数的值使具有非谐振元件204的性能参数的值退化为小于阈值,那么通过从DIP中去除非谐振元件204,非谐振元件204将被确定为无关紧要。

[0053] 如果在步骤106中,确定在DIP中的一个非谐振元件204已变得无关紧要,那么ERD技术100确定无关紧要的非谐振元件204的符号是否已预先改变(即,非谐振元件204是否从电感转换成电容,或者从电容转换成电感)(步骤108)。当然,在第一次生成DIP的情况下,将没有这样的早先转换。显然,ERD技术100进行这种查询,以便确保无关紧要的非谐振元件204的去除比非谐振元件204的转换更可取。

[0054] 如果在步骤108中,已预先转换无关紧要的非谐振元件204(表示非谐振元件204作为电容器和电感器消失),那么通过从DIP中去除无关紧要的非谐振元件204,ERD技术100生成更小的滤波器电路设计(步骤110)。如果在步骤108中,未预先转换非谐振元件204(表示非谐振元件204作为电容和电感中的一个消失,而非作为电容和电感中的另一个),那么通过改变非谐振元件204的符号(即,从电容变成电感)(在非谐振元件204最初是电容的程度上)或者从电感变成电容(在非谐振元件204最初是电容的程度上),ERD技术100修改DIP(步骤112)。

[0055] 然后,ERD技术100返回步骤104,以便通过将在步骤110中生成的减小的滤波器电路设计或者在步骤112中生成的转换的滤波器电路设计输入计算机化滤波器优化器内,再次优化DIP,且然后,在步骤108中,确定在DIP中的任何剩余非谐振元件204已变得无关紧要。如果确定在DIP中的一个非谐振元件204变得无关紧要,那么在步骤108中,ERD技术再次确定是否已预先转换无关紧要的非谐振元件204。在已预先转换无关紧要的非谐振元件204的情况下,然后认为应已从先前的DIP中去除无关紧要的非谐振元件204,且因此,其在步骤110中被去除。在未预先转换无关紧要的非谐振元件204的情况下,然后在步骤112中,ERD技术100改变该元件。

[0056] 如果在步骤106中,确定在DIP(无论是首先还是随后生成的DIP)中的任何非谐振元件204都并未变得无关紧要,那么ERD技术确定在DIP中的任何谐振元件202是否都变得无关紧要(“消失”)(步骤114)。在与谐振元件202相关的相关传输零点离所有通带和阻带相对较远时,谐振元件202可以趋于消失;例如,如在等式[1]和[2]中给定,谐振频率 ω_R 和非谐振频率 ω_A 从最近的通带或阻带的边缘频率移动到超过10%。

[0057] 如果在步骤114中,确定在DIP中的一个谐振元件202已变得无关紧要,那么通过用静态电容 C_0 来代替无关紧要的谐振元件202,ERD技术修改DIP,该静态电容的值优选地等于无关紧要的谐振元件202的静态电容的值(步骤116)。显然,变得无关紧要的谐振元件202由

于其静态电容将依然影响电路,且因此,与去除相比,更好地由电容器代替。

[0058] 然后,ERD技术100返回步骤104,以便再次优化DIP,且然后在步骤106中再次确定在DIP中的任何非谐振元件204(包括从无关紧要的谐振元件202中转换的任何静态电容 C_0)是否变得无关紧要。

[0059] 如果确定在DIP中的一个非谐振元件204已变得无关紧要,那么ERD技术再次确定是否在步骤108中已预先转换无关紧要的非谐振元件204,并且如上面所讨论的继续进行。在无关紧要的非谐振元件204是代替无关紧要的谐振元件202的静态电容 C_0 的情况下,然后,确认应完全去除无关紧要的电路元件(先前是谐振元件202,但现在是非谐振元件204),且因此,在步骤110中这样去除。

[0060] 如果确定在步骤106中,在DIP中的任何非谐振元件204都已变得无关紧要,那么在步骤114中,ERD技术100再次确定在DIP中的任何谐振元件202是否已变得无关紧要。如果确定在DIP中的一个谐振元件202已变得无关紧要,那么在步骤116中,ERD技术使用静态电容 C_0 代替无关紧要的谐振元件202,并且如上所讨论地继续进行。

[0061] 如果确定在DIP中的任何谐振元件202都已变得无关紧要,那么ERD技术100认为该DIP是改进的最终滤波器电路设计(步骤118),在该示例性实施方式中,该设计具有用于在图8a中所示的剩余谐振元件202和非谐振元件204的谐振频率 ω_R 以及静态电容 C_0 ,在模拟时,这产生在图8b中所示的频率响应。该频率响应显示为以以下标记为特性:在频率=1.770GHz时,Mag S21的P1=-30.080dB;在频率=1.830GHz时,Mag S21的P2=-34.193dB;在频率=1.850GHz时,Mag S21的P3=-1.394dB;在频率=1.872GHz时,Mag S21的P4=-0.761dB;在频率=1.910GHz时,Mag S21的P5=-1.406dB;在频率=1.930GHz时,Mag S21的P6=-45.227dB;并且在频率=1.990GHz时,Mag S21的P7=-45.227dB。

[0062] 通过在图7a与图8a之间进行的比较可以看出,改进的最终滤波器电路设计包括更少的电路元件,且具体是两个更少的谐振元件202和一个更少的非谐振元件204。通过在图8a与图8b之间进行的比较可以看出,最终滤波器电路设计在通带处产生更平坦的频率响应和损耗。还应注意的是,在图7a中所示的初始滤波器电路200上进行传统的优化技术(即,不去除电路元件),造成最终滤波器电路的频率响应性能不如由在图8b中所示的ERT技术产生的频率响应性能好。因此,与传统观点相反,使用ERT技术去除电路元件,不仅减小了微波滤波器的成本和尺寸,而且与具有更多电路元件的现有技术的微波滤波器相比,提高了微波滤波器的频率响应性能。

[0063] 显然,ERD技术100可以分析从步骤104中产生的DIP的频率响应,以便确定应该未进行还是重新进行前一个步骤。

[0064] 例如,如果DIP的频率响应性能不比初始滤波器电路设计的频率响应性能更好,那么这表示初始滤波器电路设计不可接受,且因此,可以考虑一种不同的初始滤波器电路设计,然后,可以在步骤104中将该设计输入计算机化的滤波器优化器内。

[0065] 再如,如果相对于在转换非谐振元件204之前存在的DIP的频率响应性能,在转换非谐振元件204(从电容转换成电感或者从电感转换成电容)之后存在的DIP的频率响应性能更差,且差了阈值量,那么ERD技术100可以仅返回至前一个DIP,并且从该设计中去除非谐振元件204。

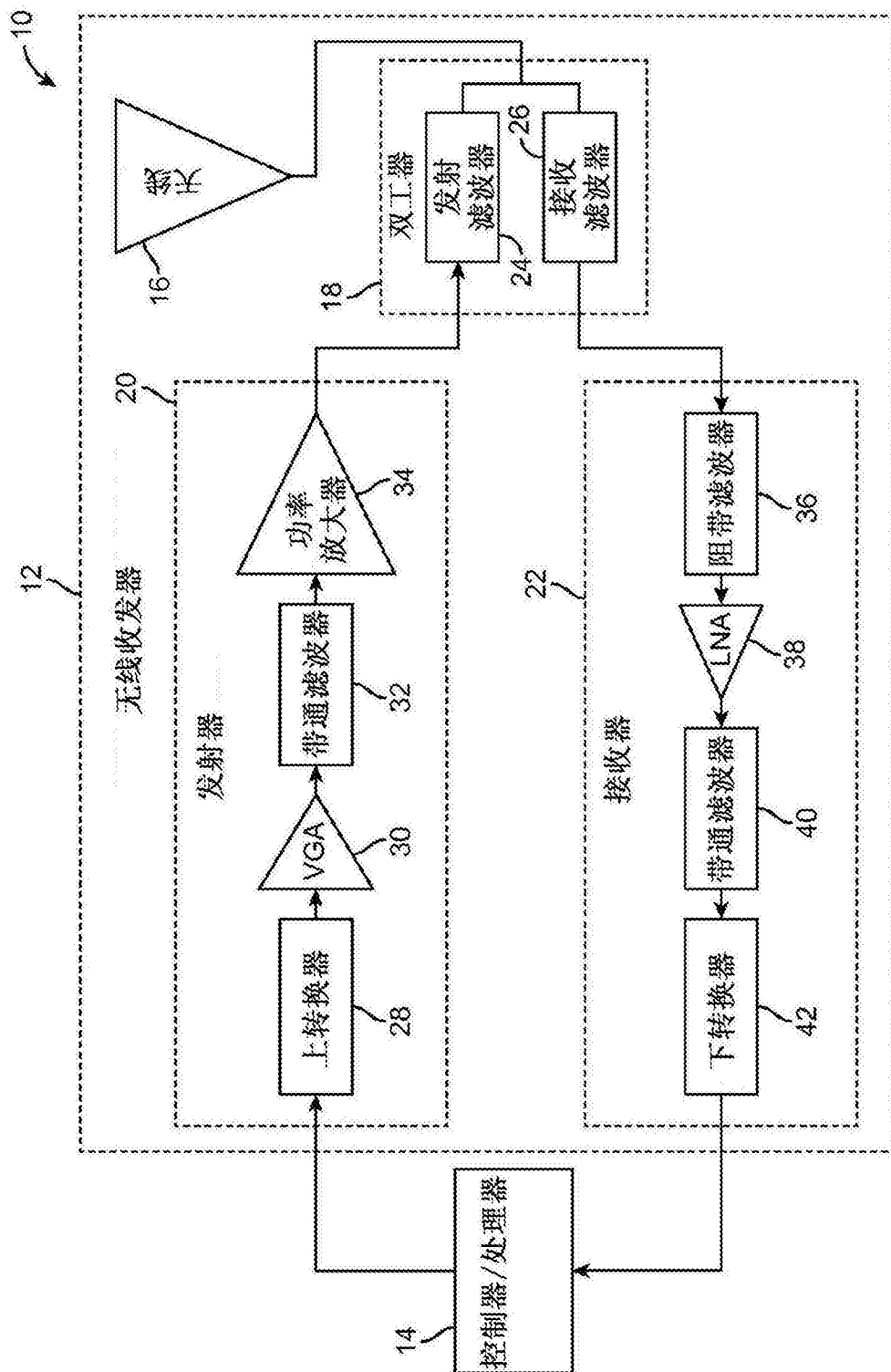
[0066] 再如,如果相对于在转换谐振元件202之前存在的DIP的频率响应性能,在谐振元

件202转换成静态电容 C_0 之后存在的DIP的频率响应性能更差,且差了阈值量,那么ERD技术可以仅返回至前一个DIP,并且使谐振元件204恢复回该设计。

[0067] 一旦实现了改进的最终滤波器电路设计,ERD技术100就根据最终滤波器电路设计制造实际的微波滤波器(步骤120)。优选地,实际的微波滤波器的电路元件值将与在改进的最终滤波器电路设计中的相应电路元件值匹配。

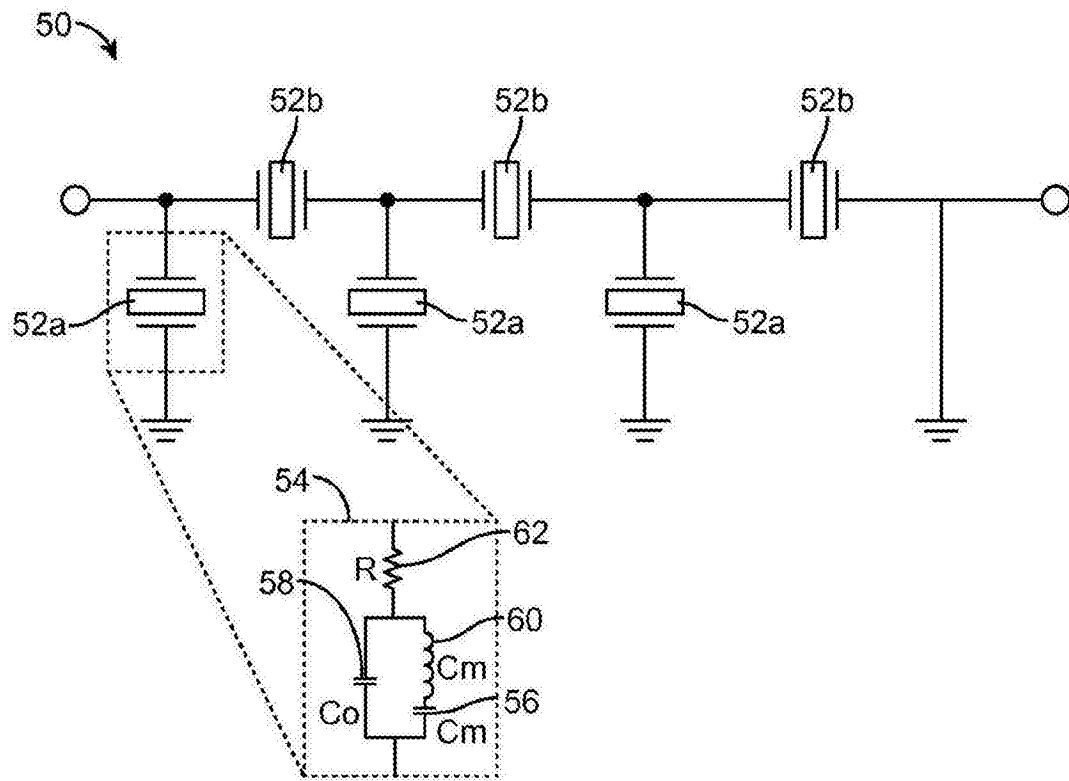
[0068] 首先参照图9,计算机化的滤波器设计系统300可以用于使用ERD技术100设计微波滤波器。计算机化的滤波器设计系统300通常包括:用户界面302,该界面被配置为接收用户的信息和数据(例如,参数值和滤波器规格)并且将优化的滤波器电路设计输出给用户;存储器304,其被配置为存储滤波器设计软件308(该软件可以采用软件指令的形式,这可以包括但不限于执行特定功能或者实现特定的抽象数据类型的子程序、程序、对象、部件、数据结构、过程、模块、功能等)以及通过用户界面302从用户中输入的信息和数据;以及处理器306,其被配置为执行滤波器设计软件。滤波器设计软件程序308被分成子程序,具体是传统的网络设计合成器310(其可以用于在步骤102中生成初始滤波器电路设计)、传统的滤波器优化器312(其可以用于在步骤104中生成DIP);以及元件去除设计引擎314,该引擎根据ERD技术100的滤波器设计方面控制网络设计合成器88和滤波器优化器90,以便生成优化的最终电路设计。

[0069] 虽然示出和描述了本发明的特定实施方式,但应理解的是,以上讨论并非旨在将本发明限于这些实施方式。对于本领域的技术人员,在不背离本发明的精神和范围的情况下,显然可以进行各种变化和修改。例如,本发明具有远远超出具有单输入和输出的滤波器的应用,并且本发明的特定实施方式可以用于形成双工器、多路复用器、信道器、反应开关等,其中,可使用低损耗选择电路。因此,本发明旨在包括可以落在由权利要求限定的本发明的精神和范围内的替换物、修改以及等同物。



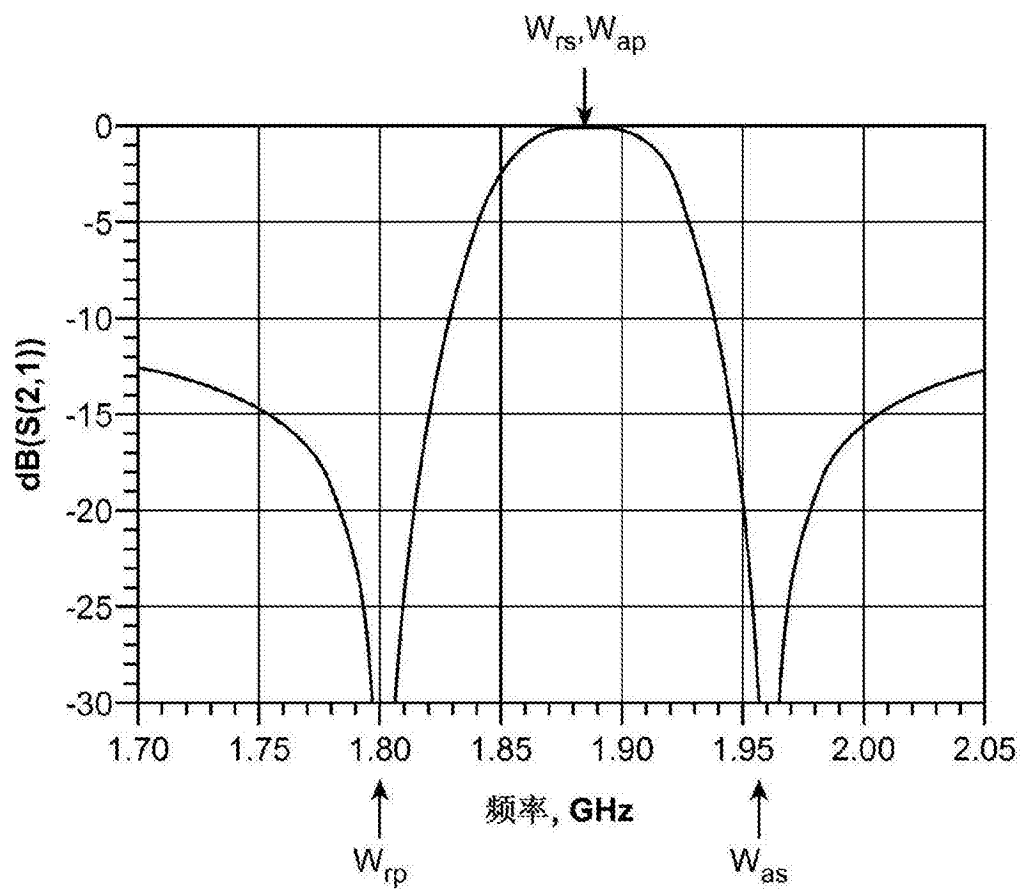
(现有技术)

图1



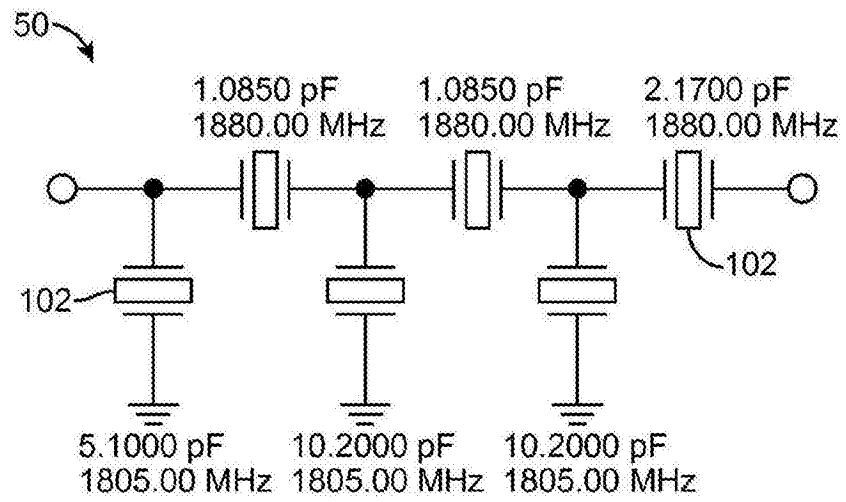
(现有技术)

图2



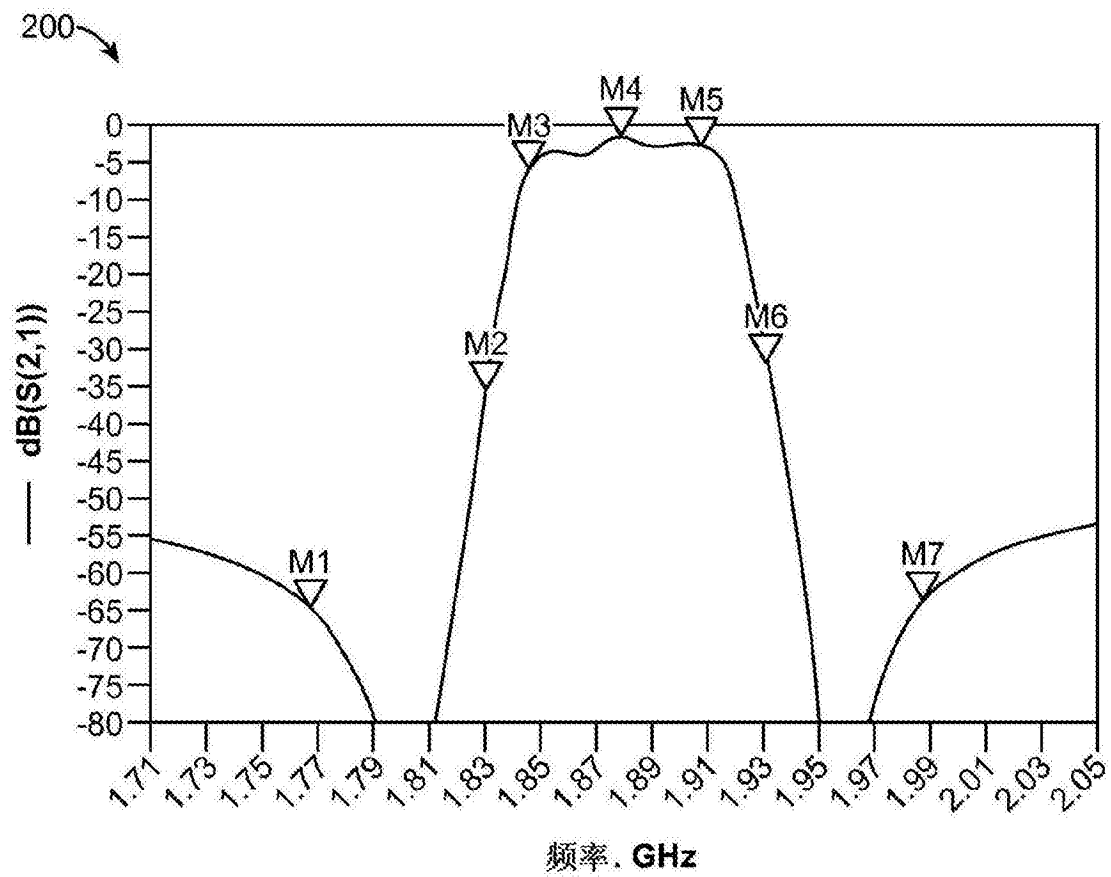
(现有技术)

图3



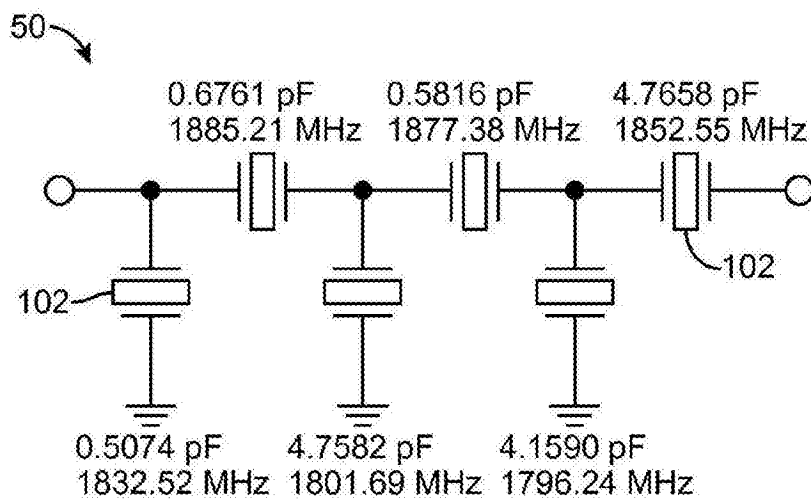
(现有技术)

图4a



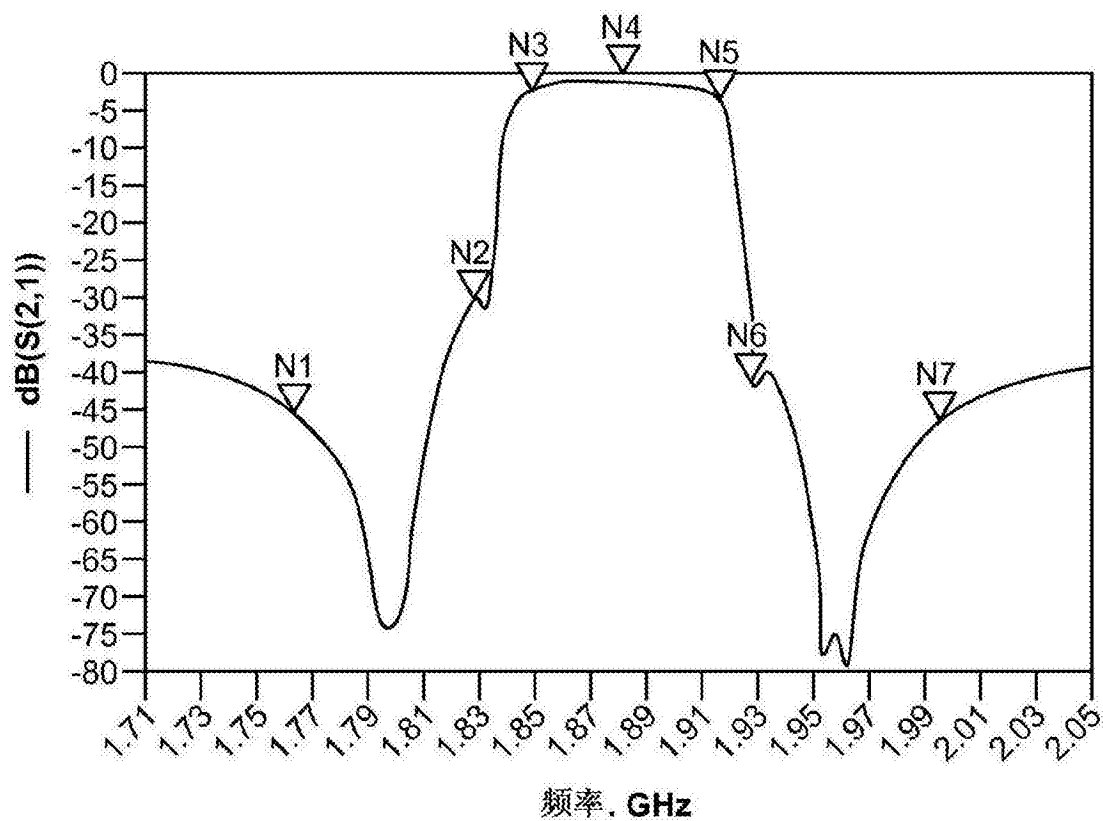
(现有技术)

图4b



(现有技术)

图5a



(现有技术)

图5b

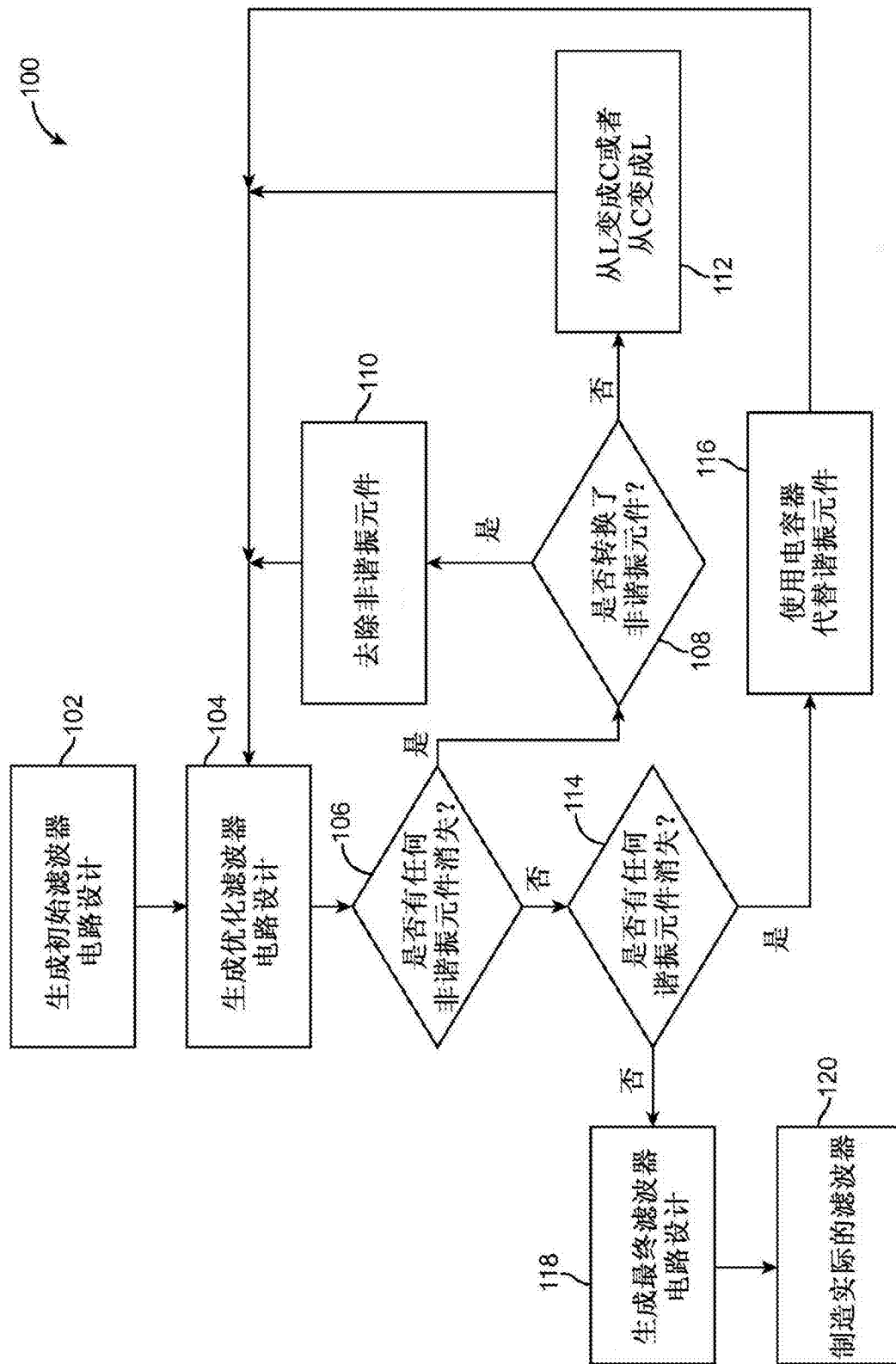


图6

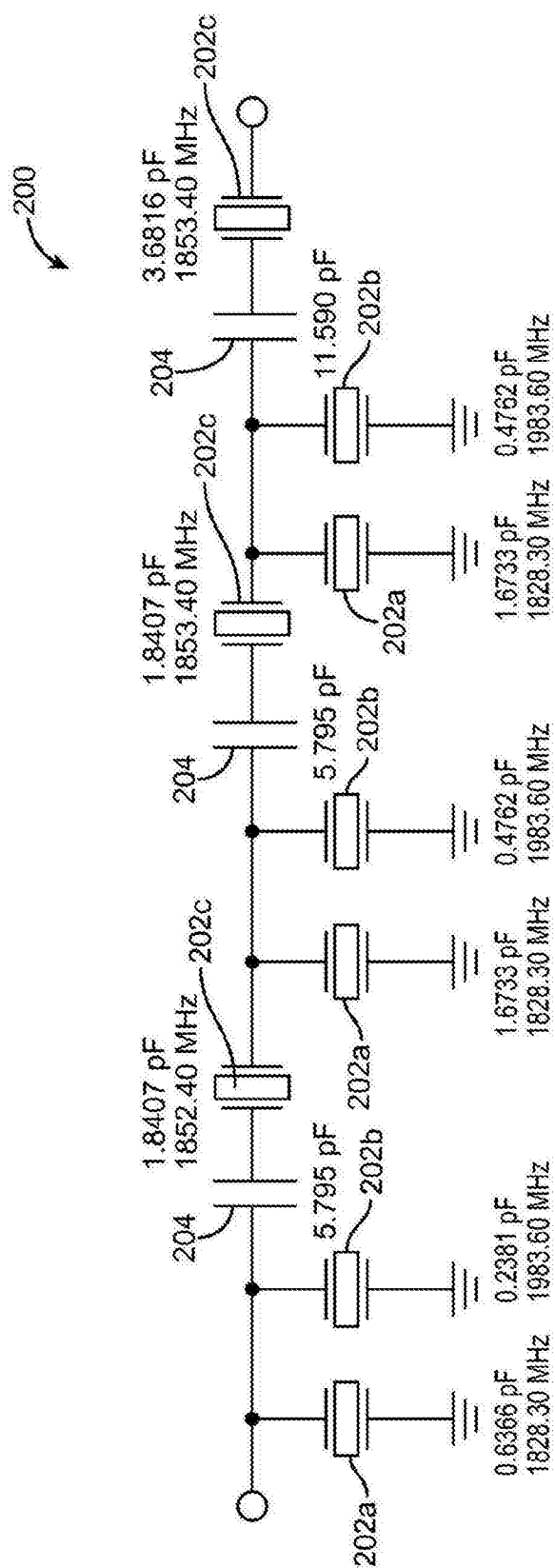


图7a

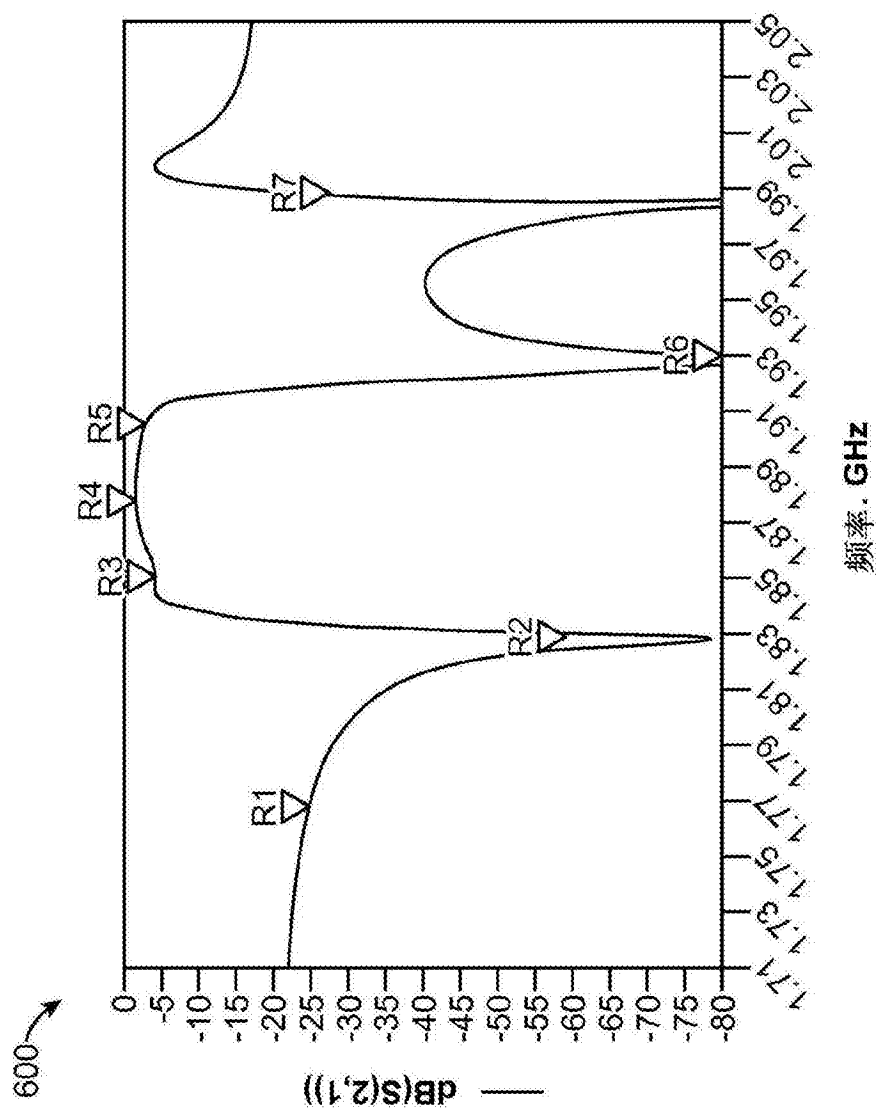


图7b

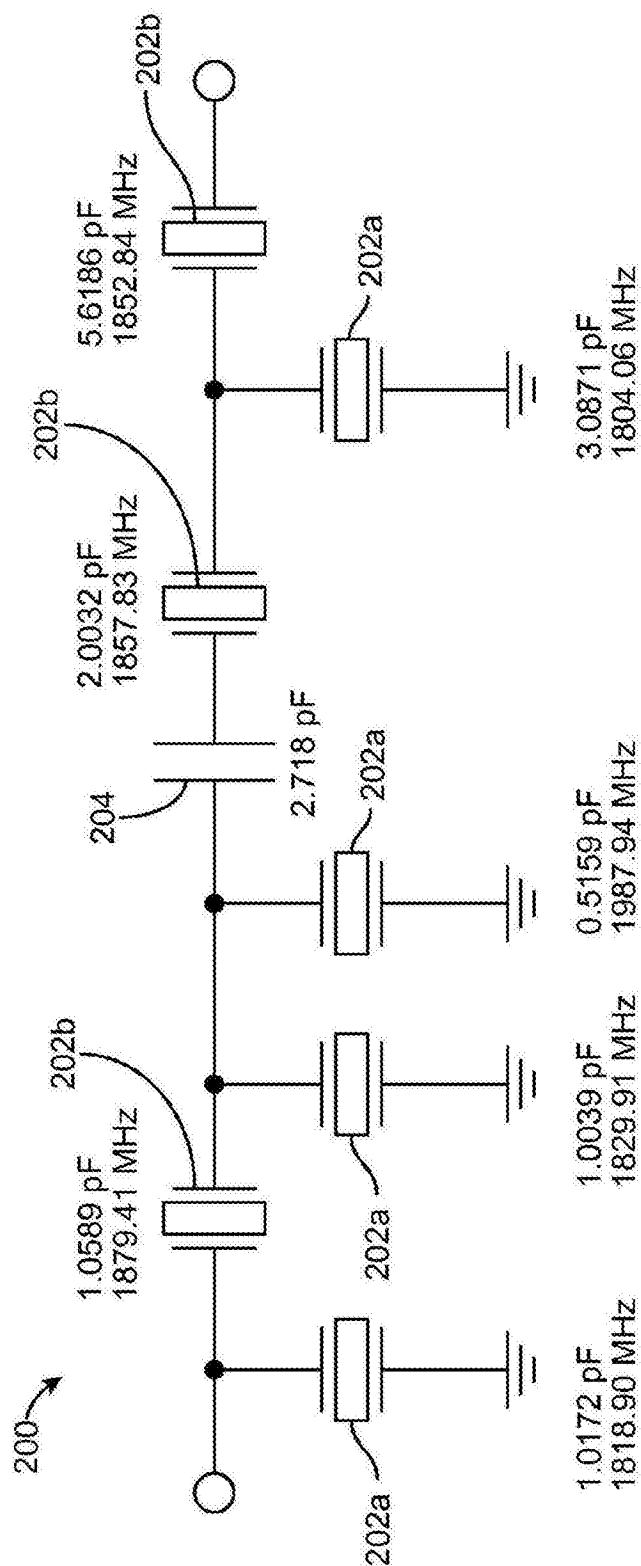


图8a

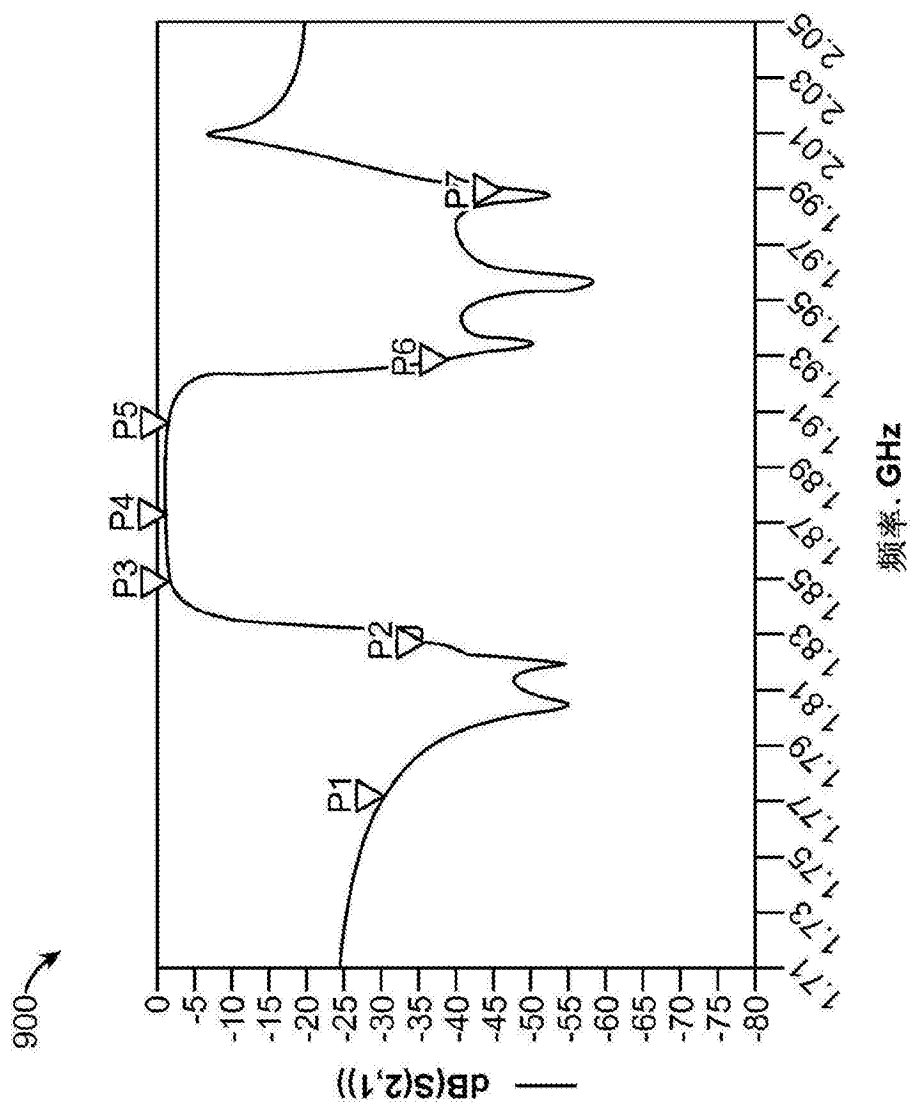


图8b

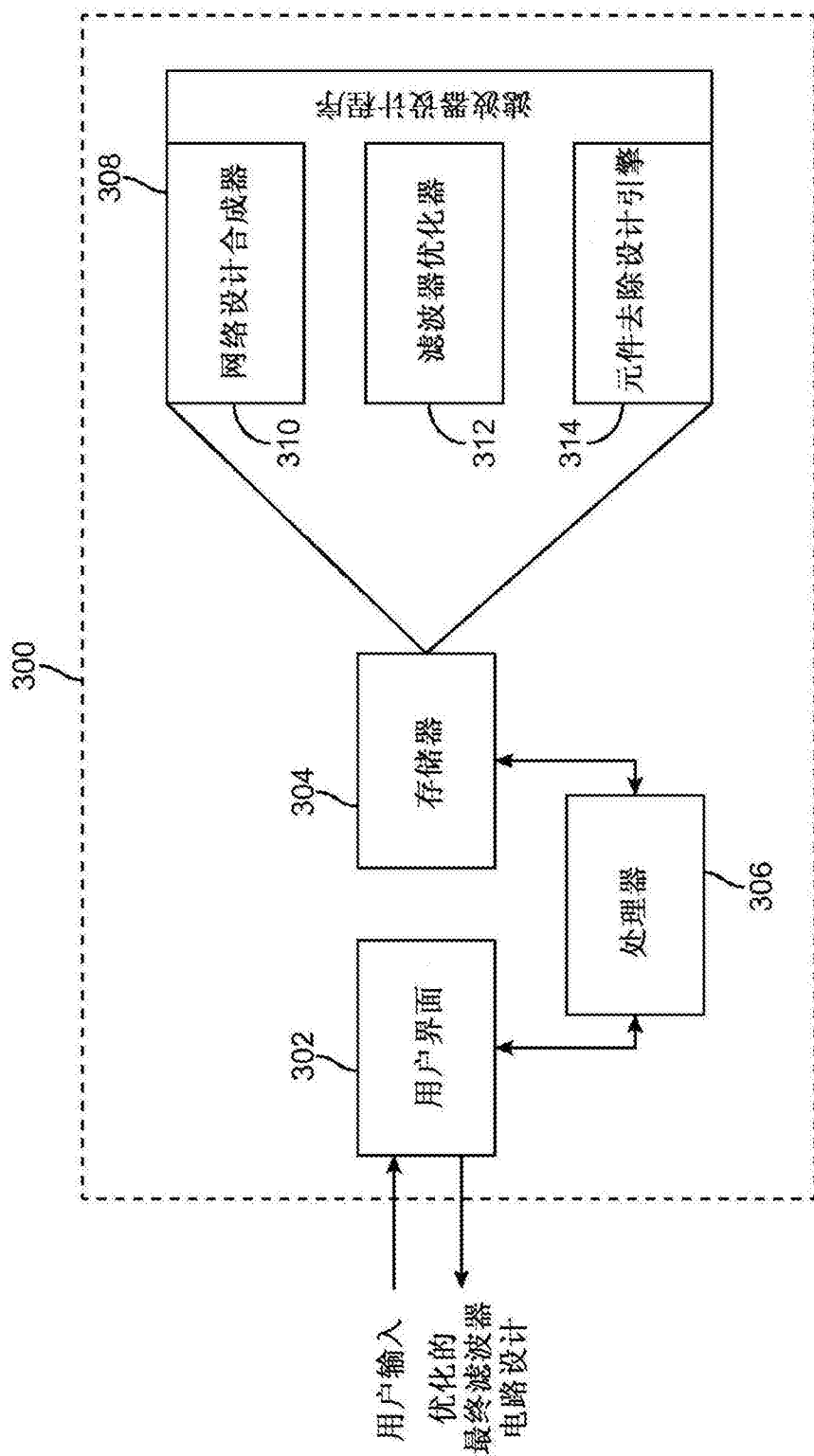


图9