

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-510871
(P2005-510871A)

(43) 公表日 平成17年4月21日(2005.4.21)

(51) Int.Cl.⁷H01L 21/268
H01L 21/20
H01L 21/265
H01L 21/336
H01L 29/78

F 1

H01L 21/268
H01L 21/20
H01L 21/265
H01L 29/78
H01L 29/78

テーマコード(参考)

5F052
5F110
5F140

審査請求 未請求 予備審査請求 未請求 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2003-548292 (P2003-548292)
 (86) (22) 出願日 平成14年11月20日 (2002.11.20)
 (85) 翻訳文提出日 平成16年5月27日 (2004.5.27)
 (86) 國際出願番号 PCT/IB2002/004881
 (87) 國際公開番号 WO2003/046967
 (87) 國際公開日 平成15年6月5日 (2003.6.5)
 (31) 優先権主張番号 01204625.6
 (32) 優先日 平成13年11月30日 (2001.11.30)
 (33) 優先権主張國 歐州特許庁 (EP)

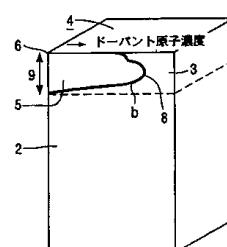
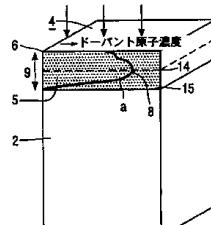
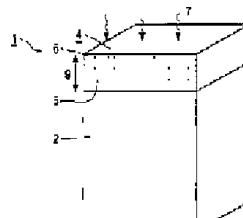
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ベーー アインドーフェン フルーネヴァウツウェッハ
 1
 Groenewoudseweg 1, 5
 621 BA Eindhoven, The Netherlands
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100088889
 弁理士 橋谷 英俊

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

(57) 【要約】

半導体ボディ(2)を有する半導体装置(1)の製造方法において、ドープ領域(3)が半導体ボディ(2)に形成される。半導体ボディ(2)は、結晶表面領域(4)を有し、この結晶表面領域(4)を、少なくとも部分的に非晶質化し、非晶質表面層(5)を形成する。非晶質化は、表面(6)に、結晶表面領域(4)により吸収される放射パルス(7)を照射することにより達成される。放射パルス(7)は、放射が結晶表面領域(4)に吸収されるように選択された波長を有し、放射パルス(7)のエネルギー束は、結晶表面層(5)を溶解するように選択される。この方法は、非常に浅い接合の製作に有用である。



【特許請求の範囲】

【請求項 1】

半導体ボディを有する半導体装置の製造方法であって、ドープ領域が、前記半導体ボディに形成され、前記半導体ボディは半導体材料の結晶半導体表面領域を備え、前記結晶半導体表面領域の少なくとも一部分を非晶質化して非晶質表面層を形成する製造方法において、

前記非晶質化は、前記表面への放射パルスの照射を通じて行われ、前記放射パルスは、前記放射パルスの放射が前記結晶表面領域に吸収されるような波長を有し、かつ、前記結晶表面層を溶解するようなエネルギー束を有する、ことを特徴とする製造方法。

【請求項 2】

前記結晶半導体表面領域の溶解した部分が、冷却により凝固して非晶質表面層になった後、ドーパント原子が、イオン注入により前記非晶質表面層に供給されることを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記ドーパント原子の供給後、前記非晶質表面層が、前記ドーパント原子が活性化する温度まで加熱されることを特徴とする請求項 2 に記載の方法。

【請求項 4】

前記非晶質表面層が、高速熱アニーリング (R T A) により、前記非晶質半導体材料の融解温度より低い温度まで加熱されて、前記非晶質表面層が再結晶化し、

前記ドーパント原子が、格子サイトに置換的に組み込まれ、これにより前記ドーパント原子が活性化される、ことを特徴とする請求項 3 に記載の方法。

【請求項 5】

前記非晶質表面層が、レーザーアニーリングにより、前記非晶質半導体材料の前記融解温度より高い温度まで加熱され、その後、前記融解した表面層が再結晶化する温度まで、前記融解した表面層が冷却される、ことを特徴とする請求項 3 に記載の方法。

【請求項 6】

前記放射パルスは、エキシマーレーザーにより生成されることを特徴とする請求項 1 に記載の方法。

【請求項 7】

前記表面層は、前記放射パルスのパルス幅およびエネルギー密度により設定された深さまで融解することを特徴とする請求項 1 または請求項 6 に記載の方法。

【請求項 8】

前記放射パルスの前記パルス幅は、1 n s よりも短いことを特徴とする請求項 7 に記載の方法。

【請求項 9】

前記放射の前記波長のための吸収層が、照射が行われる前に、前記表面に設けられることを特徴とする請求項 1 に記載の方法。

【請求項 10】

M O S F E T が形成され、

前記非晶質半導体表面層は、前記M O S F E T のソースまたはドレインの形成に用いられる、ことを特徴とする請求項 1 に記載の方法。

【請求項 11】

電気的に活性化したドーパント原子の濃度は、固体溶解限度よりも高いことを特徴とする請求項 5 に記載の方法。

【請求項 12】

前記請求項のいずれか 1 つに記載の方法により製造されたことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

10

20

30

40

50

本発明は、半導体ボディを有する半導体装置の製造方法に関するものであり、この方法では、ドープ領域が半導体ボディに形成され、この半導体ボディは、半導体材料の結晶半導体表面領域を含み、前記結晶半導体表面領域の少なくとも一部分を非晶質化して非晶質表面層を形成する。

【背景技術】

【0002】

米国特許第5,908,307号により、MOSFETのソースおよびドレイン接合を形成する方法が開示されている。これらのソースおよびドレイン接合は、Si半導体ボディ内に形成され、また、非常に浅く、一般に100nm未満の深さとなっている。浅い接合は、表面の非晶質化と、ドーパント原子の供給と、ドーパント原子の活性化および拡散とを通じて形成される。非晶質表面層は、ドーパント原子を注入する間のチャネリングを防ぐために形成される。非晶質化工程において、非晶質表面層の所望の深さは、アルゴン、シリコン、またはゲルマニウム等の、電気的に不活性なイオンのイオン注入を通じて調節される。結晶半導体表面層は、イオンの衝突およびエネルギー消失の結果として非晶質化され、非晶質表面領域が形成される。Geは比較的に重い原子であるため、この方法では、粗い非晶質-結晶界面を形成することがある。表面から見ると、非晶質表面層より下の結晶半導体ボディに、ダメージが深く存在する。これは、エンドオブレンジダメージと呼ばれている。

【0003】

周知の方法の問題点は、非晶質化工程において、イオン化不活性原子の注入により、格子間原子(interstitials)および空孔(vacancies)が生じることである。非晶質-結晶界面に存在する格子間原子が、特にBとPのドーパント原子の拡散の増加を引き起こす。この拡散の局所的増加は、急勾配のドーピングプロファイルを事実上、不可能なものにする。また、エンドオブレンジダメージが、アニーリング中に転位ループを引き起こし、これが接合リーキを起こさせる。

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明の目的は、半導体ボディにダメージが実質的でない非晶質表面層が得られる、冒頭の段落で述べた種類の半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0005】

この目的は、本発明に係る方法によって達成され、この方法では、非晶質化が、表面への、表面領域に吸収される放射パルスの照射を通じて行われ、この放射パルスは、放射が結晶表面領域に吸収されるように選択された波長を有し、そのエネルギー束は、結晶表面層を溶解するように選択される。

【0006】

放射パルスのフォトンのエネルギーは、フォトンが吸収された後、ほぼ瞬間的に結晶格子に透過され、その結果、表面層が実際に溶解するが、熱平衡自体はまだ確立されない。溶解した表面層は、比較的冷たい半導体ボディに直に接触している。これは、半導体ボディに強い熱流束を誘発し、その結果、溶解した半導体材料が急速に冷却される。溶解した半導体材料は、半導体ボディと溶解した半導体材料との界面で再結晶化が起こる速度よりも速い速度で、非晶質半導体材料の平衡融点値より下まで冷却せざるを得ない。過冷された半導体材料は、半導体材料が半導体ボディから表面の方向へエピタキシャルに成長する前に非晶質材料に変化する。これにより、非晶質表面層が作り出される。

【0007】

周知の方法とは対照的に、非晶質-結晶界面に、格子間原子や空孔は存在しない。結晶半導体に、注入による非晶質化によって引き起こされるようなエンドオブレンジダメージはない。いずれの種類のダメージも存在しないことは、例えばpnまたはnp接合等の、急勾配のプロファイルを有するドープ領域の形成を可能にする。

10

20

30

40

50

【0008】

この後、通常は、ドーパント原子が、非晶質化された表面層に供給される。ドーパント原子は、例えば、表面の補助層からのイオン注入または拡散により供給することができる。イオン注入が用いられた場合、注入ドーズが、 $c\text{ m}^2$ ごとのドーパント原子の数を決定し、エネルギーが、注入されるドーパント原子の深さを決定する。ドーパント原子の注入深さは、非晶質化された表面層に位置することが重要である。注入により生じる格子間原子、空孔、およびこのような欠陥の集まり等のダメージは、周知の方法のように、結晶半導体ボディには位置せず、非晶質化された表面層に閉じ込められる。非晶質表面層は、注入ダメージをそのまま吸収する。

【0009】

その後、非晶質化された表面層の少なくとも一部分を、ドーパント原子が活性化する温度まで加熱する。

【0010】

これを達成可能な方法として、基本的に、融解温度より低い温度での固相エピタキシー (SPE) と、融点より高い温度での液相エピタキシー (LPE) の2つの方法がある。どちらの場合でも、シリコンには、注入に関わるダメージは起こらず、したがって、接合リーケを減少させた、より浅い接合を形成することができる。

【0011】

ドーパント原子の活性化には、固相エピタキシーを用いることが好ましい。固相からの非晶質表面層のエピタキシャル再結晶化は、例えば、炉による加熱、急速熱アニーリング (RTA)、またはレーザーでの表面照射による、半導体材料の、融点より低い温度での加熱を通じて誘導することができる。エピタキシャル再結晶化に必要な最低温度は、非晶質Siで約550である。注入されたドーパント原子は、この再結晶化工程の間に置換的に組み込まれ、これにより活性化が起こる。ドーパント原子の拡散は、低い再結晶化温度の使用を通じて限定することができる。固相エピタキシーは、非平衡処理であるため、溶解限度を超えることも可能である。こうして、浅くて強い、活性化した接合を作ることができる。

【0012】

あるいはまた、ドーパント原子の活性化に、液相エピタキシーを用いてもよい。非晶質半導体材料は、より低い融点を有するという事実に鑑みて、半導体ボディの下にある半導体材料を溶解することなく、非晶質表面層を溶解することができる。ドーパント原子は、この工程の間に、溶解した表面層内に拡散する。液相でのドーパント原子の拡散係数は、固相での拡散係数よりも多数桁の違いで大きいため、ドーパント原子は、溶解した深さ内で実質的に均一に再分配され、これにより急激な接合が形成される。次に、非晶質表面層が再結晶化する温度への冷却が起こる。これは、溶解した半導体材料が、下にある半導体ボディから離れる方向へ再結晶化するために可能となる。

【0013】

非晶質表面層が注入ダメージを吸収するため、拡散の一時的な増加がなく、エンドオブレンジダメージが原因で高熱で生じる転位ループおよび他の欠陥の密集がない。急勾配のドーピングプロファイルを有する接合が、形成される。接合の空乏領域に転位ループがないことにより、接合リーケが大きく減少する。

【0014】

結晶表面層は、例えば1ns以下の短いレーザーパルスを生成するエキシマーレーザーを用いた照射を通じて非晶質化することが好ましい。248nmの波長を持つKrFエキシマーレーザー、または193nmの波長を持つArFエキシマーレーザー等の、短い波長を持つレーザーは、比較的小さな吸収長を持ち、特に高出力での表面層の均一な加熱に非常に適している。

【0015】

概して1nsよりも短いレーザーパルスの使用は、表面層が実際に溶解することを意味するが、熱平衡自体はまだ確立されない。溶解した表面層は、比較的冷たい半導体ボディ

に直に接触している。これは、半導体ボディに向けて強い熱流束を引き起こし、これにより溶解した半導体材料が過冷される。強い冷却のせいで、液体半導体材料の粘度が大きく上がる。液相に核のあるサイトがないことにより、過冷された半導体材料は、その温度が非晶質半導体材料のガラス温度より下がった際に、非晶質材料になる。

【0016】

非晶質表面層は、レーザーエネルギー密度およびパルス幅に応じて、約10～数10ナノメートルの深さまで制御して形成することができる。レーザーにより非晶質化される層の深さが、最終的な接合の深さを、高い度合いで決定する。よって、非晶質化工程でのレーザーエネルギー密度およびパルス幅の選択は、この手順で形成することができるp n接合の深さの決定要因である。

10

【0017】

溶解のダイナミクスは、投射されるエネルギーでなく吸収されるエネルギーに依存するため、特にトポグラフィーの違いまたは溶解中の表面の荒さの変化により引き起こされる表面での反射を、吸収層によって減少させることができ、極めて有益である。問題となるレーザー光線の波長のための吸収層を設けることが、レーザー光線の均一な吸収、および、特にp n接合の領域での均一な熱伝達を達成するために、有益である。局所加熱を可能にするために、吸収層にパターンをつけてもよい。放射は、パターンが設けられた位置でより良く吸収され、これにより表面層の温度が局所的に上昇する。

【0018】

半導体ボディは、一般に、MOSFETトランジスタ、バイポーラトランジスタ、またはダイオード等の半導体装置を備える。半導体装置は、通常、半導体回路の製造中に分離されるので、トポグラフィーの違いが存在する。

20

【0019】

半導体装置は、例えば、論理集積回路（IC）、メモリ、または光学部品とすることができます。ICは、例えば、携帯電話、電気通信ネットワーク、またはパーソナルコンピュータに使用することができます。

【発明を実施するための最良の形態】

【0020】

本発明に係る装置の、これらおよび他の態様を、図面を参照して更に詳しく説明する。

【0021】

図1に示す半導体ボディ2を有する半導体装置1の製造方法では、ドープ領域3が半導体ボディ2に形成される。半導体ボディ2は、半導体材料の結晶半導体表面領域4を含む。結晶半導体表面領域4の少なくとも一部分が非晶質化され、非晶質表面層5を形成する。半導体ボディ2の半導体材料は、例えば、Si、Ge、またはSiとGeの化合物とすることができる。半導体ボディは、代わりに、シリコンオインシュレータ（SOI）ウェハ、あるいは、例えばセラミック材料またはガラスの基板に設けられた半導体材料の層としてもよい。

30

【0022】

図1aは、半導体材料の結晶表面層5から始まり、結晶表面層5が非晶質化されて非晶質表面層5が形成される。非晶質化は、表面6への、表面領域4に吸収される放射パルスの照射を通じて行われ、この放射は、放射が結晶表面領域4に吸収されるように選択された波長を有し、一方で、そのエネルギー束は、結晶表面層5を溶解するように選択される。

40

【0023】

示された実施形態においては、Si半導体ボディ2の表面に、KrFエキシマーレーザーからの、248nmの波長を有する放射パルス7が照射される。結晶シリコン表面6に、15psの間、100mJ/cm²のエネルギー密度で照射が行われる。結晶Siは、約30nmの深さ9まで溶解する。短いパルス期間は、半導体ボディ2が実質的には熱されないことを意味し、半導体ボディ2への熱流束は、通常、10¹⁰K/sよりも高い。熱流束は速やかに放出されるが、これは特に、Siの熱伝導の係数が比較的高いためである。

50

る。Siの非晶質化速度が、通常、15 m/sよりもずっと高く、エピタキシャル再結晶化速度が、5~15 m/s程度のみとなっているため、非晶質上位層5が形成される。示された実施形態の非晶質Si表面層5の深さ9は、約30 nmである。

【0024】

その後図1bにおいて、ドープ領域3が、ドーパントイオン8の注入を通じて形成される。ドーパントイオン8は、例えば、As、P、Sb、B、またはInとすることができます。注入の間、ドーパントイオンの投影範囲14は、非晶質表面層5に位置する。注入がこの非晶質表面層5で行われるため、注入ダメージは、非晶質表面層5に吸収される。したがって、非晶質-結晶界面15はダメージを受けずにすむ。

【0025】

示された実施形態では、Bイオンが、1 keVのエネルギーにより 1×10^{15} at/cm² の注入ドーズで注入される。注入イオンの投影範囲14は、示された実施形態においては、0.5 keVのB、2~5 keVのAs、1 keVのP、5~10 keVのSbのエネルギーレベルに対し、通常25 nmよりも小さく、一方で注入ドーズは、通常、 3×10^{14} から 3×10^{15} at/cm² の間で選択される。図1bにおける曲線aは、注入されたドーピング濃度を、非晶質表面層5内の深さ9の関数として表わしている。

【0026】

図1cでは、ドーピング原子8が、示された実施形態の高速熱アニーリング処理(Rapid Thermal Annealing Process)で活性化される。半導体ボディ2は、RTAにて、いわゆるスパイクアニールで急速に加熱され、その後直ちに、十分に再冷却される。示された実施形態では、B原子が1000で約1秒間加熱され、直ちに再冷却される。加熱後のドーパント原子の濃度プロファイルは、曲線bで示されるように、ダメージがないおかげで、注入されたドーピングプロファイルと実質的に同一のままである。よって、ダメージがないことから、拡散が実質的に存在しない。冷却の最中に、Siが、非晶質-結晶界面5から表面6の方向へ再結晶化し、B原子がSiの格子サイトに置換的に組み込まれる。非常に浅いドープp型領域3が、約30 nmの深さ9で形成される。

【0027】

あるいはまた、Bドーピングを、248 nmのKrFレーザーにより、500 mJ/cm²のレーザーハニールを30 nsの間行うことによって活性化してもよい。比較的高いエネルギー束および比較的長いパルス幅が、非晶質表面層5の融解を引き起こす。液相でのドーパント原子の拡散係数は、固相でのそれよりも数桁の違いで大きい。したがって、例えば、SiでのBの拡散係数は、固相よりも液相において、約8桁大きい。この場合、ドーパント原子8の分布は、溶解表面層5の全体に亘って実質的に均一である。熱を十分に早く除去することができないため、溶解後に再結晶化が起こり、非晶質-結晶界面15から始まって半導体ボディ2の表面6の方へ向かう。

【0028】

ドーパント原子8は、再結晶化の間に、格子サイトに置換的に組み込まれ、その結果、電気的に活性化する。上記パルス幅およびエネルギー束を与えられたp型接合は、約30 nmの深さ9を持ち、10あたり約0.2 nmの急激な傾斜を有する。200オーム/平方の、比較的に非常に低いシート抵抗が、事実上すべてのB原子がSi格子内に置換的に存在し、適宜に電気的に活性化していることを示している。このようにして得られた接合は極めて浅く、高い電気的活性度および低いシート抵抗を有している。

【0029】

図2に示された実施形態では、半導体装置はMOSFET11である。この方法は、Si半導体ボディ2から始まり、これに、例えばポリシリコンで作られたnウェル16、アイソレーション17、ゲート誘電体25、およびゲート18が設けられている。これらはすべて、当業者に周知の方法で形成される。

【0030】

放射のための吸収層10が、ゲート18を有する半導体ボディ2の表面6に設けられる。本実施形態では、248 nmのレーザー放射のための吸収層10が、12 nmのTEO

10

20

30

40

50

S および 20 nm の Ti / TiN の多層で形成される。この表面に、その後、放射パルス 7 が照射される。

【0031】

図 2 a に示す実施形態においては、表面に、248 nm の KrF エキシマーレーザーによって、50 mJ / cm² のエネルギー密度で 15 ps の間、照射が行われる。これにより、ソース 12 およびドレイン 13 領域が、15 nm の深さ 9 まで非晶質化される。

【0032】

図 2 b において、その後、Ti / TiN の多層が除去される。Ti / TiN の多層は、例えば、フッ素を含む溶液での化学エッチング、あるいは、例えば He / SF₆ のプラズマでのリアクティブイオンエッチングで除去される。

【0033】

重要なことは、注入の間に金属原子が半導体ボディ 2 に入ることを防ぐために、吸収層 10 を除去しなければならないことである。

【0034】

図 2 c において、その後、ドーパント原子 8 が、非晶質表面層 5 に供給される。示された実施形態では、B イオンが、0.5 keV のエネルギーにより 1×10^{15} at / cm² のドーズで非晶質表面層 5 に注入される。例えばレジストなどの注入マスク 19 を使用して、B 原子が、該当する p 型トランジスタのソース 12 およびドレイン 13 領域のみに注入される。注入後、レジストマスク 19 が除去される。ドーパント原子は、急速熱アニーリング (RTA) 処理で活性化される。

【0035】

半導体ボディ 2 は、RTA において、いわゆるスパイクアニールによって急速に加熱され、その後実質的に直ちに再冷却される。示された実施形態では、B 原子が 1000 で約 1 秒間加熱され、その後直ちに冷却される。

【0036】

ドープ p 型領域 3 は、約 15 nm の深さを持つ。ドーピングプロファイルは、10 あたり 0.2 nm の急激な傾斜を持つ。200 オーム / 平方の、比較的低いシート抵抗が、ほとんどすべての B 原子が Si 格子内に置換的に存在し、適宜に電気的に活性化していることを示している。

【0037】

注入ダメージにより起こるソース 12 およびドレイン 13 領域の B テールによる短チャネル効果の被害を大きく被るのは、特に、周知の方法で製造された p チャネル MOSFET である。B の一時的な拡散の増加が、比較的高温でのドーパント原子の活性化の間に生じ、B テールの原因となる。この結果、急勾配のソースおよびドレイン接合は、周知の方法では良好に製造できない。対照的に、本発明に従う方法で製造されたソースおよびドレイン接合は、非常に浅い深さを有し、その結果、横向きの拡散也非常に少ない。これは、ソースおよびドレインがチャネルの長さに及ぼす影響を、比較的小さくする。短チャネル効果は、本発明に係る方法により減少される。本発明に係る方法は、したがって、概して 40 nm の非常に小さなチャネル長さを有する MOSFET に最適である。

【0038】

あるいはまた、図 3 に示されるように、ソース 12 およびドレイン 13 接合に、非常に浅い深さと高度の活性化を有する拡張部を設けてもよい。ソースおよびドレイン拡張部 20, 21 は、DIBL (Drain-Induced Barrier Lowering) 等の短チャネル効果や突き抜けを最小にするためには、非常に重要である。この配列では、直列抵抗は、主にソースおよびドレイン拡張部に存在するが、より深いソース 12 およびドレイン 13 接合が最終的にシリサイド化され、直列抵抗を減少させる。

【0039】

非常に浅いソースおよびドレイン拡張部 20, 21 は、短チャネル効果を抑制するのに有利であり、一方、高度の活性化は、MOSFET の直列抵抗の減少に貢献する。

【0040】

10

20

30

40

50

図3aは、例えばRTAでのイオン注入および拡散により、より深いソース12およびドレイン13接合が製造される、当業者に周知のMOSFET処理から始まる。

【0041】

任意に、ポケット22をイオン注入により設けてもよい。これらのポケット22は、トランジスタの動作中に、ソース12およびドレイン13接合の空乏領域の減少に役立つ。このため、ポケットのドーピングは一般により高く、また、ウェルのドーピング（この場合はn型）と同一のタイプである。

【0042】

図3bにおいて、スペーサ23が除去される。スペーサは、例えば、窒化シリコンにより作られ、 H_3PO_4 で化学的にエッティングすることが可能である。

【0043】

図3cにおいて、その後、12nmのTEOSと20nmのTi/TiNの多層とから成る吸収層10が設けられる。次に、深いソースおよびドレイン拡張部20, 21が、本発明に係る方法で形成される。上述の表面照射が使用される。これにより、非常に深い深さ9を有する非晶質表面層5が作られる。

【0044】

吸収層10が除去され、直ちに、ソースおよびドレイン拡張部21, 22ならびにゲート18が注入される（図3dを参照）。

【0045】

ドーパント原子が、その後、上述の方法で、例えば急速熱アニーリングまたはレーザーアニーリングにより活性化される。

【0046】

大きな利点は、ドーパント原子の非常に良好な活性化が、この最後の工程で得られ、その後の処理では、ドーパント原子の非活性化をもたらす比較的高熱の工程がそれ以上必要とされないことである。ドーパント原子の良好な活性化は、ソースおよびドレイン拡張部のシート抵抗と、ソースおよびドレインならびに多結晶シリコンの抵抗を比較的低くする。この結果、本発明に従って製造されたMOSFETのソースとドレインの間では、比較的大きな電流が流れる。

【0047】

本発明は、上述の例に限定されず、すべてのタイプのダイオード、特に発光ダイオード（LED）、バイポーラトランジスタ、または、他のヘテロ構造バイポーラトランジスタ、フラッシュやEEPROMなどのメモリセル等に、使用可能であることに留意されたい。また、本発明はp型トランジスタに限定されず、n型トランジスタに対しても、同等に好適に用いることができる。この方法はシリコンに限定されず、ゲルマニウム、ならびに、GeおよびSiを含む化合物に対しても用いることができる。

【0048】

当業者には明らかなように、特定の実施形態における特定の寸法および材料は、変更が可能である。

【図面の簡単な説明】

【0049】

【図1a】図1は、半導体装置の製造方法の工程を順番に示す図であり、図1a～図1cにおいて中間装置の断面を示しており、図1aは、表面層を非晶質化した後の中間装置の断面図である。

【図1b】図1bは、非晶質表面層にドーパント原子を注入した後の中間装置の断面図である。

【図1c】図1cは、ドーパント原子を活性化および拡散させた後の中間装置の断面図である。

【図2a】図2は、MOSFET内のソースおよびドレイン接合の製造方法の工程を順番に示す図であり、図2aは、ゲート、ソース、およびドレイン接合が吸収層で覆われた中間装置の断面図である。

10

20

30

40

50

【図2b】図2bは、ソースおよびドレイン接合がレーザーパルスにより非晶質化された中間装置の断面図である。

【図2c】図2cは、ソースおよびドレイン接合が非晶質表面層に注入された中間装置の断面図である。

【図3a】図3は、MOSFET内のソースおよびドレイン拡張部の製造方法の工程を順番に示す図であり、図3aは、ゲート、ソース、およびドレイン接合ならびにスペーサを有する構造を開始時とする、中間装置の断面図である。

【図3b】図3bは、スペーサが除去された中間装置の断面図である。

【図3c】図3cは、ゲート、ソース、およびドレイン接合が吸収層に覆われ、表面に放射パルスが照射された中間装置の断面図である。

【図3d】図3dは、MOSFETのソースおよびドレイン接合が形成された断面図である。

10

【図1a】

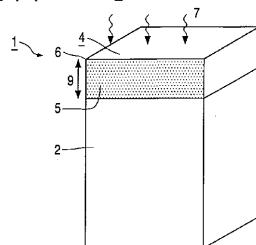
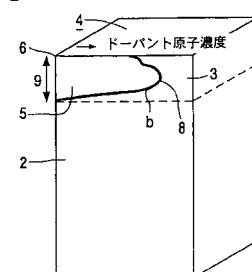
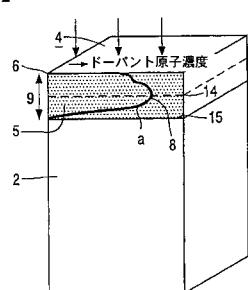


FIG. 1a

【図1c】



【図1b】



【図2a】

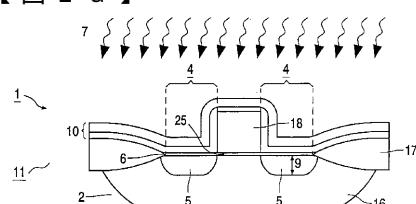
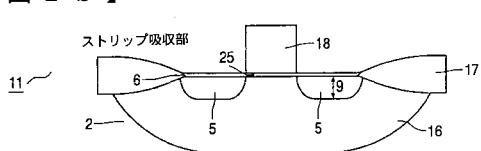
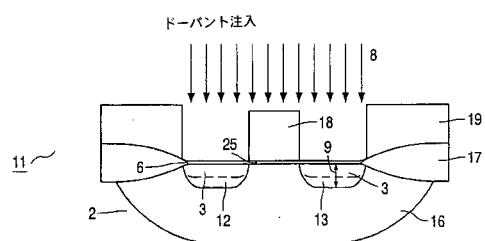


FIG. 2a

【図2b】



【図 2 c】



【図 3 c】

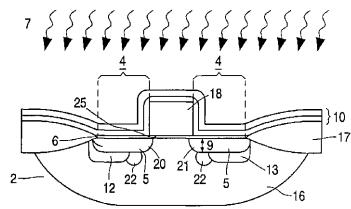


FIG. 3c

【図 3 a】

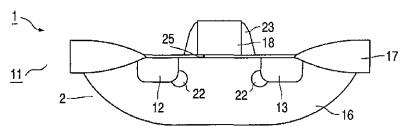


FIG. 3a

【図 3 d】

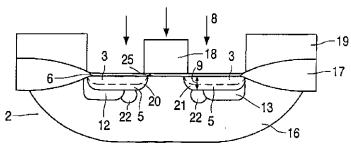


FIG. 3d

【図 3 b】

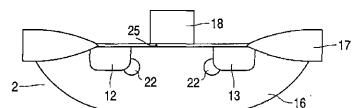


FIG. 3b

【国際調査報告】

INTERNATIONAL SEARCH REPORT		Intern. Application No PCT/IB 02/04881																		
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L21/268 H01L21/265 H01L21/324 H01L21/225 H01L29/08 H01L21/336 H01L21/263																				
According to International Patent Classification (IPC) or to both national classification and IPC																				
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L																				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched																				
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ																				
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category *</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="text-align: center; padding: 2px;">X</td> <td style="text-align: left; padding: 2px;">PATENT ABSTRACTS OF JAPAN vol. 014, no. 012 (E-871), 11 January 1990 (1990-01-11) & JP 01 256124 A (RICOH CO LTD), 12 October 1989 (1989-10-12) abstract</td> <td style="text-align: center; padding: 2px;">1-4, 6, 7, 10, 12</td> </tr> <tr> <td style="text-align: center; padding: 2px;">Y</td> <td style="text-align: left; padding: 2px;">---</td> <td style="text-align: center; padding: 2px;">5, 8, 9, 11</td> </tr> <tr> <td style="text-align: center; padding: 2px;">Y</td> <td style="text-align: left; padding: 2px;">US 5 953 615 A (YU BIN) 14 September 1999 (1999-09-14) column 1, line 5 - line 24 column 2, line 1 - line 55; figures 1-4 column 3, line 1 - line 5</td> <td style="text-align: center; padding: 2px;">5, 9, 11</td> </tr> <tr> <td style="text-align: center; padding: 2px;">A</td> <td style="text-align: left; padding: 2px;">---</td> <td style="text-align: center; padding: 2px;">1-3, 9, 10, 12</td> </tr> <tr> <td style="text-align: center; padding: 2px;"></td> <td style="text-align: left; padding: 2px;">---</td> <td style="text-align: center; padding: 2px;">-/-</td> </tr> </tbody> </table>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	PATENT ABSTRACTS OF JAPAN vol. 014, no. 012 (E-871), 11 January 1990 (1990-01-11) & JP 01 256124 A (RICOH CO LTD), 12 October 1989 (1989-10-12) abstract	1-4, 6, 7, 10, 12	Y	---	5, 8, 9, 11	Y	US 5 953 615 A (YU BIN) 14 September 1999 (1999-09-14) column 1, line 5 - line 24 column 2, line 1 - line 55; figures 1-4 column 3, line 1 - line 5	5, 9, 11	A	---	1-3, 9, 10, 12		---	-/-
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																		
X	PATENT ABSTRACTS OF JAPAN vol. 014, no. 012 (E-871), 11 January 1990 (1990-01-11) & JP 01 256124 A (RICOH CO LTD), 12 October 1989 (1989-10-12) abstract	1-4, 6, 7, 10, 12																		
Y	---	5, 8, 9, 11																		
Y	US 5 953 615 A (YU BIN) 14 September 1999 (1999-09-14) column 1, line 5 - line 24 column 2, line 1 - line 55; figures 1-4 column 3, line 1 - line 5	5, 9, 11																		
A	---	1-3, 9, 10, 12																		
	---	-/-																		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.																		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed																				
T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *&* document member of the same patent family																				
Date of the actual completion of the international search		Date of mailing of the international search report																		
3 June 2003		17/06/2003																		
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Klopfenstein, P																		

INTERNATIONAL SEARCH REPORT		Intern	Application No
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		PCT/IB 02/04881	
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	
Y	US 4 535 220 A (CULLIS ANTHONY G ET AL) 13 August 1985 (1985-08-13) column 1, line 17 - line 20 column 1, line 63 -column 2, line 7 column 2, line 38 -column 3, line 13; figures 4,5	5,8	
A	---	1,6,7,12	
A	PARK C ET AL: "50NM SOI CMOS TRANSISTORS WITH ULTRA SHALLOW JUNCTION USING LASER ANNEALING AND PRE-AMORPHIZATION IMPLANTATION" 2001 SYMPOSIUM ON VLSI TECHNOLOGY. DIGEST OF TECHNICAL PAPERS. KYOTO, JAPAN, JUNE 12 - 14, 2001, SYMPOSIUM ON VLSI TECHNOLOGY, TOKYO: JSAP, JP, 12 June 2001 (2001-06-12), pages 69-70, XP001043374 ISBN: 4-89114-012-7 the whole document	1-5, 10-12	

INTERNATIONAL SEARCH REPORT Information on patent family members				Intern. Application No PCT/IB 02/04881
Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
JP 01256124	A 12-10-1989	NONE		
US 5953615	A 14-09-1999	NONE		
US 4535220	A 13-08-1985	GB 2108761 A ,B	18-05-1983	

フロントページの続き

(51)Int.Cl.⁷

H 0 1 L 29/786

F I

H 0 1 L 29/78

テーマコード(参考)

6 1 6 L

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW, ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES, FI,GB,GD,GE,GH,GM,HR,HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, N 0, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100082991

弁理士 佐藤 泰和

(74)代理人 100096921

弁理士 吉元 弘

(74)代理人 100103263

弁理士 川崎 康

(74)代理人 100107582

弁理士 關根 毅

(72)発明者 ピーター、アー・ストルク

オランダ国 5 6 5 6、アーアー、アインドーフェン、プロフ・ホルストラーン、6

F ターム(参考) 5F052 AA02 BB07 DA02 DA03 FA05 JA01 JA05 JA07

5F110 AA06 CC02 DD01 DD02 DD05 DD13 GG01 GG02 GG03 GG12

HJ01 HJ13 HJ23 HK05 HM15 PP02 PP03 PP27 PP31

5F140 AA21 AA24 AA27 AC36 BA01 BA03 BA05 BA13 BG54 BH15

BH28 BH36 BH50 BJ01 BJ08 BK03 BK08 BK09 BK13 BK21

BK22 CB01 CB08 CE18 CF07