

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 11 月 5 日(05.11.2015)



(10) 国際公開番号

WO 2015/166570 A1

- (51) 国際特許分類:
H01L 21/82 (2006.01) G03F 1/70 (2012.01)
G03F 1/24 (2012.01) G06F 17/50 (2006.01)
- (21) 国際出願番号: PCT/JP2014/062054
- (22) 国際出願日: 2014 年 5 月 1 日(01.05.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: ルネサスエレクトロニクス株式会社
(RENESAS ELECTRONICS CORPORATION)
[JP/JP]; 〒1350061 東京都江東区豊洲三丁目 2 番
2 4 号 Tokyo (JP).
- (72) 発明者: 加門 和也(KAMON, Kazuya); 〒1350061
東京都江東区豊洲三丁目 2 番 2 4 号 ルネサス
エレクトロニクス株式会社内 Tokyo (JP).
- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI
PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市

北区中之島二丁目 2 番 7 号 中之島セントラル
タワー Osaka (JP).

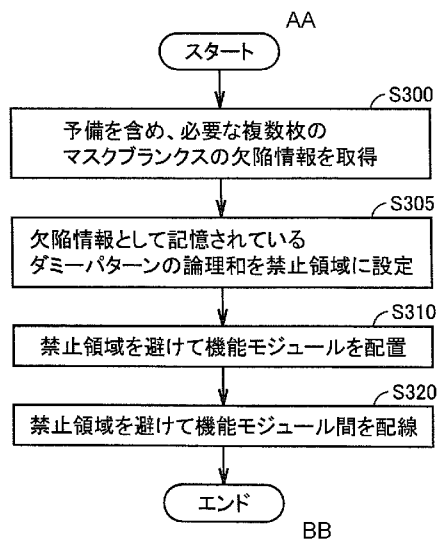
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: METHOD AND APPARATUS FOR DESIGNING SEMICONDUCTOR INTEGRATED CIRCUIT LAYOUT

(54) 発明の名称: 半導体集積回路のレイアウト設計方法および装置

[図5]



- S300 Acquire defect information of a plurality of required
mask blanks including auxiliary mask blank
- S305 Set, as inhibition region, dummy pattern OR stored as
defect information
- S310 Dispose functional modules avoiding inhibition region
- S320 Dispose wiring line among functional modules avoiding
inhibition region
- AA Start
- BB End

(57) Abstract: According to one embodiment of the
present invention, in a method for designing a semicon-
ductor integrated circuit layout, inhibition regions (DP1-
DP5) are set on the basis of defect information (DF1-
DF5) of mask blanks (M1-M5). A disposition/wiring
tool disposes a plurality of functional modules (40)
by avoiding the inhibition regions thus set, and generates a
wiring pattern (42) among the functional modules by
avoiding the inhibition regions.

(57) 要約: 一実施の形態による半導体集積回
路のレイアウト設計方法では、マスクブラン
ク(M1~M5)の欠陥情報(DF1~DF5)
に基づいて禁止領域(DP1~DP5)が
設定される。配置配線ツールは、設定された
禁止領域を避けて複数の機能モジュール(4
0)を配置し、禁止領域を避けて複数の機能
モジュール間の配線パターン(42)を生成
する。

WO 2015/166570 A1



NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI 添付公開書類:

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, — 国際調査報告 (条約第 21 条(3))
MR, NE, SN, TD, TG).

明 細 書

発明の名称：半導体集積回路のレイアウト設計方法および装置 技術分野

[0001] この発明は、半導体集積回路のレイアウト設計方法および装置に関し、たとえば、EUV (Extreme Ultra-Violet) マスク用のパターンレイアウトを作製する際に好適に用いられるものである。

背景技術

[0002] LSI (Large Scaled Integration) 用のマスク製造では、マスクブランクには欠陥が全くないことを前提としている。しかし、実際には光露光用のマスクブランク（反射防止膜を含めてもせいぜい2－3層の構造）の場合でも、欠陥の発生確率はなかなか0にはならず、数%の確率で欠陥が発生している。もし欠陥が発生したら、洗浄または修正を試みるが、それでも、修正しきれない場合は、マスクブランクの再作製にならざるを得ない。

[0003] EUV露光用のマスクブランクの場合はさらに深刻である。EUV用マスクブランクでは、40－60層の多層膜による反射を利用している。したがって、EUV露光用のマスクブランクは、光露光用のマスクブランクに比べて欠陥の発生する確率はかなり大きい。さらに、発生した欠陥を修正するのも至難の業である。具体的に、マスクブランクの修正のためには、一旦多層膜をはがし、異物を取り除いてから再び多層膜を形成することになる。この場合、修正の有無で多層膜の反射率および位相に有意差があってはならないし、修正部分と無修正部分との境界に不整合があってはならない。このように、修正にかかる手間およびコストを勘案すると、EUV露光用のマスクブランクの欠陥を修正するのは、事実上不可能である。

[0004] そこで、欠陥のあるマスクブランクスを利用してマスク作製を行う方法が、複数の文献（特許文献1～4）で提案されている。これらの文献の方法は、マスクブランクに対して、欠陥の種類及び欠陥の座標等を含む欠陥情報が付与される点で共通している。

[0005] ここで、EUV用のマスクは、反射層としてのMo/Si（モリブデン／シリコン）多層膜、SiO₂（二酸化珪素）膜、および遮光を行う吸収層としてのTa（タンタル）膜が基板上に積層された構成を有し、Ta膜がパターン状に加工される。欠陥箇所を吸収層であるTa膜のパターンに重ねることによって、欠陥の影響が除去される。

[0006] 具体的に、欠陥箇所をTa膜のパターンに重ねるために、特開2010-008738号公報（特許文献1）に記載の方法では、マスクブランクの主表面と平行な面内でマスクブランクを回転させる。特開2010-219445号公報（特許文献2）、特開2001-033941号公報（特許文献3）、および特開2004-170948号公報（特許文献4）に記載の方法では、回路パターンをマスクブランクの面内方向で移動したり、面内で回転したり、回路パターンの倍率を変更したりする。

先行技術文献

特許文献

- [0007] 特許文献1：特開2010-008738号公報
特許文献2：特開2010-219445号公報
特許文献3：特開2001-033941号公報
特許文献4：特開2004-170948号公報

発明の概要

発明が解決しようとする課題

[0008] マスクブランク上に形成する回路パターンの位置は、露光装置の制約のためにほぼ決まっており、マスクブランク上での回路パターンの配置の自由度は大きくない。このため、EUV露光用のマスクのように欠陥の数が比較的多くなる場合には、上記の文献に記載の方法で全ての欠陥箇所を避けるように回路パターンを形成することは困難である。結果として、フォトマスクを再作製することになると、コストが増加し、納期が遅延し、資源を浪費する等の問題が生じる。

[0009] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0010] 一実施の形態による半導体集積回路のレイアウト設計方法では、マスクブランクの欠陥情報に基づいて禁止領域が設定される。配置配線ツールは、設定された禁止領域を避けて複数の機能モジュールを配置し、禁止領域を避けて複数の機能モジュール間の配線パターンを生成する。

発明の効果

[0011] 上記の実施の形態によれば、欠陥を含むマスクを用いて半導体集積回路装置を製造することが可能になる。

図面の簡単な説明

[0012] [図1]実施の形態1によるレイアウト設計方法を含む、半導体集積回路用のマスク作製手順を示すフローチャートである。

[図2]マスクブランクに付随する欠陥情報の作成手順を示すフローチャートである。

[図3]マスクブランク上の欠陥およびそれを覆うダミーパターンの例を模式的に示す平面図である。

[図4]実施の形態1による半導体集積回路のレイアウト設計方法を具現化するためのコンピュータシステムの構成図である。

[図5]図1のレイアウト設計の手順の詳細を示すフローチャートである。

[図6]複数のマスクブランク上に形成されたダミーパターンの論理和を模式的に示す平面図である。

[図7]フロアプランの一例を模式的に示す平面図である。

[図8]配置配線の例を模式的に示す平面図である。

[図9]機能モジュールの一例としてインバータの回路パターンを模式的に示す平面図である。

[図10]図9のX-X線に沿う断面図である。

[図11]図9のゲート電極を形成するためのマスクレイアウトを模式的に示す

平面図である。

[図12]実施の形態2による半導体集積回路のレイアウト設計方法において、レイアウト設計の手順を示すフローチャートである。

[図13]実施の形態2の場合において、フロアプランの一例を模式的に示す断面図である。

[図14]実施の形態3による半導体集積回路のレイアウト設計方法において、レイアウト設計の手順を示すフローチャートである。

[図15]実施の形態3の場合において、フロアプランの一例を模式的に示す断面図である。

発明を実施するための形態

[0013] 以下、各実施の形態について図面を参照して詳しく説明する。なお、同一または相当する部分には同一の参照符号を付して、その説明を繰返さない。

[0014] <実施の形態1>

図1は、実施の形態1によるレイアウト設計方法を含む、半導体集積回路用のマスク作製手順を示すフローチャートである。図1のフローチャートは、たとえば、半導体素子、液晶表示素子、および撮像素子（CCD：Charge-Coupled Device）などの半導体集積回路装置を製造する際、または薄膜磁気ヘッドなどのマイクロデバイスを製造する際に必要なマスク作製手順に関するものである。

[0015] 半導体集積回路装置のレイアウトパターンの設計では、図1のように、RTL（Register Transfer Level）で記述された製品仕様S100に基づき、例えばCAD（Computer Aided Design）等のコンピュータシステムを用いて、論理設計（論理合成）S105、論理検証S110、レイアウト設計S115、およびレイアウト検証S120の順で設計が進行していく。

[0016] ネットリストDT10は、HDL（ハードウェア記述言語：Hardware Description Language）で記述されたデジタル回路を論理合成することによって作成される。このネットリスト情報に従い、ゲートおよびネット（接続）をFPGA（Field-Programmable Gate Array）の論理ブロックおよびI／

O (Input/Output) ピンに割り当てる作業を配置配線という。この配置配線の作業は、FPGA開発ツールが自動的に行う。FPGA開発ツールに対してタイミング制約や回路面積の制約を与えることで、ある程度その制約に合わせた配置配線を実現できる。

[0017] 上記のHDLとは、ハードウェアの動作と接続とを記述するプログラミング言語のことである。デジタル回路設計ではハードウェア記述言語による設計入力が主流となっており、Verilog HDLとVHDLとが業界標準として広く普及している。VHDLは、米国国防総省の納入仕様書を原点としており、VHSIC (Very High Speed Integrated Circuits) Hardware Description Language を略してVHDLとなり、後にIEEE 1076として規格された。Verilog HDLは、民間企業の商用シミュレーション・ツール用の言語として誕生し、その後IEEE 1364として規格化されている。Verilog HDLもVHDLも抽象度の高い記述から部品の接続のような構造的な記述まで対応できる言語である。製品仕様をRTLのスタイルで記述することにより、論理合成ツールを用いて製品仕様をゲート・レベルのネットリストへ変換可能である。さらに、シミュレーション・ツールを使って、記述されたモデルの動作確認を行なうことができる。シミュレーションで使用するテストベンチもHDLで記述する。

[0018] セルライブラリDT12は、レイアウト設計済みのマクロセル（機能モジュール）を多数集めたデータベースのことである。セルライブラリDT12には、論理機能、電気特性、およびパターンレイアウトなど、LSI (Large Scale Integration) の設計に必要なデータが格納されている。機能モジュールは、たとえば、ADC (Analog-to-Digital Converter)、DAC (Digital-to-Analog Converter)、およびPLL (Phase Locked Loop) などのアナログ回路、SRAMおよびフラッシュメモリなどのメモリ回路、インバータ、容量素子、抵抗素子、コイル、I/O回路など多岐にわたる。セルライブラリDT12は、論理設計S105およびレイアウト設計S115で用いられる。

[0019] レイアウト設計 S 1 1 5 では、セルライブラリ D T 1 2 の情報とネットリスト D T 1 0 とに基づいて、自動配置配線ツールを用いて、チップ上のセルおよびマクロセルの配置を決定し（フロアプラン）、複数のセルおよび複数のマクロセルの相互の間を配線する。これによって、フォトマスク上のレイアウトパターン D T 1 6 が得られる。

[0020] 最近の半導体集積回路製品には、様々な機能が盛り込まれているので、人手での配置配線は不可能なほど回路規模が大きくなっている。このため、自動配置配線ツールが用いられる。配置配線ツールは、各種機能モジュールを配置し、配置した各種機能モジュール同士を配線して、半導体集積回路製品を設計していく。このとき、チップ面積の縮小と、信号のタイミングを合わせることが特に重要である。配置配線ツールでは、信号のタイミングが合わないときには、タイミングを調整するために冗長なインバータを挿入することもある。しかし、このような冗長回路が増えるとチップ面積が増えてしまうので、チップ面積の縮小と信号のタイミングの整合との最適化が行われる。なお、配置配線ツールは、半導体集積回路の設計を実現するコンピュータプログラムを指し、又は、コンピュータにプログラムがインストールされ半導体集積回路を設計可能な状態にあるコンピュータシステムをも指す。

[0021] F P G A の設計では、設計者の期待値通りの動作が実現するように、論理合成 S 1 0 5 およびレイアウト設計 S 1 1 5 を行う前に、いくつかの制約条件を開発ツールに入力しておく必要がある。設計の手戻りを少なくし、チップの開発期間を短縮し、無駄なチップコストおよび開発コストを発生させないためには、制約設定を正しく行うことが重要である。制約を設定するには、開発ツールに付属したウィザードを利用したり、テキストファイルに直接記述してインポートしたりする。制約設定が正しく行われていれば、最終的に開発ツールが、設定された制約を満たすように、チップの回路構成を自動的に最適化する。

[0022] ここで、実施の形態 1 による半導体集積回路装置のパターンレイアウトの設計方法では、マスクブランクスの欠陥情報が制約条件として利用される点

に特徴がある。欠陥情報とは、マスクブランク上に存在する、洗浄または修正によって除去できない欠陥の位置および大きさなどの情報をいう。

[0023] 具体的に、本実施の形態によるレイアウト設計方法では、マスクブランクに欠陥があった場合、その欠陥を覆うようにフラグ図形（ダミーパターン）を発生させる。フラグ図形の大きさは、露光装置の最小解像度以上という条件を満たしたうえで、欠陥を覆うのに必要最小限の大きさに設定される。フラグ図形の形状は、矩形または円形など特に限定されない。発生したフラグ図形は、マスクブランクに付随する情報としてGDSまたはOASISなどの標準形式で、欠陥情報ライブラリDT14に保存される。GUI（Graphical User Interface）を利用しない場合は、フラグ図形を保存する形式としてCSV形式を利用してもよい。フラグ図形の情報は、レイアウト設計時に、欠陥情報ライブラリDT14からレイアウト設計用の配置配線ツールへ配置制約条件として出力される。これによって、配置配線ツールは、フラグ図形を避けて機能モジュールを配置したり、フラグ図形を避けてモジュール同士を結線したりできる。フラグ図形はすなわち欠陥であるから、マスクブランクスの欠陥を避けて集積回路製品を設計することができる。

[0024] マスクレイアウトパターンの設計データが完成すると、設計データを用いてマスク描画を行うことにより、マスクが製造される（ステップS125）。電子ビーム（EB）またはレーザービームを用いた描画装置で描画することにより、複数のパターンを有するマスクが形成される。フォトマスクとしては、光露光用の透過型マスクに加えて、最近では、EUV露光用の多層膜反射マスクが実用化されようとしている。

[0025] 完成したマスクは、半導体集積回路製品の製造に使用される。紫外線（UV光）またはEUV光を用いた投影光学系により半導体基板上に集積回路パターンが一括露光される。すなわち、フォトマスクのパターン像は、フォトレジストが塗布されたウエハおよびガラスプレート等の上に投影される。さらに、このような操作を繰り返すことによって、素子分離構造、ウェル、拡散領域、ゲート電極層、および多層配線層などが順次形成され、半導体集積

回路装置が完成する。

[0026] 図2は、マスクブランクに付随する欠陥情報の作成手順を示すフローチャートである。図2を参照して、最初に、マスクブランクが作成される（ステップS200）。光マスクの場合は、透明基板の1主面上に遮光膜が形成される。要求精度に応じて、表面に反射防止膜を形成する場合がある。EUVマスクの場合は、基板の1主面上にSiとMoとによる40〜60層の多層反射膜が形成され、さらにその上にSiO₂膜が形成され、さらにその上に吸収層としてのTa膜が形成される。

[0027] 次に、マスク表面に付着した異物を除去するために、マスクブランクが洗浄される（ステップS205）。続いて、マスクブランク上の欠陥が検査される（ステップS210）。欠陥検査の手法としては、散乱光を利用する方法、die-by-die、およびdie-to-databaseといった公知の手法がある。

[0028] 修正可能な欠陥がある場合は（ステップS215でNO、ステップS220でYES）、欠陥の修正を試みた上で（ステップS225）、再び、マスクブランク上の欠陥が検査される（ステップS210）。

[0029] 一方、修正不可能な欠陥の場合には（ステップS220でNO）、欠陥の位置と大きさが計測される。欠陥の位置は、マスクブランク上の基準（fiducial）マークの位置を基準にして測定される。そして、欠陥を覆う最小の領域に認識レイヤでダミーパターン（フラグ図形）が生成される（ステップS235）。生成したダミーパターンは、マスクブランクに対応付けて欠陥情報ライブラリDT14に格納される（ステップS240）。

[0030] 図3は、マスクブランク上の欠陥およびそれを覆うダミーパターンの例を模式的に示す平面図である。図3では、説明を簡略化するために、各マスクに1個ずつ欠陥が発生した場合が示されているが、実際には、欠陥は1枚のマスクに複数発生する場合もあるし、無欠陥が実現できる場合もある。さらに、図3では、図解を容易にするために欠陥を実際よりも大きく記載しているが、実際の欠陥の大きさは、大きくても数μm程度である。

[0031] 図3の例では、特にパターン精度が必要なSTI（Shallow Trench Isol

ation) 層、ゲート電極層、コンタクト層、および第 1 金属配線層 (M 1) のマスク M 1 ~ M 4 について、E U V 露光が行われる。これらの主要なマスク M 1 ~ M 4 と予備のマスク M 5 とについて、図 3 に示すように欠陥 D F 1 ~ D F 5 が見つかったとする。この場合、欠陥を覆う最小の領域に認識レイヤでダミーパターン D P 1 ~ D P 5 がそれぞれ生成される。生成したダミーパターンは対応するマスクブランクに対応付けて図 1 の欠陥情報ライブラリ D T 1 4 に格納される。欠陥情報とともにマスクブランクがストックされる。

[0032] なお、新製品では、将来的にマスク改訂することも有りうるので、予備用のマスクブランクスについても欠陥情報をライブラリに格納して、必要な枚数のマスクブランクスをストックしておくのが好ましい。

[0033] なお、改訂対象となったマスクは、一旦マスクパターン（光マスクの場合の遮光膜、ならびに E U V マスクの場合の多層反射膜および吸収膜）を剥離し、再び遮光膜または多層反射膜を形成することによりマスクブランクスを形成するのが好ましい。修正不可能な欠陥がなくなることもあるし、同じ位置に欠陥が再現したとしても、同じマスクセットの次のマスク改訂用に使用することができる。もし、修正不可能な欠陥が別の位置に発生してしまった場合には、同じマスクセット用には使えないが、その欠陥の位置や大きさを計測することで、次のマスクセット用になら使うことができる。

[0034] 図 4 は、実施の形態 1 による半導体集積回路のレイアウト設計方法を具現化するためのコンピュータシステムの構成図である。

[0035] 一般に、半導体集積回路の設計には、汎用のコンピュータシステムが用いられる。図 4 を参照して、コンピュータシステム 1 0 は、1 つ以上のプロセッサ (C P U : Central Processing Unit) 1 2 と、R A M (Random Access Memory) 1 4 と、R O M (Read Only Memory) 1 6 とを含む。R O M 1 6 はコンピュータの基本的な操作システムを格納し、R A M 1 4 はプロセッサ 1 2 での現時点の処理に必要なアプリケーションおよびプログラムなどを格納する。

[0036] プロセッサで処理されるデータは、システムバス 3 4 を介して、ポート A

ダプタ 18 および I/O アダプタ 22 などから入力される。たとえば、設計用のプログラムおよび加工対象のデータは、大容量記憶装置（ハードディスクなど）またはリムーバブル記憶装置（磁気ディスク、光ディスク、フレキシブルディスクなど）24 から I/O アダプタ 22 を介して入力されたり、ポートアダプタ 18 を介してデータポート 20 から入力されたりする。ここで加工対象のデータとは、図 1 のネットリスト DT 10、セルライブラリ DT 12、欠陥情報ライブラリ DT 14、レイアウトパターン DT 16 などである。

[0037] ユーザは、ユーザインターフェースアダプタ 26 を介してマウスおよびキーボードなどによる操作を行う。プロセッサ 12 による処理結果は、ディスプレイアダプタ 30 を介して、CRT (Cathode Ray Tube) または液晶ディスプレイなどの表示デバイス 32 に表示される。

[0038] 図 5 は、図 1 のレイアウト設計の手順の詳細を示すフローチャートである。図 5 に示す各手順は、図 4 のプロセッサ 12 で配置配線ツール等のプログラムが実行されることに実現される。

[0039] まず、プロセッサ 12 は、予備を含めて必要な複数枚のマスクブランクスに対応する欠陥情報を図 1 の欠陥情報ライブラリ DT 14 から取得する（ステップ S 300）。予備マスクを含める理由は、マスク改訂の場合は予備マスクを使うことになるため、予備マスクの欠陥情報も考慮して配置配線を行う必要があるからである。

[0040] 次に、プロセッサ 12 は、取得した欠陥情報として記憶されている複数のダミーパターンの論理和（以下、「禁止領域」と称する）を生成する（ステップ S 305）。プロセッサ 12 は、生成した禁止領域を配置配線ツールで読み取れるフォーマットで出力する。具体的には、GDS 2 や OASIS 等の標準フォーマットで出力するのが好ましい。もしくは、CSV 形式で禁止領域を出力してもよい。

[0041] 次に、配置配線ツールでの処理に移る。配置配線ツールにおいて、プロセッサ 12 は、上記の禁止領域を読み込み、この禁止領域を配置制約事項とし

たり、未使用ピン（P I N）として設定したりする。これによって、配置配線ツールは、禁止領域を避けて機能モジュールの位置を微調整して配置したり（ステップS 3 1 0）、禁止領域を避けて機能モジュール間の配線を行ったり（ステップS 3 2 0）することができる。

[0042] 以下、「ピン・アサイン」の制約について説明する。ピン・アサインとは、ハードウェア的に接続されるように、F P G Aのピン番号と回路図上のピンとを正しく対応させることをいう。但し、単にピン同士を電氣的に接続するだけでは、信号品質（シグナルインテグリティ）および／またはタイミングの問題が実機上で生じることがある。さらには、配線層の増加または再設計によってプリント基板のコストアップの要因になることがあるので注意が必要である。

[0043] プリント基板上でF P G Aを正しく動作させるためには、ピンの割り当てを行う際に、プリント基板上の回路設計および電子部品の実装も考慮しなければならない。クロックピンおよびディファレンシャルピンの配置といったI／Oピンの構造、内部のセル構造などに関連するチップ固有の制約については、データシートで確認することによりピン・アサインの制約を正確に行うことが重要である。プリント基板上におけるF P G Aの配置と、その配線の要件を満たしたピン・アサインを作成することによって、F P G A設計者、プリント基板設計者およびハードウェア設計者の間で発生する手戻りを少なくすることができ、その結果、設計のコスト削減および設計期間の短縮が実現できる。

[0044] 市販ツールであるアルテラ社のQ u a r t u s I Iではピン情報の編集を行うために可視化ツール「P i n P l a n n e r（ピン・プランナ）」が搭載されている。この機能を使用することにより、作成した回路（デザイン）の入力ピン、出力ピンおよび双方向ピンを、F P G Aの目的のピンに割り当てることができる。このP i n P l a n n e rはG U Iを使用して、ドラッグ&ドロップなどグラフィカルにピンの設定が行える。さらに、P i n P l a n n e rではピンの割り当てだけではなく、ピンのI／O規格の

設定および未使用ピンの処理方法なども設定することができる。

[0045] Quartus II では GUI での操作に加えて、CSV（カンマ区切り）ファイルを使用した設定も可能である。CSV ファイルを編集する際の表記については、決められたフォーマットで記述する必要がある。

[0046] 例えば、ピン番号を変更する場合は、Location 欄のピン番号を編集する。記述例は以下のようになる。

[0047] 記述 : PIN_番号

記述例 : PIN_E2

I/O 規格を変更する場合は、I/O Standard 欄の規格名を編集する。記述は以下の通りである。

[0048] 記述例 : 3.3V LVTTTL

このように、Quartus II を用いてピン・アサイン制約を設定する方法としては、GUI ベースの“Pin Planner”と、“CSV”ベースの方法との2つのインポート方法がある。このため、設計者は使用するチップの種類、作業効率、設計の熟練度などに応じて、設定しやすい方法でピン・アサインを行うことができる。

[0049] 図6は、複数のマスクブランクス上に形成されたダミーパターンの論理和を模式的に示す平面図である。図6でハッチング付した領域は、図3（A）～（E）に示したダミーパターンDP1～DP5の論理和（禁止領域）である。

[0050] 図7は、フロアプランの一例を模式的に示す平面図である。図7では、図6で示した禁止領域（ダミーパターンDP1～DP5の論理和）を避けて各種機能モジュール40が配置されている例が示されている。機能モジュール40が配置されるチップ領域46を取り囲んでダイシング領域48が設けられる。

[0051] 図8は、配置配線の例を模式的に示す平面図である。図8では、図7のフロアプランの例において、禁止領域（ダミーパターンDP1～DP5の論理和）を避けて配線パターン42が生成される例が示されている。

[0052] 図9は、機能モジュールの一例としてインバータの回路パターンを模式的に示す平面図である。図10は、図9のX-X線に沿う断面図である。図9および図10において、領域80が機能モジュールの範囲に相当する。

[0053] 図9および図10に示すインバータを形成するためには、以下のマスクI～VIIが少なくとも必要である。

[0054] マスクI：P型半導体基板50上にN型ウェル領域52を規定する。

マスクII：STI領域54を規定する。

[0055] マスクIII：P+拡散層56A，56Bの領域を規定する。

マスクIV：N+拡散層58A，58Bの領域を規定する。

[0056] マスクV：ゲート酸化膜62およびゲート電極60の領域を規定する。

マスクVI：絶縁膜64中にコンタクト74，76，78，82を規定する。

[0057] マスクVII：第1の金属配線66，68，70，72を規定する。

以上のマスクのうち、少なくともマスクII，V，VI，VIIを、EUV露光装置用のマスクとして形成するものとする。したがって、これらのマスクに欠陥が含まれていても半導体集積回路装置が製造可能であることが望ましい。

[0058] 図11は、図9のゲート電極を形成するためのマスクレイアウトを模式的に示す平面図である。

[0059] 図11を参照して、従来技術では、ゲート電極パターン84を規定するためのマスクVに欠陥DP2が含まれている場合、その欠陥DP2がTa層（吸収層）のパターンに含まれるように、マスクVに描画するパターン全体を移動させていた。たとえば、ゲート電極パターン84がTa層で形成される場合には、ゲート電極パターン84の内部に欠陥DP2が位置するようにパターン全体の位置がシフトされる。このため、マスクブランクに含まれる欠陥が増加するにつれて欠陥を避けるようにパターン全体を配置することが困難になってしまう。

[0060] 一方、実施の形態1によるレイアウト設計方法によれば、欠陥DF2（よ

り詳しくは、欠陥DF2を覆うダミーパターンDP2)が機能モジュールの配置領域86の外に位置するように、機能モジュールの配置領域86が決定される。すなわち、従来技術では、図1のマスク描画S125の段階でマスクブランクス上でのパターンの配置が微修正されていたのに対して、実施の形態1の場合には、レイアウト設計S115の段階で欠陥情報を考慮して配置配線が行われる。この点で、実施の形態1によるレイアウト設計方法は、従来技術と大きく異なる。

[0061] 機能モジュールは、一例として、各々ゲート電極配線を含む複数のトランジスタ、ゲート電極よりも上層の1または複数の金属配線層、およびこれら複数のトランジスタと金属配線層との間を接続するコンタクトで構成される。機能モジュールを構成する配線の配線パターンは検証済みであるので、機能モジュールの内部の配線パターンの一部を、欠陥を避けるように変更してはならない。たとえば、図11の場合には、ゲート電極パターン84の形状自体を変更してはならない。もし、変更した場合には、新たにパターン検証が必要になってしまうからである。そして、機能モジュールのある配線パターンを形成するための1つのマスクに欠陥があるがその他の配線の配線パターンを形成するための1または複数のマスクに欠陥がないとしても、機能モジュール全体で（すなわち、全てのマスクで）その欠陥を避けて当該機能モジュールを配置する。

[0062] 以上説明したように、実施の形態1による半導体集積回路のレイアウト設計方法によれば、マスクブランクス上に残った修正不可能な欠陥を含む領域を、ダミーパターンまたは未使用PIN領域に設定し、機能モジュールおよび配線領域として使用することを禁止する。このような制約条件の下に自動配置配線を行うので、欠陥の存在するマスクブランクスでもLSIの製造に使用することができる。この結果、マスクの製造コストが低減し、マスクの納期が短縮し、資源の浪費がなくなるという効果を奏する。

[0063] なお、上記の例において、第1金属配線層M1のマスクブランクスに欠陥がある場合、その直上の第2金属配線層M2のパターンレイアウトは多少制

限を受ける。しかしながら、それよりもさらに上層の金属配線層のパターンレイアウトについては、第1金属配線層M1の欠陥の影響を受けることはない。機能モジュールを構成しない配線であれば、その上層の金属配線層を使用する平面視して禁止領域に重なる配線をパターンレイアウト上に形成してもよい。パターンレイアウトの制限を受けなければ、第2の金属配線層を使用する平面視して禁止領域に重なる配線を形成してもよい。

[0064] なお、上記の例では、EUV露光用のマスクに欠陥がある場合について説明したが、上記のレイアウト設計方法は通常の光露光の場合にも適用可能である。

[0065] <実施の形態2>

図12は、実施の形態2による半導体集積回路のレイアウト設計方法において、レイアウト設計の手順を示すフローチャートである。図12のフローチャートは、ステップS310に代えてステップS310Aが実行される点で、実施の形態1の場合の図5のフローチャートと異なる。

[0066] アナログ回路のパターンレイアウトでは、たとえば、抵抗素子、インダクタンス素子、容量素子などの周辺には、これらの素子のパターン精度を高めるためにダミーパターンが配置されることが多い。このようなアナログ回路に設けられるダミーパターンは実際の回路動作とは無関係であるので、この位置にマスクブランクスの欠陥が重なっていても構わない。そこで、図12のステップS310Aでは、複数の機能モジュールの配置の際に、アナログ回路のダミーパターンの部分が欠陥と重なることが許容される。

[0067] 図12のその他の点は図5の場合と同じであるので同一または相当するステップには同一の参照符号を付して説明を繰り返さない。

[0068] 図13は、実施の形態2の場合において、フロアプランの一例を模式的に示す断面図である。図13に示すフロアプランでは、機能モジュールとしてアナログ回路100、104、RAM106、108、ROM110、ロジック回路112、およびI/O回路114が配置されている。さらに、チップ領域の周辺にダイシング（スクライブライン）領域92が設けられている。

。ダイシング領域 92 には、TEG (Test Element Group) パターン 94, 96 が設けられる。TEG パターン 94, 96 は、アライメントマーク、重ね合わせマーク、各種デバイス評価用の TEG 等、種々のパターンを含む。

[0069] 図 13 の例では、欠陥 DF1, DF2 を覆うようにダミーパターン DP1, DP2 がそれぞれ設定されている。各機能モジュールは、ダミーパターン DP2 を避けるように配置される。一方、欠陥 DF1 を覆うダミーパターン DP1 は、アナログ回路 100 に設けられているダミーパターンの領域 102 上に配置されている。なお、アナログ回路に限ることなく、ダミーパターンを有する機能モジュールであれば、マスク上の欠陥部分がそのダミーパターンの領域に配置されること許容してもよい。さらにはダミーパターンでなくても、機能モジュールにその機能を実現する配線パターンが形成されない領域であって欠陥部分より大きい領域がある場合には、マスク上の欠陥部分がその領域に配置することを許容してもよい。

[0070] 上記のとおり、実施の形態 2 のレイアウト設計方法によれば、実施の形態 1 と同様に、欠陥の残ったマスクブランクスでも LSI の製造に使用することができる。この結果、マスクの製造コストが低減し、マスクの納期が短縮し、資源の浪費がなくなるという効果を奏する。

[0071] <実施の形態 3>

図 14 は、実施の形態 3 による半導体集積回路のレイアウト設計方法において、レイアウト設計の手順を示すフローチャートである。図 14 のフローチャートは、ステップ S315 をさらに含む点で、実施の形態 1 の場合の図 5 のフローチャートと異なる。

[0072] 図 15 は、実施の形態 3 の場合において、フロアプランの一例を模式的に示す断面図である。図 15 に示す実施の形態 3 の場合には、欠陥 DF1 がスクライブライン領域（ダイシング領域）92 と重なっている点で図 14 の場合と異なる。

[0073] 図 14、図 15 を参照して、もし、スクライブライン領域 92 に設けられ

ているＴＥＧパターン９４と欠陥ＤＦ１とが重なった場合には、このＴＥＧは正常に機能しなくなる。そこで、配置配線ツールは、欠陥ＤＦ１を覆うダミーパターンＤＰ１を避けるという制約条件のもとに、各機能モジュール１００、１０４、１０６、１０８、１１０、１１２、１１４ならびにＴＥＧパターン９４、９６を配置するとともに、機能モジュール同士を結線する。

[0074] 上記の構成によって、実施の形態１の場合と同様に、欠陥の残ったマスクブランクスでもＬＳＩの製造に使用することができる。この結果、マスクの製造コストが低減し、マスクの納期が短縮し、資源の浪費がなくなるという効果を奏する。なお、実施の形態２と実施の形態３とを組み合わせることも可能である。

[0075] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

符号の説明

[0076] １０ コンピュータシステム、１２ プロセッサ、４０ 機能モジュール、４２ 配線、４６ チップ領域、４８、９２ ダイシング領域、９４、９６ ＴＥＧパターン、ＤＦ１～ＤＦ５ 欠陥、ＤＰ１～ＤＰ５ ダミーパターン、ＤＴ１０ ネットリスト、ＤＴ１２ セルライブラリ、ＤＴ１４ 欠陥情報ライブラリ、ＤＴ１６ レイアウトパターン、Ｓ１００ 製品仕様、Ｓ１０５ 論理設計、Ｓ１０５ 論理合成、Ｓ１１０ 論理検証、Ｓ１１５ レイアウト設計、Ｓ１２０ レイアウト検証、Ｓ１２５ マスク描画。

請求の範囲

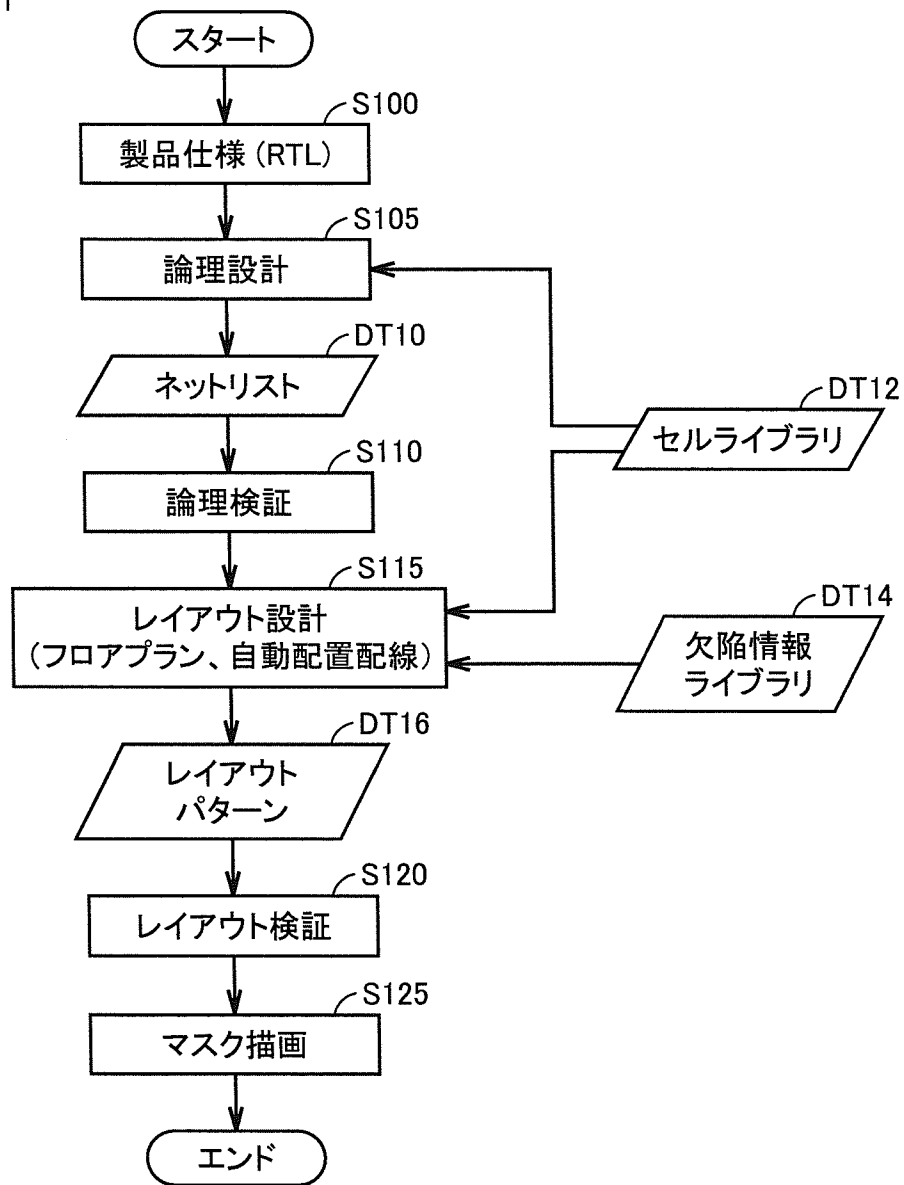
- [請求項1] マスクブランクに存在する 1 または複数の欠陥の位置および大きさを少なくとも示す欠陥情報を取得するステップと、
 前記欠陥情報に基づいて禁止領域を設定するステップと、
 前記禁止領域を避けて複数の機能モジュールを配置するステップと、
 、
 前記禁止領域を避けて前記複数の機能モジュール間を配線するステップとを備える、半導体集積回路のレイアウト設計方法。
- [請求項2] 前記欠陥情報を取得するステップでは、複数のマスクブランクの各々の欠陥情報を取得し、
 前記設定するステップは、
 前記複数のマスクブランクの各々の欠陥情報に基づいて各欠陥の覆うようにダミーパターンを生成するステップと、
 生成した複数の前記ダミーパターンの論理和に基づいて禁止領域を設定するステップとを含む、請求項 1 に記載の半導体集積回路のレイアウト設計方法。
- [請求項3] 前記設定するステップは、前記禁止領域としてダミーパターンまたは未使用ピンを設定するステップを含む、請求項 1 に記載の半導体集積回路のレイアウト設計方法。
- [請求項4] 前記欠陥情報は、EUV (Extreme Ultra-Violet) 露光用のマスクブランクを検査して得られたものである、請求項 1 に記載の半導体集積回路のレイアウト設計方法。
- [請求項5] 前記複数の機能モジュールは、ダミーパターンを有するアナログ回路を含み、
 前記配置するステップは、前記アナログ回路のダミーパターンに前記禁止領域を設けることを許容する、請求項 1 に記載の半導体集積回路のレイアウト設計方法。
- [請求項6] スクライブライン領域に設けられる TEG (Test Element Group

) パターンを、前記禁止領域を避けて配置するステップをさらに備える、請求項 1 に記載の半導体集積回路のレイアウト設計方法。

[請求項7] マスクブランクに存在する 1 または複数の欠陥の位置および大きさを少なくとも示す欠陥情報を格納するデータベースと、
 プロセッサとを備え、
 前記プロセッサは、
 前記欠陥情報に基づいて禁止領域を設定し、
 前記禁止領域を避けて複数の機能モジュールを配置し、
 前記禁止領域を避けて前記複数の機能モジュール間を配線するように構成される、半導体集積回路のレイアウト設計装置。

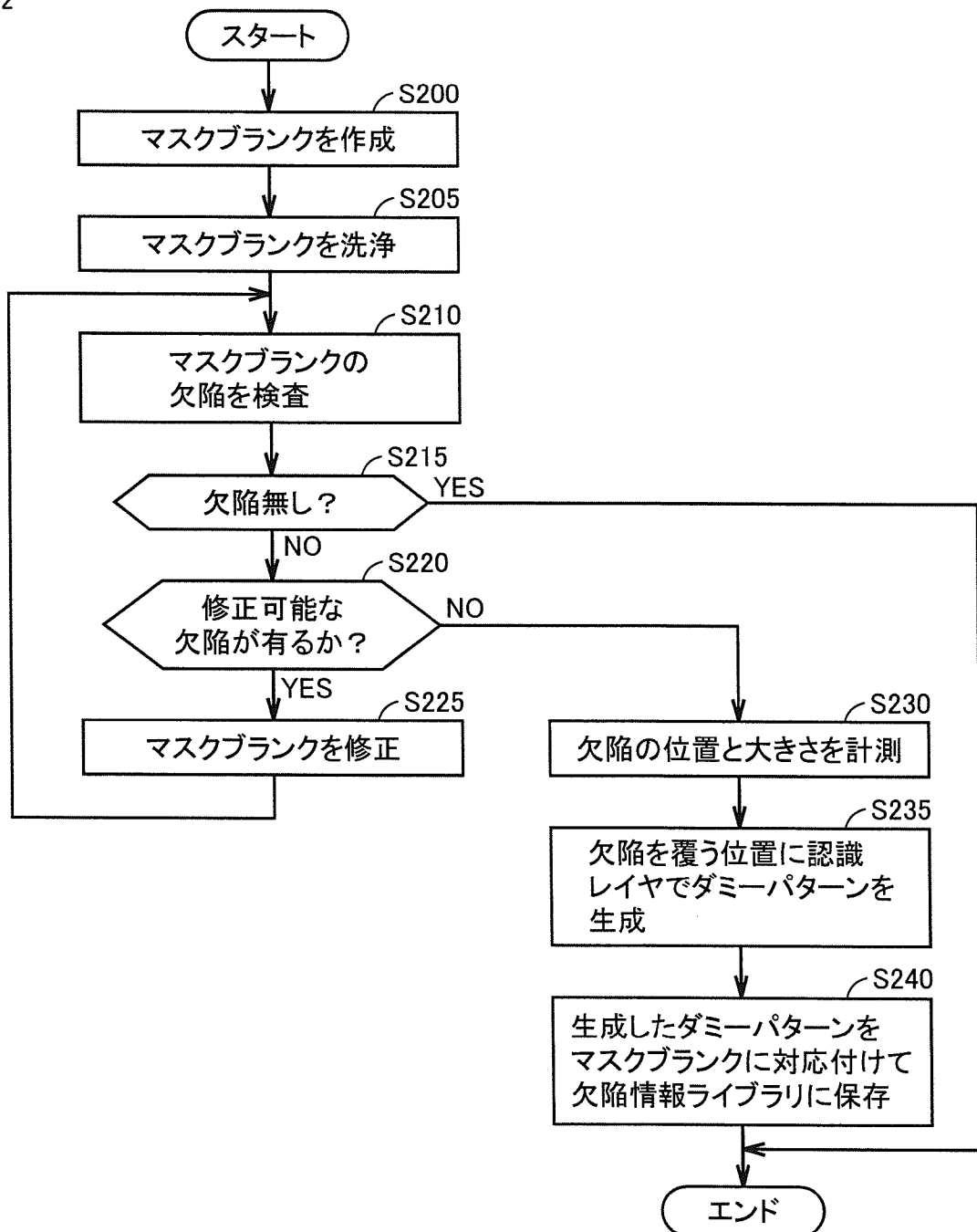
[図1]

図1



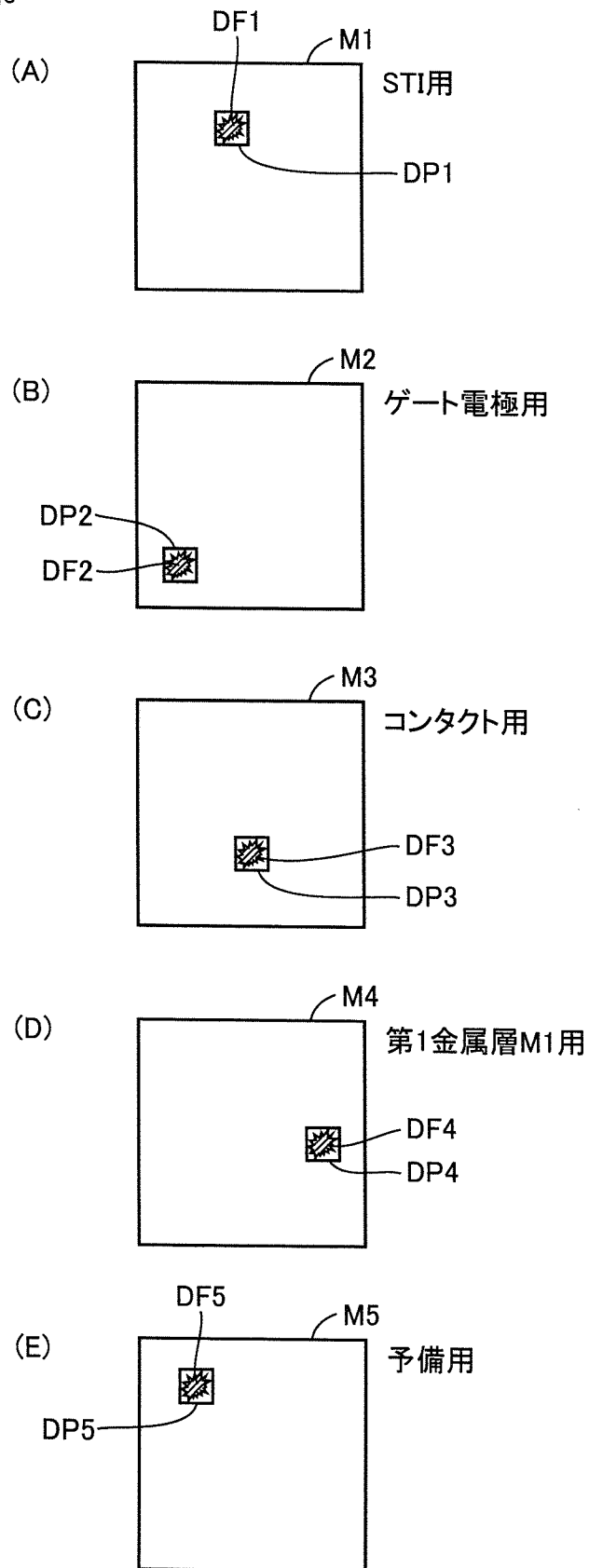
[図2]

図2



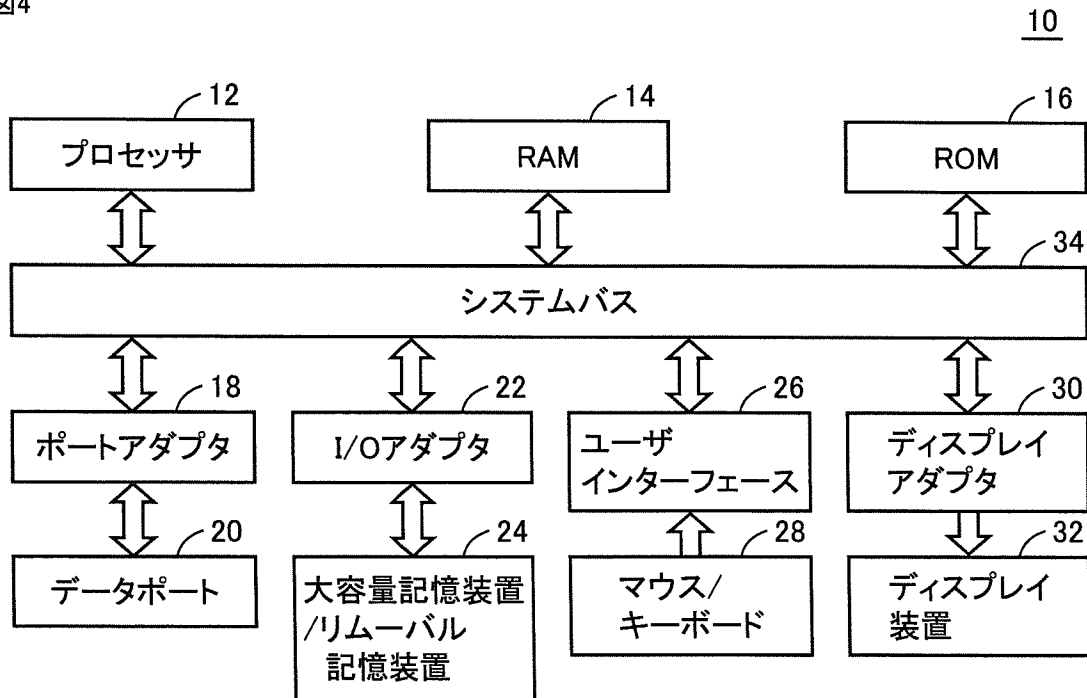
[図3]

図3



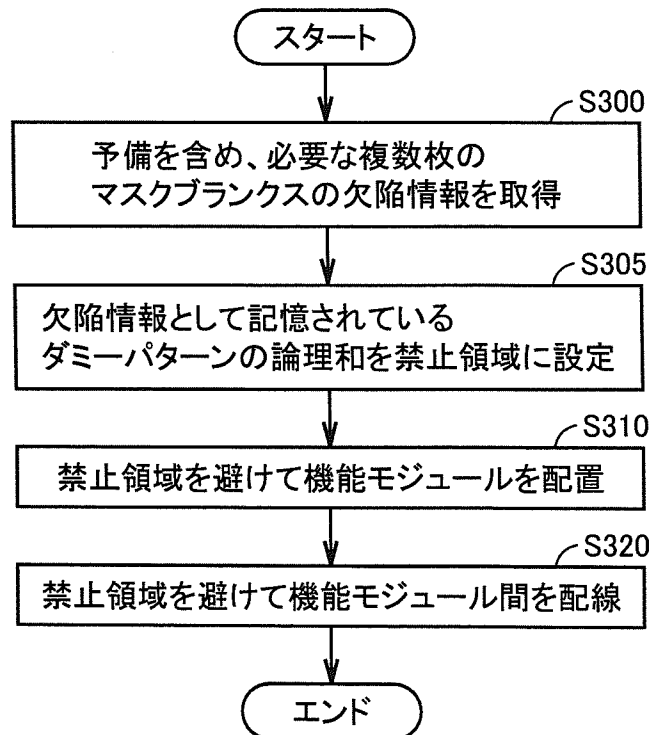
[図4]

図4

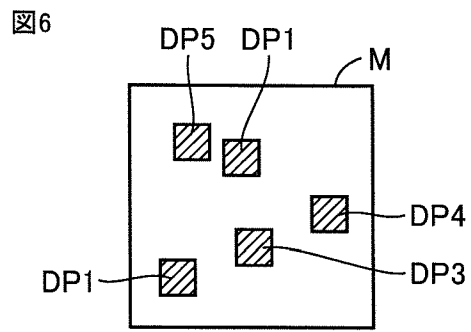


[図5]

図5

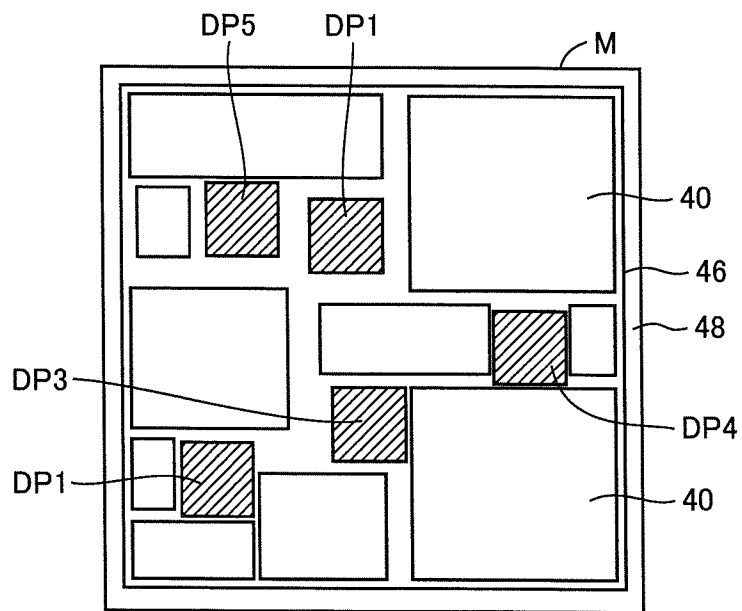


[図6]



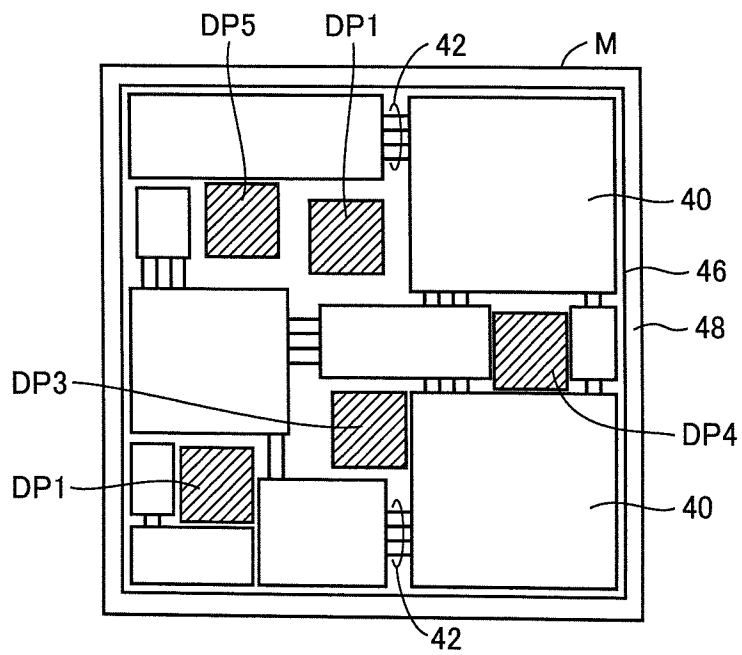
[図7]

図7



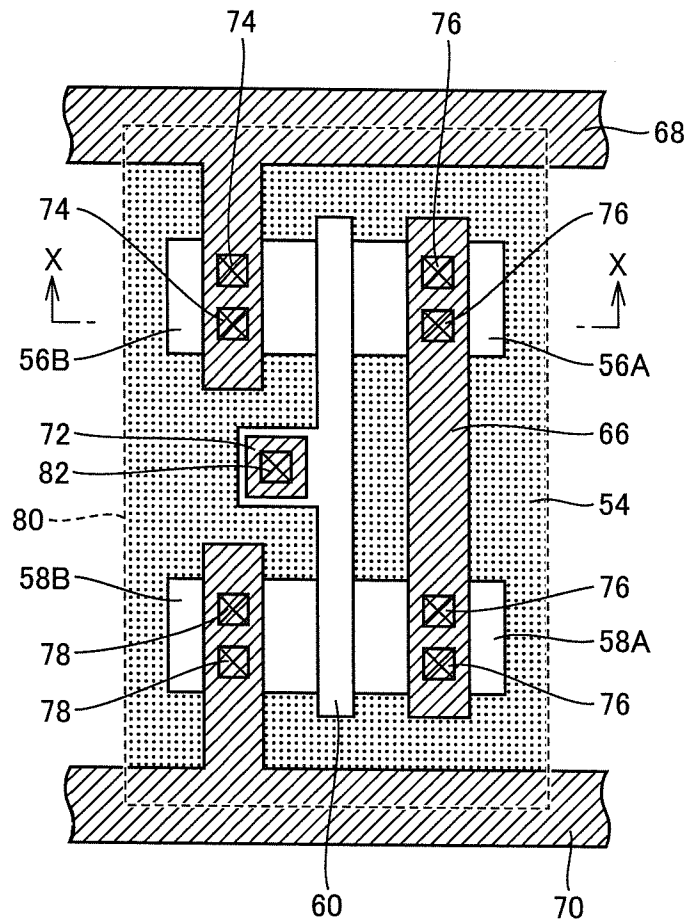
[図8]

図8



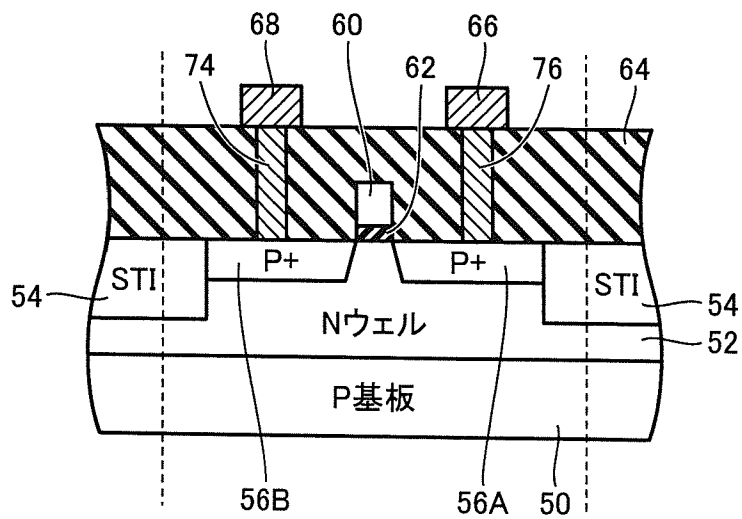
[図9]

図9



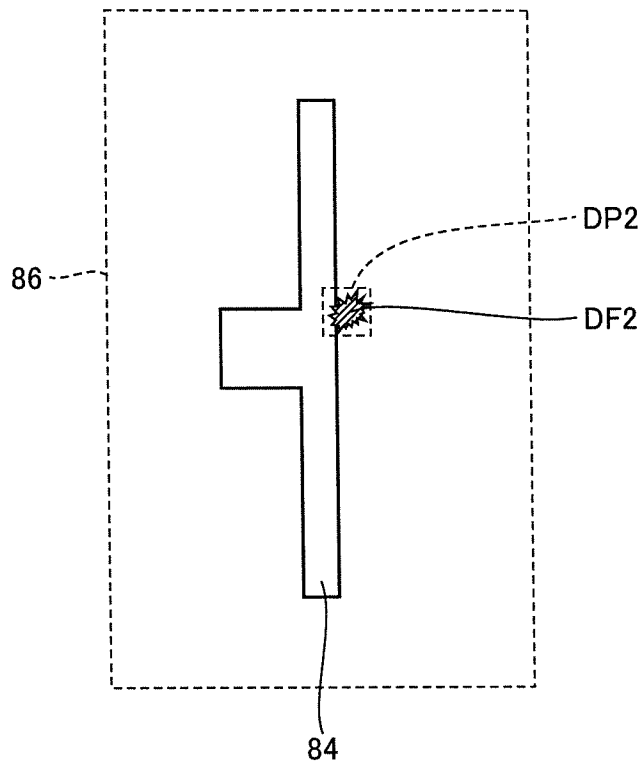
[図10]

図10



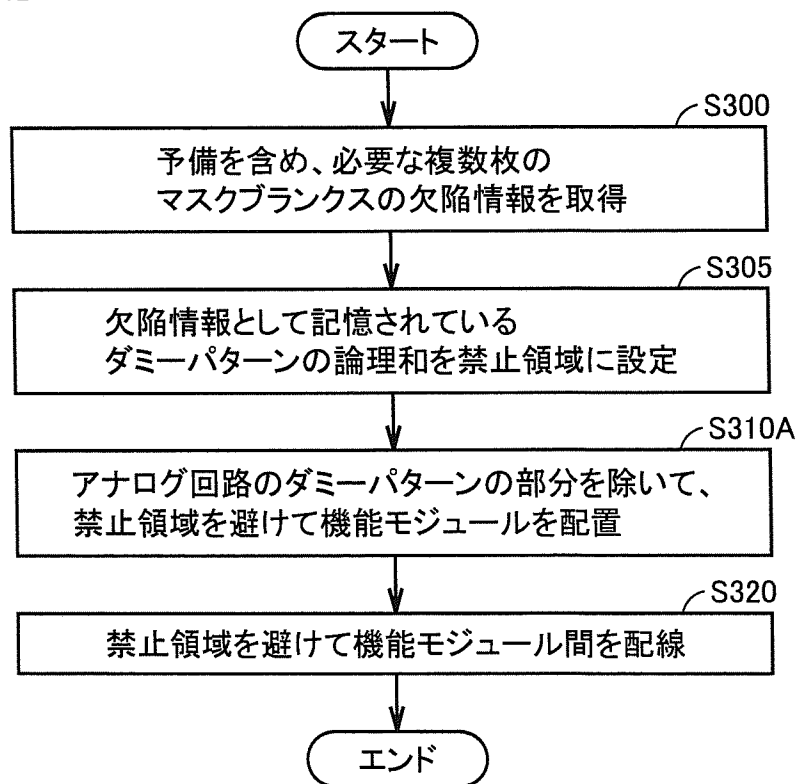
[図11]

図11



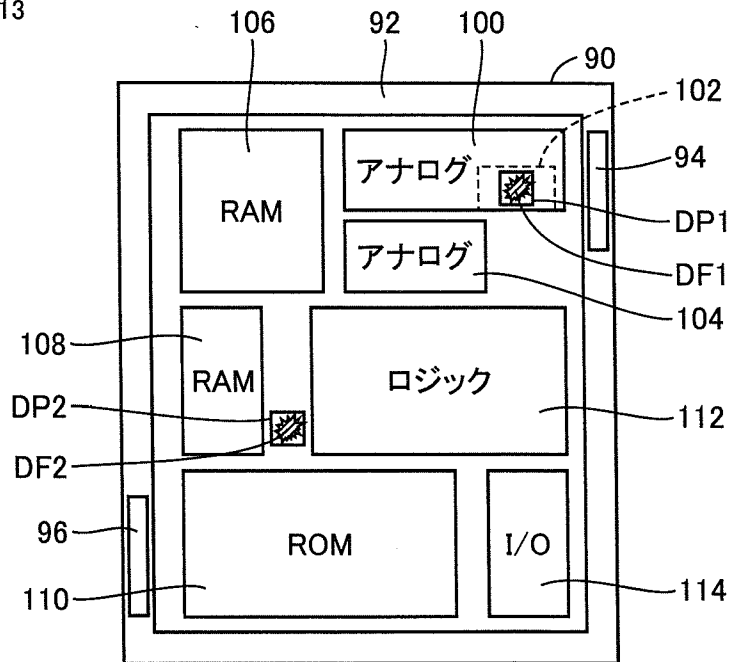
[図12]

図12



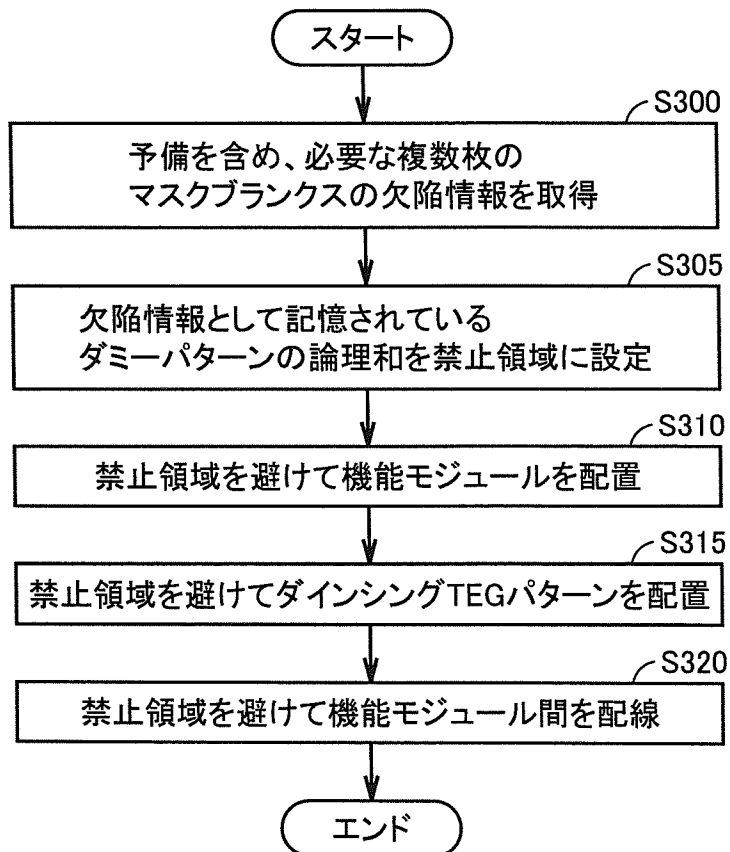
[図13]

図13



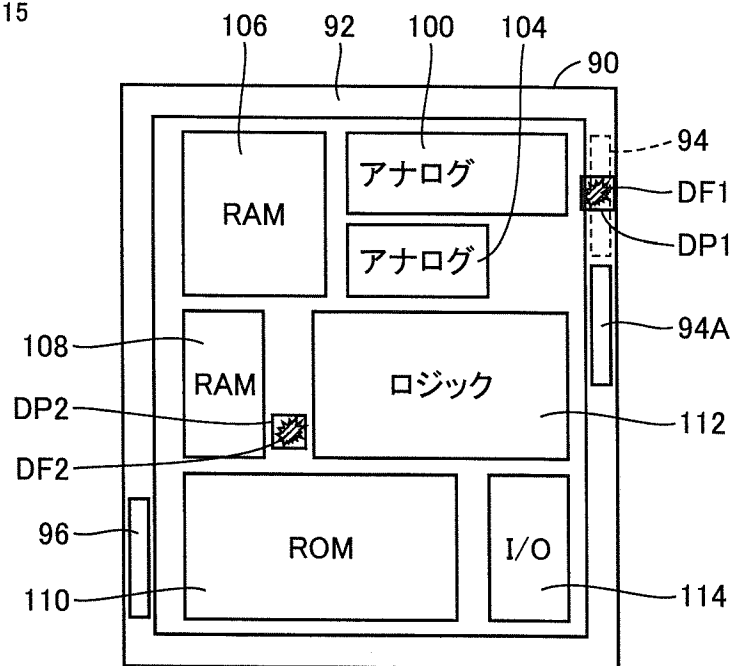
[図14]

図14



[図15]

図15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/062054

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/82(2006.01)i, G03F1/24(2012.01)i, G03F1/70(2012.01)i, G06F17/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/82, G03F1/24, G03F1/70, G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2014-039038 A (Commissariat a l'Energie Atomique et aux Energies Alternatives), 27 February 2014 (27.02.2014), entire text; all drawings (Family: none)	1, 4, 6 7 2, 3, 5
Y	JP 2007-140128 A (Dainippon Printing Co., Ltd.), 07 June 2007 (07.06.2007), entire text; all drawings (Family: none)	7
A	JP 2010-079112 A (Hoya Corp.), 08 April 2010 (08.04.2010), entire text; all drawings & KR 10-2010-0036190 A	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 May, 2014 (22.05.14)

Date of mailing of the international search report
03 June, 2014 (03.06.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/062054

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-089580 A (Renesas Electronics Corp.), 10 May 2012 (10.05.2012), entire text; all drawings (Family: none)	1-7
A	JP 2012-064770 A (Renesas Electronics Corp.), 29 March 2012 (29.03.2012), entire text; all drawings (Family: none)	1-7
A	JP 2003-149793 A (Toshiba Corp.), 21 May 2003 (21.05.2003), entire text; all drawings (Family: none)	1-7

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/82(2006.01)i, G03F1/24(2012.01)i, G03F1/70(2012.01)i, G06F17/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/82, G03F1/24, G03F1/70, G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2014-039038 A（コミシリア ア レネルジ アトミック エ オ エナジーズ オルタネティヴズ）2014.02.27, 全文、全図（ファミ リーなし）	1, 4, 6 7 2, 3, 5
Y	JP 2007-140128 A（大日本印刷株式会社）2007.06.07, 全文、全図 （ファミリーなし）	7
A	JP 2010-079112 A（H O Y A株式会社）2010.04.08, 全文、全図 & KR 10-2010-0036190 A	1-7

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 5 . 2 0 1 4

国際調査報告の発送日

0 3 . 0 6 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宇多川 勉

5 F

3 1 2 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-089580 A (ルネサスエレクトロニクス株式会社) 2012.05.10, 全文、全図 (ファミリーなし)	1-7
A	JP 2012-064770 A (ルネサスエレクトロニクス株式会社) 2012.03.29, 全文、全図 (ファミリーなし)	1-7
A	JP 2003-149793 A (株式会社東芝) 2003.05.21, 全文、全図 (ファミリーなし)	1-7