

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2024-543081
(P2024-543081A)

(43)公表日 令和6年11月19日(2024.11.19)

(51)国際特許分類

H 0 1 L 23/12 (2006.01)

F I

H 0 1 L 23/12 N

H 0 1 L 23/12 Q

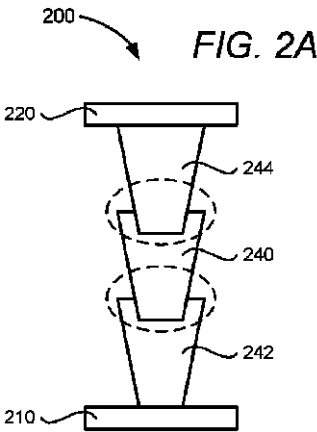
審査請求 未請求 予備審査請求 未請求 (全40頁)

(21)出願番号	特願2024-529232(P2024-529232)	(71)出願人	507364838
(86)(22)出願日	令和4年10月25日(2022.10.25)		クアルコム、インコーポレイテッド
(85)翻訳文提出日	令和6年5月15日(2024.5.15)		アメリカ合衆国 カリフォルニア 9 2 1
(86)国際出願番号	PCT/US2022/078641		2 1 サン ディエゴ モアハウス ドライ
(87)国際公開番号	WO2023/091846		ブ 5 7 7 5
(87)国際公開日	令和5年5月25日(2023.5.25)	(74)代理人	100108453
(31)優先権主張番号	17/455,576		弁理士 村山 靖彦
(32)優先日	令和3年11月18日(2021.11.18)	(74)代理人	100163522
(33)優先権主張国・地域又は機関			弁理士 黒田 晋平
	米国(US)	(72)発明者	ホン・ボク・ウィ
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA		アメリカ合衆国・カリフォルニア・9 2
	,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(		1 2 1-1 7 1 4・サン・ディエゴ・モ
	AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A		アハウス・ドライヴ・5 7 7 5・クアル
	T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR		コム・インコーポレイテッド
	,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,	(72)発明者	ジョアン・レイ・ヴィラルバ・ビュオ
	最終頁に続く		最終頁に続く

(54)【発明の名称】 パッドレススタックビアのための凹部構造体

(57)【要約】

複数のビアが互いの上に積み重ねられたスタックビア構造体が開示されている。少なくとも1つのビアは、少なくとも1つのビアの上面から形成された凹部を有するビアである。ビアの上の別のビアは、別のビアの底部がビアの凹部内にあるように形成される。このように、ビアと別のビアとの間にキャプチャパッドは必要とされない。また、ビアと別のビアとの間の接触面積が拡大される。



【特許請求の範囲】

【請求項 1】

キャプチャパッドと、

前記キャプチャパッドの上に積み重ねられて前記キャプチャパッドと電氣的に結合された第 1 のビアと、

前記第 1 のビアの上に積み重ねられて前記第 1 のビアと電氣的に結合された第 2 のビアと、

前記第 2 のビアの上に積み重ねられて前記第 2 のビアと電氣的に結合されたカバーパッドと、

を備え、

前記第 1 のビアの上部幅が、前記第 2 のビアの底部幅よりも広く、

凹部が、前記第 1 のビアの上面内に部分的に延びるように前記第 1 のビア内に形成されており、

前記第 2 のビアの底部が、前記凹部内にあり、前記第 2 のビアの前記底部が、前記第 2 のビアの底面から前記凹部の深さと等しい高さまで延びており、前記第 2 のビアが、前記凹部内で前記第 1 のビアと接触している、

スタックビア構造体。

【請求項 2】

前記第 1 のビアが、前記第 1 のビアの底部幅よりも前記第 1 のビアの前記上部幅が広くなるようなテーパ状であり、

前記第 2 のビアが、前記第 2 のビアの前記底部幅よりも前記第 2 のビアの上部幅が広くなるようなテーパ状であり、

前記凹部が、前記凹部の底部幅よりも前記凹部の上部幅が広くなるようなテーパ状である、

請求項 1 に記載のスタックビア構造体。

【請求項 3】

前記第 2 のビアの前記底部の側面が、前記凹部の側面と接触しており、

前記第 2 のビアの前記底部の底面が、前記凹部の底面と接触している、

請求項 1 に記載のスタックビア構造体。

【請求項 4】

前記第 1 のビアと前記第 2 のビアとの間にキャプチャパッドが存在しない、請求項 1 に記載のスタックビア構造体。

【請求項 5】

前記第 2 のビアが、パターン線を介して同じ層において別のビアと電氣的に結合されており、前記第 2 のビアが、前記パターン線と接触している、請求項 1 に記載のスタックビア構造体。

【請求項 6】

前記カバーパッドが、前記スタックビア構造体を備えるスタック層構造体のカバー層内のパッドであり、前記カバー層が、前記スタック層構造体の最外層であり、前記カバーパッドが、外部デバイスと信号接続するように構成されている、請求項 1 に記載のスタックビア構造体。

【請求項 7】

前記第 1 のビアと前記第 2 のビアとの間で、前記キャプチャパッドが、前記第 1 のビア及び前記第 2 のビアをこの順で介して前記カバーパッドに電氣的に接続されている、請求項 1 に記載のスタックビア構造体。

【請求項 8】

前記第 1 のビアが、銅（Cu）から形成されており、前記第 2 のビアが、銅（Cu）から形成されている、又はその両方である、請求項 1 に記載のスタックビア構造体。

【請求項 9】

前記凹部の前記深さが、前記第 1 のビアの高さの 5 % ～ 15 % の範囲である、請求項 1

10

20

30

40

50

に記載のスタックビア構造体。

【請求項 10】

前記スタックビア構造体が、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、定置端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、モノのインターネット（IoT）デバイス、ラップトップコンピュータ、サーバ、及び自動車車両内のデバイスからなるグループから選択された装置内に組み込まれている、請求項 1 に記載のスタックビア構造体。

【請求項 11】

スタック層構造体であって、

内側誘電体層内に形成されたキャプチャパッド及び内側ビアであって、前記内側ビアが、前記キャプチャパッドの上に積み重ねられて前記キャプチャパッドと電氣的に結合されている、キャプチャパッド及び内側ビアと、

前記内側誘電体層の上に積み重ねられた、対応する 1 つ又は複数の中間誘電体層内に形成された 1 つ又は複数の中間ビアであって、前記内側ビアの上に積み重ねられて前記内側ビアと電氣的に結合されている、1 つ又は複数の中間ビアと、

前記 1 つ又は複数の中間誘電体層の上に積み重ねられた外側誘電体層内に形成された外側ビアであって、前記 1 つ又は複数の中間ビアの上に積み重ねられて前記 1 つ又は複数の中間ビアと電氣的に結合されている、外側ビアと、

前記外側ビアの上に積み重ねられて前記外側ビアと電氣的に結合されているカバーパッドと、

を備え、

前記スタック層構造体が、第 1 のビアと、前記第 1 のビアの上に積み重ねられた第 2 のビアとを含み、前記第 1 のビアが、前記内側ビア、又は、前記 1 つ又は複数の中間ビアのうちの 1 つであり、前記第 2 のビアが、前記 1 つ又は複数の中間ビアのうちの 1 つ、又は、前記外側ビアであり、

前記第 1 のビアの上部幅が、前記第 2 のビアの底部幅よりも広く、

凹部が、前記第 1 のビアの上面内に部分的に延びるように前記第 1 のビア内に形成されており、

前記第 2 のビアの底部が、前記凹部内にあり、前記第 2 のビアの前記底部が、前記第 2 のビアの底面から前記凹部の深さと等しい高さまで延びており、前記第 2 のビアが、前記凹部内で前記第 1 のビアと接触している、

スタック層構造体。

【請求項 12】

前記第 1 のビアが、前記第 1 のビアの底部幅よりも前記第 1 のビアの前記上部幅が広くなるようなテーパ状であり、

前記第 2 のビアが、前記第 2 のビアの前記底部幅よりも前記第 2 のビアの上部幅が広くなるようなテーパ状であり、

前記凹部が、前記凹部の底部幅よりも前記凹部の上部幅が広くなるようなテーパ状である、

請求項 11 に記載のスタック層構造体。

【請求項 13】

前記第 2 のビアの前記底部の側面が、前記凹部の側面と接触しており、

前記第 2 のビアの前記底部の底面が、前記凹部の底面と接触している、

請求項 11 に記載のスタック層構造体。

【請求項 14】

前記第 1 のビアと前記第 2 のビアとの間にキャプチャパッドが存在しない、請求項 11 に記載のスタック層構造体。

【請求項 15】

前記第 2 のビアが、パターン線を介して同じ層において別のビアと電氣的に結合されて

10

20

30

40

50

おり、前記第 2 のビアが、前記パターン線と接触している、請求項 1 1 に記載のスタック層構造体。

【請求項 1 6】

前記外側誘電体層の上に積み重ねられたカバー層であって、前記スタック層構造体の最外層である、カバー層を更に備え、

前記カバーパッドが、前記カバー層内に形成されており、かつ外部デバイスとの信号接続を可能にするように構成されている、

請求項 1 1 に記載のスタック層構造体。

【請求項 1 7】

前記第 1 のビアと前記第 2 のビアとの間で、前記キャプチャパッドが、前記第 1 のビア及び前記第 2 のビアをこの順で介して前記カバーパッドに電氣的に接続されている、請求項 1 1 に記載のスタック層構造体。

10

【請求項 1 8】

前記第 1 のビアが、銅 (Cu) から形成されており、前記第 2 のビアが、銅 (Cu) から形成されている、又はその両方である、請求項 1 1 に記載のスタック層構造体。

【請求項 1 9】

前記凹部の前記深さが、前記第 1 のビアの高さの 5 % ~ 15 % の範囲である、請求項 1 1 に記載のスタック層構造体。

【請求項 2 0】

前記内側誘電体層の下に積み重ねられた初期層を更に備え、

20

前記キャプチャパッドが、前記初期層上にあり、かつ前記初期層と接触している、

請求項 1 1 に記載のスタック層構造体。

【請求項 2 1】

前記キャプチャパッド、前記内側ビア、前記内側誘電体層、前記 1 つ又は複数の中間ビア、前記 1 つ又は複数の中間誘電体層、前記外側ビア、前記外側誘電体層、及び前記カバーパッドが、前記初期層の上に形成されており、

前記スタック層構造体が更に、

前記初期層の下に積み重ねられた下部内側誘電体層内に形成された下部キャプチャパッド及び下部内側ビアであって、前記下部内側ビアが、前記下部キャプチャパッドの下に積み重ねられて前記下部キャプチャパッドと電氣的に結合されている、下部キャプチャパッド及び下部内側ビアと、

30

前記下部内側誘電体層の下に積み重ねられた、対応する 1 つ又は複数の下部中間誘電体層内に形成された 1 つ又は複数の下部中間ビアであって、前記下部内側ビアの下に積み重ねられて前記下部内側ビアと電氣的に結合されている、1 つ又は複数の下部中間ビアと、

前記 1 つ又は複数の下部中間誘電体層の下に積み重ねられた下部外側誘電体層内に形成された下部外側ビアであって、前記 1 つ又は複数の下部中間ビアの下に積み重ねられて前記 1 つ又は複数の下部中間ビアと電氣的に結合されている、下部外側ビアと、

前記下部外側ビアの下に積み重ねられて前記下部外側ビアと電氣的に結合されている下部カバーパッドと、

を備え、

40

前記スタック層構造体が、第 1 の下部ビアと、前記第 1 の下部ビアの下に積み重ねられた第 2 の下部ビアとを含み、前記第 1 の下部ビアが、前記下部内側ビア、又は、前記 1 つ又は複数の下部中間ビアのうちの 1 つであり、前記第 2 の下部ビアが、前記 1 つ又は複数の下部中間ビアのうちの 1 つ、又は、前記下部外側ビアであり、

前記第 1 の下部ビアの底部幅が、前記第 2 の下部ビアの上部幅よりも広く、

下部凹部が、前記第 1 の下部ビアの底面内に部分的に延びるように前記第 1 の下部ビア内に形成されており、

前記第 2 の下部ビアの上部が、前記下部凹部内にあり、前記第 2 の下部ビアの前記上部が、前記第 2 の下部ビアの上面から前記下部凹部の深さと等しい高さまで延びており、前記第 2 の下部ビアが、前記下部凹部内で前記第 1 の下部ビアと接触している、

50

請求項 20 に記載のスタック層構造体。

【請求項 22】

前記スタック層構造体が、埋め込みトレース基板 (embedded trace substrate、E T S)、セミアディティブプロセス (semi-additive process、S A P) 基板、又はモディファイドセミアディティブプロセス (modified semi-additive process、m S A P) 基板の構造体である、請求項 11 に記載のスタック層構造体。

【請求項 23】

前記スタック層構造体が、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、定置端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、モノのインターネット (I o T) デバイス、ラップトップコンピュータ、サーバ、及び自動車車両内のデバイスからなるグループから選択された装置内に組み込まれている、請求項 11 に記載のスタック層構造体。

10

【請求項 24】

スタックビア構造体を製作する方法であって、
キャプチャパッドを形成することと、

前記キャプチャパッドの上に積み重ねられて前記キャプチャパッドと電氣的に結合された第 1 のビアを形成することと、

前記第 1 のビアの上に積み重ねられて前記第 1 のビアと電氣的に結合された第 2 のビアを形成することと、

20

前記第 2 のビアの上に積み重ねられて前記第 2 のビアと電氣的に結合されたカバーパッドを形成することと、

を含み、

前記第 1 のビアの上部幅が、前記第 2 のビアの底部幅よりも広く、

凹部が、前記第 1 のビアの上面内に部分的に延びるように前記第 1 のビア内に形成されており、

前記第 2 のビアの底部が、前記凹部内にあり、前記第 2 のビアの前記底部が、前記第 2 のビアの底面から前記凹部の深さと等しい高さまで延びており、前記第 2 のビアが、前記凹部内で前記第 1 のビアと接触している、

方法。

30

【請求項 25】

前記凹部を形成するために前記第 1 のビアの前記上面が穴あけされ、

前記第 2 のビアが形成されているときに、前記第 2 のビアの前記底部が前記凹部を埋める、

請求項 24 に記載の方法。

【請求項 26】

前記凹部が、前記第 1 のビアの前記上面をレーザ穴あけ加工することによって形成される、請求項 25 に記載の方法。

【請求項 27】

スタック層構造体を製作する方法であって、

40

内側誘電体層内にキャプチャパッド及び内側ビアを形成することであって、前記内側ビアが、前記キャプチャパッドの上に積み重ねられて前記キャプチャパッドと電氣的に結合される、ことと、

前記内側誘電体層の上に積み重ねられた、対応する 1 つ又は複数の中間誘電体層内に 1 つ又は複数の中間ビアを形成することであって、前記 1 つ又は複数の中間ビアが、前記内側ビアの上に積み重ねられて前記内側ビアと電氣的に結合される、ことと、

前記 1 つ又は複数の中間誘電体層の上に積み重ねられた外側誘電体層内に外側ビアを形成することであって、前記外側ビアが、前記 1 つ又は複数の中間ビアの上に積み重ねられて前記 1 つ又は複数の中間ビアと電氣的に結合される、ことと、

前記外側ビアの上に積み重ねられて前記外側ビアと電氣的に結合されるカバーパッドを

50

形成することと、

を含み、

前記スタック層構造体が、第 1 のビアと、前記第 1 のビアの上に積み重ねられた第 2 のビアとを含み、前記第 1 のビアが、前記内側ビア、又は、前記 1 つ又は複数の中間ビアのうちの 1 つであり、前記第 2 のビアが、前記 1 つ又は複数の中間ビアのうちの 1 つ、又は、前記外側ビアであり、

前記第 1 のビアの上部幅が、前記第 2 のビアの底部幅よりも広く、

凹部が、前記第 1 のビアの上面内に部分的に延びるようにより、

前記第 2 のビアの底部が、前記凹部内にあり、前記第 2 のビアの前記底部が、前記第 2 のビアの底面から前記凹部の深さと等しい高さまで延びており、前記第 2 のビアが、前記凹部内で前記第 1 のビアと接触している、

方法。

【請求項 28】

前記凹部を形成するために前記第 1 のビアの前記上面が穴あけされ、

前記第 2 のビアが形成されているときに、前記第 2 のビアの前記底部が前記凹部を埋める、

請求項 27 に記載の方法。

【請求項 29】

前記凹部が、前記第 1 のビアの前記上面をレーザ穴あけ加工することによって形成される、請求項 28 に記載の方法。

【請求項 30】

前記キャプチャパッド、前記内側ビア、前記内側誘電体層、前記 1 つ又は複数の中間ビア、前記 1 つ又は複数の中間誘電体層、前記外側ビア、前記外側誘電体層、及び前記カバーパッドが、初期層の上に形成されており、

前記方法が更に、

前記初期層の下に積み重ねられた下部内側誘電体層内に下部キャプチャパッド及び下部内側ビアを形成することであって、前記下部内側ビアが、前記下部キャプチャパッドの下に積み重ねられて前記下部キャプチャパッドと電氣的に結合される、ことと、

前記下部内側誘電体層の下に積み重ねられた、対応する 1 つ又は複数の下部中間誘電体層内に 1 つ又は複数の下部中間ビアを形成することであって、前記 1 つ又は複数の下部中間ビアが、前記下部内側ビアの下に積み重ねられて前記下部内側ビアと電氣的に結合される、ことと、

前記 1 つ又は複数の下部中間誘電体層の下に積み重ねられた下部外側誘電体層内に下部外側ビアを形成することであって、前記下部外側ビアが、前記 1 つ又は複数の下部中間ビアの下に積み重ねられて前記 1 つ又は複数の下部中間ビアと電氣的に結合される、ことと、

前記下部外側ビアの下に積み重ねられて前記下部外側ビアと電氣的に結合される下部カバーパッドを形成することと、

を含み、

前記スタック層構造体が、第 1 の下部ビアと、前記第 1 の下部ビアの下に積み重ねられた第 2 の下部ビアとを含み、前記第 1 の下部ビアが、前記下部内側ビア、又は、前記 1 つ又は複数の下部中間ビアのうちの 1 つであり、前記第 2 の下部ビアが、前記 1 つ又は複数の下部中間ビアのうちの 1 つ、又は、前記下部外側ビアであり、

前記第 1 の下部ビアの底部幅が、前記第 2 の下部ビアの上部幅よりも広く、

下部凹部が、前記第 1 の下部ビアの底面内に部分的に延びるようにより前記第 1 の下部ビア内に形成されており、

前記第 2 の下部ビアの上部が、前記下部凹部内にあり、前記第 2 の下部ビアの前記上部が、前記第 2 の下部ビアの上面から前記下部凹部の深さと等しい高さまで延びており、前記第 2 の下部ビアが、前記下部凹部内で前記第 1 の下部ビアと接触している、

請求項 27 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、概して、半導体デバイスに関し、より具体的には、排他的ではないが、パッドレススタックビアのための凹部構造体、及びスタック層構造体、ならびにそれらの製作技法に関する。

【背景技術】

【0002】

集積回路技術は、能動部品及び受動部品を小型化することによって計算能力を向上させるうえで大きな進歩を実現している。パッケージデバイスは、プロセッサ、サーバ、無線周波数（RF）集積回路などを含む多数の電子デバイスにおいて見ることができる。パッケージング技術は、ピン数の多いデバイス及び／又は生産量の多い部品において費用対効果の高いものになっている。

【0003】

スタックビア構造体設計ルールは、安全なランディングのために大きなパッドを指定する。スタックビア用途の場合、より大きなランディングパッド（キャプチャパッドとも呼ばれる）設計ルールが、配置精度の改善のために適用される。配置精度は、ビア底部応力及び信頼性の問題に直接関連する。更に、スタックビアパッドは、ルーティングスペースの減少に起因して、すべての層のビアパッド寸法及び設計柔軟性に影響を及ぼす。

【0004】

したがって、本明細書において提供される方法、システム、及び装置を含む、従来のスタックビア構造体の欠点を克服するシステム、装置、及び方法が必要とされている。

【発明の概要】

【課題を解決するための手段】

【0005】

以下は、本明細書で開示される装置及び方法に関連する1つ又は複数の態様及び／又は例に関する簡略化された概要を提示する。したがって、以下の概要は、すべての企図される態様及び／又は例に関する広範な概説と見なされるべきではなく、また、以下の概要は、すべての企図される態様及び／若しくは例に関する主要若しくは重要な要素を特定する、又は任意の特定の態様及び／若しくは例に関連する範囲を定めると見なされるべきでもない。したがって、以下の概要は、以下に提示される詳細な説明に先立って、本明細書で開示される装置及び方法に関する1つ又は複数の態様及び／又は例に関する特定の概念を簡略化された形で提示することが唯一の目的である。

【0006】

例示的なスタックビア構造体が開示されている。スタックビア構造体は、キャプチャパッドを備え得る。スタックビア構造体はまた、キャプチャパッドの上に積み重ねられてキャプチャパッドと電氣的に結合された第1のビアを備え得る。スタックビア構造体は、第1のビアの上に積み重ねられて第1のビアと電氣的に結合された第2のビアを更に備え得る。スタックビア構造体は、第2のビアの上に積み重ねられて第2のビアと電氣的に結合されたカバーパッドを更に備え得る。第1のビアの上部幅は、第2のビアの底部幅よりも広くてもよい。凹部は、第1のビアの上面内に部分的に延びるように第1のビア内に形成されてもよい。第2のビアの底部は、凹部内にあり得る。第2のビアの底部は、第2のビアの底面から凹部の深さと同じ高さまで延びていてもよい。第2のビアは、凹部内で第1のビアと接触し得る。

【0007】

例示的なスタック層構造体が開示されている。スタック層構造体は、内側誘電体層内に形成されたキャプチャパッド及び内側ビアを備え得る。内側ビアは、キャプチャパッドの上に積み重ねられてキャプチャパッドと電氣的に結合され得る。スタック層構造体はまた、内側誘電体層の上に積み重ねられた、対応する1つ又は複数の中間誘電体層内に形成された1つ又は複数の中間ビアを備え得る。1つ又は複数の中間ビアは、内側ビアの上に積

10

20

30

40

50

み重ねられて内側ビアと電氣的に結合され得る。スタック層構造体は、1つ又は複数の中間誘電体層の上に積み重ねられた外側誘電体層内に形成された外側ビアを更に備え得る。外側ビアは、1つ又は複数の中間ビアの上に積み重ねられて1つ又は複数の中間ビアと電氣的に結合され得る。スタック層構造体は、外側ビアの上に積み重ねられて外側ビアと電氣的に結合されたカバーパッドを更に備え得る。スタック層構造体は、第1のビアと、第1のビアの上に積み重ねられた第2のビアとを備え得る。第1のビアは、内側ビア、又は、1つ又は複数の中間ビアのうちの1つであり得る。第2のビアは、1つ又は複数の中間ビアのうちの別の1つ、又は、外側ビアであり得る。第1のビアの上部幅は、第2のビアの底部幅よりも広くてもよい。凹部は、第1のビアの上面内に部分的に延びるように第1のビア内に形成されてもよい。第2のビアの底部は、凹部内にあり得る。第2のビアの底部は、第2のビアの底面から凹部の深さと同じ高さまで延びていてもよい。第2のビアは、凹部内で第1のビアと接触し得る。

10

【0008】

スタックビア構造体を製作する例示的な方法が開示されている。方法は、キャプチャパッドを形成することを含み得る。方法はまた、キャプチャパッドの上に積み重ねられてキャプチャパッドと電氣的に結合された第1のビアを備え得る。方法は、第1のビアの上に積み重ねられて第1のビアと電氣的に結合された第2のビアを形成することを更に含み得る。方法は、第2のビアの上に積み重ねられて第2のビアと電氣的に結合されたカバーパッドを形成することを更に含み得る。第1のビアの上部幅は、第2のビアの底部幅よりも広くてもよい。凹部は、第1のビアの上面内に部分的に延びるように第1のビア内に形成されてもよい。第2のビアの底部は、凹部内にあり得る。第2のビアの底部は、第2のビアの底面から凹部の深さと同じ高さまで延びていてもよい。第2のビアは、凹部内で第1のビアと接触し得る。

20

【0009】

スタック層構造体を製作する例示的な方法が開示されている。方法は、内側誘電体層内にキャプチャパッド及び内側ビアを形成することを含み得る。内側ビアは、キャプチャパッドの上に積み重ねられてキャプチャパッドと電氣的に結合され得る。方法はまた、内側誘電体層の上に積み重ねられた、対応する1つ又は複数の中間誘電体層内に1つ又は複数の中間ビアを形成することを含み得る。1つ又は複数の中間ビアは、内側ビアの上に積み重ねられて内側ビアと電氣的に結合され得る。方法は、1つ又は複数の中間誘電体層の上に積み重ねられた外側誘電体層内に外側ビアを形成することを更に含み得る。外側ビアは、1つ又は複数の中間ビアの上に積み重ねられて1つ又は複数の中間ビアと電氣的に結合され得る。方法は、外側ビアの上に積み重ねられて外側ビアと電氣的に結合されたカバーパッドを形成することを更に含み得る。スタック層構造体は、第1のビアと、第1のビアの上に積み重ねられた第2のビアとを備え得る。第1のビアは、内側ビア、又は、1つ又は複数の中間ビアのうちの1つであり得る。第2のビアは、1つ又は複数の中間ビアのうちの別の1つ、又は、外側ビアであり得る。第1のビアの上部幅は、第2のビアの底部幅よりも広くてもよい。凹部は、第1のビアの上面内に部分的に延びるように第1のビア内に形成されてもよい。第2のビアの底部は、凹部内にあり得る。第2のビアの底部は、第2のビアの底面から凹部の深さと同じ高さまで延びていてもよい。第2のビアは、凹部内で第1のビアと接触し得る。

30

40

【0010】

本明細書で開示される装置及び方法に関連する他の特徴及び利点は、添付の図面及び詳細な説明に基づいて、当業者に明らかになるであろう。

【0011】

以下の詳細な説明を参照して、本開示を限定するためではなく単に例示するために提示される添付の図面とともに検討されることで、本開示の態様及びその付随する利点の多くがよりよく理解されるため、それらに関するより完全な理解が容易に得られるであろう。

【図面の簡単な説明】

【0012】

50

- 【図 1 A】従来のスタックビア構造体の層の断面図を示す。
- 【図 1 B】従来のスタックビア構造体の層の上面図を示す。
- 【図 2 A】本開示の 1 つ又は複数の態様による例示的なスタックビア構造体の層の断面図を示す。
- 【図 2 B】本開示の 1 つ又は複数の態様による例示的なスタックビア構造体の層の上面図を示す。
- 【図 3】本開示の 1 つ又は複数の態様による、例示的なビア構造体の詳細図を示す。
- 【図 4 A】本開示の 1 つ又は複数の態様による、スタック層構造体を製作する段階の例の図を示す。
- 【図 4 B】本開示の 1 つ又は複数の態様による、スタック層構造体を製作する段階の例の図を示す。 10
- 【図 4 C】本開示の 1 つ又は複数の態様による、スタック層構造体を製作する段階の例の図を示す。
- 【図 4 D】本開示の 1 つ又は複数の態様による、スタック層構造体を製作する段階の例の図を示す。
- 【図 4 E】本開示の 1 つ又は複数の態様による、スタック層構造体を製作する段階の例の図を示す。
- 【図 4 F】本開示の 1 つ又は複数の態様による、スタック層構造体を製作する段階の例の図を示す。
- 【図 4 G】本開示の 1 つ又は複数の態様による、スタック層構造体を製作する段階の例の図を示す。 20
- 【図 4 H】本開示の 1 つ又は複数の態様による、スタック層構造体を製作する段階の例の図を示す。
- 【図 4 I】本開示の 1 つ又は複数の態様による、スタック層構造体を製作する段階の例の図を示す。
- 【図 5 A】本開示の 1 つ又は複数の態様による、別のスタック層構造体を製作する段階の例の図を示す。
- 【図 5 B】本開示の 1 つ又は複数の態様による、別のスタック層構造体を製作する段階の例の図を示す。
- 【図 5 C】本開示の 1 つ又は複数の態様による、別のスタック層構造体を製作する段階の例の図を示す。 30
- 【図 5 D】本開示の 1 つ又は複数の態様による、別のスタック層構造体を製作する段階の例の図を示す。
- 【図 5 E】本開示の 1 つ又は複数の態様による、別のスタック層構造体を製作する段階の例の図を示す。
- 【図 5 F】本開示の 1 つ又は複数の態様による、別のスタック層構造体を製作する段階の例の図を示す。
- 【図 5 G】本開示の 1 つ又は複数の態様による、別のスタック層構造体を製作する段階の例の図を示す。
- 【図 6】本開示の 1 つ又は複数の態様による、スタックビア構造体を製作する方法の一例のフローチャートを示す。 40
- 【図 7】本開示の 1 つ又は複数の態様による、スタック層構造体を製作する例示的な方法のフローチャートを示す。
- 【図 8】本開示の 1 つ又は複数の態様による、スタック層構造体を製作する例示的な方法のフローチャートを示す。
- 【図 9】本開示の 1 つ又は複数の態様による、スタック層構造体を製作する別の例示的な方法のフローチャートを示す。
- 【図 10】本開示の 1 つ又は複数の態様による、スタック層構造体を製作する更なる例示的な方法のフローチャートを示す。
- 【図 11】本開示の 1 つ又は複数の態様を利用し得る、様々な電子デバイスを示す。 50

【発明を実施するための形態】

【0013】

本明細書で開示する態様に関連する他の目的及び利点は、添付の図面及び詳細な説明に基づいて、当業者に明らかとなる。慣例に従って、図面によって示される特徴は、一定の縮尺で描かれていないことがある。したがって、図示された特徴の寸法は、明快にするために、任意に拡大又は縮小されていることがある。慣例に従って、図面のうちのいくつかは、明瞭にするために簡略化されている。したがって、図面は、特定の装置又は方法のすべての構成要素を示すとは限らない。更に、同様の参照番号は、本明細書及び図の全体で同様の特徴を示す。

【0014】

特定の実施形態を対象とする以下の説明及び関係する図面において、本開示の態様が例示される。本明細書における教示の範囲を逸脱することなく、代替の態様又は実施形態が考案され得る。加えて、本明細書の例示的な実施形態のよく知られている要素は、本開示における教示の関連する詳細を不明瞭にしないように、詳細には説明されないこと、又は省略されることがある。

【0015】

いくつかの説明される例示的な実装形態において、様々な構成要素の構造及び動作の一部が既知の従来技法から得られ、そして1つ又は複数の例示的な実施形態に従って構成され得るような事例が特定される。そのような事例では、本明細書で開示される例示的な実施形態において例示される概念を曖昧にする可能性を回避することを助けるため、既知の従来技法の構成要素の構造及び／又は動作の一部の内部の詳細が省略されることがある。

【0016】

本明細書で使用される用語は、特定の実施形態について説明するためのものにすぎず、限定を意図するものではない。本明細書で使用する単数形「a」、「an」及び「the」は、文脈が別段に明確に示さない限り、複数形も含むものとする。「備える (comprises)」、「備える (comprising)」、「含む (includes)」及び／又は「含む (including)」という用語は、本明細書で使用されるとき、述べられた特徴、整数、ステップ、動作、要素、及び／又は構成要素の存在を明示するが、1つ又は複数の他の特徴、整数、ステップ、動作、要素、構成要素、及び／又はそれらのグループの存在又は追加を排除しないことを更に理解されたい。

【0017】

図1Aは、従来のスタックビア構造体100の断面図を示している。見られるように、スタックビア構造体100は、互いの上に垂直に積み重ねられたビア130を含む。各ビア130は、キャプチャパッド110（ランディングパッドとも呼ばれる）上にあり、かつキャプチャパッド110と接触している。カバーパッド120は、最上部ビア130上にあり、かつ最上部ビア130と接触している。スタックビア構造体100は、上部及び底部接続のためにキャプチャパッド110及びカバーパッド120を使用する。

【0018】

上述したように、スタックビア構造体設計ルールは、安全なランディングのために大きなパッドを指定する。スタックビア用途の場合、より大きなパッド設計ルールが、配置精度の改善のために適用される。特に、キャプチャパッド110の直径は、ビア130の直径よりも大きい。これは、従来のスタックビア構造体100の層の上面図を示す図1Bに見られる。配置精度にマージンを提供するために、キャプチャパッド110の直径は、ビア130の直径よりも大きくなるように設計されている。パターン線150は、キャプチャパッド110を介して層内で2つのビア130を互いに電氣的に結合することができる。キャプチャパッド110の直径が大きくなると、信号のルーティングに利用可能な空間が減少し、これは次いで、設計の柔軟性を低下させることを意味することに留意されたい。

【0019】

従来のスタックビア構造体の1つ又は複数の問題に対処するために、ビアが互いの上に

10

20

30

40

50

直接積み重ねられ得るスタックビア構造体を提供することが提案される。このように、ビアの各ペア間にキャプチャパッドが必要となる。提案されたスタックビア構造体 200 の一例が図 2 A に示されている。スタックビア構造体 200 は、底部から上部へ、キャプチャパッド 210 と、内側ビア 242 と、中間ビア 240 と、外側ビア 244 と、カバーパッド 220 とを備え得る。更に進む前に、上、底、上部、下部、左、右などの用語は、説明を容易にするために使用されることに留意されたい。特に明記しない限り、これらの用語は、絶対的な向きを意味すると解釈されるべきではない。ビア 240、242、244 及び／又はパッド 210、220 のスタックは、銅 (Cu)、アルミニウム (Al) などの導電性材料から形成され得る。

【0020】

内側ビア 242 は、キャプチャパッド 210 上にあり、かつキャプチャパッド 210 と接触し得、中間ビア 240 は、内側ビア 242 上にあり、かつ内側ビア 242 と接触し得、外側ビア 244 は、中間ビア 240 上にあり、かつ中間ビア 240 と接触し得、カバーパッド 220 は、外側ビア 244 上にあり、かつ外側ビア 244 と接触し得る。このように、キャプチャパッド 210 は、内側ビア 242、中間ビア 240、及び外側ビア 244 をこの順序で介して、カバーパッド 220 に電氣的に結合され得る。

【0021】

任意の 2 つの直接隣接するビア間に、隣接するビアを積み重ねるための凹部構造体（破線の楕円によって強調表示されている）が存在することに留意されたい。特に、上部ビア（例えば、外側ビア 244 又は中間ビア 240）の底部は、下部ビア（例えば、内側ビア 242 又は中間ビア 240）内に形成された凹部内に挿入され得る。

【0022】

また、上部ビアと下部ビアとの間にランディングパッドが存在しないことに留意されたい。これは、ルーティングのための追加のスペースが存在し得ることを意味する。これは、スタックビア構造体 200 の層の上面図を示す図 2 B に見られる。ここで、パターン線 250 は、層内で 2 つのビア 230 を互いに電氣的に結合することができる。しかし、図 1 B に示される状況とは異なり、スタックビア構造体 200 の層内にパッドは存在しない。したがって、パターン線 250 は、中間ビア 240 と直接接触し得る。その結果、信号のルーティングに利用可能な面積を増加させることによって、設計の柔軟性を高めることができる。

【0023】

以下のことに留意すべきである。図 2 A のスタックビア構造体 200 では 1 つの中間ビア 240 しか示されていないが、実際には、内側ビア 242 と外側ビア 244 との間に任意の数の中間ビア 240 が存在し得る。次いで、キャプチャパッド 210 は、内側ビア 242、1 つ又は複数の中間ビア 240、及び外側ビア 244 をこの順序で介してカバーパッド 220 に電氣的に結合され得る。

【0024】

図 2 A では楕円として強調表示された凹部構造体のより詳細な図が図 3 に示されており、第 1 のビア 340 A と、第 1 のビア 340 A 上に形成された第 2 のビア 340 B とを示している。第 1 のビア 340 A は、外側ビア 244 以外の、スタックビア構造体 200 の任意のビアであり得る。すなわち、第 1 のビア 340 A は、内側ビア 242、又は、1 つ又は複数の中間ビア 240 のうちの 1 つであり得る。次いで、第 1 のビア 340 A は、キャプチャパッド 210 の上に積み重ねられてキャプチャパッド 210 と電氣的に結合され得る。「上」に積み重ねられたとは、第 1 のビア 340 A が内側ビア 242 と接触していることを必ずしも必要としないが、それは可能性の 1 つであることに留意されたい。例えば、1 つ又は複数の中間ビア 240 のすべてが、キャプチャパッド 210 の上に積み重ねられ得る。しかしながら、内側ビア 242 のみが、キャプチャパッド 210 と接触し得る。より具体的には、キャプチャパッド 210 の上面は、内側ビア 242 の底面と接触し得る。

【0025】

第2のビア340Bは、内側ビア242以外の、スタックビア構造体200の任意のビアであり得る。すなわち、第2のビア340Bは、1つ又は複数の中間ビア240のうちの1つ、又は、外側ビア244であり得る。次いで、第2のビア340Bは、第1のビア340Aの上に積み重ねられて第1のビア340Aと電氣的に結合され得る。この場合、第1のビア340A及び第2のビア340Bは直接隣接したビアであるため、互いに接触し得る。

【0026】

図2Aの文脈では、カバーパッド220は、第2のビア340Bの上に積み重ねられて第2のビア340Bと電氣的に結合され得る。ここでも、「上」に積み重ねられたとは、必ずしも接触を意味するわけではないが、可能性である。第2のビア340Bが外側ビア244である場合、カバーパッド220は、第2のビア340B上にあり、かつ第2のビア340Bと接触し得る。より具体的には、カバーパッド220の底面は、外側ビア244の上面と接触し得る。しかし、第2のビア340Bが1つ又は複数の中間ビア240のうちのいずれか1つである場合、カバーパッド220と第2のビア340Bとの間の接触は存在しない。

10

【0027】

一態様では、ビア（例えば、内側ビア242、1つ又は複数の中間ビア240、外側ビア244）は、それらのそれぞれの上部幅がそれらの底部幅よりも広くなるように、テーパ状であり得る。図3では、これは、第1のビア340A及び／又は第2のビア340Bがテーパ状であり得ることを意味する。第1のビア340Aがテーパ状である場合、第1のビア340Aの上部幅は、第1のビア340Aの底部幅よりも広くてもよい。参照を容易にするために、第1のビア340Aの上部幅及び底部幅は、それぞれ、「第1の上部幅」及び「第1の底部幅」と呼ばれ得る。同様に、第2のビア340Bがテーパ状である場合、第2の上部幅（第2のビア340Bの上部幅）は、第2の底部幅（第2のビア340Bの底部幅）よりも広くてもよい。また、図3に見られるように、第1の上部幅は、第2の底部幅よりも広くてもよい。

20

【0028】

凹部345は、第1のビア340Aの上面から第1のビア340A内に部分的に延びるように形成され得る。すなわち、第1のビア340Aは、その上面から第1のビア340A内に部分的に延びる凹部345を備え得る。第2のビア340Bの底面から凹部345の深さと同じ高さまで延びている第2のビア340Bの部分は、凹部345内に挿入され得る。参照を容易にするために、第2のビア340Bのこの底部は、「第2の底部」と呼ばれ得る。凹部345の深さは、名目上、第1のビア340Aの合計高さの5%～15%の範囲であり得る。

30

【0029】

一態様では、第2の底部は、点線の楕円によって強調表示されているように、凹部345内で第1のビア340Aと接触し得る。凹部345は、凹部上部幅（凹部345の上部幅）が凹部底部幅（凹部345の底部幅）よりも広くなるようなテーパ状であり得ることに留意されたい。第1のビア340Aと第2のビア340Bとの間の接触は、第2の底部の側面と凹部345の側面とが接触するようなものであり得る。同様に、第2の底面、すなわち、第2の底部（第2のビア340Bの底部でもある）の底面は、凹部345の底面と接触し得る。したがって、接触面積を増大させることができ、それによって構造的完全性を高めることができる。すなわち、第1のビア340A及び第2のビア340Bは、互いにより良好に固定され得る。

40

【0030】

上記の図2Aの文脈では、上部ビアと下部ビアとの間にランディングパッドが存在しないことが示されている。図3では、これは、第1のビア340Aと第2のビア340Bとの間にキャプチャパッドを有さないことに言い換えることができる。また、図2Bの文脈では、パターン線250が同じ層の2つのビアと接触し得ることが示されている。図3では、これは、パターン線250が第1のビア340A及び第1のビア340Aと同じ層上

50

のビア（例えば、ビア２４０）と接触していると言い換えることができる。それに代えて又はそれに加えて、別のパターン線２５０は、第２のビア３４０Ｂ及び第２のビア３４０Ｂと同じ層上の同じ又は異なるビア（例えば、同じ又は異なるビア２４０）と接触し得る。更に、図２Ａの文脈では、キャプチャパッド２１０が、カバーパッド２２０に、内側ビア２４２、１つ又は複数の中間ビア２４０、及び外側ビア２４４に、この順序で電氣的に結合され得ることが示されている。図３では、これは、キャプチャパッド２１０が第１のビア３４０Ａ及び第２のビア３４０Ｂをこの順序で介してカバーパッド２２０に電氣的に結合されていることに言い換えることができる。当然ながら、キャプチャパッド２１０とカバーパッド２２０との間の電気経路内にあり得る他のビア（例えば、内側ビア２４２、他の中間ビア２４０、外側ビア２４４）が存在し得ることに留意されたい。

10

【００３１】

図２Ａ、図２Ｂ、及び図３のスタックビア構造体２００は、スタック層構造体において使用され得る。図４Ａ～図４Ｉは、本開示の１つ又は複数の態様による、スタック層構造体を製作する段階の例を示している。段階を説明する前に、スタックビア構造体２００が組み込まれ得る、例示的なスタック層構造体４００を示す図４Ｉに注目する。スタック層構造体４００は、埋め込みトレース基板（ＥＴＳ）に基づくスタック層構造体の一例であり得る。

【００３２】

図４Ｉに見られるように、スタック層構造体４００は、ベース層４６０とも呼ばれる初期層４６０を備え得る。キャプチャパッド２１０及び内側ビア２４２は、初期層４６０の上に積み重ねられ得る内側誘電体層４１５内に形成される。内側ビア２４２は、キャプチャパッド２１０の上に積み重ねられてキャプチャパッド２１０と電氣的に結合され得る。

20

【００３３】

スタック層構造体４００はまた、中間誘電体層４２５内に形成された中間ビア２４０を備え得、中間誘電体層４２５自体は、内側誘電体層４１５の上に積み重ねられ得る。スタックビア構造体が任意の数の中間ビア２４０を含み得ることを上記から想起されたい。したがって、図４Ｉでは１つの中間誘電体層４２５が示されているが、任意の数の中間誘電体層４２５が存在し得る。すなわち、スタック層構造体４００は、内側誘電体層４１５の上に積み重ねられ得る、対応する１つ又は複数の中間誘電体層４２５内に形成された１つ又は複数の中間ビア２４０を備え得る。１つ又は複数の中間ビア２４０は、内側ビア２４２の上に積み重ねられて内側ビア２４２と電氣的に結合され得る。

30

【００３４】

スタック層構造体４００は、１つ又は複数の中間誘電体層４２５の上に積み重ねられ得る外側誘電体層４３５内に形成された外側ビア２４４を更に備え得る。外側ビア２４４は、１つ又は複数の中間ビア２４０の上に積み重ねられて中間ビア２４０と電氣的に結合され得る。

【００３５】

スタック層構造体４００は、外側ビア２４４の上に積み重ねられて外側ビア２４４と電氣的に結合されたカバーパッド２２０を更に備え得る。カバーパッド２２０は、スタック層構造体４００の最外層であり得るカバー層４４５内に形成され得ることに留意されたい。また、カバーパッド２２０は、露出され得ることに留意されたい。すなわち、カバーパッド２２０は、スタック層構造体４００とスタック層構造体４００の外部のデバイスとの間の信号接続を可能にするように構成され得る。例えば、複数のカバーパッド２２０は、ボールグリッドアレイ（ＢＧＡ）として機能し得る。

40

【００３６】

態様では、スタック層構造体４００は、図３に関して説明したような第１のビア３４０Ａと第２のビア３４０Ｂとを備えると言うことができる。第２のビア３４０Ｂは、第１のビア３４０の上に直接積み重ねられ得る。第１のビア３４０Ａは、内側ビア２４２、又は、１つ又は複数の中間ビア２４０のうちの１つであり得る。第２のビア３４０Ｂは、１つ又は複数の中間ビア２４０のうちの１つ、又は、外側ビア２４４であり得る。第１のビア

50

340A及び第2のビア340Bの詳細は上記で提供されており、したがって、簡潔にするためにここでは繰り返さない。

【0037】

ここで、スタック層構造体400を製作する様々な段階を説明する。図4Aは、キャプチャパッド210がキャリア405上に形成され得る段階を示している。

【0038】

図4Bは、内側誘電体層415がキャリア405上に形成されてキャプチャパッド210をカバーし得る段階を示している。例えば、内側誘電体層415は、キャリア405上に積層され得る。

【0039】

図4Cは、キャプチャパッド210を露出させるために、内側ビアホール417を形成するように内側誘電体層415が処理され得る段階を示している。例えば、内側ビアホール417は、レーザ穴あけ加工によって形成され得る。

【0040】

図4Dは、内側誘電体層415及び内側ビアホール417が、内側ビアホール417を埋めるように内側ビア242を形成するために、導電性材料（例えば、Cu、Alなど）でめっきされ得る段階を示している。この段階では、内側ビア242内に凹部はまだ形成されていない。

【0041】

図4Eは、中間ビアホール427が中間誘電体層425内に形成され得る段階を示している。一態様では、中間誘電体層425は、内側誘電体層415上に積層され得る。次いで、中間誘電体層425が、内側ビア242を露出させるために、例えばレーザ穴あけ加工によって穴あけされ得る。穴あけ加工はまた、内側242内に凹部を穴あけし得る。

【0042】

図4Fは、中間誘電体層425及び中間ビアホール427が、中間ビアホール427を埋めるように中間ビア240を形成するために、導電性材料（例えば、Cu、Alなど）でめっきされ得る段階を示している。中間ビア240はまた、内側ビア242の凹部を埋め得る。この段階では、中間ビア240内に凹部はまだ形成されていない。

【0043】

図4Gは、外側ビアホール437が外側誘電体層435内に形成され得る段階を示している。一態様では、外側誘電体層435は、中間誘電体層425上に積層され得る。次いで、外側誘電体層435が、中間ビア240を露出させるために、例えばレーザ穴あけ加工によって穴あけされ得る。穴あけ加工はまた、中間ビア240内に凹部を穴あけし得る。

【0044】

図4Hは、外側誘電体層435及び外側ビアホール437が、中間ビアホール427を埋めるように外側ビア244を形成するために、導電性材料（例えば、Cu、Alなど）でめっきされ得る段階を示している。外側ビア244はまた、中間ビア240の凹部を埋め得る。

【0045】

図4Iは、キャリア405が除去され得、初期層460が内側誘電体層415の下に形成され得る段階を示している。また、カバーパッド220が、外側誘電体層435上に形成され得、次いで、カバー層445が、外側誘電体層435及びカバーパッド220上に形成（例えば、積層）され得、その後、カバーパッド220を露出させるように処理され得る。

【0046】

示されていないが、図4E及び図4Fに示される段階を繰り返すことによって、複数の中間誘電体層425及び対応する複数の中間ビア240が製作され得ることに留意されたい。

【0047】

10

20

30

40

50

図 5 A ～図 5 G は、本開示の 1 つ又は複数の態様による、別のスタック層構造体を製作する段階の例を示している。段階を説明する前に、スタックビア構造体 2 0 0 が組み込まれ得る、例示的なスタック層構造体 5 0 0 を示す図 5 G に注目する。スタック層構造体 5 0 0 は、セミアディティブプロセス (SAP) 又はモディファイド SAP (mSAP) 基板に基づくスタック層構造体の一例であり得る。

【0048】

図 5 G に見られるように、スタック層構造体 5 0 0 は、コア層 5 6 0 とも呼ばれる初期層 5 6 0 を備え得る。2 つのスタックビア構造体が存在し、一方はコア層の上にあり、他方はコア層の下にあることに留意されたい。参照を容易にするために、コア層 5 6 0 の上のスタック層構造体 5 0 0 の部分は、「A」で終わる要素で参照され、コア層 5 6 0 の下の部分は、「B」で終わる要素で参照されている。

10

【0049】

コア層 5 6 0 の上の部分は、図 4 I のベース層 4 6 0 の上のスタック層構造体 4 0 0 と同様であり得る。すなわち、初期層 5 6 0 の上のスタック層構造体 5 0 0 は、初期層 5 6 0 の上に積み重ねられた内側誘電体層 5 1 5 A 内に形成されたキャプチャパッド 2 1 0 A 及び内側ビア 2 4 2 A を備え得る。内側ビア 2 4 2 A は、キャプチャパッド 2 1 0 A の上に積み重ねられてキャプチャパッド 2 1 0 A と電氣的に結合され得る。

【0050】

初期層 5 6 0 の上のスタック層構造体 5 0 0 はまた、内側誘電体層 5 1 5 A の上に積み重ねられた中間誘電体層 5 2 5 A 内に形成された中間ビア 2 4 0 A を備え得る。ここでも、1 つの中間誘電体層 5 1 5 A 内に形成された 1 つの中間ビア 2 4 0 A が示されているが、スタック層構造体 5 0 0 は、内側誘電体層 5 1 5 A の上に積み重ねられた、対応する 1 つ又は複数の中間誘電体層 5 2 5 A 内に形成された 1 つ又は複数の中間ビア 2 4 0 A を備え得る。1 つ又は複数の中間ビア 2 4 0 A は、内側ビア 2 4 2 A の上に積み重ねられて内側ビア 2 4 2 A と電氣的に結合され得る。

20

【0051】

初期層 5 6 0 の上のスタック層構造体 5 0 0 は、1 つ又は複数の中間誘電体層 5 2 5 A の上に積み重ねられた外側誘電体層 5 3 5 A 内に形成された外側ビア 2 4 4 A を更に備え得る。外側ビア 2 4 4 A は、1 つ又は複数の中間ビア 2 4 0 A の上に積み重ねられて 1 つ又は複数の中間ビア 2 4 0 A と電氣的に結合され得る。

30

【0052】

初期層 5 6 0 の上のスタック層構造体 5 0 0 は、外側ビア 2 4 4 A の上に積み重ねられて外側ビア 2 4 4 A と電氣的に結合されたカバーパッド 2 2 0 A を更に備え得る。カバーパッド 2 2 0 A は、初期層 5 6 0 の上のスタック層構造体 5 0 0 の最外層であり得る、カバー層 4 4 5 A 内に形成され得る。カバーパッド 2 2 0 A は、露出され得る。例えば、カバーパッド 2 2 0 A は、スタック層構造体 5 0 0 の外部のデバイスとの信号接続を可能にするように構成され得る。

【0053】

態様では、初期層 5 6 0 の上のスタック層構造体 5 0 0 は、図 3 に関して説明したような第 1 のビア 3 4 0 A と第 2 のビア 3 4 0 B とを備えると言うことができる。第 2 のビア 3 4 0 B は、第 1 のビア 3 4 0 A の上に直接積み重ねられ得る。第 1 のビア 3 4 0 A は、内側ビア 2 4 2 、又は、1 つ又は複数の中間ビア 2 4 0 のうちの 1 つであり得る。第 2 のビア 3 4 0 B は、1 つ又は複数の中間ビア 2 4 0 のうちの 1 つ、又は、外側ビア 2 4 4 であり得る。第 1 のビア 3 4 0 A 及び第 2 のビア 3 4 0 B の詳細は上記で提供されており、したがって、簡潔にするためにここでは繰り返さない。

40

【0054】

コア層 5 6 0 の下の部分は、コア層 5 6 0 の上の部分と同様であり得るが、反対向き (例えば、下向き) である。「下部」という用語は、コア層 5 6 0 の下の構成要素を上構成要素から区別するために使用される。初期層 5 6 0 の下のスタック層構造体 5 0 0 は、初期層 5 6 0 の下に積み重ねられた下部内側誘電体層 5 1 5 B 内に形成された下部キャプ

50

チャパッド 2 1 0 B 及び下部内側ビア 2 4 2 B を備え得る。下部内側ビア 2 4 2 B は、下部キャプチャパッド 2 1 0 B の下に積み重ねられて下部キャプチャパッド 2 1 0 B と電氣的に結合され得る。

【0055】

初期層 5 6 0 の下のスタック層構造体 5 0 0 はまた、下部内側誘電体層 5 1 5 B の下に積み重ねられた下部中間誘電体層 5 2 5 B 内に形成された下部中間ビア 2 4 0 B を備え得る。1 つの下部中間誘電体層 5 2 5 B 内に形成された 1 つの下部中間ビア 2 4 0 B が示されているが、スタック層構造体 5 0 0 は、下部内側誘電体層 5 1 5 B の下に積み重ねられた、対応する 1 つ又は複数の下部中間誘電体層 5 2 5 B 内に形成された 1 つ又は複数の下部中間ビア 2 4 0 B を備え得る。1 つ又は複数の下部中間ビア 2 4 0 B は、下部内側ビア 2 4 2 B の下に積み重ねられて下部内側ビア 2 4 2 B と電氣的に結合され得る。コア層 5 6 0 の上の中間誘電体層 5 2 5 A の数は、コア層 5 6 0 の下の下部中間層 5 2 5 B の数とは無関係であってもよいことに留意されたい。

10

【0056】

初期層 5 6 0 の下のスタック層構造体 5 0 0 は、1 つ又は複数の下部中間誘電体層 5 2 5 B の下に積み重ねられた下部外側誘電体層 5 3 5 B 内に形成された下部外側ビア 2 4 4 B を更に備え得る。下部外側ビア 2 4 4 B は、1 つ又は複数の中間ビア 2 4 0 B の下に積み重ねられて 1 つ又は複数の中間ビア 2 1 0 B と電氣的に結合され得る。

【0057】

初期層 5 6 0 の下のスタック層構造体 5 0 0 は、下部外側ビア 2 4 4 B の下に積み重ねられて下部外側ビア 2 4 4 B 電氣的に結合された下部カバーパッド 2 2 0 B を更に備え得る。下部カバーパッド 2 2 0 B は、初期層 5 6 0 の下のスタック層構造体 5 0 0 の最外層であり得る、下部カバー層 4 4 5 B 内に形成され得る。下部カバーパッド 2 2 0 B は、露出され得る。例えば、下部カバーパッド 2 2 0 B は、スタック層構造体 5 0 0 の外部のデバイスとの信号接続を可能にするように構成され得る。

20

【0058】

態様では、初期層 5 6 0 の下のスタック層構造体 5 0 0 は、第 1 及び第 2 の下部ビアを備え、これらは、向きが逆であり得る（図示せず）ことを除いて、図 3 に関して説明したような第 1 のビア 3 4 0 A 及び第 2 のビア 3 4 0 B と同様であり得ると言うことができる。次いで、第 2 の下部ビアが、第 1 の下部ビアの下に直接積み重ねられ得ると言うことができる。第 1 の下部ビアは、下部内側ビア 2 4 2 B、又は、1 つ又は複数の下部中間ビア 2 4 0 B のうちの 1 つであり得る。下部の第 2 のビアは、1 つ又は複数の下部中間ビア 2 4 0 B のうちの 1 つ、又は、下部外側ビア 2 4 4 B であり得る。

30

【0059】

初期層 5 6 0 の両側のスタックビア構造体 5 0 0 が示されているが、これは単なる一例である。図 2 A、図 2 B、図 3 の提案されたスタックビア構造体は、初期層 5 6 0 の片側又は両側にあり得ることが企図される。

【0060】

ここで、スタック層構造体 5 0 0 を製作する様々な段階を説明する。説明のために、提案されたスタックビア構造体は、初期層 5 6 0 の上及び下の両方に形成されると仮定する。図 5 A は、キャプチャパッド 2 1 0 A が初期（又はコア）層 5 6 0 上に形成され得、下部キャプチャパッド 2 1 0 B が初期層 5 6 0 の下に形成され得る段階を示している。キャプチャパッド 2 1 0 A 及び下部キャプチャパッド 2 1 0 B のうちの一方又は両方は、初期層 5 6 0 と接触し得る。

40

【0061】

図 5 B は、内側誘電体層 5 1 5 A が初期層 5 6 0 上に形成されてキャプチャパッド 2 1 0 A をカバーし得る段階を示している。また、下部内側誘電体層 5 1 5 B が、初期層 5 6 0 の下に形成されて下部キャプチャパッド 2 1 0 B をカバーし得る。例えば、内側誘電体層 5 1 5 A は、初期層 5 6 0 上に積層され得る。それに代えて又はそれに加えて、下部内側誘電体層 5 1 5 B は、初期層 5 6 0 の下に積層され得る。

50

【0062】

図5Cは、キャプチャパッド210Aを露出させるために、内側ビアホール517Aを形成するように内側誘電体層515Aが処理され得る段階を示している。同様に、下部キャプチャパッド210Bを露出させるために、下部内側ビアホール517Bを形成するように下部内側誘電体層515Bが処理され得る。内側ビアホール517A及び／又は下部内側ビアホール517Bは、レーザ穴あけ加工によって形成され得る。

【0063】

図5Dは、内側誘電体層515A及び内側ビアホール517Aが、内側ビアホール517Aを埋めるように内側ビア242Aを形成するために、導電性材料（例えば、Cu、Alなど）でめっきされ得る段階を示している。この段階では、内側ビア242A内に凹部はまだ形成されていない。それに代えて又はそれに加えて、下部内側誘電体層515B及び下部内側ビアホール517Bが、下部内側ビアホール517Bを埋めるように下部内側ビア242Bを形成するために、導電性材料（例えば、Cu、Alなど）でめっきされ得る段階を示している。この段階では、下部内側ビア242B内に下部凹部はまだ形成されていない。

10

【0064】

図5Eは、中間ビアホール527Aが中間誘電体層525A内に形成され得る段階を示している。中間誘電体層525Aが、内側誘電体層515A上に積層され、次いで、例えばレーザ穴あけ加工によって穴あけされ得る。穴あけ加工はまた、内側ビア242A内に凹部を穴あけし得る。

20

【0065】

それに代えて又はそれに加えて、下部中間ビアホール527Bが、下部中間誘電体層525B内に形成され得る。下部中間誘電体層525Bが、下部内側誘電体層515Bの下に積層され、次いで、例えばレーザ穴あけ加工によって穴あけされ得る。穴あけ加工はまた、下部内側ビア242B内に下部凹部を穴あけし得る。

【0066】

図5Fは、中間誘電体層525A及び中間ビアホール527Aが、中間ビアホール527Aを埋めるように中間ビア240Aを形成するために、導電性材料（例えば、Cu、Alなど）でめっきされ得る段階を示している。中間ビア240Aはまた、内側ビア242Aの凹部を埋め得る。この段階では、中間ビア240A内に凹部はまだ形成されていない。

30

【0067】

それに代えて又はそれに加えて、下部中間誘電体層525B及び下部中間ビアホール527Bが、下部中間ビアホール527Bを埋めるように下部中間ビア240Bを形成するために導電性材料（例えば、Cu、Alなど）でめっきされ得る。下部中間ビア240Bはまた、下部内側ビア242Bの凹部を埋め得る。この段階では、下部中間ビア240B内に下部凹部はまだ形成されていない。

【0068】

図5Gは、外側誘電体層535Aが中間誘電体層525A上に積層されて（例えば、レーザによって）穴あけされ得、これにより、中間ビア240A内に凹部を形成し得る段階を示している。外側誘電体層535A及び中間ビア240Aが、外側ビア244Aを形成するために導電性材料（例えば、Cu、Alなど）でめっきされ得、外側ビア244Aがまた、中間ビア240Aの凹部を埋め得る。カバーパッド220Aが、外側誘電体層535A上に形成され得、カバー層545Aが、次いで、外側誘電体層535A及びカバーパッド220A上に形成（例えば、積層）され得、次に、カバー層545Aが、例えば外部デバイスとの接続を可能にするように更に処理され得る。

40

【0069】

それに代えて又はそれに加えて、下部外側誘電体層535Bが、下部中間誘電体層525Bの下に積層されて（例えば、レーザによって）穴あけされ得、これによりまた、下部中間ビア240B内に下部凹部を形成し得る。下部外側誘電体層535B及び下部中間ビ

50

ア 2 4 0 B が、下部外側ビア 2 4 4 B を形成するために導電性材料（例えば、Cu、Al など）でめっきされ得、これによりまた、下部中間ビア 2 4 0 B の下部凹部を埋める。下部カバーパッド 2 2 0 B が、下部外側誘電体層 5 3 5 B の下に形成され得、次いで、下部カバー層 5 4 5 B が、下部外側誘電体層 5 3 5 B 及び下部カバーパッド 2 2 0 B の下に形成（例えば、積層）され得る。次に、下部カバー層 5 4 5 B が、例えば、外部デバイスとの接続を可能にするように更に処理され得る。

【0070】

示されていないが、図 5 E 及び図 5 F に示される段階を繰り返すことによって、複数の中間誘電体層 5 2 5 A 及び対応する複数の中間ビア 2 4 0 A が製作され得ることに留意されたい。それに代えて又はそれに加えて、複数の下部中間誘電体層 5 2 5 B 及び対応する複数の下部中間ビア 2 4 0 B が製作され得る。ここでも、中間誘電体層 5 2 5 A の数は、下部中間誘電体層 5 2 5 B の数とは無関係であってもよい。

10

【0071】

図 6 は、本開示の 1 つ又は複数の態様による、スタックビア構造体 2 0 0 などのスタックビア構造体を製作する例示的な方法 6 0 0 のフローチャートを示している。ブロック 6 1 0 において、キャプチャパッド 2 1 0 が形成され得る。

【0072】

ブロック 6 2 0 において、第 1 のビア 3 4 0 A が形成され得る。第 1 のビア 3 4 0 A は、キャプチャパッド 2 1 0 の上に積み重ねられてキャプチャパッド 2 1 0 と電氣的に結合され得る。凹部 3 4 5 は、第 1 のビア 3 4 0 A の上面から第 1 のビア 3 4 0 A 内に部分的に延びるように形成され得る。一態様では、凹部 3 4 5 は、レーザ穴あけ加工などの穴あけ加工によって形成され得る。

20

【0073】

ブロック 6 3 0 において、第 2 のビア 3 4 0 B が形成され得る。第 2 のビア 3 4 0 B は、第 1 のビア 3 4 0 A の上に積み重ねられて第 1 のビア 3 4 0 A と電氣的に結合され得る。第 2 の底部（第 2 のビア 3 4 0 B の底面から凹部 3 4 5 の深さと等しい高さまで延びている第 2 のビア 3 4 0 B の部分）は、凹部 3 4 5 内にあり得る。したがって、第 2 のビア 3 4 0 B は、凹部 3 4 5 内で第 1 のビア 3 4 0 A と接触し得る。第 1 のビア 3 4 0 A 及び第 2 のビア 3 4 0 B の詳細は図 2 A、図 2 B、及び図 3 に関して上記で説明されており、したがって、簡潔にするためにここでは繰り返さない。

30

【0074】

ブロック 6 4 0 において、カバーパッド 2 2 0 が形成され得る。カバーパッド 2 2 0 は、第 2 のビア 3 4 0 B の上に積み重ねられて第 2 のビア 3 4 0 B と電氣的に結合され得る。

【0075】

図 7 は、本開示の 1 つ又は複数の態様による、スタック層構造体 4 0 0 又は 5 0 0 などのスタック層構造体を製作する例示的な方法 7 0 0 のフローチャートを示している。ブロック 7 1 0 において、キャプチャパッド 2 1 0、2 1 0 A 及び内側ビア 2 4 2、2 4 2 A が、内側誘電体層 4 1 5、5 1 5 A 内に形成され得る。内側ビア 2 4 2、2 4 2 A は、キャプチャパッド 2 1 0、2 1 0 A の上に積み重ねられてキャプチャパッド 2 1 0、2 1 0 A と電氣的に結合され得る。

40

【0076】

ブロック 7 2 0 において、1 つ又は複数の中間ビア 2 4 0、2 4 0 A が、内側誘電体層 4 1 5、5 1 5 A の上に積み重ねられ得る、対応する 1 つ又は複数の中間誘電体層 4 2 5、5 2 5 A 内に形成され得る。1 つ又は複数の中間ビア 2 4 0、2 4 0 A は、内側ビア 2 4 2、2 4 2 A の上に積み重ねられて内側ビア 2 4 2、2 4 2 A と電氣的に結合され得る。

【0077】

ブロック 7 3 0 において、外側ビア 2 4 4、2 4 4 A は、1 つ又は複数の中間誘電体層 4 2 5、5 2 5 A の上に積み重ねられ得る、外側誘電体層 4 3 5、5 3 5 A 内に形成され

50

得る。外側ビア 244、244A は、1つ又は複数の中間ビア 240、240A の上に積み重ねられて 1つ又は複数の中間ビア 240、240A と電氣的に結合され得る。

【0078】

一態様では、内側ビア 242、242A、又は、1つ又は複数の中間ビア 240、240A のうちの 1つは、第 1 のビア 340A として機能し得る。また、1つ又は複数の中間ビア 240、240A うちの 1つ、又は外側ビア 244A は、第 2 のビア 340B として機能し得る。第 1 のビア 340A 及び第 2 のビア 340B の詳細は図 2A、図 2B、及び図 3 に関して上記で説明されており、したがって、簡潔にするためにここでは繰り返さない。

【0079】

ブロック 740 において、カバーパッド 220、220A が形成され得る。カバーパッド 220、220A は、外側ビア 244、244A の上に積み重ねられて外側ビア 244、244A と電氣的に結合され得る。

【0080】

ブロック 710～740 を実施することにより、スタック層構造体 400 を製作することができる、又は初期層 560 の上にスタック層構造体 500 の一部を製作することができる。任意選択的に（破線の矩形によって示されるように）、ブロック 750 を実行して、初期層 560 の下にスタック層構造体 500 の一部を製作することができる。

【0081】

図 8 は、ブロック 750 を実施するための例示的なプロセスのフローチャートを示している。ブロック 810 において、下部キャプチャパッド 210B 及び下部内側ビア 242B が、下部内側誘電体層 515B 内に形成され得る。下部内側ビア 242B が、下部キャプチャパッド 210B の下に積み重ねられて下部キャプチャパッド 210B と電氣的に結合され得る。

【0082】

ブロック 820 において、1つ又は複数の下部中間ビア 240B が、下部内側誘電体層 515B の上に積み重ねられ得る、対応する 1つ又は複数の下部中間誘電体層 525B 内に形成され得る。1つ又は複数の下部中間ビア 240B が、下部内側ビア 242B の上に積み重ねられて下部内側ビア 242B と電氣的に結合され得る。

【0083】

ブロック 830 において、下部外側ビア 244B が、1つ又は複数の下部中間誘電体層 525B の上に積み重ねられ得る、下部外側誘電体層 535B 内に形成され得る。下部外側ビア 244B は、1つ又は複数の下部中間ビア 240B の上に積み重ねられて 1つ又は複数の下部中間ビア 240B と電氣的に結合され得る。

【0084】

一態様では、下部内側ビア 242B、又は、1つ又は複数の下部中間ビア 240B のうちの 1つは、第 1 の下部ビアとして機能し得る。また、1つ又は複数の下部中間ビア 240B のうちの 1つ、又は下部外側ビア 244B は、第 2 の下部ビアとして機能し得る。第 1 及び第 2 の下部ビアの詳細は上記で提供されており、したがって、簡潔にするためにここでは繰り返さない。

【0085】

ブロック 840 において、下部カバーパッド 220B が形成され得る。下部カバーパッド 220B は、下部外側ビア 244B の上に積み重ねられて下部外側ビア 244B と電氣的に結合され得る。

【0086】

図 9 は、本開示の 1つ又は複数の態様による、スタック層構造体 400 などのスタック層構造体を製作する別の例示的な方法 900 のフローチャートを示している。ブロック 910 において、パターン層がキャリア（例えば、キャリア 405）上に形成され得る。キャプチャパッド（例えば、キャプチャパッド 210）は、パターン層の一部として形成され得る。

10

20

30

40

50

【0087】

ブロック920において、キャリア（例えば、キャリア405）は、誘電体層（例えば、内側誘電体層415）が積層され得る。

【0088】

ブロック930において、キャプチャパッド（例えば、キャプチャパッド210）を露出させるために、誘電体層（例えば、内側誘電体層415）が穴あけされ得る。

【0089】

ブロック940において、パターン層が誘電体層（例えば、内側誘電体層415、中間誘電体層425）上に形成され得る。パターン層は、ビア（例えば、内側ビア242、中間ビア240）を含み得る。

【0090】

ブロック950において、誘電体層（例えば、内側誘電体層415、中間誘電体層425）は、別の誘電体層（例えば、中間誘電体層425、外側誘電体層435）が積層され得る。

【0091】

ブロック960において、ビア（例えば、内側ビア242、中間ビア240）を露出させるために、別の誘電体層（例えば、中間誘電体層425、外側誘電体層435）が穴あけされ得る。

【0092】

ブロック940、950、960は、1つ又は複数の中間誘電体層（例えば、1つ又は複数の中間誘電体層425）及び対応する1つ又は複数の中間ビア（例えば、1つ又は複数の中間ビア240）を形成するために複数回繰り返され得る。ブロック940、950、960の最後の繰り返し時に、外側誘電体層（例えば、外側誘電体層435）及び外側ビア（例えば、外側ビア244）が形成され得る。

【0093】

ブロック970において、キャリア（例えば、キャリア405）が取り外され得る。

【0094】

ブロック980において、ベース層（例えば、ベース層460）が形成され得る。ベース層は、内側誘電体層（例えば、内側誘電体層415）の下にあり、かつ内側誘電体層と接触し得る。

【0095】

ブロック990において、カバーパッド（例えば、カバーパッド220）を含むカバー層（例えば、カバー層445）が、外側誘電体層（例えば、外側誘電体層435）上に形成され得る。

【0096】

図10は、本開示の1つ又は複数の態様による、スタック層構造体500などのスタック層構造体を製作する更なる例示的な方法1000のフローチャートを示している。ブロック1010において、上部パターン層がコア層（例えば、コア層560）上に形成され得る。上部キャプチャパッド（例えば、キャプチャパッド210A）は、上部パターン層の一部として形成され得る。それに代えて又はそれに加えて、下部パターン層がコア層の下に形成され得る。下部キャプチャパッド（例えば、下部キャプチャパッド210B）は、下部パターン層の一部として形成され得る。

【0097】

ブロック1020において、上部誘電体層（例えば、内側誘電体層515A）が、コア層（例えば、コア層560）上に積層され得る。それに代えて又はそれに加えて、下部誘電体層（例えば、下部内側誘電体層515B）が、コア層上に積層され得る。

【0098】

ブロック1030において、上部誘電体層（例えば、内側誘電体層515A）が、上部キャプチャパッド（例えば、キャプチャパッド210A）を露出させるように穴あけされ得る。それに代えて又はそれに加えて、下部誘電体層（例えば、下部内側誘電体層515

10

20

30

40

50

B) が、下部キャプチャパッド（例えば、下部キャプチャパッド 2 1 0 B）を露出させるように穴あけされ得る。

【0 0 9 9】

ブロック 1 0 4 0 において、上部パターン層が、上部誘電体層（例えば、内側誘電体層 5 1 5 A、中間誘電体層 5 2 5 A）上に形成され得る。上部パターン層は、上部ビア（例えば、内側ビア 2 4 2 A、中間ビア 2 4 0 A）を含み得る。それに代えて又はそれに加えて、下部パターン層が、下部誘電体層（例えば、下部内側誘電体層 5 1 5 B、下部中間誘電体層 5 2 5 B）上に形成され得る。下部パターン層は、下部ビア（例えば、下部内側ビア 2 4 2 B、下部中間ビア 2 4 0 B）を含み得る。

【0 1 0 0】

ブロック 1 0 5 0 において、上部誘電体層（例えば、内側誘電体層 5 1 5 A、中間誘電体層 5 2 5 A）は、別の上部誘電体層（例えば、中間誘電体層 5 2 5 A、外側誘電体層 5 3 5 A）が積層され得る。それに代えて又はそれに加えて、下部誘電体層（例えば、下部内側誘電体層 5 1 5 B、下部中間誘電体層 5 2 5 B）は、他の下部誘電体層（例えば、下部中間誘電体層 5 2 5 B、下部外側誘電体層 5 3 5 B）が積層され得る。

【0 1 0 1】

ブロック 1 0 6 0 において、別の上部誘電体層（例えば、中間誘電体層 5 2 5 A、外側誘電体層 5 3 5 A）が、上部ビア（例えば、内側ビア 2 4 2 A、中間ビア 2 4 0 A）を露出させるように穴あけされ得る。それに代えて又はそれに加えて、別の下部誘電体層（例えば、下部中間誘電体層 5 2 5 B、下部外側誘電体層 5 3 5 B）が、下部ビア（例えば、下部内側ビア 2 4 2 B、中間ビア 2 4 0 B）を露出させるように穴あけされ得る。

【0 1 0 2】

ブロック 1 0 4 0、1 0 5 0、1 0 6 0 は、1 つ又は複数の上部中間誘電体層（例えば、1 つ又は複数の中間誘電体層 5 2 5 A）及び対応する 1 つ又は複数の上部中間ビア（例えば、1 つ又は複数の中間ビア 2 4 0 A）を形成するために複数回繰り返され得る。それに代えて又はそれに加えて、ブロック 1 0 4 0、1 0 5 0、1 0 6 0 は、1 つ又は複数の下部中間誘電体層（例えば、1 つ又は複数の下部中間誘電体層 5 2 5 B）及び対応する 1 つ又は複数の下部中間ビア（例えば、1 つ又は複数の下部中間ビア 2 4 0 B）を形成するために複数回繰り返され得る。

【0 1 0 3】

ブロック 1 0 4 0、1 0 5 0、1 0 6 0 の最後の繰り返し時に、上部外側誘電体層（例えば、外側誘電体層 5 3 5 A）及び上部外側ビア（例えば、外側ビア 2 4 4 A）が形成され得る。それに代えて又はそれに加えて、下部外側誘電体層（例えば、下部外側誘電体層 5 3 5 B）及び下部外側ビア（例えば、下部外側ビア 2 4 4 B）が形成され得る。

【0 1 0 4】

ブロック 1 0 9 0 において、上部カバーパッド（例えば、カバーパッド 2 2 0 A）を含む上部カバー層（例えば、カバー層 5 4 5 A）が、上部外側誘電体層（例えば、外側誘電体層 5 3 5 A）上に形成され得る。それに代えて又はそれに加えて、下部カバーパッド（例えば、下部カバーパッド 2 2 0 B）を含む下部カバー層（例えば、下部カバー層 5 4 5 B）が、下部外側誘電体層（例えば、下部外側誘電体層 5 3 5 B）の下に形成され得る。

【0 1 0 5】

前述の製作プロセス及び関連する説明は、単に本開示の態様のうちのいくつかの一般的な例示として提供されたにすぎず、本開示又は添付の特許請求の範囲を限定することを意図するものではないことが理解されよう。更に、当業者に知られている製作プロセスにおける多くの詳細は、各詳細及び／又はすべての可能なプロセス変形例の詳細な説明なしに開示されている様々な態様の理解を容易にするために、省略されているか、又は要約プロセス部分において組み合わされている場合がある。更に、図示の構成及び説明が本明細書で開示される様々な態様の説明を助けるために提供されているにすぎないことが理解されよう。例えば、インダクタの数及び位置、メタライゼーション構造体は、より多くの又はより少ない導電層及び絶縁層を有してもよく、キャビティの向き、サイズ、複数のキャビ

10

20

30

40

50

ティから形成されているかどうか、閉じているか又は開いているか、及び他の態様は、アンテナの数、アンテナタイプ、周波数範囲、電力などの特定のアプリケーション設計特徴によって駆動される変形態様を有してもよい。したがって、前述の例示的な例及び関連する図は、本明細書で開示及び特許請求される様々な態様を限定すると解釈されるべきではない。

【0106】

図11は、本開示の1つ又は複数の態様を利用し得る、様々な電子デバイスを示している。例えば、携帯電話デバイス1102、ラップトップコンピュータデバイス1104、及び定置端末デバイス1106は、各々、一般にユーザ機器（UE）と見なされ得、本明細書で説明される構造体1100（例えば、スタックビア構造体200、スタック層構造体400、又はスタック層構造体500）のいずれかを含み得る。図11に示されるデバイス1102、1104、1106は、例示にすぎない。他の電子デバイスはまた、モバイルデバイス、ハンドヘルドパーソナル通信システム（PCS）ユニット、携帯情報端末などのポータブルデータユニット、全地球測位システム（GPS）対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、メータ読取り機器などの定置データユニット、通信デバイス、スマートフォン、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、サーバ、ルータ、自動車車両（例えば、自律走行車両）内に実装された電子デバイス、モノのインターネット（IoT）デバイス、又はデータ若しくはコンピュータ命令を記憶する、若しくは取り出す任意の他のデバイス、又はそれらの任意の組合せを含むデバイス（例えば、電子デバイス）のグループを含む、スタックビア構造体及び／若しくはスタック層構造体を含み得るが、これらに限定されない。

【0107】

上記で開示されたデバイス及び機能は、コンピュータ可読媒体に記憶されたコンピュータファイル（例えば、RTL、GDSII、GERBERなど）へと設計及び構成されてもよい。そのようなファイルの一部又はすべてが、そのようなファイルに基づいてデバイスを製作する製作者者に提供され得る。得られる製品は、その後に半導体ダイに切断されてガラスデバイス上のアンテナにパッケージ化される半導体ウェハを含んでもよい。次いで、ガラスデバイス上のアンテナは、本明細書で説明するデバイスにおいて使用されてもよい。

【0108】

以下の番号付きの条項において、実装例について説明する。

【0109】

条項1：キャプチャパッドと、キャプチャパッドの上に積み重ねられてキャプチャパッドと電気的に結合された第1のビアと、第1のビアの上に積み重ねられて第1のビアと電気的に結合された第2のビアと、第2のビアの上に積み重ねられて第2のビアと電気的に結合されたカバーパッドと、を備え、第1のビアの上部幅が、第2のビアの底部幅よりも広く、凹部が、第1のビアの上面内に部分的に延びるように第1のビア内に形成されており、第2のビアの底部が、凹部内にあり、第2のビアの底部が、第2のビアの底面から凹部の深さと等しい高さまで延びており、第2のビアが、凹部内で第1のビアと接触している、スタックビア構造体。

【0110】

条項2：第1のビアが、第1のビアの底部幅よりも第1のビアの上部幅が広くなるようなテーパ状であり、第2のビアが、第2のビアの底部幅よりも第2のビアの上部幅が広くなるようなテーパ状であり、凹部が、凹部の底部幅よりも凹部の上部幅が広くなるようなテーパ状である、条項1に記載のスタックビア構造体。

【0111】

条項3：第2のビアの底部の側面が、凹部の側面と接触しており、第2のビアの底部の底面が、凹部の底面と接触している、条項1又は2に記載のスタックビア構造体。

【0112】

10

20

30

40

50

条項 4：第 1 のビアと第 2 のビアとの間にキャプチャパッドが存在しない、条項 1 ～ 3 のいずれかに記載のスタックビア構造体。

【 0 1 1 3 】

条項 5：第 2 のビアが、パターン線を介して同じ層において別のビアと電氣的に結合されており、第 2 のビアが、パターン線と接触している、条項 1 ～ 4 のいずれかに記載のスタックビア構造体。

【 0 1 1 4 】

条項 6：カバーパッドが、スタックビア構造体を備えるスタック層構造体のカバー層内のパッドであり、カバー層が、スタック層構造体の最外層であり、カバーパッドが、外部デバイスと信号接続するように構成されている、条項 1 ～ 5 のいずれかに記載のスタックビア構造体。

10

【 0 1 1 5 】

条項 7：第 1 のビアと第 2 のビアとの間で、キャプチャパッドが、第 1 のビア及び第 2 のビアをこの順で介してカバーパッドに電氣的に接続されている、条項 1 ～ 6 のいずれかに記載のスタックビア構造体。

【 0 1 1 6 】

条項 8：第 1 のビアが、銅（Cu）から形成されており、第 2 のビアが、銅（Cu）から形成されている、又はその両方である、条項 1 ～ 7 のいずれかに記載のスタックビア構造体。

【 0 1 1 7 】

条項 9：凹部の深さが、第 1 のビアの高さの 5 % ～ 1 5 % の範囲である、条項 1 ～ 8 のいずれかに記載のスタックビア構造体。

20

【 0 1 1 8 】

条項 1 0：スタックビア構造体が、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、定置端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、モノのインターネット（IoT）デバイス、ラップトップコンピュータ、サーバ、及び自動車車両内のデバイスからなるグループから選択された装置内に組み込まれている、条項 1 ～ 9 のいずれかに記載のスタックビア構造体。

【 0 1 1 9 】

条項 1 1：スタックビア構造体を製作する方法であって、キャプチャパッドを形成することと、キャプチャパッドの上に積み重ねられてキャプチャパッドと電氣的に結合された第 1 のビアを形成することと、第 1 のビアの上に積み重ねられて第 1 のビアと電氣的に結合された第 2 のビアを形成することと、第 2 のビアの上に積み重ねられて第 2 のビアと電氣的に結合されたカバーパッドを形成することと、を含み、第 1 のビアの上部幅が、第 2 のビアの底部幅よりも広く、凹部が、第 1 のビアの上面内に部分的に延びるように第 1 のビア内に形成されており、第 2 のビアの底部が、凹部内にあり、第 2 のビアの底部が、第 2 のビアの底面から凹部の深さと等しい高さまで延びており、第 2 のビアが、凹部内で第 1 のビアと接触している、方法。

30

【 0 1 2 0 】

条項 1 2：第 1 のビアが、第 1 のビアの底部幅よりも第 1 のビアの上部幅が広くなるようなテーパ状であり、第 2 のビアが、第 2 のビアの底部幅よりも第 2 のビアの上部幅が広くなるようなテーパ状であり、凹部が、凹部の底部幅よりも凹部の上部幅が広くなるようなテーパ状である、条項 1 1 に記載の方法。

40

【 0 1 2 1 】

条項 1 3：第 2 のビアの底部の側面が、凹部の側面と接触しており、第 2 のビアの底部の底面が、凹部の底面と接触している、条項 1 1 又は 1 2 に記載の方法。

【 0 1 2 2 】

条項 1 4：第 1 のビアと第 2 のビアとの間にキャプチャパッドが存在しない、条項 1 1 ～ 1 3 のいずれかに記載の方法。

50

【0123】

条項15：第2のビアが、パターン線を介して同じ層において別のビアと電氣的に結合されており、第2のビアが、パターン線と接触している、条項11～14のいずれかに記載の方法。

【0124】

条項16：カバーパッドが、スタックビア構造体を備えるスタック層構造体のカバー層内のパッドであり、カバー層が、スタック層構造体の最外層であり、カバーパッドが、外部デバイスと信号接続するように構成されている、条項11～15のいずれかに記載の方法。

【0125】

条項17：第1のビアと第2のビアとの間で、キャプチャパッドが、第1のビア及び第2のビアをこの順で介してカバーパッドに電氣的に接続されている、条項11～16のいずれかに記載の方法。

【0126】

条項18：第1のビアが、銅（Cu）から形成されており、第2のビアが、銅（Cu）から形成されている、又はその両方である、条項11～17のいずれかに記載の方法。

【0127】

条項19：凹部の深さが、第1のビアの高さの5%～15%の範囲である、条項11～18のいずれかに記載の方法。

【0128】

条項20：凹部を形成するために第1のビアの上面が穴あけされ、第2のビアが形成されているときに、第2のビアの底部が凹部を埋める、条項11～19のいずれかに記載の方法。

【0129】

条項21：凹部が、第1のビアの上面をレーザ穴あけ加工することによって形成される、条項20に記載の方法。

【0130】

条項22：内側誘電体層内に形成されたキャプチャパッド及び内側ビアであって、内側ビアが、キャプチャパッドの上に積み重ねられてキャプチャパッドと電氣的に結合されている、キャプチャパッド及び内側ビアと、内側誘電体層の上に積み重ねられた、対応する1つ又は複数の中間誘電体層内に形成された1つ又は複数の中間ビアであって、内側ビアの上に積み重ねられて内側ビアと電氣的に結合されている、1つ又は複数の中間ビアと、1つ又は複数の中間誘電体層の上に積み重ねられた外側誘電体層内に形成された外側ビアであって、1つ又は複数の中間ビアの上に積み重ねられて1つ又は複数の中間ビアと電氣的に結合されている、外側ビアと、外側ビアの上に積み重ねられて外側ビアと電氣的に結合されているカバーパッドと、を備え、スタック層構造体が、第1のビアと、第1のビアの上に積み重ねられた第2のビアとを含み、第1のビアが、内側ビア、又は、1つ又は複数の中間ビアのうちの1つであり、第2のビアが、1つ又は複数の中間ビアのうちの1つ、又は、外側ビアであり、第1のビアの上部幅が、第2のビアの底部幅よりも広く、凹部が、第1のビアの上面内に部分的に延びるように第1のビア内に形成されており、第2のビアの底部が、凹部内にあり、第2のビアの底部が、第2のビアの底面から凹部の深さと等しい高さまで延びており、第2のビアが、凹部内で第1のビアと接触している、スタック層構造体。

【0131】

条項23：第1のビアが、第1のビアの底部幅よりも第1のビアの上部幅が広くなるようなテーパ状であり、第2のビアが、第2のビアの底部幅よりも第2のビアの上部幅が広くなるようなテーパ状であり、凹部が、凹部の底部幅よりも凹部の上部幅が広くなるようなテーパ状である、条項22に記載のスタック層構造体。

【0132】

条項24：第2のビアの底部の側面が、凹部の側面と接触しており、第2のビアの底部

10

20

30

40

50

の底面が、凹部の底面と接触している、条項 2 2 又は 2 3 に記載のスタック層構造体。

【0133】

条項 2 5：第 1 のビアと第 2 のビアとの間にキャプチャパッドが存在しない、条項 2 2 ～ 2 4 のいずれかに記載のスタック層構造体。

【0134】

条項 2 6：第 2 のビアが、パターン線を介して同じ層において別のビアと電氣的に結合されており、第 2 のビアが、パターン線と接触している、条項 2 2 ～ 2 5 のいずれかに記載のスタック層構造体。

【0135】

条項 2 7：外側誘電体層の上に積み重ねられたカバー層であって、スタック層構造体の最外層である、カバー層を更に備え、カバーパッドが、カバー層内に形成されており、かつ外部デバイスとの信号接続を可能にするように構成されている、条項 2 2 ～ 2 6 のいずれかに記載のスタック層構造体。

10

【0136】

条項 2 8：第 1 のビアと第 2 のビアとの間で、キャプチャパッドが、第 1 のビア及び第 2 のビアをこの順で介してカバーパッドに電氣的に接続されている、条項 2 2 ～ 2 7 のいずれかに記載のスタック層構造体。

【0137】

条項 2 9：第 1 のビアが、銅 (Cu) から形成されており、第 2 のビアが、銅 (Cu) から形成されている、又はその両方である、条項 2 2 ～ 2 8 のいずれかに記載のスタック層構造体。

20

【0138】

条項 3 0：凹部の深さが、第 1 のビアの高さの 5 % ～ 1 5 % の範囲である、条項 2 2 ～ 2 9 のいずれかに記載のスタック層構造体。

【0139】

条項 3 1：内側誘電体層の下に積み重ねられた初期層を更に備え、キャプチャパッドが、初期層上にあり、かつ初期層と接触している、条項 2 2 ～ 3 0 のいずれかに記載のスタック層構造体。

【0140】

条項 3 2：キャプチャパッド、内側ビア、内側誘電体層、1 つ又は複数の中間ビア、1 つ又は複数の中間誘電体層、外側ビア、外側誘電体層、及びカバーパッドが、初期層の上に形成されており、スタック層構造体が更に、初期層の下に積み重ねられた下部内側誘電体層内に形成された下部キャプチャパッド及び下部内側ビアであって、下部内側ビアが、下部キャプチャパッドの下に積み重ねられて下部キャプチャパッドと電氣的に結合されている、下部キャプチャパッド及び下部内側ビアと、下部内側誘電体層の下に積み重ねられた、対応する 1 つ又は複数の下部中間誘電体層内に形成された 1 つ又は複数の下部中間ビアであって、下部内側ビアの下に積み重ねられて下部内側ビアと電氣的に結合されている、1 つ又は複数の下部中間ビアと、1 つ又は複数の下部中間誘電体層の下に積み重ねられた下部外側誘電体層内に形成された下部外側ビアであって、1 つ又は複数の下部中間ビアの下に積み重ねられて 1 つ又は複数の下部中間ビアと電氣的に結合されている、下部外側ビアと、下部外側ビアの下に積み重ねられて下部外側ビアと電氣的に結合されている下部カバーパッドと、を備え、スタック層構造体が、第 1 の下部ビアと、第 1 の下部ビアの下に積み重ねられた第 2 の下部ビアとを含み、第 1 の下部ビアが、下部内側ビア、又は、1 つ又は複数の下部中間ビアのうちの 1 つであり、第 2 の下部ビアが、1 つ又は複数の下部中間ビアのうちの 1 つ、又は、下部外側ビアであり、第 1 の下部ビアの底部幅が、第 2 の下部ビアの上部幅よりも広く、下部凹部が、第 1 の下部ビアの底面内に部分的に延びるように第 1 の下部ビア内に形成されており、第 2 の下部ビアの上部が、下部凹部内にあり、第 2 の下部ビアの上部が、第 2 のビアの上面から下部凹部の深さと等しい高さまで延びており、第 2 の下部ビアが、下部凹部内で第 1 の下部ビアと接触している、条項 3 1 に記載のスタック層構造体。

30

40

50

【0141】

条項33：スタック層構造体が、埋め込みトレース基板（embedded trace substrate、ETS）、セミアディティブプロセス（semi-additive process、SAP）基板、又はモディファイドセミアディティブプロセス（modified semi-additive process、mSAP）基板の構造体である、条項22～32のいずれかに記載のスタック層構造体。

【0142】

条項34：スタック層構造体が、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、モバイルデバイス、携帯電話、スマートフォン、携帯情報端末、定置端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、モノのインターネット（IoT）デバイス、ラップトップコンピュータ、サーバ、及び自動車車両内のデバイスからなるグループから選択された装置内に組み込まれている、条項22～33のいずれかに記載のスタック層構造体。

【0143】

条項35：スタック層構造体を製作する方法であって、内側誘電体層内にキャプチャパッド及び内側ビアを形成することであって、内側ビアが、キャプチャパッドの上に積み重ねられてキャプチャパッドと電氣的に結合される、ことと、内側誘電体層の上に積み重ねられた、対応する1つ又は複数の中間誘電体層内に1つ又は複数の中間ビアを形成することであって、1つ又は複数の中間ビアが、内側ビアの上に積み重ねられて内側ビアと電氣的に結合される、ことと、1つ又は複数の中間誘電体層の上に積み重ねられた外側誘電体層内に外側ビアを形成することであって、外側ビアが、1つ又は複数の中間ビアの上に積み重ねられて1つ又は複数の中間ビアと電氣的に結合される、ことと、外側ビアの上に積み重ねられて外側ビアと電氣的に結合されたカバーパッドを形成することと、を含み、スタック層構造体が、第1のビアと、第1のビアの上に積み重ねられた第2のビアとを含み、第1のビアが、内側ビア、又は、1つ又は複数の中間ビアのうちの1つであり、第2のビアが、1つ又は複数の中間ビアのうちの1つ、又は、外側ビアであり、第1のビアの上部幅が、第2のビアの底部幅よりも広く、凹部が、第1のビアの上面内に部分的に延びるように第1のビア内に形成されており、第2のビアの底部が、凹部内にあり、第2のビアの底部が、第2のビアの底面から凹部の深さと等しい高さまで延びており、第2のビアが、凹部内で第1のビアと接触している、方法。

【0144】

条項36：第1のビアが、第1のビアの底部幅よりも第1のビアの上部幅が広くなるようなテーパ状であり、第2のビアが、第2のビアの底部幅よりも第2のビアの上部幅が広くなるようなテーパ状であり、凹部が、凹部の底部幅よりも凹部の上部幅が広くなるようなテーパ状である、条項35に記載の方法。

【0145】

条項37：第2のビアの底部の側面が、凹部の側面と接触しており、第2のビアの底部の底面が、凹部の底面と接触している、条項35又は36に記載の方法。

【0146】

条項38：第1のビアと第2のビアとの間にキャプチャパッドが存在しない、条項35～37のいずれかに記載の方法。

【0147】

条項39：第2のビアが、パターン線を介して同じ層において別のビアと電氣的に結合されており、第2のビアが、パターン線と接触している、条項35～38のいずれかに記載の方法。

【0148】

条項40：外側誘電体層の上に積み重ねられたカバー層であって、スタック層構造体の最外層である、カバー層を更に備え、カバーパッドが、カバー層内に形成されており、かつ外部デバイスとの信号接続を可能にするように構成されている、条項35～39のいずれかに記載の方法。

10

20

30

40

50

【0149】

条項41：第1のビアと第2のビアとの間で、キャプチャパッドが、第1のビア及び第2のビアをこの順で介してカバーパッドに電氣的に接続されている、条項35～40のいずれかに記載の方法。

【0150】

条項42：第1のビアが、銅（Cu）から形成されており、第2のビアが、銅（Cu）から形成されている、又はその両方である、条項35～41のいずれかに記載の方法。

【0151】

条項43：凹部の深さが、第1のビアの高さの5%～15%の範囲である、条項35～42のいずれかに記載の方法。

10

【0152】

条項44：内側誘電体層の下に積み重ねられた初期層を更に備え、キャプチャパッドが、初期層上にあり、かつ初期層と接触している、条項35～43のいずれかに記載の方法。

【0153】

条項45：キャプチャパッド、内側ビア、内側誘電体層、1つ又は複数の中間ビア、1つ又は複数の中間誘電体層、外側ビア、外側誘電体層、及びカバーパッドが、初期層の上に形成されており、方法が更に、初期層の下に積み重ねられた下部内側誘電体層内に下部キャプチャパッド及び下部内側ビアを形成することであって、下部内側ビアが、下部キャプチャパッドの下に積み重ねられて下部キャプチャパッドと電氣的に結合される、ことと、下部内側誘電体層の下に積み重ねられた、対応する1つ又は複数の下部中間誘電体層内に1つ又は複数の下部中間ビアを形成することであって、1つ又は複数の下部中間ビアが、下部内側ビアの下に積み重ねられて下部内側ビアと電氣的に結合される、ことと、1つ又は複数の下部中間誘電体層の下に積み重ねられた下部外側誘電体層内に下部外側ビアを形成することであって、下部外側ビアが、1つ又は複数の下部中間ビアの下に積み重ねられて1つ又は複数の下部中間ビアと電氣的に結合される、ことと、下部外側ビアの下に積み重ねられて下部外側ビアと電氣的に結合された下部カバーパッドを形成することと、を含み、スタック層構造体が、第1の下部ビアと、第1の下部ビアの下に積み重ねられた第2の下部ビアとを含み、第1の下部ビアが、下部内側ビア、又は、1つ又は複数の下部中間ビアのうちの1つであり、第2の下部ビアが、1つ又は複数の下部中間ビアのうちの1つ、又は、下部外側ビアであり、第1の下部ビアの底部幅が、第2の下部ビアの上部幅よりも広く、下部凹部が、第1の下部ビアの底面内に部分的に延びるように第1の下部ビア内に形成されており、第2の下部ビアの上部が、下部凹部内にあり、第2の下部ビアの上部が、第2の下部ビアの上面から下部凹部の深さと等しい高さまで延びており、第2の下部ビアが、下部凹部内で第1の下部ビアと接触している、条項44に記載の方法。

20

30

【0154】

条項46：スタック層構造体が、埋め込みトレース基板（embedded trace substrate、ETS）、セミアディティブプロセス（semi-additive process、SAP）基板、又はモディファイドセミアディティブプロセス（modified semi-additive process、mSAP）基板の構造体である、条項35～45のいずれかに記載の方法。

40

【0155】

条項47：凹部を形成するために第1のビアの上面が穴あけされ、第2のビアが形成されているときに、第2のビアの底部が凹部を埋める、条項35～46のいずれかに記載の方法。

【0156】

条項48：凹部が、第1のビアの上面をレーザ穴あけ加工することによって形成される、条項47に記載の方法。

【0157】

本明細書で使用するとき、「ユーザ機器」（又は「UE」）、「ユーザデバイス」、「ユーザ端末」、「クライアントデバイス」、「通信デバイス」、「ワイヤレスデバイス」

50

、「ワイヤレス通信デバイス」、「ハンドヘルドデバイス」、「モバイルデバイス」、「モバイル端末」、「移動局」、「ハンドセット」、「アクセス端末」、「加入者デバイス」、「加入者端末」、「加入者局」、「端末」などの用語及びそれらの変形は、ワイヤレス通信及び／又はナビゲーション信号を受信することができる任意の適切なモバイルデバイス又は固定デバイスを互換的に指し得る。これらの用語は、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、スマートフォン、携帯情報端末、定置端末、タブレットコンピュータ、コンピュータ、ウェアラブルデバイス、ラップトップコンピュータ、サーバ、自動車内の自動車用デバイス、及び／又は通常、人によって携帯され、かつ／若しくは通信機能（例えば、ワイヤレス、セルラ、赤外線、短距離無線など）を有する他のタイプのポータブル電子デバイスを含むが、これらに限定されない。これらの用語はまた、衛星信号受信、支援データ受信、及び／又は位置関連処理がそのデバイスにおいて行われるか、又は他のデバイスにおいて行われるかにかかわらず、短距離ワイヤレス接続、赤外線接続、有線接続、又は他の接続などによってワイヤレス通信及び／又はナビゲーション信号を受信することができる別のデバイスと通信するデバイスを含むことを意図する。更に、これらの用語は、無線アクセスネットワーク（RAN）を介してコアネットワークと通信することができる、ワイヤレス及び有線通信デバイスを含むすべてのデバイスを含むことを意図し、コアネットワークを通じて、UEは、インターネットなどの外部ネットワーク及び他のUEに接続することができる。当然、有線アクセスネットワーク、ワイヤレスローカルエリアネットワーク（WLAN）（例えば、IEEE 802.11などに基づく）などを介した、コアネットワーク及び／又はインターネットに接続する他の機構もUEにとって可能である。UEは、プリント回路（PC）カード、コンパクトフラッシュ（登録商標）デバイス、外部又は内部モデム、ワイヤレス又は有線電話、スマートフォン、タブレット、追跡デバイス、アセットタグなどを含むが、これらに限定されない、いくつかのタイプのデバイスのいずれかによって具現化され得る。UEが信号をRANに送信することができる通信リンクは、アップリンクチャンネル（例えば、逆方向トラフィックチャンネル、逆方向制御チャンネル、アクセスチャンネルなど）と呼ばれる。RANが信号をUEへ送ることができる通信リンクは、ダウンリンクチャンネル又は順方向リンクチャンネル（例えば、ページングチャンネル、制御チャンネル、ブロードキャストチャンネル、順方向トラフィックチャンネルなど）と呼ばれる。本明細書で使用するトラフィックチャンネル（traffic channel、TCH）という用語は、アップリンク／逆方向トラフィックチャンネル又はダウンリンク／順方向トラフィックチャンネルのいずれかを指すことがある。

10

20

30

40

50

【0158】

電子デバイス間のワイヤレス通信は、符号分割多元接続（CDMA）、W-CDMA、時分割多元接続（TDMA）、周波数分割多元接続（FDMA）、直交周波数分割多重（OFDM）、Global System for Mobile Communications（GSM）、3GPP（登録商標）ロングタームエボリューション（LTE）、5G新無線、Bluetooth（BT）、Bluetooth Low Energy（BLE）、IEEE 802.11（WiFi）、及びIEEE 802.15.4（Zigbee／Thread）又は、ワイヤレス通信ネットワーク若しくはデータ通信ネットワークにおいて使用され得る他のプロトコルなどの、様々な技術に基づくことができる。Bluetooth Low Energy（Bluetooth LE、BLE及びBluetooth Smartとしても知られる）は、同様の通信距離を維持しながら電力消費量及びコストを大幅に低減することを目的とした、Bluetooth Special Interest Groupによって設計され販売されているワイヤレスパーソナルエリアネットワーク技術である。BLEは、Bluetooth Core Specification Version 4.0を採用することによって、2010年に主要Bluetooth規格に統合され、Bluetooth 5において更新された。

【0159】

「例示的 (exemplary)」という語は、「例、事例、又は例示として働くこと」を意味するために本明細書で使用される。「例示的」として本明細書で説明されるいずれの詳細も、他の例よりも有利であると解釈されるべきでない。同様に、「例」という用語は、すべての例が説明される特徴、利点又は動作モードを含むことを意味しない。更に、特定の特徴及び／又は構造は、1つ又は複数の他の特徴及び／又は構造と組み合わせられ得る。その上、本明細書において説明される装置の少なくとも一部分は、本明細書において説明される方法の少なくとも一部分を実行するように構成され得る。

【0160】

「接続される」、「結合される」という用語、又はそれらのいかなる変形も、接続が直接接続されるものとして明示的に開示されない限り、要素間の直接的又は間接的な任意の接続又は結合を意味し、仲介要素を介して共に「接続される」又は「結合される」2つの要素間に中間要素の存在を包含してもよいことに留意されたい。

10

【0161】

本明細書における「第1の」、「第2の」などの呼称を使用する要素へのあらゆる言及は、これらの要素の数量及び／又は順序を限定するものではない。むしろ、これらの呼称は、2つ以上の要素、及び／又は要素の事例を区別する都合のよい方法として使用されている。また、別段に記載されていない限り、要素のセットは、1つ又は複数の要素を備えることができる。

【0162】

情報及び信号が様々な異なる技術及び技法のいずれかを使用して表され得ることを、当業者は理解されよう。例えば、上記の説明全体にわたって言及され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、及びチップは、電圧、電流、電磁波、磁場若しくは磁性粒子、光場若しくは光学粒子、又はそれらの任意の組み合わせによって表されてもよい。

20

【0163】

本出願において述べられ、又は図示され、又は示されるもののいずれも、構成要素、行為、特徴、利益、利点、又は均等物が特許請求の範囲に記載されているかどうかにかかわらず、それらの構成要素、行為、特徴、利益、利点、又は均等物を公に供することを意図していない。

【0164】

上記の発明を実施するための形態では、各例において様々な特徴が互いにグループ化されることが分かる。この開示の方式は、特許請求された例が、それぞれの請求項に明示的に述べられたものよりも多い特徴を有するものとして理解されるべきでない。むしろ、本開示は、開示される個々の例のすべてよりも少数の特徴を含むことがある。したがって、以下の特許請求の範囲は、これによって本説明に組み込まれたものと見なされるべきであり、各請求項は単独で別個の例として存在することができる。各請求項は単独で別個の例として存在することができるが、従属請求項は、特許請求の範囲内で1つ又は複数の請求項との具体的な組合せを参照することができ、一方で、他の例は、該従属請求項と任意の他の従属請求項の主題との組合せ、又は任意の特徴と他の従属請求項及び独立請求項との組合せを包含するか、又は含むことが可能であることに留意されたい。そのような組合せは、具体的な組合せが意図されていないことが明示的に表されない限り、本明細書で提案される。更に、請求項の特徴は、該請求項が独立請求項に直接従属していなくても、任意の他の独立請求項に含まれ得ることも意図される。

30

40

【0165】

本説明又は特許請求の範囲で開示される方法、システム及び装置は、開示される方法のそれぞれの行為及び／又は機能を実行するための手段を備えるデバイスによって実施され得ることに更に留意されたい。

【0166】

更に、いくつかの例では、個々の行為は、1つ又は複数の部分行為へ細分割されるか、又は1つ又は複数の部分行為を含み得る。そのような部分行為は、個々の行為の開示に含

50

まれ、個々の行為の開示の一部となり得る。

【0167】

上記の開示は本開示の例示的な例を示すが、添付の特許請求の範囲によって定義される本開示の範囲から逸脱することなく、本明細書で様々な変形及び変更を行うことができることに留意されたい。本明細書において説明される本開示の例による方法クレームの機能及び／又は行為は、いかなる特定の順序で実行される必要もない。加えて、本明細書で開示された態様及び例の関連する詳細を不明瞭にしないように、よく知られている要素は詳細には説明されず、又は省略されることがある。更に、本開示の要素は、単数形で説明又は特許請求されることがあるが、単数形への限定が明示的に述べられていない限り、複数形が企図される。

10

【符号の説明】

【0168】

200 スタックビア構造体
210、210A キャプチャパッド
210B 下部キャプチャパッド
220、220A カバーパッド
220B 下部カバーパッド
240、240A 中間ビア
240B 下部中間ビア
242、242A 内側ビア
242B 下部内側ビア
244、244A 外側ビア
244B 下部外側ビア
250 パターン線
340A 第1のビア
340B 第2のビア
345 凹部
400 スタック層構造体
405 キャリア
415 内側誘電体層
417 内側ビアホール
425 中間誘電体層
427 中間ビアホール
435 外側誘電体層
437 外側ビアホール
445 カバー層
460 ベース層、初期層
515A 内側誘電体層
515B 下部内側誘電体層
517A 内側ビアホール
517B 下部内側ビアホール
525A 中間誘電体層
525B 下部中間誘電体層
527A 中間ビアホール
527B 下部中間ビアホール
535A 外側誘電体層
535B 下部外側誘電体層
545A カバー層
545B 下部カバー層
560 コア層、初期層

20

30

40

50

【図面】
【図 1 A】

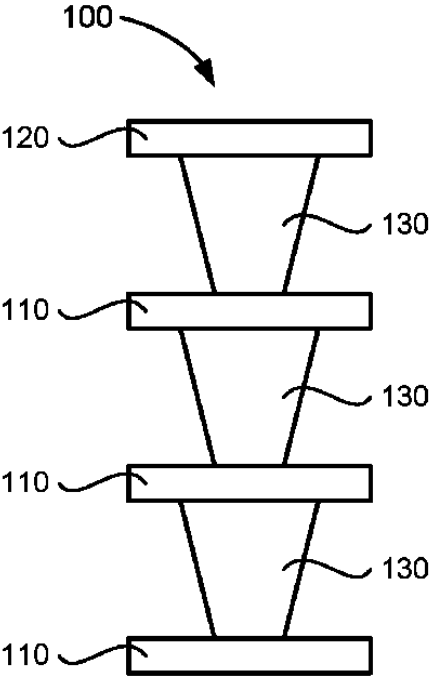


FIG. 1A

【図 1 B】

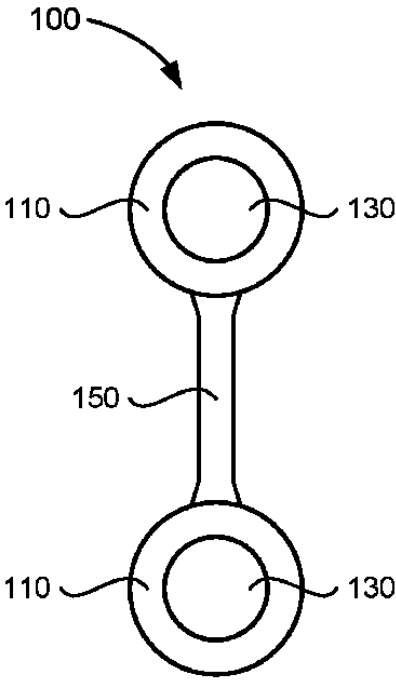


FIG. 1B

【図 2 A】

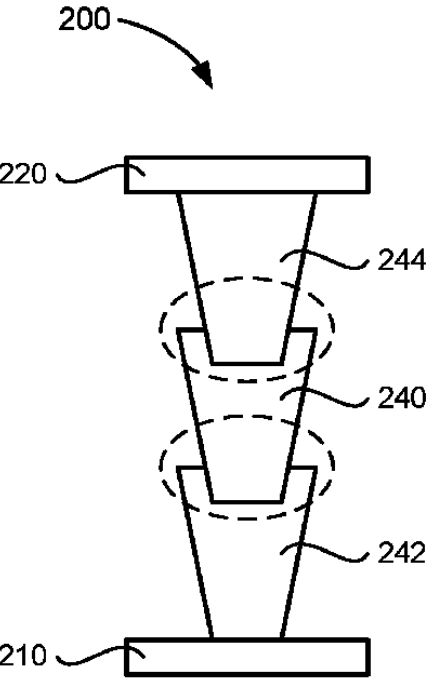


FIG. 2A

【図 2 B】

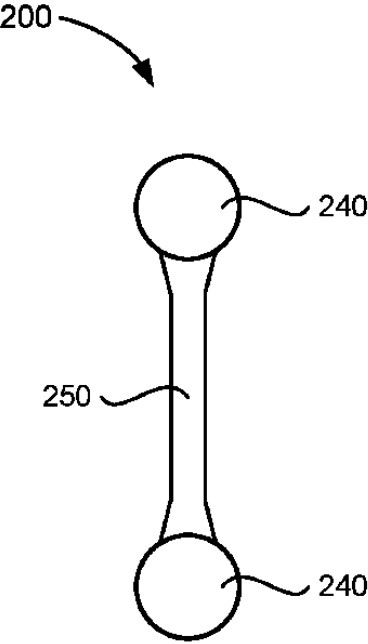


FIG. 2B

10

20

30

40

50

【図 3】

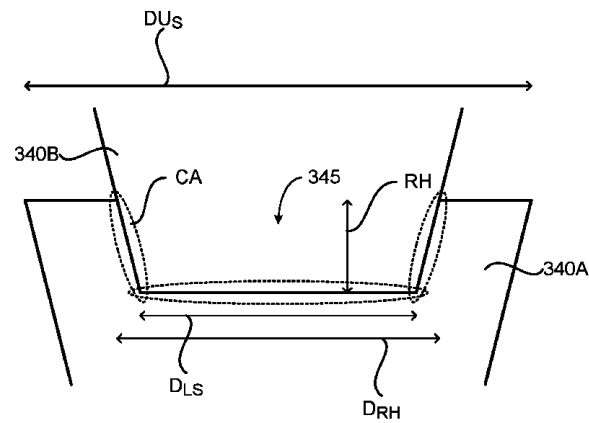


FIG. 3

【図 4 A】

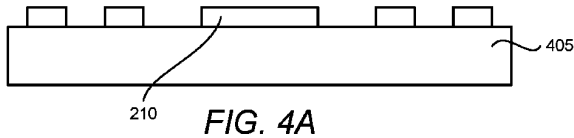


FIG. 4A

【図 4 B】

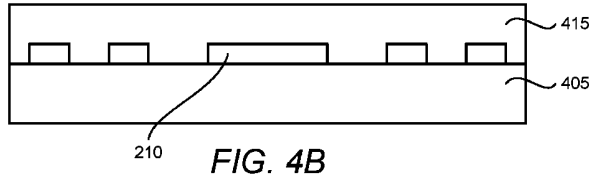


FIG. 4B

【図 4 C】

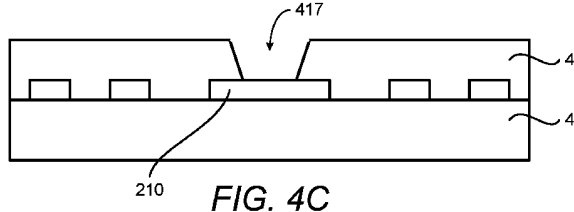


FIG. 4C

【図 4 D】

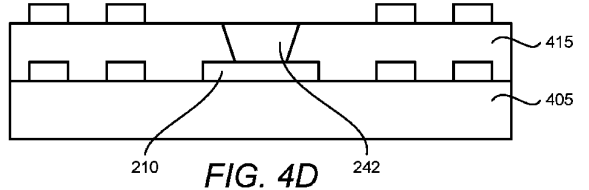


FIG. 4D

【図 4 E】

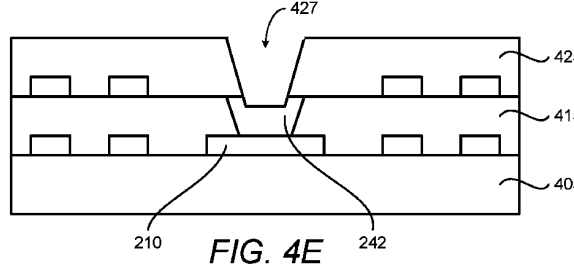


FIG. 4E

10

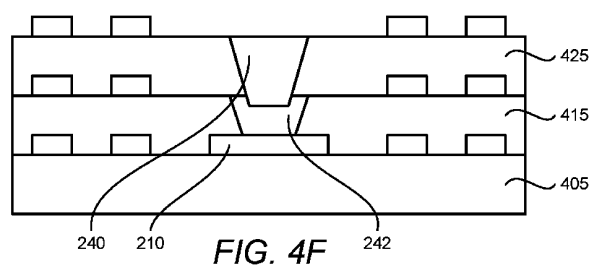
20

30

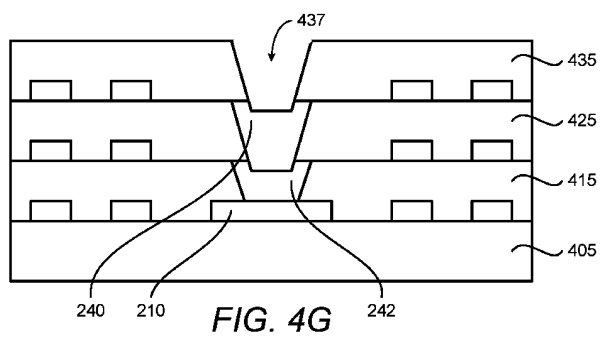
40

50

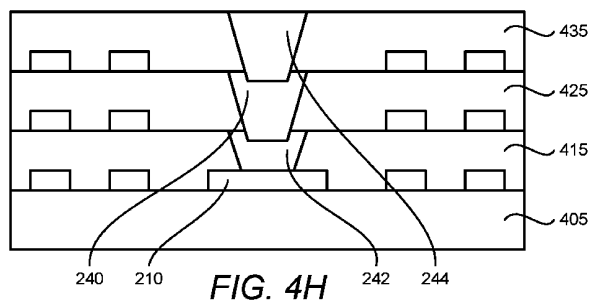
【図 4 F】



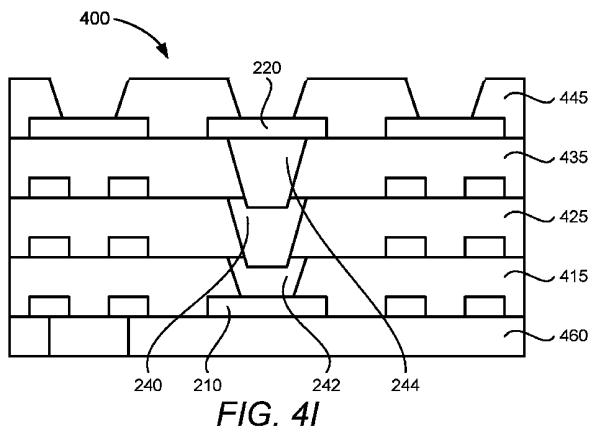
【図 4 G】



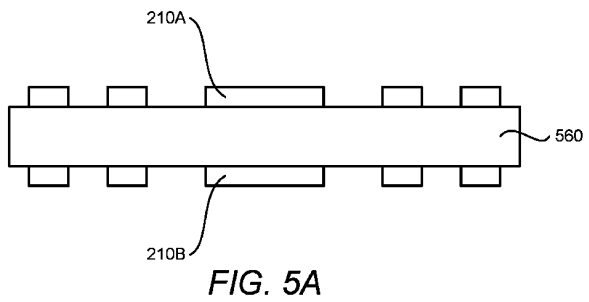
【図 4 H】



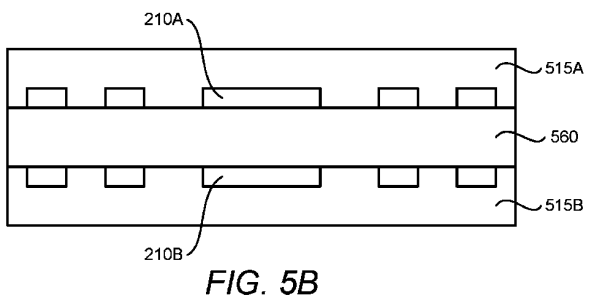
【図 4 I】



【図 5 A】



【図 5 B】



10

20

30

40

50

【図 5 C】

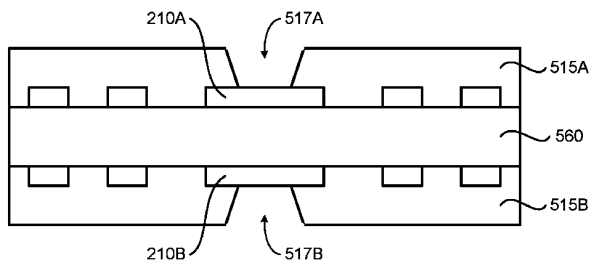


FIG. 5C

【図 5 D】

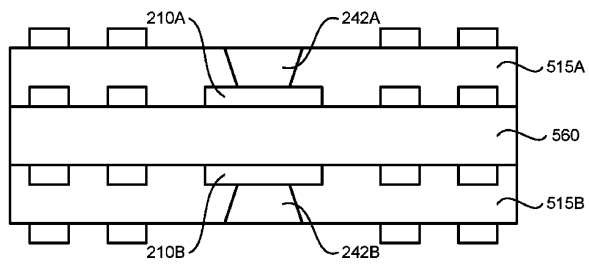


FIG. 5D

10

【図 5 E】

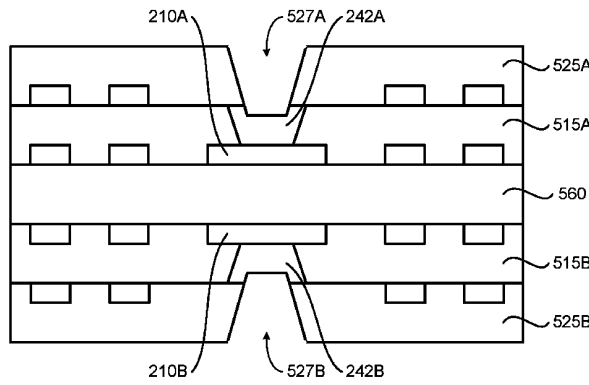


FIG. 5E

【図 5 F】

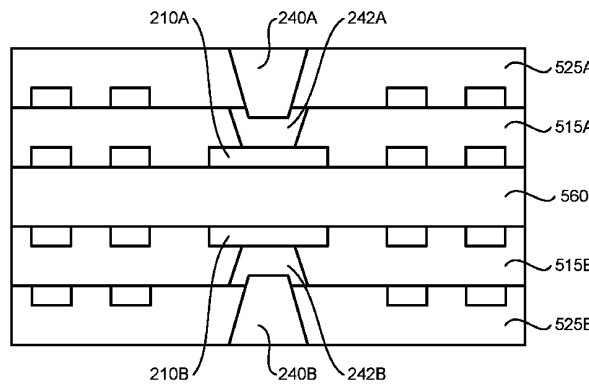


FIG. 5F

20

30

40

50

【図 5 G】

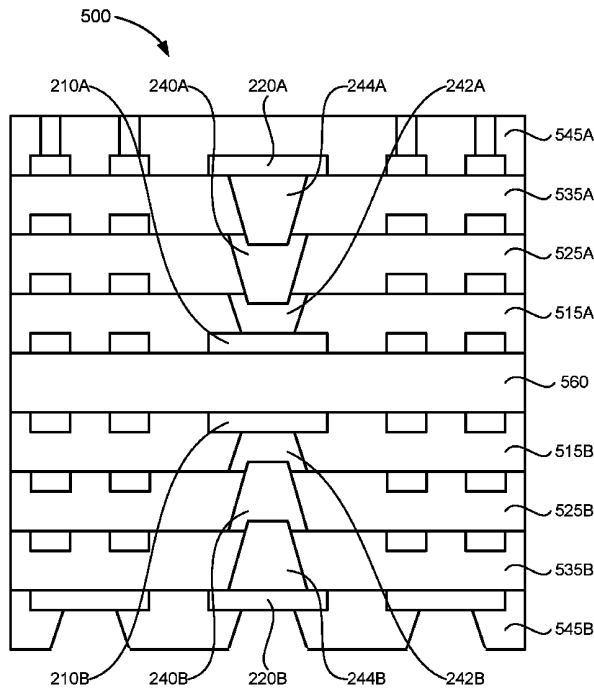
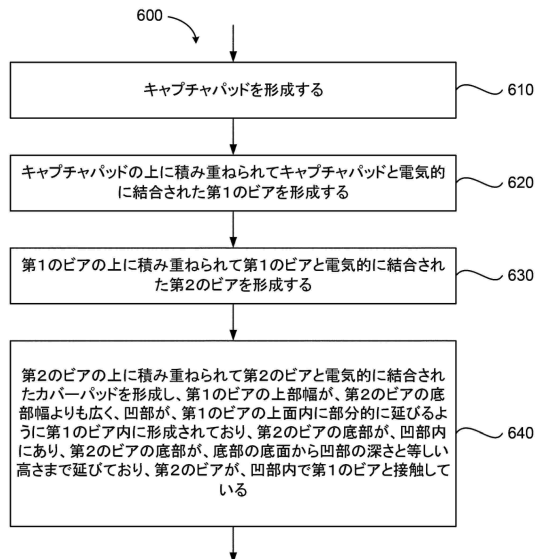


FIG. 5G

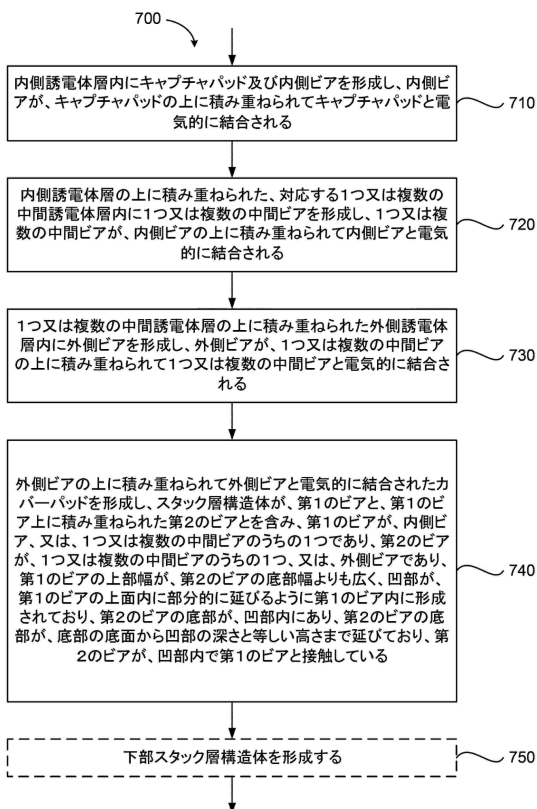
【図 6】



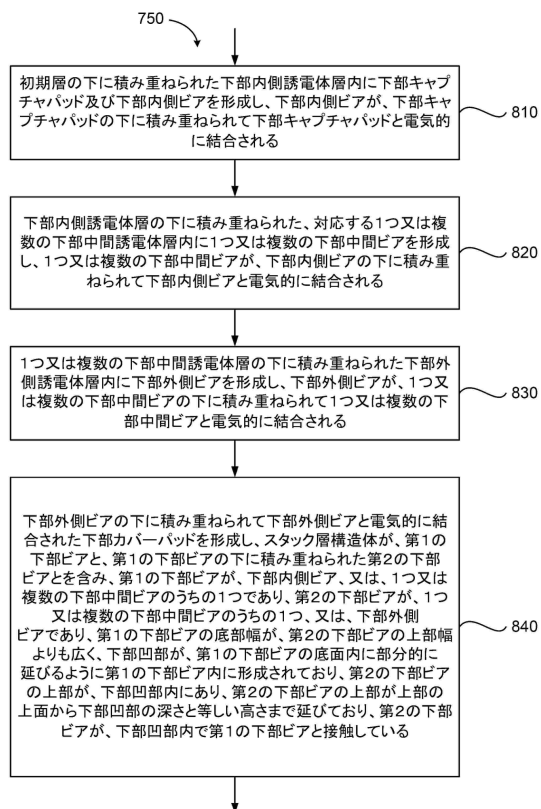
10

20

【図 7】



【図 8】

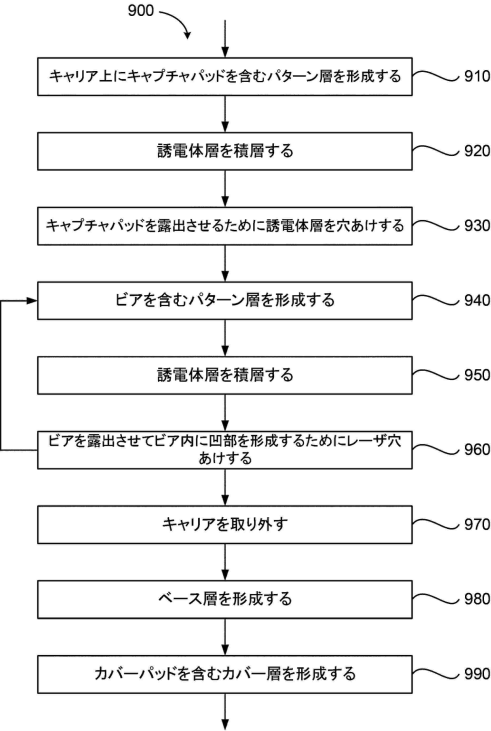


30

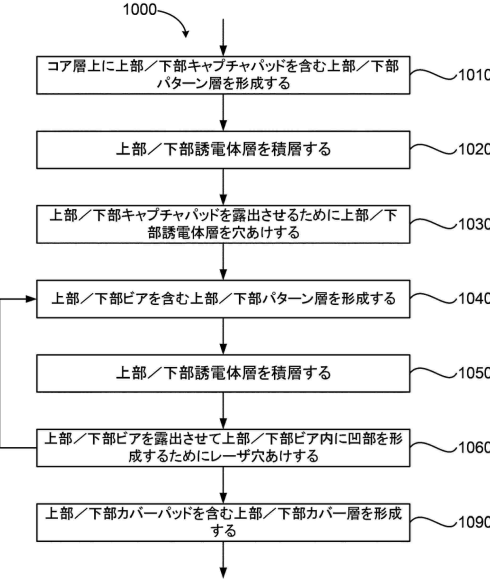
40

50

【図 9】



【図 10】



【図 11】

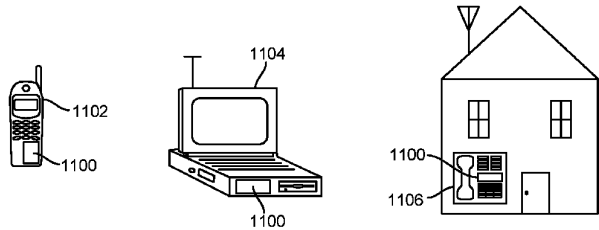


FIG. 11

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/078641

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L21/768 H01L23/522 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2005/038904 A1 (RENESES TECH CORP [JP]; ASHIHARA HIROSHI [JP] ET AL.) 28 April 2005 (2005-04-28) figure 38	1, 3, 5-11, 13, 15-20, 23, 24, 27
A	US 2010/327449 A1 (FURUSAWA TAKESHI [JP] ET AL) 30 December 2010 (2010-12-30) figure 21	1-30
A	US 2017/271266 A1 (KIM DAEIK [US] ET AL) 21 September 2017 (2017-09-21) figures	1-30
A	US 2021/287994 A1 (HSUEH HSIU-WEN [TW] ET AL) 16 September 2021 (2021-09-16) figures	1-30
	----- -/--	
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 10 February 2023		Date of mailing of the international search report 20/02/2023
Name and mailing address of the ISA/ European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Gori, Patrice

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/078641

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2020/176464 A1 (JANG DONG HOON [KR] ET AL) 4 June 2020 (2020-06-04) figures 7, 8 -----	1-30
A	US 2015/364420 A1 (LIN LING MEI [TW] ET AL) 17 December 2015 (2015-12-17) figures 1, 2 -----	1-30

1

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2022/078641

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2005038904 A1	28-04-2005	JP 2007042662 A TW 200515533 A WO 2005038904 A1	15-02-2007 01-05-2005 28-04-2005
US 2010327449 A1	30-12-2010	CN 101000905 A CN 101872756 A CN 102157489 A JP 5014632 B2 JP 2007189061 A KR 20070076465 A TW I440135 B US 2007167010 A1 US 2010151673 A1 US 2010327449 A1	18-07-2007 27-10-2010 17-08-2011 29-08-2012 26-07-2007 24-07-2007 01-06-2014 19-07-2007 17-06-2010 30-12-2010
US 2017271266 A1	21-09-2017	BR 112018068970 A2 CN 109075154 A EP 3430644 A1 ES 2821728 T3 JP 6679748 B2 JP 2019511120 A KR 20180124932 A TW 201737394 A US 2017271266 A1 WO 2017161199 A1	06-03-2019 21-12-2018 23-01-2019 27-04-2021 15-04-2020 18-04-2019 21-11-2018 16-10-2017 21-09-2017 21-09-2017
US 2021287994 A1	16-09-2021	CN 113206036 A TW 202135231 A US 2021287994 A1 US 2022310526 A1	03-08-2021 16-09-2021 16-09-2021 29-09-2022
US 2020176464 A1	04-06-2020	CN 111276488 A KR 20200067424 A US 2020176464 A1 US 2022045081 A1	12-06-2020 12-06-2020 04-06-2020 10-02-2022
US 2015364420 A1	17-12-2015	NONE	

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CV,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,I
T,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,
MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,
SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

(特許庁注：以下のものは登録商標)

1. WCDMA

2. BLUETOOTH

3. ZIGBEE

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライ
ヴ・5775・クアルコム・インコーポレイテッド

(72)発明者 アニケット・パティル

アメリカ合衆国・カリフォルニア・92121-1714・サン・ディエゴ・モアハウス・ドライ
ヴ・5775・クアルコム・インコーポレイテッド