

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 29 年 12 月 7 日 (2017.12.7)

【公開番号】特開 2015-119178 (P2015-119178A)

【公開日】平成 27 年 6 月 25 日 (2015.6.25)

【年通号数】公開・登録公報 2015-041

【出願番号】特願 2014-239027 (P2014-239027)

【国際特許分類】

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/66 (2006.01)

H 0 1 L 51/05 (2006.01)

H 0 1 L 51/30 (2006.01)

【 F I 】

H 0 1 L 29/78 6 2 2

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 7 N

H 0 1 L 29/78 6 1 8 E

H 0 1 L 29/78 6 2 6 C

H 0 1 L 29/66 T

H 0 1 L 29/28 1 0 0 A

H 0 1 L 29/28 2 5 0 E

【手続補正書】

【提出日】平成 29 年 10 月 24 日 (2017.10.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

a. 底面と頂面を有する二層グラフェン (103) と、

b. 前記二層グラフェン (103) の底面に容量結合された下部ゲート電極 (121) と

、

c. 前記二層グラフェン (103) の頂面に容量結合された第 1 上部ゲート電極 (131, 133) と、選択的に、

d. 前記頂面に沿って前記第 1 上部ゲート電極 (131) から分離し (D1)、前記二層グラフェン (103) の頂面に容量結合された第 2 上部ゲート電極 (132) とを備え、

前記第 2 上部ゲート電極 (132) がない状態で、前記下部ゲート電極 (121) は、前記第 1 上部ゲート電極 (131) と部分的にオーバーラップし (D)、これにより前記下部ゲート電極 (121) および前記第 1 上部ゲート電極 (131, 133) に容量結合されたチャネル領域 (140) を画定し、

ソース領域 (150) が、前記上部ゲート電極 (131) にのみ容量結合され、

ドレイン領域 (160) が、前記下部ゲート電極 (121) にのみ容量結合され、

前記第 2 上部ゲート電極 (132) がある状態で、前記下部ゲート電極 (121) の全体が、前記第 1 上部ゲート電極 (131) および前記第 2 上部ゲート電極 (132) とオーバーラップし、これにより、前記下部ゲート電極 (121) および前記第 1 上部ゲート電極 (131) に容量結合されたチャネル領域 (140) と、前記第 2 上部ゲート電極 (1

3 2 ) および前記下部ゲート電極 ( 1 2 1 ) に容量結合されたソース領域 ( 1 5 0 ) と、前記下部ゲート電極 ( 1 2 1 ) にのみ容量結合されたバリア領域 ( 1 5 1 ) と、前記下部ゲート電極 ( 1 2 1 ) にのみ容量結合されたドレイン領域 ( 1 6 0 ) とを画定する、

二層グラフェントネル電界効果トランジスタ。

【請求項 2】

基板 ( 1 0 0 ) の上に第 1 ゲート誘電体層 ( 1 1 1 ) を備え、

前記二層グラフェン ( 1 0 3 ) は、互いに隣接する第 1 グラフェン層 ( 1 0 1 ) と第 2 グラフェン層 ( 1 0 2 ) を有し、

前記二層グラフェン ( 1 0 3 ) は、前記第 1 ゲート誘電体層 ( 1 1 1 ) と第 2 ゲート誘電体層 ( 1 1 2 ) との間に挟まれ、

前記第 1 ゲート誘電体層 ( 1 1 1 ) は前記第 1 グラフェン層 ( 1 0 1 ) に接触し、

前記第 2 ゲート誘電体層 ( 1 1 2 ) は前記第 2 グラフェン層 ( 1 0 2 ) に接触し、

前記上部ゲート電極 ( 1 2 1 ) は、前記第 2 グラフェン層 ( 1 0 2 ) に対向する前記第 2 ゲート誘電体層 ( 1 1 2 ) に接触する、

請求項 1 に記載の二層グラフェントネル電界効果トランジスタ。

【請求項 3】

前記下部ゲート電極 ( 1 2 1 ) は基板 ( 1 0 0 ) 内に埋め込まれ、

前記基板 ( 1 0 0 ) は、前記下部ゲート電極 ( 1 2 1 ) が埋め込まれた下部誘電体層 ( 1 0 0 b ) が上側に位置する半導体層 ( 1 0 0 a ) を有し、

前記下部ゲート電極 ( 1 2 1 ) は頂面を有し、前記下部誘電体層 ( 1 0 0 b ) は誘電体頂面を有し、

前記下部ゲート電極 ( 1 2 1 ) の頂面は、前記下部誘電体層 1 0 0 b の誘電体頂面と同一平面内にある、

請求項 1 または 2 に記載の二層グラフェントネル電界効果トランジスタ。

【請求項 4】

前記上部ゲート電極 ( 1 3 1 , 1 3 3 ) は上部誘電体層 ( 1 0 0 c ) により覆われ、

前記ドレイン領域 ( 1 6 0 ) は、前記下部ゲート電極 ( 1 2 1 ) と前記上部誘電体層 ( 1 0 0 c ) の一部との間に挟まれている、

請求項 1 から 3 のいずれか 1 項に記載の二層グラフェントネル電界効果トランジスタ

。

【請求項 5】

少なくとも 1 つの上部ゲート電極 ( 1 3 1 , 1 3 3 ) と下部ゲート電極 ( 1 2 1 ) のそれぞれについて別々にバイアスを印加するように適合したコンタクト ( 2 2 1 , 2 3 1 , 2 3 2 , 2 3 3 ) を備えた、

請求項 1 から 4 のいずれか 1 項に記載の二層グラフェントネル電界効果トランジスタ

。

【請求項 6】

前記第 1 ゲート誘電体層 ( 1 1 1 ) と前記第 2 ゲート誘電体層 ( 1 1 2 ) は同一の等価酸化膜厚を有する、

請求項 2 に記載の二層グラフェントネル電界効果トランジスタ。

【請求項 7】

前記トランジスタは、第 1 上部ゲート電極 ( 1 3 1 ) と第 2 上部ゲート電極 ( 1 3 2 ) を有し、

前記第 1 上部ゲート電極 ( 1 3 1 ) と第 2 上部ゲート電極 ( 1 3 2 ) はともに、前記第 2 グラフェン層 ( 1 0 2 ) に対向する前記第 2 ゲート誘電体層 ( 1 1 2 ) に接触する、

請求項 2 に記載の二層グラフェントネル電界効果トランジスタ。

【請求項 8】

前記二層グラフェン ( 1 0 3 ) は化学的にドーピングされていない、

請求項 1 から 7 のいずれか 1 項に記載の二層グラフェントネル電界効果トランジスタ

。

## 【請求項 9】

前記二層グラフェン(103)中に p - i - n 接合または n - i - p 接合を静電的に誘導する工程を含む、

請求項 1 に記載の二層グラフェントネル電界効果トランジスタを動作させる方法。

## 【請求項 10】

前記 p - i - n 接合または n - i - p 接合を静電的に誘導する工程は、上部ゲート電極(133, 131)に電圧を印加することと、該電圧と逆符号の電圧を前記下部ゲート電極(121)に印加することを含む、

請求項 9 に記載の方法。

## 【請求項 11】

前記第 2 上部ゲート電極(132)が存在し、

前記二層グラフェン(103)中に p - n - i - n 接合または n - p - i - p 接合を静電的に誘導する工程を含む、

請求項 1 に記載の二層グラフェントネル電界効果トランジスタを動作させる方法。

## 【請求項 12】

p - n - i - n 接合または n - p - i - p 接合を静電的に誘導する工程は、前記下部ゲート電極(121)に一定のバイアス  $V_{bg}$  を印加することと、該バイアス  $V_{bg}$  と逆符号であって  $|V_{tg2}| > |V_{bg}|$  を満たすバイアス  $V_{tg2}$  を前記第 2 上部ゲート電極(132)に印加して p 型ソース領域(150)を形成することと、前記バイアス  $V_{bg}$  と逆符号であって、ドレイン - ソース間電圧  $V_{ds}$  を印加しないで測定した場合には  $|V_{bg}|$  と略等しい大きさの電圧  $V_{tg1}$  を前記第 1 上部ゲート電極(131)に印加して、前記二層グラフェン(103)内に真性チャネル領域(140)を形成することを含む、

請求項 11 に記載の方法。