

301054

301054

申請日期	84.11.17
案 號	84-11-187
類 別	1-1016-27/108

A4
C4

公告本

(以上各欄由本局填註)

Int.·Cl⁽⁸⁾

發 明 專 利 說 明 書

一、發明 名稱	中 文	製造多基底偏壓動態隨機存取記憶元件之裝置及方法
	英 文	Aparatus and method of fabricating a multiple substrate bias dynamic random access memory device
二、發明 人 創作	姓 名	1. 陳一浸 Ih-Chin Chen 2. 覃克斯 Clarence W. Teng 3. 七条恒 Hisashi Shichijo
	國 籍	1. 中華民國；2. 美國；3. 日本 1. 美國德州理查德市佛伯路3100號 3100 Foxboro Drive, Richardson, Texas 75082, U.S.A.
	住、居所	2. 美國德州波蘭市戴爾路4301號 4301 Denver Drive, Plano, Texas 75093, U.S.A. 3. 美國德州波蘭市貝登路4524號 4524 Bentley Drive, Plano, Texas 75093, U.S.A.
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
	代 表 人 姓 名	郝威廉 William E. Hiller

裝

訂

線

301054

(由本局填寫)

承辦人代碼：

大 類：

I P C 分類：

A6

B6

本案已向：

美國 國(地區) 申請專利，申請日期：西歷 1994 案號：08/236,745，☐有 ☒無主張優先權
4月 29日

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (/)

<本發明的技術領域>

本發明大致而言係關於半導體製造流程與元件且更特別是關於製造多基底偏壓動態隨機存取記憶元件一種裝置和方法。

<發明背景>

動態隨機存取記憶 (DRAM) 元件傳統地已經使用一個基底偏壓電壓在 **n** 通道電晶體以改善門閾上抗擾性 (**latch up immunity**)，細胞隔離，與電路速度。然而，對於次微米元件，基底偏壓增強了一個不要的短通道效果。當基底偏壓的電壓被應用時，此短通道效果產生一個大的門限電壓差別於不同大小尺寸的元件之間。如此一個大的差別於不同大小尺寸的元件之間造成很難控制門限電壓。

克服短通道效果問題的試圖包含使用三側牆隔離以允許不同的基底偏壓被應用到動態隨機存取記憶元件的不同部份。然而，此三側牆方式使用一個非慣例的 **n** 型基底並與多樣的 **p** 型側牆隔離。更進一步地，**p** 型側牆的深度限制於一個 **DRAM** 元件的記憶體陣列的溝道深度。既然溝道牆以一個 **N+** 導電性類型來摻雜，任何溝道的與 **n** 型基底的接觸將一起短少這些溝道。所以，它想要以一

五、發明說明(2)

個更傳統的流程來克服短通道效果和溝道深度問題。

<發明概要>

從前述，應感謝已經產生了對於一種操作在多基底偏壓電壓的動態隨機存取記憶元件來克服短通道效果的需要。同時也已經產生了一種動態隨機存取記憶元件以傳統的流程來克服短通道效果的需要。

按照本發明，提供一種製造多基底偏壓動態隨機存取記憶元件的裝置與方法，其大體而言消除或減少了不利與試圖克服此短通道效果的其它流程的問題。

根據本發明的一個實施例，提供一種製造多基底偏壓動態隨機存取記憶元件的方法，其包含形成一個輸入/輸出部份在一個 p 型基底層之內，在此輸入/輸出部分從一個第一個基底偏壓電壓來操作，一個周邊電晶體部分被形成在 p 型基底層之內如此周邊電晶體部分能從一個第二個基底偏壓電壓來操作，一個記憶體陣列部分被形成在 p 型基底層之內如此記憶體陣列部分能從一個第三個基底偏壓電壓來操作。

本發明的裝置與方法提供多樣的技術優點而勝過其它的試圖克服短通道效果的流程。譬如，其一個技術優勢是

五、發明說明(3)

採用一個傳統 p 型基底層來克服短通道效果。另外的技術優勢是經由多基底偏壓的電壓的措失來克服短通道效果。其它的技術優勢是從以下的圖式，敘述，與要求，對於熟練於此技術的人士而言是容易明顯的。

<圖示簡述>

為更完全地理解本發明與這些優勢，現在參考以下的敘述並會同伴隨的繪圖，其中相似參考數字表示相似部份，其中：

圖 1 舉例說明一個多基底偏壓動態隨機存取記憶元件。

<發明詳述>

圖 1 顯示一個動態隨機存取記憶元件 10，其可採用多基底偏壓電壓。動態隨機存取記憶元件 10 至少由三個不同部分組成 - 一個輸入/輸出部份 12，一個周邊電晶體部份 14 與一個記憶體陣列部份 16。動態隨機存取記憶元件 10 的每個部分能被個別地隔絕在一個 p 型基底層 18。

輸入/輸出部份 12 經由形成一個 n 型側牆地區 20 在 p 型基底層 18 之內來造成。一個 p 型地區 22 與一個 n 型地區 24 被形成在 n 型側牆地區 20 之內。n 型側牆地區 20 從 p 型基底層 18 隔絕 p 型地區 22。

五、發明說明(4)

記憶體陣列部份 16 經由形成一個 p 型側牆地區 26 在 p 型基底層 18 之內來造成。有一個源極地區 28，一個閘地區 30 與一個漏極地區 32 的多數次元件形成在 p 型側牆地區 26 之內。記憶體陣列部份 16 的多數個次元件被溝道 34 所隔絕。

周邊電晶體 14 部份經由形成一個 p 型地區 36 與一個 n 型地區 38 在 p 型基底層 18 之內來造成。假如於周邊電晶體部份 14 與記憶體陣列部份 16 之間需要被隔離，一個選擇性的 n 型側牆地區 40 能被形成於形成 p 型地區 36 與 n 型地區 38 之前以從 p 型基底層 18 隔絕 p 型地區 36。

以 n 型側牆地區 40 的形成，動態隨機存取記憶元件 10 能以三種分開的基底偏壓電壓來操作。於周邊電晶體部份 14，一個接地的中性基底偏壓電壓被應用以避免電晶體的任何後閘偏壓並壓制結果會造成一個更大的主體結果在門限電壓的短通道效果。一個不同的偏壓電壓能被應用到記憶體陣列部份 16 以改善細胞隔離與減少連接電容。既然內部的 p 型側牆的隔離被 n 型側牆地區所達到，其可與記憶體陣列部份 16 的 p 型側牆地區 26 同時被驅動，一個 n 型基底用於隔離側牆到側牆的需要被同時消除了。更進一步地，溝道 34 的溝道階可以是相等於或

五、發明說明(5)

稍更深於 p 型側牆地區 26 而沒有顯著地增加細胞漏損以便更多電容器區域能被使用。

總之，一個動態隨機存取記憶元件能經由採用多基底偏壓電壓經過一個傳統的 p 型基底層來克服短通道效果。動態隨機存取記憶元件的每個部分能被個別地隔絕而在記憶體陣列部分之內的溝道深度不再是一個重要的因素。

如此，按照本發明，明顯地已經提供了一種製造多基底偏壓電壓動態隨機存取記憶元件的裝置與方法並滿足上述提出的這些優勢。雖然較佳實施例已被歷述，應該了解多樣的變化，替代，與修改能在此中被產生。譬如，流程步驟順序能以其它方式來安排而達到相同的動態隨機存取記憶元件。其它的例子可由熟練於此技術的人士容易地探查而不離本發明如下列申請專利範圍定義的精神與範圍。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱: 製造多基底偏壓動態隨機存取記憶元件之裝置與方法)

一種動態隨機存取記憶元件 (10) 包含三個分開的部分 - 一個輸入/輸出部分 (12) , 一個周邊電晶體部分 (14) , 與一個記憶體陣列部分 (16) , 全部形成在一個 p 型基底層 (18) . 此動態隨機存取記憶元件 (10) 對每個部分能採用分開的基底偏壓電壓 . 輸入/輸出部分 (12) 有一個經由一個 n 型側牆地區 (20) 從 p 型基底層 (18) 隔絕的 p 型地區 (22) . 周邊電晶體部分有一個 p 型地區 (36) , 對於那些需要一個不同的基底偏壓電壓於周邊電晶體部分 (14) 與記憶體陣列部分 (16) 之間的元件 , 其能經由一個選擇性的 n 型側牆地區 (40) 從 p 型基底層 (18) 隔絕 .

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、~~文~~發明摘要 (發明之名稱: **APPARATUS AND METHOD OF
FABRICATIONS A MULTIPLE SUBSTRATE BIAS DYNAMIC
RANDOM ACCESS MEMORY DEVICE**)

A dynamic random access memory device (10) includes three separate sections - an input/output section (12), a peripheral transistor section (14), and a memory array section (16), all formed on a p- type substrate layer (18).

The dynamic random access memory device (10) can employ separate substrate bias voltages for each section. The input/output section (12) has a p- type region (22) that is isolated from the p- type substrate layer (18) by an ntype well region (20). The peripheral transistor section (14) has a p- type region (36) that can be isolated from the p- type substrate layer (18) by an optional n- type well region (40) for those devices which require a different substrate bias voltage between the peripheral transistor section (14) and the memory array section (16).

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1．一種製造一個用於一個動態隨機存取記憶元件的多側牆電晶體的方法，包含步驟：

形成一個輸入/輸出部份在一個 p 型基底層之內，輸入/輸出部份從一個第一個基底偏壓電壓來操作；

形成一個周邊電晶體部份在基底層之內，周邊電晶體部份從一個第二個基底偏壓電壓來操作；

形成一個記憶體陣列部份在基底層之內，記憶體陣列層從一個第三個基底偏壓電壓來操作。

2．如申請專利範圍第 1 項之方法，其中該輸入/輸出形成步驟包含：

形成一個 n 型側牆在基底層之內；

形成一個 p 型源極在 n 型側牆之內如此以便 n 型側牆從基底層隔絕 p 型源極。

3．如申請專利範圍第 1 項之方法，其中該周邊電晶體部分形成步驟包含：

直接地形成一個 p 型源極在基底層之內；

應用第二個基底偏壓電壓到 p 型源極，第二個基底偏壓電壓是相等於第三個基底偏壓電壓。

4．如申請專利範圍第 1 項之方法，其中該周邊電晶體部分形成步驟包含：

形成一個 n 型側牆地區在基底層之內；

六、申請專利範圍

形成一個 p 型源極地區在 n 型側牆地區之內如此以便 n 型側牆地區從基底層隔絕 p 型源極地區；

應用第二個基底電壓到 p 型源極地區，第二個基底偏壓電壓是不等於第三個基底偏壓電壓。

5．如申請專利範圍第 1 項之方法，其中該記憶體陣列部分形成步驟包含：

形成一個 p 型側牆地區在基底層之內；

應用第三個基底偏壓電壓到 p 型側牆。

6．如申請專利範圍第 5 項之方法，更進一步地包含步驟：

形成溝道地區在 p 型側牆地區之內以隔絕記憶體陣列部分的記憶體細胞。

7．如申請專利範圍第 6 項之方法，其中溝道地區能被形成經過 p 型側牆地區並進入基底層而沒有相反地影響元件的操作。

8．一種製造一個用於一個動態隨機存取記憶元件的多側牆電晶體的方法，包含步驟：

形成一個第一個導電性類型的一個深側牆地區到一個第二個導電性類型的一個基底層而形成一個第一個導電性類型的的第一個中介側牆地區與一個第二個導電性類型的

六、申請專利範圍

第二個中介側牆地區以建立用於元件的輸入/輸出部份，輸入/輸出部份從一個第一個基底偏壓電壓來操作；

形成一個第一個導電性類型的第三個中介側牆地區與一個第二個導電性類型的第四個中介側牆地區到基底層以建立一個用於元件的周邊電晶體部份，周邊電晶體部份從一個第二個基底偏壓電壓來操作；

形成一個第二個導電性類型的第二個深側牆地區在基底層之內；

形成多數記憶體細胞在第二個深側牆地區之內以形成一個用於元件的記憶體陣列部份，記憶體陣列部份從一個第三個基底偏壓電壓來操作。

9．如申請專利範圍第8項之方法，更進一步地包含步驟：

形成一個第三個深側牆地區在周邊電晶體部份的基底層之內以從基底層隔絕第三個與第四個中介側牆地區如此以便第二個基底偏壓電壓可不同於第三個基底偏壓電壓。

10．如申請專利範圍第8項之方法，更進一步地包含步驟：

形成溝道地區在記憶體陣列部份的第二個深側牆地區之內以隔絕記憶體細胞，溝道地區能夠延伸經過第二個深側牆地區並進入基底層而沒有相反地影響元件的操作。

六、申請專利範圍

11．如申請專利範圍第 8 項之方法，其中第二個基底偏壓電壓是等於第三個基底偏壓電壓。

12．一種多基底偏壓動態隨機存取記憶元件包含：

一個輸入/輸出部份形成在一個 p 型基底層，該輸入/輸出部份從一個第一個基底偏壓電壓來操作；

一個周邊電晶體部份形成在該 p 型基底層，該周邊電晶體部份從一個第二個基底偏壓電壓來操作；

一個記憶體陣列部份形成在該 p 型基底層，該記憶體陣列部份從一個第三個基底偏壓電壓來操作，該輸入/輸出部分和該周邊電晶體部分與該記憶體陣列部分彼此被隔絕。

13．如申請專利範圍第 12 項之元件，其中該第二個基底電壓是等於該第三個基底電壓。

14．如申請專利範圍第 12 項之元件，其中該輸入/輸出部分經由一個 n 型側牆地區被從該 p 型基底隔絕。

15．如申請專利範圍第 12 項之元件，其中該周邊電晶體部分經由一個 n 型側牆地區被從該 p 型基底部份隔絕如此該第二個基底偏壓電壓的值不同於該第三個基底偏壓電壓。

六、申請專利範圍

16．如申請專利範圍第 12 項之元件，其中該記憶體陣列部分包含形成在一個在該基底層之內的 p 型側牆地區的記憶體細胞，該記憶體細胞經由溝道地區彼此隔絕，該溝道地區能夠延伸經過 p 型側牆地區並進入基底層而沒有相反地影響元件的操作。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

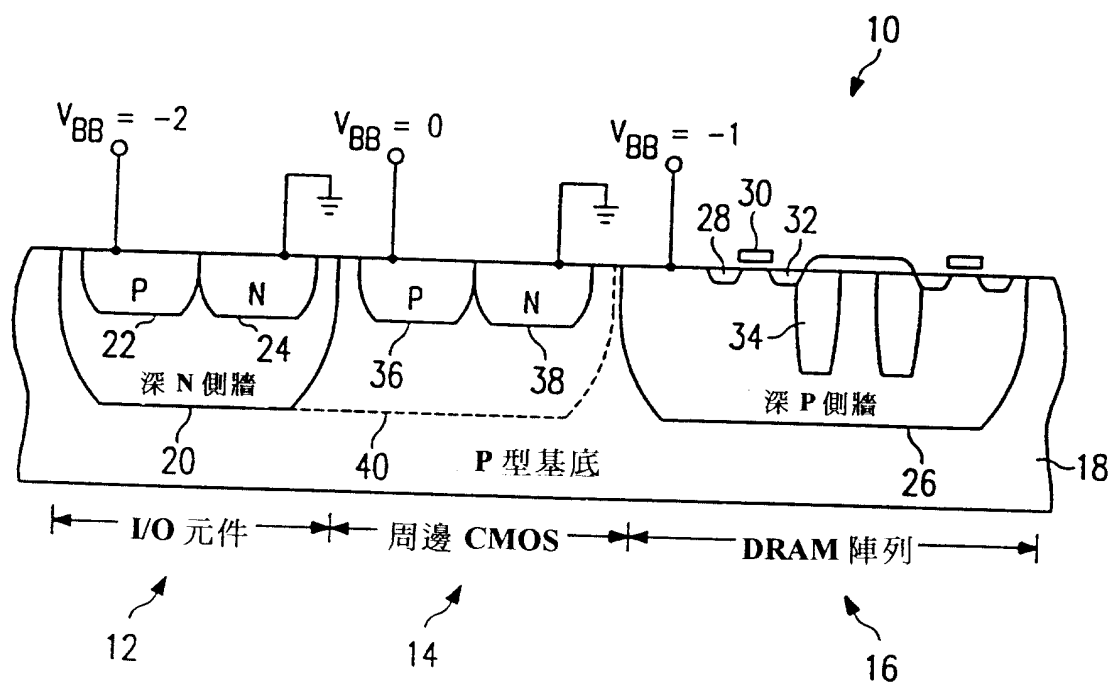


圖 1