

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 21/28	(45) 공고일자 2000년05월01일
	(11) 등록번호 10-0253385
	(24) 등록일자 2000년01월22일
(21) 출원번호 10-1997-0071889	(65) 공개번호 특 1999-0052424
(22) 출원일자 1997년 12월 22일	(43) 공개일자 1999년 07월 05일

(73) 특허권자	현대반도체주식회사 김영환
(72) 발명자	충청북도 청주시 흥덕구 향정동 1번지 라사균
(74) 대리인	서울특별시 중랑구 면목5동 161-6 17/2 박장원

심사관 : 권인희

(54) 반도체 소자의 배선형성 방법

요약

본 발명은 반도체 소자의 배선형성방법에 관한 것으로, 반도체 기판(1)내에 확산층(3)이 형성되어 있고, 상기 반도체 기판(1)의 상면에 게이트전극(2) 및 비트라인(5) 등의 도전층 패턴들이 형성되어 있으며, 상기 확산층(3), 게이트전극(2) 및 비트라인(5)의 상면에 절연층이 형성되어 있고, 상기 절연층에 형성된 홈(a, b, c) 상기 도전층 패턴들을 노출시키고 있는 반도체 소자에 있어서, 상기 홈(a,b,c)의 저면 및 측벽, 그리고 절연층 상면의 일부에 제1배리어층 패턴(7a)을 형성하고, 상기 홈(a,b,c)의 내부등 구리배선을 두껍게 형성해야 할 영역의 제1배리어층 패턴(7a) 상면에 시드층(21)을 형성하고, 상기 제1배리어층 패턴(7a) 및 시드층(21) 위에 구리배선층(22)을 형성하고, 상기 구리배선층 위에 제2배리어층(미도시)을 형성한 다음 상기 제2배리어층을 패터닝하여 제2배리어층 패턴(23a)을 형성하는 공정을 수행한다.

대표도

도 11

명세서

도면의 간단한 설명

도 1 내지 도 5 는 종래 종래 반도체 소자의 배선 형성 공정 순서도.

도 6 내지 도 11은 본발명의 반도체 소자의 배선 형성 공정 순서도.

***** 도면 번호에 대한 설명 *****

- 1 : 반도체 기판
- 2 : 게이트전극
- 3 : 확산층
- 4 : 절연막
- 5 : 비트라인
- 6 : 절연막
- 7 : 제1배리어층
- 7a : 제1배리어층 패턴
- 8 : 구리층(종래 기술)
- 9 : 제2배리어층 (종래 기술)
- 10 : 포토레지스트 마스크
- 11 : 제1배리어층, 구리배선층, 제2배리어층으로 된 샌드위치형 패턴
- 12 : 제3배리어층, 사이드월 스페이서
- 21 : 시드층
- 22 : 구리배선층 (본발명)

23 : 제2 배리어층 (본발명)

23a : 제2 배리어층 패턴

24 : 식각 마스크층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 배선형성 방법에 관한 것으로, 특히 구리를 이용한 배선형성방법에 관한 것이다.

종래 반도체 소자의 배선은 낮은 접촉 저항과 공정의 용이함 때문에 알루미늄(Al)을 이용하였다. 그러나 최근 반도체 소자의 집적도가 높아져 0.25 μ m 이하의 디자인 룰로 인하여 배선의 폭은 좁아지고, 또한 길어져 배선 저항이 증가하고 있으며, 또한 고집적도 소자일수록 절연막의 두께가 감소하므로써 발생하는 기생 용량(parasitic capacitance) 증가등이 문제가 되고 있다.

상기 배선저항 증가 및 기생 용량 증가 문제를 해결하기 위해 알루미늄 배선에 비해 저항이 낮고, 전자이동도(electromigration)특성이 우수한 금속들을 배선재료로 이용하기 위한 연구가 진행되어 왔다. 그러한 노력의 일환으로 구리를 새로운 반도체 소자의 배선으로 이용하려는 움직임이 있다. 구리는 비저항이 낮고(약 1.67 $\mu\Omega^{\circ}$ Cm) 전자이동 특성이 우수하여 배선의 단면적이 감소하여도 반도체 소자의 동작속도를 저하시키지 않고 신뢰성을 유지할 수 있는 장점을 갖는다.

종래의 구리를 이용한 배선형성방법에 대해 첨부된 도면을 참조하여 설명하면 다음과 같다.

먼저 도1에서는, 반도체 기판(1) 상면에 게이트전극(2)을 형성한 후, 상기 게이트 전극(2) 양측의 반도체 기판(1)내부에 n+ 또는 p+확산층(3)을 형성하고, 상기 확산층(3) 및 게이트전극(2) 상면에 절연층(4)을 형성한 후, 상기 절연층(4) 상면에 비트라인(5)을 형성하고, 상기 비트라인(5) 상에 다시 절연층(6)을 형성한다. 상기 확산층(3), 게이트 전극(2), 비트라인(5) 등의 상면에 배선층과 연결시키기 위한 홈(a, b, c)을 각각 형성한다. 이어서, 상기 홈(a, b, c)의 측벽 및 저면 그리고 제2절연막(6) 상면에 상면에 밀착층 또는 제1 배리어층(7)으로서 Ti, TiN, TiW, TaN, TaW, TiSi_xY_y, TaSi_xY_N 중의 어느하나의 막을 형성하거나 또는 둘이상의 막을 증착한 반도체 소자의 종단면을 도시하고 있다.

이어서 도2와 같이, 상기 제1 배리어층(7) 전면에 확확증착법, 스퍼터링법, 또는 ICB(ion Cluster Beam Deposition)법, 또는 무전해 도금법 등을 사용하여 구리층(8)을 형성한다. 이때 상기 홈(a, b, c)내의 구리층 형성시의 인큐베이션 시간은 상기 절연막(6)상면의 구리층을 형성할 때의 인큐베이션시간에 비해 길다. 따라서 홈(a, b, c)내에 구리막이 형성되기 위한 인큐베이션 시간에 맞추어 인큐베이션 시간을 결정해야 한다. 또한 상기 홈(a, b, c)내에 형성되는 구리층의 두께는 상기 절연막(6) 상면에 형성되는 구리층의 두께보다 두꺼워야 하므로 상기 홈(a, b, c)에 구리층이 형성되는 시간에 맞추어 구리배선 형성 시간을 결정한다. 따라서 구리배선형성 시간이 길어진다.

이어서 상기 구리층(8) 상면에 확산 방지막(diffusion barrier)으로 사용하기 위한 제2배리어층(9)을 형성한다. 상기 제2 배리어층(9)으로서 Ti, TiN, TiW, TaN, TaW, TiSi_xY_y, TaSi_xY_N층중의 어느 하나의 막을 증착하거나 또는 둘이상의 막을 적층한다.

이어서, 제2 배리어층(9) 위에 포토레지스트막(미도시)을 형성한 다음 패턴닝하여 도3과 같이 포토레지스트 마스크(10)를 형성하고, 상기 포토레지스트 마스크(10)를 이용하여 상기 제1배리어층(7), 구리층(8) 및 제2 배리어층(9)을 식각하여 도4와 같이, 제1배리어층(7), 구리층(8), 제2배리어층(9)로 이루어진 샌드위치형 패턴(11)을 형성한다.

다음으로, 상기 샌드위치형 패턴(11)위 측벽에 다시 확산방지를 위한 막을 형성하기 위해, 제3배리어층(미도시)을 상기 도4에 도시된 반도체 소자 전체 상면에 형성한다. 이어서 상기 제3배리어층(미도시)을 에치백하여 상기 샌드위치형 샌드위치형 패턴(11)의 측벽에 제3배리어층으로 된 사이드월스페이스(12)를 형성한다. 상기 제3배리어층도 역시 Ti, TiN, TiW, TaN, TaW, TiSi_xY_y, TaSi_xY_N 등의 어느 하나의 막 또는 둘이상의 막의 적층을 이용한다.

상기와 같이 형성하는 구리배선은 비저항이 낮고 전기 이동도 특성이 우수하여 배선의 단면적이 감소하여도 소자의 동작속도 및 신뢰성을 저하시키지 않고, 유기화합물을 이용한 화학기상증착 공정을 적용할 수 있어 공정이 용이한 등의 잇점이 있으나, 구리배선 자체는 낮은 내산화성, 실리콘이나 절연물질 내에서의 빠른 확산(diffusion)성이라는 단점이 있다.

또한 상기와 같은 종래의 구리배선 형성방법에서는, 배선형성을 위해 구리층을 건식각하는 공정을 수행해야 하지만, 현재까지 구리를 포함하는 박막을 건식각하는 공정이 개발되어 있지 않아 실용화하는데 문제점이 있었다.

또한 화학기상성장법을 이용한 구리층 형성시의 인큐베이션(Incubation) 시간이 긴 단점으로 인하여 생산성(throughput)이 낮은 문제 때문에 그 실용화가 어려운 단점을 갖고 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은, 구리배선의 장점인 낮은 저항과 좋은 전기이동도 특성을 살리면서 건식각 공정의 어려움 및 인큐베이션 시간이 길어 생산성이 낮은 문제를 해결할 수 있는 구리 배선 형성방법을 제공

하는데 있다. 상기와 같은 본발명의 목적을 달성하기 위해, 배리어층상에 구리를 두껍게 형성할 부분에 미리 시드층을 형성한 후, 상기 배리어층 및 시드층상에 구리층을 증착함으로써 인큐베이션 시간을 줄여 생산성을 향상시켰으며, 건식공공정을 생략하므로써 공정을 용이하게 하여 구리배선을 실용화 시켰다.

본발명의 반도체 소자의 배선형성방법은, 반도체 기판(1)내에 확산층(3)이 형성되어 있고, 상기 반도체 기판(1)의 상면에 게이트전극(2) 및 비트라인(5)이 형성되어 있으며, 상기 게이트전극(2) 및 비트라인(5)의 상면에 각각 절연층(4),(6)이 형성되어 있는 반도체 소자에 있어서, 상기 확산층(3), 게이트전극(2), 비트라인(5)등 반도체 소자를 이루는 구성요소들을 노출시키기 위해 절연막을 식각하여 절연막에 홀(a, b, c)을 형성하고, 상기 홀(a,b,c)의 저면 및 측벽, 그리고 절연층(6) 상면의 일부에 제1배리어층 패턴(7a)을 형성하고, 상기 홀(a,b,c)등 구리배선을 두껍게 형성해야 할 영역의 제1배리어층 패턴(7a) 상면에 시드층(21)을 형성하고, 상기 제1배리어층 패턴(7a) 및 시드층(21) 위에 구리배선층(22)을 증착하고, 상기 구리배선층 위에 제2배리어층(미도시)을 형성한 다음 상기 제2배리어층을 패터닝하여 상기 구리배선층(22)을 감싸도록 제2배리어층 패턴(23a)을 형성하는 공정을 순차 실시한다.

발명의 구성 및 작용

본발명의 구리 배선 형성방법을 첨부된 도면을 이용하여 설명하면 다음과 같다.

도6에서는, 반도체 기판(1) 상면에 게이트전극(2)을 형성한 후, 상기 게이트 전극(2) 양측의 반도체 기판(1)내부에 n+ 또는 p+확산층(3)을 형성하고, 상기 확산층(3) 및 게이트전극(2) 상면에 절연층(4)을 형성한 후, 상기 절연층(4) 상면에 비트라인(5)을 형성하고, 상기 비트라인(5) 상에 다시 절연층(6)을 형성한다. 상기 확산층(3), 게이트 전극(2), 비트라인(5) 등의 상면에 배선층과 연결시키기 위한 홀(a, b, c)을 각각 형성한다.

본발명의 상기 실시예에서는 편의상 반도체 소자의 대표적인 구성요소들인 게이트전극, 확산층, 비트라인만을 열거하여 설명하였으나 그외에 금속배선층 및 기타 반도체 소자를 구성하는 모든 전도층에 대해서 적용할 수 있다. 즉 전도층 위에 절연막을 형성하고, 상기 절연막에 홀을 형성하여 상기 전도층을 노출시키고, 상기 및 절연막위에 구리배선을 형성하여 상기 도전층과 연결시키고자 하는 경우에 본발명의 구리배선 형성방법을 적용할 수 있다.

이어서, 상기 홀(a, b, c)의 측벽 및 저면 그리고 제2절연막(6) 상면에 상면에 밀착층 또는 제1 배리어층(7)을 형성한다. 상기 제1배리어층은 Ti, TiN, TiW, TaN, TaW, $TiSi_xY_y$, $TaSi_xY_N$ 등의 어느 하나의 박막 또는 둘이상의 박막을 적층하여 형성 한다. 도6은 상기 제1배리어층을 형성하는 공정을 수행한 후의 반도체 소자의 종단면도를 도시하고 있다.

이어서 7과 같이, 상기 구리배선층을 형성할 영역에만 배리어층(7)이 남도록 상기 배리어층(7)을 패터닝하여 제1 배리어층 패턴(7a)을 형성한다.

이어서, 상기 도7의 전체 패턴상면에 구리층 또는 텅스텐층 또는 티타늄 질화막(TiN)을 500Å 이하로 유기 금속 화학기상 증착법, 무전해 도금법 또는 스퍼터링법을이용하여 증착한다. 상기 구리층 또는 텅스텐층을 에치백하여 도8과 같이, 상기 홀(a, b, c)내의 제1 배리어층(7a) 표면 상에만 상기 구리층, 텅스텐층 또는 티타늄 질화막이 남도록 패터닝하여 시드층(21)을 형성한다. 후속하는 금속막 형성공정에서 상기 시드층(21)위에서는 금속막의 형성속도가 빠르고 시드층이 형성되어 있지 않은 제1 배리어층 패턴(7a)상의 금속막 형성속도는 느리게 된다. 따라서 상대적으로 두꺼운 구리배선이 형성되어야 하는 홀(a,b,c) 내부에서와 상기 절연막(6)위의 배리어층 패턴(7a) 상면에서 구리배선층 형성시 인큐베이션 시간이 비슷해져서 결과적으로 인큐베이션 시간을 줄일 수 있어 쓰루풋(throughput)을 떨어뜨리지 않게 된다. 또한 홀(a, b, c)내부는 상대적으로 두꺼운 구리배선층을 형성해야 하고 상기 절연층(6) 상면에는 상대적으로 얇은 구리배선층을 형성해야 결과적으로 같은 구리배선층의 높이가 같아지므로, 상기 홀(a, b, c)내부의 구리배선층의 증착속도를 절연층 상면에서의 증착속도보다 빠르게 할 필요가 있으며, 홀(a, b, c)내에 시드층(21)을 형성하므로써 그러한 목적을 달성할 수 있다. 참고로, 산화막, 티타늄 질화막, 텅스텐, 구리를 각각 시드층으로 형성하고, 상기 각각의 시드층위에 화학기상증착법, 무전해 도금법, 스퍼터링법으로 구리배선층을 형성할 때의 인큐베이션 시간 및 구리배선층의 증착속도는 다음과 같이 얻어졌다.

항 목		유기금속화학기상증착	무전해 도금	스퍼터링
비저항(두께 4000Å)		> 2.0 $\mu\Omega\text{cm}$	> 2.0 $\mu\Omega\text{cm}$	> 1.9 $\mu\Omega\text{cm}$
증착 속도		< 1000 Å/min	< 5000 Å/min	< 5000 Å/min
	시드층			
인큐베이션 시간	산화	15~30 분	15~30 분	< 1 분
	질화실리콘	3~10 분	1~2 분	< 1 분
	텅스텐	1~3 분	1~2 분	< 1 분
	구리	< 1 분	< 1 분	< 1 분

따라서 상기의 표에 의해 얻어진 데이터를 기초로 하여, 인큐베이션 원하는 인큐베이션 시간에 맞는 시드층을 선택한다.

다음으로 상기 도8의 전체상면에 유기금속 화학기상증착법(Metal Organic Chemical Vapor Deposition ; MOCVD)으로 압력 0.01~1.0 torr범위 그리고 온도 140~220℃의 공정조건에서 구리를 증착시키거나 무전해 도금법을 이용하여 구리배선층(22)을 증착시키면, 시드층(21)상의 구리 증착속도가 빠르고, 시드층(21)이 형성되지 않은 곳의 제1배리어층 패턴(7a)의 구리의 증착속도는 느리기 때문에 도9와 같이 홀(a, b, c)이 모두 구리배선층(22)에 의해 메워지고, 또한 배리어층 제1 배리어층 패턴(7a)상에 구리배선층(22)이 형성된다. 이때 유기금속화학기상증착법 또는 무전해 도금법을 이용하면 금속 즉 제1배리어층 패턴(7a)

과 시드층(21)상에만 구리가 증착되고 절연층(6) 상면에는 구리가 증착되지 않으므로 구리 증착후 식각공정을 이용하여 구리를 패터닝할 필요가 없이 그대로 금속층 위에 배선이 형성된다.

다음으로 상기 도9의 전체상면에 확산방지층으로서 제2배리어층(23)을 형성한다. 상기 제2배리어층(23)은 Ti, TiN, TiW, TaN, TaW, $TiSi_xY_y$, $TaSi_xY_N$ 막중의 어느 하나로 형성하거나 상기의 박막으로 부터 선택된 둘이상의 박막을 적층하여 형성한다. 이어서 상기 제2배리어층(23)위에 식각을 위한 식각마스크 패턴(24)을 형성한 후, 제2배리어층(23)이 상기 구리배선층(22)을 감싸도록 패터닝하여 제2배리어층 패턴(23a)을 형성한다. 상기 제2배리어층 패턴(23a)은 상기 구리배선층(22)로부터 구리이온의 외부로의 확산을 방지하는 역할을 하는 확산방지막(23a)이다. 또한 상기 제2 배리어층 패턴(23a)의해 구리가 산화되는 것을 방지하여 구리배선의 비저항이 높아지지 않도록 하는 효과가 있다. 이때 상기 식각 마스크 패턴(24)은 상기 구리배선층(22)의 넓이보다 약간 넓게 형성함으로써 제2배리어층 패턴(23a)이 구리배선층(22)을 측면 및 상면에서 완전히 감싸도록 한다.

발명의 효과

상기와 같은 본발명의 반도체 배선형성방법에 의하면, 낮은 비저항과 높은 전자 이동 특성을 갖는 구리배선을 스루풋(throughput)을 떨어뜨리지 않고 형성할 수 있어서, 생산성을 떨어뜨리지 않고 소자특성을 향상시킬 수 있는 효과가 있다.

구리배선층을 건식각하는 공정을 생략하여, 구리배선층 실용화에 기여하는 효과가 있다.

시드층을 이용하여, 고단차 구조에서도 대응할 수 있는 구리배선층 형성방법을 제공하여, 고집적 반도체 소자의 제조시 소자특성의 향상 및 신뢰성을 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1

반도체 기판(1)의 내면 및 상면에 소정의 도전층 패턴들을 형성하는 공정과,

상기 도전층 패턴들 상면에 절연층을 형성하는 공정과,

상기 절연층을 식각하여 상기 도전층 패턴들의 상면을 노출시키도록 홈을 형성하는 공정과,

상기 홈의 내벽 및 저면과 절연층 상면에 대해 구리배선을 형성할 영역에 제1배리어층을 형성하는 공정과,

상기 제1배리어층의 상면중 구리배선층을 상대적으로 두껍게 형성할 영역에만 시드층을 형성하는 공정과,

상기 시드층 및 상기 제1배리어층 상면에만 선택적으로 구리배선층을 형성하는 공정과,

상기 구리배선층 상면 및 측면에 제2배리어층을 형성하는 공정과, 상기 제2배리어층 상면에 구리배선층의 넓이보다 넓게 형성한 식각마스크 패턴을 형성하는 공정과,

상기 식각마스크 패턴을 마스크로하여 상기 제2배리어층을 식각하여 제2배리어층 패턴을 형성하는 공정을 순차적으로 수행하는 반도체 소자의 배선형성방법.

청구항 2

제1항에 있어서, 상기 제1 배리어층은 Ti, TiN, TiW, TaN, TaW, $TiSi_xY_y$, $TaSi_xY_N$ 막중의 어느하나의 막이거나 둘이상의 막을 적층한 막인 것을 특징으로 하는 반도체 소자의 배선형성방법.

청구항 3

제1항에 있어서, 상기 제2 배리어층은 Ti, TiN, TiW, TaN, TaW, $TiSi_xY_y$, $TaSi_xY_N$ 막중의 어느하나의 막이거나 둘이상의 막을 적층한 것을 특징으로 하는 반도체 소자의 배선형성방법.

청구항 4

제1항에 있어서, 상기 시드층은 질화티타늄(TiN), 텅스텐(W), 구리(Cu)중의 어느하나인 것을 특징으로 하는 반도체 소자의 배선형성방법.

청구항 5

제1항에 있어서, 구리배선층을 형성하는 방법은 유기금속 화학기상증착법, 무전해 도금법, 스퍼터링법중의 어느하나의 방법에 의해 형성하는 것을 특징으로 하는 반도체 소자의 배선형성방법.

청구항 6

제1항에 있어서, 상기 시드층은 500 Å 이하인 것을 특징으로 하는 반도체 소자의 배선형성방법

청구항 7

제1항에 있어서 상기 시드층은 CVD 혹은 스퍼터링 방법으로 증착되는 것을 특징으로 하는 반도체 소자의 배선형성방법.

청구항 8

반도체 기판(1)의 내면 및 상면에 소정의 도전층 패턴들을 형성하는 공정과,

상기 도전층 패턴들 상면에 절연층을 형성하는 공정과,

상기 절연층을 식각하여 상기 도전층 패턴들의 상면을 노출시키도록 홈을 형성하는 공정과,

상기 홈의 내벽 및 저면과 절연층 상면에 대해 구리배선을 형성할 영역에 제1배리어층을 형성하는 공정과,

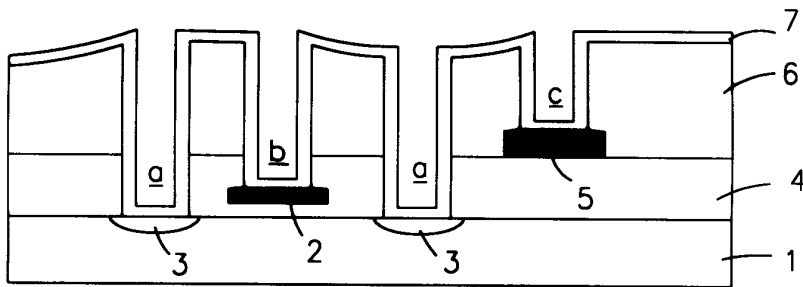
상기 홈의 내벽면 및 저면의 제1배리어층 표면에 시드층을 형성하는 공정과,

상기 시드층 및 상기 제1배리어층 상면에 선택적으로 구리배선층을 형성하는 공정과,

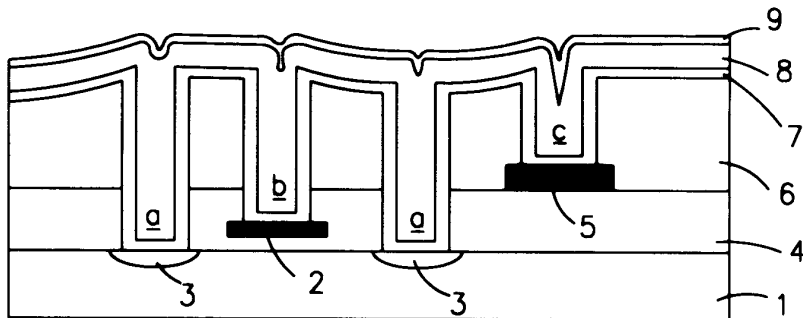
상기 구리배선층 상면 및 측면에 제2배리어층 패턴을 형성하는 공정을 순차적으로 수행하는 반도체 소자의 배선형성방법.

도면

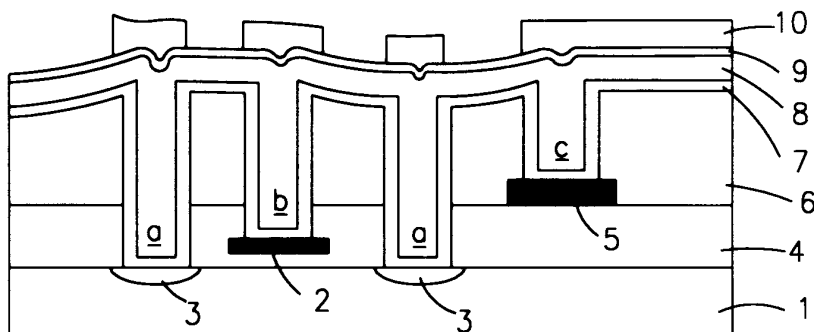
도면1



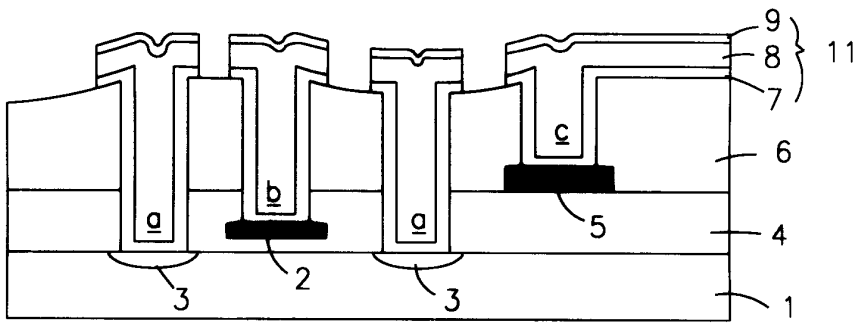
도면2



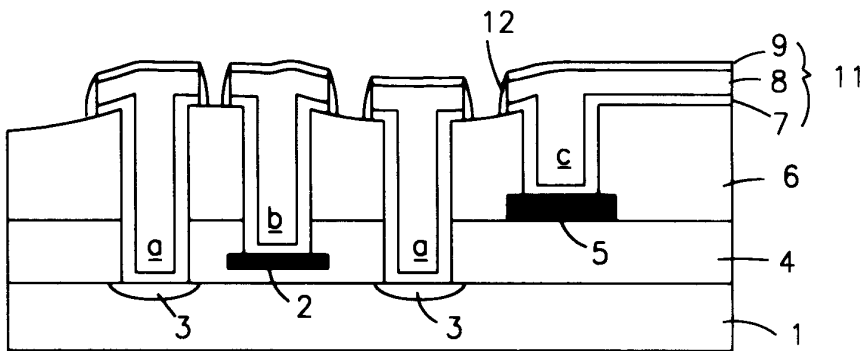
도면3



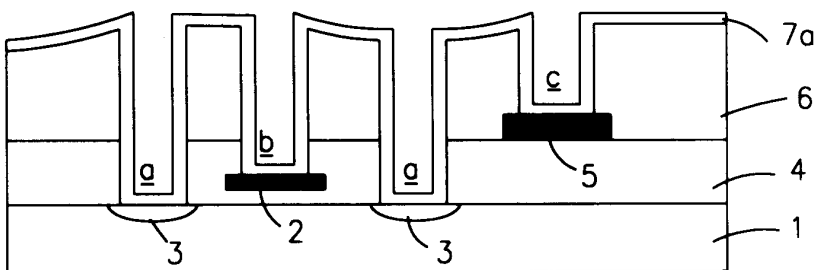
도면4



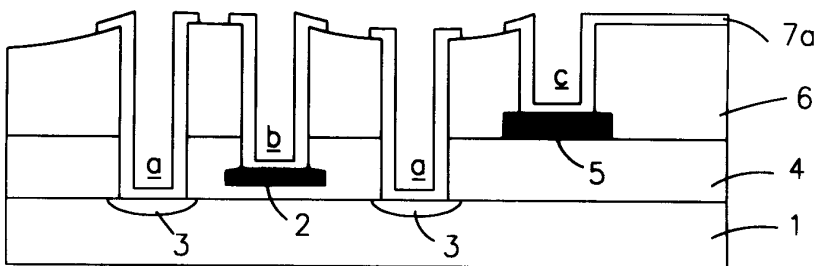
도면5



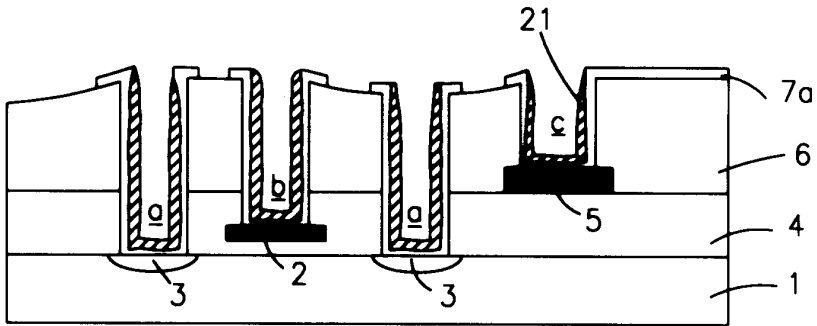
도면6



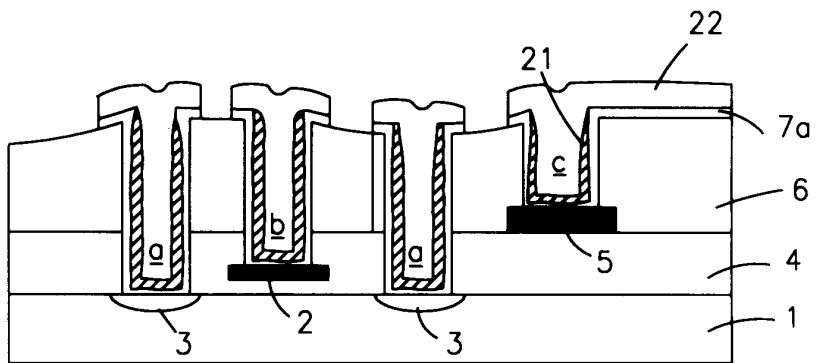
도면7



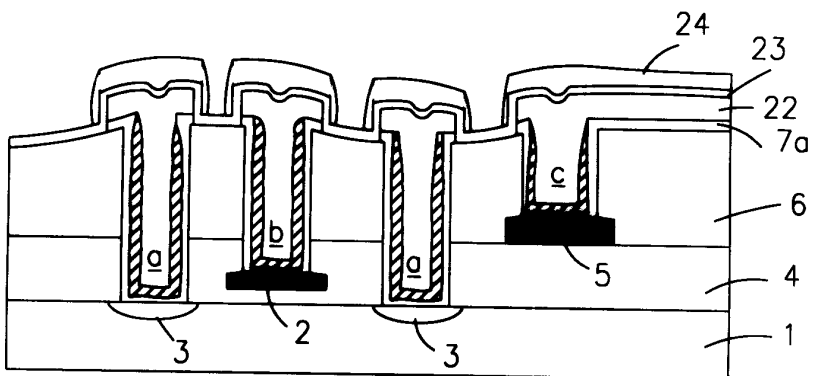
도면8



도면9



도면10



도면11

