FI000111576B

(12) **PATENTTIJULKAISU**
PATENTSKRIFT

(10) **FI 111576 B**

(45) Patentti myönnetty - Patent beviljats **15.08.2003**

(51) Kv.lk.7 - Int.kl.7

H03K 19/094

(21) Patenttihakemus - Patentansökning **943123**

(22) Hakemispäivä - Ansökningsdag **29.06.1994**

(24) Alkupäivä - Löpdag **29.06.1994**

(41) Tullut julkiseksi - Blivit offentlig **31.12.1994**

(32) (33) (31) Etuoikeus - Prioritet

30.06.1993 FR 9308004 P

SUOMI – FINLAND
(FI)

PATENTTI- JA REKISTERIHALLITUS
PATENT- OCH REGISTERSTYRELSEN

(73) Haltija - Innehavare

1 •Koninklijke Philips Electronics N.V., Groenewoudseweg 1, 5621 BA Eindhoven, ALANKOMAAT, (NL)

(72) Keksijä - Uppfinnare

1 •Boiron,Marc, 17, rue d'Outreval, 14112 Bieville-Beuville, RANSKA, (FR)
2 •Bouvier,Stéphane, 23, rue de Luc, 14830 Langrune/Mer, RANSKA, (FR)

(74) Asiamies - Ombud: Kolster Oy Ab
Iso Roobertinkatu 23, 00120 Helsinki

(54) Keksinnön nimitys - Uppfinningens benämning

Liitäntäpiiri ja tällaisen piirin sisältävä jännitteennostopiiri
Anslutningskrets och spänningsförhöjningskrets innehållande en sådan krets

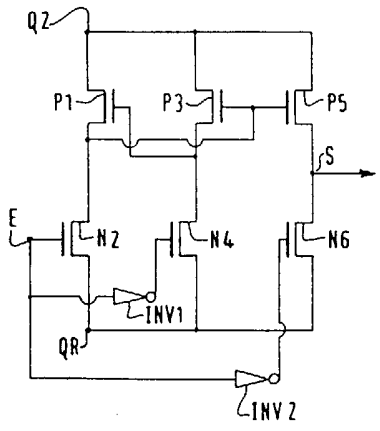
(56) Viitejulkaisut - Anförda publikationer

US A 5191233 (H03K 5/00)

(57) Tiivistelmä - Sammandrag

Sellainen liitäntäpiiri tekee mahdolliseksi alkaen ottosignaalista, joka vaihtelee ensimmäisessä navassa (QR) saatavilla olevan vertailutason (VR) ja ensimmäisen jännitetason (V1) välillä, tuottaa antosignaali, joka vaihtelee tämän vertailutason (VR) ja toisessa navassa (Q2) saatavilla olevan toisen jännitetason (V2) välillä. Se sisältää kaksi invertteriä (INV1, INV2), joiden vasteajat ovat sellaiset, että kolmannen haaran (P5, N6) kaksi transistoria eivät koskaan johda samanaikaisesti. Siten niiden oikosulkeminen tilasiirtymän aikana ei luo mitään virtapiikkiä; sen vuoksi niille on mahdollista antaa suuret mitat piirin muihin transistoreihin verrattuna heikentämättä piirin hyötysuhdetta.

Sovellutukset: liitäntäpiirit suurivirtaisia sovellutuksia varten ja erityisesti jännitteennostopiirit, jotka sallivat alhaisen ja korkean jännitteen piirien liittämisen toisiinsa.



En anslutningskrets gör det möjligt, med början från en insignal varierande mellan en referensnivå (VR) tillgänglig i en första terminal (QR) och en första spänningsnivå (VI), att ge en utsignal varierande mellan denna referensnivå (VR) och en andra spänningsnivå (V2) tillgänglig i en andra terminal (Q2). Den inkluderar två invertrar (INV1, INV2) vilkas responstider är sådana, att de två transistorerna i den tredje grenen (P5, N6) aldrig leder samtidigt. Sålunda skapar kortslutning av dem under en tillståndsövergång ingen strömtopp; de kan därför ges stora dimensioner i jämförelse med kretsens andra transistorer utan att äventyra kretsens effektivitet.

Tillämpningar: anslutningskretsar för starkströmsanordningar och speciellt spänningshöjningskretsar tillåtande anslutning av låg- och högspänningskretsar.

Liitäntäpiiri ja tällaisen piirin sisältävä jännitteennostopiiri

Esillä oleva keksinnön kohteena on liitäntäpiiri, joka tekee mahdolliseksi, alkaen sen ottoon tuodusta signaalista, joka vaihtelee ensimmäisessä navassa olevan vertailutason ja ensimmäisen jännitetason välillä, tuottaa antosignaali, joka vaihtelee tämän vertailutason ja toisen jännitetason välillä siten, että antosignaalin vaihtelu on suurempi tai yhtä suuri kuin ottosignaalilla, tämän toisen jännitteen ollessa saatavilla toisessa navassa, ja joka liitäntäpiiri sisältää:

- ensimmäisen ja toisen haaran, kummankin sisältäessä ensimmäisen ja toisen keskenään komplementaarisen transistorin, joilla on ensimmäinen ja toinen pääelektrodi ja ohjauselektrodi ja joiden ensimmäisen pääelektrodin/-toisen pääelektrodin ja toisen pääelektrodin/ensimmäisen pääelektrodin haarat on sijoitettu sarjaan mainittujen napojen välille, ensimmäisen ja toisen haaran ensimmäisten transistorien ohjauselektrodien ollessa kytketty vastaavasti toisen ja ensimmäisen haaran ensimmäisten transistorien toisille pääelektrodeille,
- ja ensimmäisen invertterimoduulin, jonka otto on yhdistetty liitäntäpiirin ottoon kuin myös ensimmäisen haaran toisen transistorin ohjauselektrodille, ja jonka anto on yhdistetty toisen haaran toisen elektrodin ohjauselektrodille.

Sellaisia liitäntäpiirejä käytetään erityisesti jännitteennostopiireissä ja ne sallivat alhaisen syöttöjännitteen piirien liittämisen korkeamman syöttöjännitteen piireihin. Niin on esimerkiksi kannettavan mikropiirikortin lukijan liitäntäpiirien tapauksessa, joihin kohdistuu alhainen syöttöjännite (2,5 V), kun taas mikropiirikortit vaativat 5 V:n syöttöjännitteen.

EP-patenttihakemuksessa 0 342 581 kuvataan liitäntäpiiri jännitteennostopiirissä käytetyn kondensaattorin varaamista varten. Tilasiirtymän aikana, kun liitäntäpiirin ottosignaali muuttuu esimerkiksi korkeasta tasosta alhaiseen tasoon, tämän toisen haaran ensimmäinen ja toinen transistori molemmat johtavat lyhyen aikaa. Tämä lyhyt oikosulku luo virtapiikin, joka on sitä suurempi, mitä suuremmat kyseisten kahden transistorin mitat ovat.

Suurivirtaisissa sovellutuksissa ja erityisesti mikropiirikortin lukijan liitäntäpiirien osalta, joiden tulee kestää luokkaa 20 mA olevia syöksyvirtoja, näiden transistorien tulee olla mitoiltaan suuria, mikä siten tuo tullessaan huomattavan alennuksen jännitteennostajan kokonaishyötysuhteeseen.

Keksinnön tavoite on ehdottaa kooltaan pieni suurivirtainen liitäntäpiiri, joka korjaa tämän haitan.

Tämän tekemiseksi keksinnön mukaiselle liitäntäpiirille ja sellaiselle liitäntäpiirille, joka kuvattiin johdantokappaleessa, on ominaista, että se sisältää:

- kolmannen haaran, joka sisältää ensimmäisen ja toisen keskenään komplementaarisen transistorin, jotka ovat kooltaan suuria toisen haaran transistoreihin nähden, ja joiden ensimmäisen pääelektrodin/toisen pääelektrodin ja toisen pääelektrodin/ensimmäisen pääelektrodin haarat on sijoitettu sarjaan mainittujen napojen välille, tämän kolmannen haaran ensimmäisen transistorin toisen pääelektrodin muodostaessa liitäntäpiirin annon ja sen ohjauselektrodin ollessa yhdistetty toisen haaran ensimmäisen transistorin ohjauselektrodiin,
- ja toisen invertterimoduulin, jonka otto on yhdistetty liitäntäpiirin ottoon ja jonka anto on liitetty tämän kolmannen haaran toisen transistorin ohjauselektrodiin, ensimmäisen ja toisen invertterimoduulin vasteaikojen ollessa valittu siten, että kolmannen haaran ensimmäi-

nen ja toinen transistori eivät koskaan johda samalla hetkellä.

Kun liitäntäpiirin kolmannen haaran ensimmäinen ja toinen transistori eivät koskaan johda samalla hetkellä, niille on mahdollista antaa suuret mitat alentamatta piirin hyötysuhdetta merkittävästi. Koska silloin on mahdollista antaa toisen haaran ensimmäiselle ja toiselle transistorille pienemmät mitat, niiden oikosulkeminen luo vain pieniä virtapiikkejä.

Keksintö koskee myös jännitteennostopiiriä, joka sisältää liitäntäpiirin, sellaisen kuin edeltävissä kappaleissa kuvattiin, ja erityisesti jännitteennostopiiriä, joka sisältää liitäntäpiirin, joka ohjaa transistorin, joka on polariteetiltaan sama kuin mainitut ensimmäiset transistorit, ohjauselektrodia, joka transistori muodostaa katkaisimen, tämän transistorin ensimmäisen ja toisen pääelektrodin ollessa yhdistetty vastaavasti toisaalta kolmanteen napaan, joka antaa ensimmäisen ja toisen jännitetason välillä vaihtelevan signaalin, ja toisaalta toiseen napaan.

Keksinnön muut ominaisuudet, yksityiskohdat ja edut selvivävät selityksestä, joka seuraa yhdessä oheisten piirrosten kanssa, jotka liittyvät ei-rajoittavasti annettuihin esimerkkeihin, joissa piiroksissa:

Kuvio 1 on kaavio tekniikan tason mukaisesta liitäntäpiiristä;

kuvio 2 on keksinnön mukaisen liitäntäpiirin esimerkin kaavio;

kuvio 3 on CMOS-teknologialla tuotetun invertterimoduulin kaavio, ja

kuvio 4 on keksinnön mukaisen liitäntäpiirin sisältävän jännitteennostopiirin esimerkin peruskaavio.

Seuraavassa selityksessä ensimmäiset transistorit ovat P-kanava MOSFET:ja ja toiset transistorit ovat N-kanava MOSFET:ja. Termit ensimmäinen ja toinen pääelektrodi

ja ohjauselektrodi sen vuoksi merkitsevät vastaavasti näiden transistorien emitteriä, kollektoria ja hilaa. Oheisissa kuvioissa P-kanavatransistorit on merkitty kirjaimella P, jota seuraa transistorin viitenumero. Samalla tavoin N-kanavatransistorit on merkitty kirjaimella N, jota seuraa transistorin viitenumero.

Kuitenkin, vaikka tätä toteutusta ei kuvata, keksinnön mukainen liitäntäpiiri voidaan tuottaa ensimmäisillä N-kanavatransistoreilla ja toisilla P-kanavatransistoreilla.

Kuvion 1 mukaisesti tekniikan tason mukainen liitäntäpiiri sisältää kaksi haaraa, kummankin sisältäessä P-kanava MOS-transistorin P1 ja P3, ja N-kanava MOS-transistorin N2 ja N4. Transistorien P1 ja P3 emitterit on kytketty napaan Q2, joka antaa jännitten V2, ja niiden kollektorit on kytketty vastaavasti transistorien N2 ja N4 kollektoreille. Transistorien N2 ja N4 emitterit on kytketty napaan QR, joka antaa vertailujännitteen VR, ja niiden hilat on yhdistetty napaan E, joka antaa ottosignaalin suoraan transistorille N2 ja invertterimoduulin INV1 kautta transistorille N4. Transistorin P3 hila on kytketty transistorin P1 kollektorille ja transistorin P1 hila on kytketty transistorin P3 kollektorille, joka siten muodostaa liitäntäpiirin annon S.

Ensimmäisen vakaan tilan aikana (kun ottosignaalin taso on esimerkiksi yhtä kuin V1) transistori N4 on estotilassa ja transistori N2 johtaa, pakottaen lähellä VR:ää olevan tason transistorin P3 hilalle, jolloin näin ollen myös se johtaa. Antosignaalin taso kohdassa S on sen vuoksi melkein yhtä suuri kuin V2 ja transistori P1 on estotilassa. Siirtymätilan aikana, mikä aiheutuu ottosignaalin muuttumisesta jännitetasosta V1 vertailutasoon VR, transistorit P3 ja N4 molemmat johtavat. Tämä lyhyt oikosulku luo virtapiikin I, joka virtaa piirin annossa S:

$$I = V2/(R_{dsP3}+R_{dsN4})$$

jossa R_{dsP3} ja R_{dsN4} ovat transistorien P3 ja N4 kollektori/-emitteriresistanssien arvot niiden johtaessa. Ne ovat yhtä suuret kuin:

$$R_{ds} = [L/(W \cdot \mu \cdot C_0)] \cdot [V_{gs}-V_s]^{-1}$$

jossa L on kanavan pituus,
W sen leveys,
μ varauksenkantajien liikkuvuus,
C_0 transistorin hila/substraatti-kapasitanssi yksikköalaa kohden,
V_{gs} sen hila/emitteri-jännite,
ja V_s sen kynnysjännite.

Tämä virtapiikki on siten sitä suurempi, mitä pienemmät näiden resistanssien arvot ovat, eli mitä suuremmat transistorien P3 ja N4 mitat ovat.

Tiettyjä suurivirtaisia sovellutuksia varten transistoreille P3 ja N4 tulee antaa suuret mitat. Sellaisen liitäntäpiirin käyttö johtaa silloin kokonaishyötysuhteen heikentymiseen.

Kuvio 2 on esimerkki keksinnön mukaisesta liitäntäpiiristä joka samalla, kun se pysyy kooltaan pienenä, tekee mahdolliseksi parantaa hyötysuhdetta, joka saavutetaan suurivirtaisissa sovellutuksissa.

Kuvion 2 mukaisesti keksinnön mukainen liitäntäpiiri sisältää kuviossa 1 kuvattujen elementtien lisäksi kolmannen haaran, joka sisältää P-kanava MOS-transistorin P5 ja N-kanava MOS-transistorin N6. Transistorin P5 emitteri on yhdistetty transistorin P3 emitterille ja sen kollektori on liitetty transistorin N6 kollektorille. Transistorin N6 emitteri on yhdistetty napaan QR ja sen hila on kytketty invertterimoduulin INV2 kautta ottonapaan E. Tämän pii-

rin anto muodostuu näin ollen transistorien P5 ja N6 kollektoreista.

Invertterimoduulit INV1 ja INV2 on rakennettu siten, että transistorit P5 ja N6 eivät koskaan johda samalla hetkellä. Siten niiden suurilla mitoilla ei ole vaikutusta kokonaishyötysuhteeseen, koska piirin kolmannessa haarassa ei esiinny mitään virtapiikkiä.

Laskettaessa ottosignaalia jännitetasosta V1 vertailutasoon VR, transistorit N2 ja P5 siirtyvät johtavasta tilasta sulkutilaan, kun taas transistorit N4 ja N6 siirtyvät estotilasta johtavaan tilaan. Jotta transistorit P5 ja N6 eivät olisi johtavia samaan aikaan, transistorin N6 tulee siirtyä johtavaan tilaan vain, kun transistori P5 ei enää ole johtavassa tilassa. Tämä tarkoittaa, että invertterimoduulin INV1 tulee olla nopeampi kuin invertterimoduulin INV2 ottosignaalin laskiessa. Päin vastoin ottosignaalin noustessa vertailutasosta VR jännitetasoon V1, transistorin P5 tulee siirtyä johtavaan tilaan vain, kun transistori N6 ei enää johda. Tämä tarkoittaa, että invertterimoduulin INV2 tulee olla nopeampi kuin invertterimoduuli INV1 ottosignaalin noustessa.

Tämän tekemiseksi kuvion 3 mukaisesti kukin invertterimoduuli on valmistettu CMOS-teknologialla kahden keskenään komplementaarisen transistorin P10 ja N11 avulla, joiden kollektorit on yhdistetty muodostamaan invertterimoduulin Y-annon, joiden hilat on yhdistetty invertterimoduulin X-ottoon, transistorin P10 emitterin ollessa yhdistetty napaan Q2 ja transistorin N11 emitterin ollessa yhdistetty napaan QR. Lisäksi kukin transistori on mitoitettu siten, että saavutetaan edellisessä kappaleessa esitetyt vasteajat.

Kuvio 4 on jännitteennostopiirin esimerkin, joka sisältää keksinnön mukaisen liitäntäpiirin, peruskaavio. Tämä piiri sisältää neljä katkaisinta IT1, IT2, IT3 ja IT4, kuin myös kaksi kondensaattoria C1 ja C2. Kondensaat-

torin C1 ensimmäinen napa on kytketty toisaalta solmuun B1 katkaisijan IT3 kautta ja toisaalta maahan katkaisijan IT2 kautta. Sen toinen napa Q3 on kytketty toisaalta solmuun B2 katkaisijan IT1 kautta ja toisaalta napaan Q2 katkaisijan IT4 kautta, joka on tuotettu P-kanava MOS-transistorin avulla. Transistorin IT4 hila on kytketty liitäntäpiirin antoon S siten kuin kuviossa 2 on esitetty, ja sen napa QR on yhdistetty maahan. Lopuksi napa Q2 on kytketty maahan kondensaattorin C2 kautta.

Tämä jännitteenostopiiri tekee mahdolliseksi esimerkiksi alkaen jännitteestä V1, joka on saatavilla solmuissa B1 ja B2, saada napaan Q2 jännite V2, joka on yhtä kuin 2 x V1. Tämän tekemiseksi kondensaattori C1 varataan ensin jännitteellä V1 sulkemalla katkaisijat IT1 ja IT2. Sitten toiseksi katkaisijat IT3 ja IT4 ovat ne jotka suljetaan, jotta vertailukondensaattorin C1 vertailukohtana olisi jännite V1, jotta kondensaattori C2 varautuisi jännitteeseen 2 x V1. Kun jännite V2 = 2 x V1 on saatavilla navassa Q3, transistorin IT4 tulee johtaa kondensaattorin C2 varaamiseksi. Sen hilan tulee siten vastaanottaa V2:n suhteen tasoltaan alhainen signaali. Tämä signaali syötetään siihen kuvion 2 liitäntäpiirin 2 toimesta, jonka ottoon jännitesignaali VR kohdistetaan. Päin vastaisessa tapauksessa katkaisijan IT4 sulkemiseksi jännitesignaali V2 viedään transistorin IT4 hilalle, tämän signaalin tullessa syötetyksi siihen liitäntäpiirin toimesta, johon tuodaan tasoltaan V1 oleva signaali.

Esimerkiksi mikropiirikortin lukijan liitäntäpiirien tapauksessa kondensaattorin C2 tulee kestää suurivirtaisia purkauksia. Katkaisijalle IT4 annetaan sen vuoksi suuret mitat ja sen hila/substraatti-kapasitanssi on isohko. Tämä tuo mukanaan sen, että kolmannen haaran kahdelle transistorille P5 ja N6 annetaan suuret mitat.

Käytännön esimerkissä sellaisen jännitteennostopiirin toteutuksesta mikropiirikortin lukijan liitäntäpiiril-

le, jossa ottosignaalin taajuus on yhtä kuin 2 MHz, käytetyt kanavan leveys/kanavan pituus -suhteet (L/P) ovat seuraavat:

- transistori P1 : L/P = 100/2
- transistori N2 : L/P = 100/2
- transistori P3 : L/P = 30/2
- transistori N4 : L/P = 20/2
- transistori P5 : L/P = 1500/2
- transistori N6 : L/P = 1000/2
- transistori IT4 : L/P = 10000/2
- invertteri INV1 -> transistori P10 : L/P = 30/2
  -> transistori N11 : L/P = 6/2
- invertteri INV2 -> transistori P10 : L/P = 30/2
  -> transistori N11 : L/P = 50/2

Näissä olosuhteissa kuviossa 2 esitetyn kaltainen liitäntäpiiri kuluttaa vain muutamia satoja mikroampeereja tilasiirtymän alueella, kun taas tekniikan tason mukainen liitäntäpiiri kulutti useita satoja milliampeereja. Siten on mahdollista kasvattaa kuviossa 4 kuvatun jännitteennostopiirin hyötysuhdetta arvosta 72 % arvoon 85 %

On sanomattakin selvää, että juuri kuvattuihin toteutuksiin voidaan ehdottaa muunnelmia, erityisesti laittamalla tilalle vastaavia teknisiä osia, ylittämättä siten kuitenkaan esillä olevan keksinnön piiriä.

Patenttivaatimukset

1. Liitäntäpiiri, joka syöttää antosignaalia perustuen sen ottoon (E) tuotuun signaaliin, joka vaihtelee vertailutason (VR), joka on saatavilla ensimmäisessä navassa (QR), ja ensimmäisen jännitetason (V1) välillä, joka antosignaali vaihtelee vertailutason (VR) ja toisen jännitetason (V2) välillä siten, että antosignaalin vaihtelu on suurempi tai yhtä suuri kuin ottosignaalin vaihtelu, toisen jännitetason (V2) ollessa saatavilla toisessa navassa (Q2), ja joka piiri käsittää:

ensimmäisen ja toisen haaran, jotka kumpikin sisältävät ensimmäisen (P1, P3) ja toisen (N2, N4) keskenään komplementaarisen transistorin, ja joilla kullakin transistorilla on ensimmäinen ja toinen pääelektrodi ja ohjauselektrodi, samalla kun reitit ensimmäisen pääelektrodin ja toisen pääelektrodin välillä ja toisen pääelektrodin ja ensimmäisen pääelektrodin välillä on yhdistetty sarjaan mainittujen napojen (Q2, QR) välille, ensimmäisen ja toisen haaran ensimmäisten transistorien (P1, P3) ohjauselektrodien ollessa kytketty toisen ja ensimmäisen haaran ensimmäisten transistorien (P3, P1) toisiin pääelektrodeihin, vastaavasti,

ensimmäisen invertterimoduulin (INV1), jonka otto on suoraan yhdistetty liitäntäpiirin ottoon (E) kuin myös ensimmäisen haaran toisen transistorin (N2) ohjauselektrodiin, ja jonka anto on yhdistetty toisen haaran toisen transistorin (N4) ohjauselektrodiin, ja

kolmannen haaran, joka sisältää ensimmäisen (P5) ja toisen (N6) keskenään komplementaarisen transistorin, ja jossa reitit ensimmäisen pääelektrodin ja toisen pääelektrodin välillä, ja toisen pääelektrodin ja ensimmäisen pääelektrodin välillä on yhdistetty sarjaan mainittujen napojen (Q2, QR) välille, tämän kolmannen haaran ensimmäisen transistorin (P5) toisen pääelektrodin muodostaessa liitäntäpiirin annon (S), samalla kun sen ohjauselektrodi on yhdistetty toisen haaran ensimmäisen transistorin

(P3) ohjauselektrodiin, t u n n e t t u siitä, että kolmannen haaran ensimmäinen (P5) ja toinen (N6) transistori ovat suuria toisen haaran transistoreihin (P3, N4) verrattuna, ja siitä, että se sisältää toisen invertterimoduulin (INV2), jonka otto on yhdistetty liitäntäpiirin ottoon (E) ja jonka anto on yhdistetty mainitun kolmannen haaran toisen transistorin (N6) ohjauselektrodiin, ensimmäisen ja toisen invertterimoduulin (INV1, INV2) vasteaikojen ollessa valittu siten, että kolmannen haaran ensimmäinen ja toinen transistori (P5, N6) eivät ole koskaan aktiivisia samanaikaisesti.

2. Patenttivaatimuksen 1 mukainen liitäntäpiiri, t u n n e t t u siitä, että sen transistorit (P1, P3, P5, N2, N4, N6) ovat MOS-kanavatransistoreita.

3. Patenttivaatimuksen 1 tai 2 mukainen liitäntäpiiri, t u n n e t t u siitä, että kukin invertterimoduuli (INV1, INV2) sisältää kaksi keskenään komplementaarista transistoria, jotka on mitoitettu siten, että ensimmäisen invertterimoduulin (INV1) vaste on toisaalta nopeampi kuin toisen invertterimoduulin (INV2) vaste, kun liitäntäpiirin otossa (E) saatavilla oleva signaali kulkee ensimmäisestä jännitetasosta (V1) vertailutasoon (VR), ja toisaalta hitaampi, kun tämä sama signaali kulkee vertailutasosta (VR) ensimmäiseen jännitetasoon (V1).

4. Jännitteennostopiiri, t u n n e t t u siitä, että se sisältää ainakin yhden liitäntäpiirin, joka on jonkin patenttivaatimuksista 1 - 3 mukainen.

5. Patenttivaatimuksen 4 mukainen jännitteennostopiiri, t u n n e t t u siitä, että se sisältää liitäntäpiirin transistorin (IT4) ohjauselektrodin ohjaamiseksi, joka transistori on polariteetiltaan sama kuin mainitut ensimmäiset transistorit ja joka muodostaa katkaisijan, tämän transistorin (IT4) ensimmäisen ja toisen pääelektrodin ollessa yhdistetty kolmanteen napaan (Q3), joka syöttää ensimmäisen ja toisen jännitetason (V1, V2) välillä vaihtelevaa signaalia, ja toiseen napaan (Q2), vastaavasti.

Patentkrav

1. Anslutningskrets, som matar en utsignal på basis av en signal, som hämtats till dess ingång (E) och som varierar mellan en referensnivå (VR), som är tillgänglig vid en första pol (QR), och en första spänningsnivå (V1), vilken utsignal varierar mellan referensnivån (VR) och en andra spänningsnivå (V2), så att utsignalens variation är större än eller lika stor som insignalens variation, varvid den andra spänningsnivån (V2) är tillgänglig vid en andra pol (Q2), och vilken krets omfattar:

en första och en andra förgrening, vilka vardera innehåller en första (P1, P3) och en andra (N2, N4) sinsemellan komplementär transistor, och varvid vardera transistorn har en första och en andra huvudelektrod och en styrelektrod, samtidigt som rutterna mellan den första huvudelektroden och den andra huvudelektroden och mellan den andra huvudelektroden och den första huvudelektroden är kopplade i serie mellan nämnda poler (Q2, QR), varvid de första transistorernas (P1, P3) styrelektroder i den första och andra förgreningen är kopplade till de första transistorernas (P3, P1) andra huvudelektroder i den andra och första förgreningen, på motsvarande sätt,

en första invertermodul (INV1), vars ingång är direkt kopplad till anslutningskretsens ingång (E) liksom också till den andra transistorns (N2) styrelektrod i den första förgreningen, och vars utgång är kopplad till den andra transistorns (N4) styrelektrod i den andra förgreningen, och

en tredje förgrening, som innehåller en första (P5) och en andra (N6) sinsemellan komplementär transistor, och vari rutterna mellan den första huvudelektroden och den andra huvudelektroden och mellan den andra huvudelektroden och den första huvudelektroden är kopplade i serie mellan nämnda poler (Q2, QR), varvid den första transistorns (P5) andra huvudelektrod i denna tredje förgrening bildar anslutningskretsens utgång (S), samtidigt

som dess styrelektrod är kopplad till den första transistorns (P3) styrelektrod i den andra förgreningen, kännetecknad av att den första (P5) och andra (N6) transistorn i den tredje förgreningen är stora jämfört med transistorerna (P3, N4) i den andra förgreningen, och av att den innehåller en andra invertermodul (INV2), vars ingång är kopplad till anslutningskretsens ingång (E) och vars utgång är kopplad till den andra transistorns (N6) styrelektrod i nämnda tredje förgrening, varvid den första och den andra invertermodulens (INV1, INV2) svarstider har valts så att den första och den andra transistorn (P5, N6) i den tredje förgreningen aldrig är aktiva samtidigt.

2. Anslutningskrets enligt patentkrav 1, kännetecknad av att dess transistorer (P1, P3, P5, N2, N4, N6) är MOS-fälteffekttransistorer.

3. Anslutningskrets enligt patentkrav 1 eller 2, kännetecknad av att vardera invertermodulen (INV1, INV2) innehåller två sinsemellan komplementära transistorer, vilka är dimensionerade så att den första invertermodulens (INV1) svar är å ena sidan snabbare än den andra invertermodulens (INV2) svar, när signalen som är tillgänglig vid anslutningskretsens ingång (E) går från den första spänningsnivån (V1) till referensnivån (VR), och å andra sidan långsammare, när denna samma signal går från referensnivån (VR) till den första spänningsnivån (V1).

4. Spänningshöjningskrets, kännetecknad av att den innehåller åtminstone en anslutningskrets enligt något av patentkraven 1 - 3.

5. Spänningshöjningskrets enligt patentkrav 4, kännetecknad av att den innehåller en anslutningskrets för styrning av styrelektroden i en transistor (IT4) med samma polaritet som nämnda första transistorer och som bildar en avbrytare, varvid den första och den andra huvudelektroden i denna transistor (IT4) är kopplad till en tredje pol (Q3), som matar en signal som varierar mellan den första och den andra spänningsnivån (V1, V2) och till den andra polen (Q2) på motsvarande sätt.

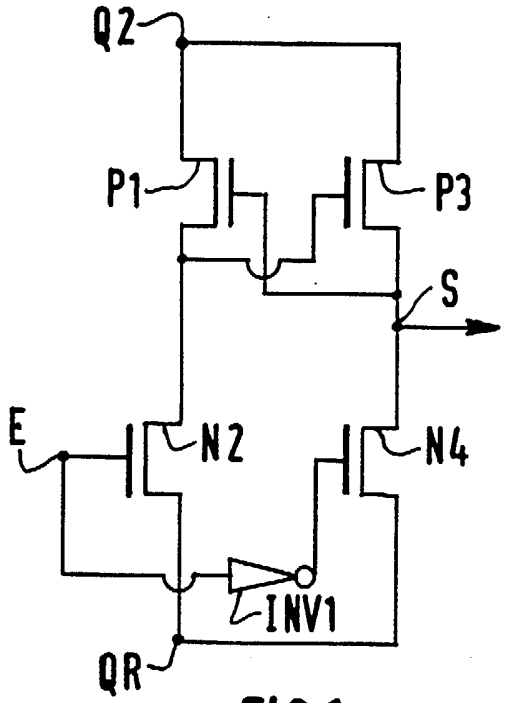


FIG.1

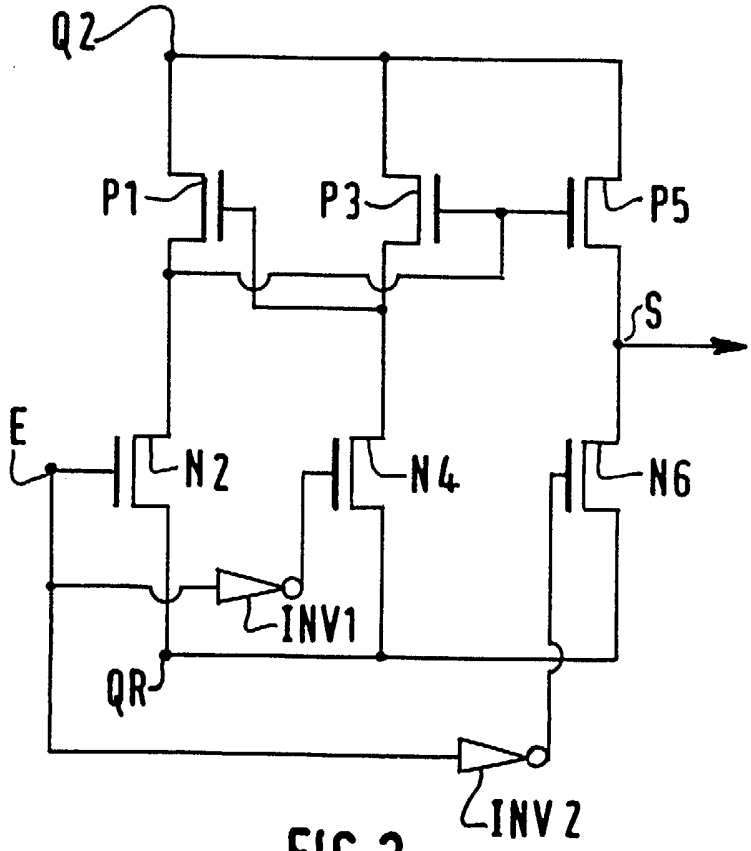


FIG.2

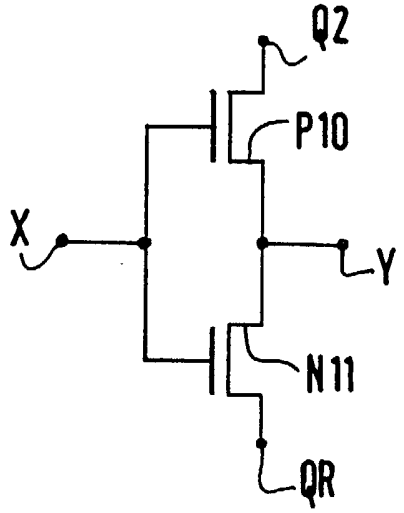


FIG.3

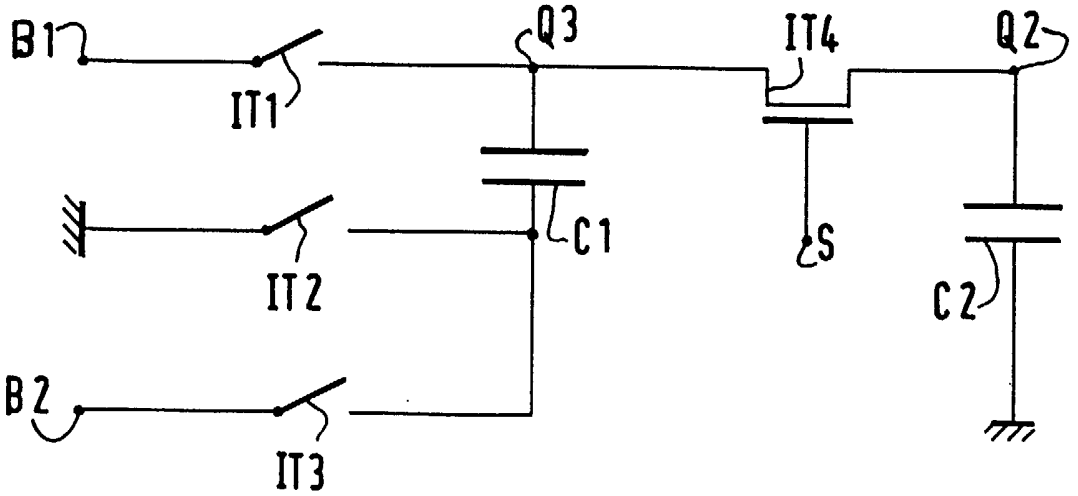


FIG.4