



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 699 36 090 T2** 2008.02.14

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 014 450 B1**

(21) Deutsches Aktenzeichen: **699 36 090.0**

(96) Europäisches Aktenzeichen: **99 106 012.0**

(96) Europäischer Anmeldetag: **25.03.1999**

(97) Erstveröffentlichung durch das EPA: **28.06.2000**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **16.05.2007**

(47) Veröffentlichungstag im Patentblatt: **14.02.2008**

(51) Int Cl.⁸: **H01L 29/78 (2006.01)**
H01L 21/336 (2006.01)

(30) Unionspriorität:

200197 25.11.1998 US

(73) Patentinhaber:

Siliconix Inc., Santa Clara, Calif., US

(74) Vertreter:

derzeit kein Vertreter bestellt

(84) Benannte Vertragsstaaten:

DE, FR, GB, IT, NL

(72) Erfinder:

Darwish, Mohamed, Campbell, CA 95008, US

(54) Bezeichnung: **Graben-MOSFET mit verbesserten Durchbruchspannung- und Anschaltwiderstand-Charakteristiken und Verfahren zur Herstellung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung**GEBIET DER ERFINDUNG**

[0001] Die vorliegende Erfindung betrifft Leistungs-MOSFETs und im Besonderen einen Graben-Gate-Leistungs-MOSFET mit verbesserten Einschaltwiderstands- und Durchbrucheigenschaften. Die vorliegende Erfindung betrifft ferner ein Verfahren zur Herstellung eines derartigen MOSFET.

STAND DER TECHNIK

[0002] Die Abbildung aus [Fig. 1](#) zeigt einen herkömmlichen Graben-Gate-Leistungs-MOSFET **10** in einer Querschnittsansicht. Der MOSFET **10** wird aus einem N⁺ Halbleitersubstrat **11** gebildet, auf dem eine N-Epitaxialschicht **12** gewachsen wird. Ein Gate **13** ist in einem Graben **14** ausgebildet, der sich von der oberen Oberfläche der N-Epitaxialschicht (N-epi) **12** nach unten erstreckt. Das Gate besteht für gewöhnlich aus polykristallinem Silizium (Polysilizium) und ist von der N-Epitaxialschicht **12** durch eine Oxidschicht **15** elektrisch isoliert. Die an das Gate **13** angelegte Spannung steuert den zwischen einer N⁺ Source (Quelle) und einer Drain **18** fließenden Strom durch einen Kanal, der angrenzend an die Wand des Grabens **14** in einem P-Body (P-Körper) **17** angeordnet ist. Die Drain **18** weist die N-Epitaxialschicht **12** und das N⁺ Substrat **11** auf. Eine Metallkontaktschicht **19** stellt über einen P⁺ Body-Kontaktbereich **20** einen elektrischen Kontakt mit der N⁺ Source **16** und dem P-Body **17** her. Eine ähnliche Metallkontaktschicht (nicht abgebildet) stellt eine elektrische Verbindung mit der Unterseite der Drain **18** bereit.

[0003] Im Idealfall arbeitet der MOSFET als ein perfekter Schalter, der im ausgeschalteten Zustand einen unendlichen Widerstand aufweist und einen Widerstand von Null im eingeschalteten Zustand. In der Praxis kann dieses Ziel nicht erreicht werden, wobei zwei wichtige Eigenschaften für die Effizienz des MOSFET jedoch dessen Einschaltwiderstand und die Lawinendurchschlagsspannung (nachstehend „Durchschlagsspannung“) sind. Ein weiteres wichtiges Kriterium ist es, wo der Durchschlag bzw. Durchbruch auftritt. Da die Drain normalerweise unter positiver Vorspannung bzw. Vorbelastung in Bezug auf die Source steht, weist der Übergang eine umgekehrte Vorspannung auf, und wobei der Lawinendurchschlag normalerweise an der Ecke des Grabens auftritt, wo das elektrische Feld maximal ist. Der Durchschlag bzw. Durchbruch erzeugt heiße Träger, welche die Gate-Oxidschicht **15** beschädigen oder zu Rissbildungen in dieser führen können. Somit ist ein Design der Vorrichtung wünschenswert, so dass der Durchbruch in dem Blocksilizium auftritt, entfernt von dem Graben **14**.

[0004] Ein weiteres wichtiges Merkmal eines MOS-

FET ist dessen Schwellenspannung, wobei es sich dabei um die Spannung handelt, die an das Gate angelegt werden muss, um eine Inversions- bzw. Umkehrschicht in dem Kanal zu erzeugen und dadurch die Vorrichtung einzuschalten. In vielen Fällen ist eine niedrige Schwellenspannung wünschenswert, und wobei dies voraussetzt, dass der Kanalbereich leicht dotiert ist. Eine leichte Dotierung des Kanals erhöht jedoch die Gefahr für einen Durchgriffdurchschlag, der auftritt, wenn sich die Verarmungsschicht um den Übergang **21** ausdehnt, so dass sie vollständig über den Kanal zu der Source reicht. Die Verarmungsschicht erweitert sich schneller, wenn der Körper- bzw. Body-Bereich leichter dotiert ist.

[0005] Eine Technik zur Reduzierung der Stärke des elektrischen Felds in den Ecken des Grabens und zur Förderung des Durchschlags in dem Blocksilizium entfernt von dem Graben wird in dem U.S. Patent US-A-5.072.266 an Bulucea et al. (das „Bulucea-Patent“) gelehrt. Diese Technik ist in der Abbildung aus [Fig. 2](#) veranschaulicht, die einen MOSFET **25** zeigt, der dem MOSFET **10** aus [Fig. 1](#) ähnlich ist, mit der Ausnahme, dass sich eine tiefe P⁺ Diffusion **27** von dem P-Body **17** nach unten auf ein Niveau unterhalb des Bodens des Grabens erstreckt. Die tiefe P⁺ Diffusion **27** weist den Effekt der Formung des elektrischen Felds in einer Art und Weise auf, so dass die Stärke des Felds in der Ecke **29** des Grabens reduziert wird.

[0006] Während die Technik aus dem Bulucea-Patent die Durchschlageleistung des MOSFET verbessert, legt sie einen unteren Grenzwert in Bezug auf den Zellenabstand fest, dargestellt als „d“ in [Fig. 2](#), da für den Fall, dass der Zellenabstand zu stark reduziert wird, Dotierstoff aus der tiefen P⁺ Diffusion in den Kanalbereich des MOSFET gelangt und dessen Schwellenspannung erhöht. Die Reduzierung des Zellenabstands erhöht den Perimeter insgesamt der Zellen des MOSFET und senkt dadurch den Einschaltwiderstand des MOSFET. Der Nettoeffekt des Einsatzes der Technik des Bulucea-Patents zur Verbesserung der Durchschlageigenschaften des MOSFET ist es, dass es schwieriger wird, den Einschaltwiderstand des MOSFET zu reduzieren. JP 06 021468 offenbart ferner eine Halbleitervorrichtung mit isoliertem Gate.

[0007] Zusammengefasst erfordert es das Design eines Leistungs-MOSFET, dass ein Kompromiss zwischen den Schwellen- und Durchschlagsspannungen und zwischen den Einschaltwiderstands- und Durchschlageigenschaften der Vorrichtung erreicht werden kann. Somit besteht eindeutig Bedarf für eine MOSFET-Struktur, die diese Kompromisse überflüssig macht oder so gering wie möglich hält, ohne den Fertigungsprozess durch unangemessene Komplexität zu ergänzen.

ZUSAMMENFASSUNG DER ERFINDUNG

[0008] Ein Leistungs-MOSFET gemäß der vorliegenden Erfindung ist in dem gegenständlichen Anspruch 1 definiert. Besondere Ausführungsbeispiele sind in den Unteransprüchen 2 bis 5 definiert.

[0009] Ein Verfahren zur Herstellung eines Leistungs-MOSFET gemäß der vorliegenden Erfindung ist in dem gegenständlichen Anspruch 6 definiert. Besondere Ausführungsbeispiele sind in den Unteransprüchen 7 und 8 definiert.

[0010] Ein MOSFET gemäß der vorliegenden Erfindung weist verschiedene Vorteile auf, darunter die nachstehend aufgeführten Vorteile. Da der Drain-Anschluss lateral von einem Abschnitt der Epitaxialschicht eines zweiten Leitfähigkeitstyps umgeben ist, erfolgt eine effektivere Verarmung und es kann mehr Dotierstoff eines ersten Leitfähigkeitstyps in den Drain-Anschluss bzw. Drain-Bereich eingeführt werden, wodurch sich der Einschaltwiderstand des MOSFET erhöht. Da das Profil des Dotierstoffs in dem Kanalbereich im Wesentlichen flach ist, kann der MOSFET weniger anfällig in Bezug auf Durchbruchdurchschlag gemacht werden, ohne dessen Schwellenspannung zu erhöhen. Da sich Abschnitte der Epitaxialschicht des zweiten Leitfähigkeitstyps mit Ausnahme von den Bereichen des Drain-Anschlusses zu dem Substrat erstrecken, ist es nicht erforderlich, eine zusätzliche Schicht vom zweiten Leitfähigkeitstyp für den Abschluss der Vorrichtung zu bilden. Die separate Maskierung für die tiefe Diffusion aus dem Bulucea-Patent und der Abschlussbereich können eliminiert werden. Das Eliminieren der tiefen Körperdiffusion aus dem Bulucea-Patent ermöglicht eine größere Zelldichte und einen reduzierten Einschaltwiderstand.

[0011] Ein Leistungs-MOSFET gemäß der vorliegenden Erfindung kann in jeder Art von Zellengeometrie hergestellt werden, wozu unter anderem geschlossene Zellen mit einer hexagonalen oder rechteckigen Form oder Zellen in Form von Längsstreifen zählen.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0012] Es zeigen:

[0013] [Fig. 1](#) eine Querschnittsansicht eines herkömmlichen Graben-Gate-MOSFET;

[0014] [Fig. 2](#) eine Querschnittsansicht eines Graben-Gate-MOSFET mit einer tiefen Diffusion, um die Gate-Oxidschicht zu schützen, wie dies in dem Bulucea-Patent gelehrt wird;

[0015] [Fig. 3](#) eine Querschnittsansicht eines Graben-MOSFET gemäß der vorliegenden Erfindung;

[0016] [Fig. 4](#) eine Querschnittsansicht eines Graben-MOSFET mit einem Schwellenwertanpassungs-Implantat;

[0017] die [Fig. 5A–Fig. 5L](#) Querschnittsansichten eines Verfahrens zum Herstellen der MOSFETs aus den Abbildungen der [Fig. 3](#) und [Fig. 4](#);

[0018] [Fig. 6](#) eine Querschnittsansicht eines Graben-MOSFET, der in einer gestuften Epitaxialschicht ausgebildet ist;

[0019] [Fig. 7](#) eine Querschnittsansicht eines Graben-MOSFET, wobei sich der Graben in das stark dotierte Substrat erstreckt;

[0020] die [Fig. 8A](#) und [Fig. 8B](#) Graphen, die unter Verwendung des Computersimulationsprogramms SUPREME erstellt worden sind, wobei die Dotierstoffkonzentrationen in dem MOSFET aus [Fig. 3](#) in vertikalen Querschnitten durch den Kanalbereich bzw. den Boden des Grabens dargestellt sind;

[0021] die [Fig. 9A](#) und [Fig. 9B](#) Graphen, die unter Verwendung des Computersimulationsprogramms MEDICI erstellt worden sind, wobei die Dotierstoffkonzentrationen in dem MOSFET aus [Fig. 3](#) in vertikalen Querschnitten durch den Kanalbereich bzw. den Boden des Grabens dargestellt sind;

[0022] [Fig. 10](#) die Verarmungsbereiche in dem MOSFET aus [Fig. 3](#) unter Bedingungen der Umkehrspannung;

[0023] die [Fig. 11A](#) und [Fig. 11B](#) entsprechende Querschnittsansichten des Abschlussbereichs eines MOSFET gemäß der vorliegenden Erfindung und eines herkömmlichen MOSFET;

[0024] die [Fig. 12A](#) und [Fig. 12B](#) Dotierungsprofilgraphen, welche entsprechend ein Schwellenwertanpassungsimplantat und ein Körperimplantat veranschaulichen;

[0025] [Fig. 13A](#) einen Graphen des Dotierungsprofils in einem vertikalen Querschnitt durch den Kanal eines herkömmlichen MOSFET mit einem diffundierten P-Body in einem N-Epi-Bereich; und

[0026] [Fig. 13B](#) einen Graphen des Dotierungsprofils in einem vertikalen Querschnitt durch den Kanal eines MOSFET gemäß der vorliegenden Erfindung, mit einer P-Epi-Schicht und einem N-Drain-Bereich.

[0027] Die Abbildungen der [Fig. 4](#), [Fig. 5J–Fig. 5L](#), [Fig. 6](#), [Fig. 7](#), [Fig. 12A](#) und [Fig. 12B](#) bilden keinen Bestandteil der Erfindung.

BESCHREIBUNG DER ERFINDUNG

[0028] Die Abbildung aus [Fig. 3](#) zeigt eine Querschnittsansicht eines Leistungs-MOSFET gemäß der vorliegenden Erfindung. Der MOSFET **30** ist in einem N+ Substrat **32** ausgebildet, überlagert von einer Epitaxialschicht **34**, allgemein dotiert mit einer P-Typ-Unreinheit (nachstehend als P-Epitaxialschicht **34** bezeichnet). Das N+ Substrat **32** kann einen spezifischen Widerstand von zum Beispiel 5×10^{-4} Ohm/cm bis 5×10^{-3} Ohm/cm aufweisen, und die P-Epitaxialschicht **34** kann mit Bor bis auf eine Konzentration von 1×10^{15} cm⁻³ bis 5×10^{17} cm⁻³ dotiert werden. Das N+ Substrat **32** ist für gewöhnlich etwa 200 Mikron dick, und die Epitaxialschicht **34** kann eine Dicke zwischen 2 Mikron und 5 Mikron aufweisen.

[0029] Ein Graben **35** wird in der P-Epitaxialschicht **34** ausgebildet, und der Graben **35** weist ein Polysilizium-Gate **37** auf. Das Gate **37** ist von der P-Epitaxialschicht **34** durch eine Oxidschicht **39** elektrisch isoliert, wobei sich die P-Epitaxialschicht entlang den Seitenwänden und dem Boden des Grabens **35** erstreckt. Der MOSFET **30** weist ferner einen N+ Source-Anschluss **36** auf, der angrenzend an die obere Oberfläche der P-Epitaxialschicht **34** und eine Seitenwand des Grabens **35** angeordnet ist, und einen P+ Körperkontaktbereich. Der verbleibende Abschnitt der P-Epitaxialschicht **34** bildet eine P-Typ-Basis oder einen Body bzw. Körper **34A**. Der Body **34A** bildet einen Übergang mit dem N+ Substrat **32**, der im Wesentlichen mit der Grenzfläche zwischen der P-Epitaxialschicht **34** und dem N+ Substrat **32** zusammenfällt. Eine Metallschicht **31** stellt elektrischen Kontakt mit dem N+ Source-Anschluss und mit dem P-Body **34A** über den P+ Body-Kontaktbereich **38** her.

[0030] Ferner erstreckt sich gemäß der vorliegenden Erfindung ein N Drain-Anschluss **33** zwischen dem N+ Substrat **32** und dem Boden des Grabens **35**. Ein Übergang **33A** zwischen dem N Drain-Anschluss **33** und dem P-Body **34A** erstreckt sich zwischen dem N+ Substrat **32** und einer Seitenwand des Grabens **35**. Der N Drain-Anschluss kann dotiert werden, wie zum Beispiel mit Phosphor, bis auf eine Konzentration zwischen 5×10^{15} cm⁻³ bis 5×10^{17} cm⁻³.

[0031] Die Abbildung aus [Fig. 8A](#) zeigt einen Graphen der Dotierstoffkonzentration in dem MOSFET **30**. Der Graph wurde durch das Computersimulationsprogramm SUPREME erstellt und zeigt einen vertikalen Schnitt durch den Kanalbereich. Die angezeigten Kurven zeigen die Dotierstoffkonzentrationen von Arsen und Bor, und die dritte Kurve zeigt die reine bzw. netto Dotierstoffkonzentration. Die Abbildung aus [Fig. 8B](#) zeigt einen ähnlichen Graphen in einem vertikalen Aufriss, welcher den Boden des Grabens schneidet. Die horizontale Achse in beiden Graphen

ist der Abstand in Mikron unterhalb der Oberfläche der P-Epitaxialschicht; wobei die vertikale Achse Logarithmus₁₀ der Dotierstoffkonzentration in Atomen/cm⁻³ darstellt. Hiermit wird festgestellt, dass in der Abbildung aus [Fig. 8A](#) die Borkonzentration, welche den Hintergrunddotierstoff im Wesentlichen in der P-Epitaxialschicht **34** darstellt, flach ist und den Kanalbereich dominiert. Die Dotierstoffkonzentration von Arsen nimmt mit weiterem Fortschreiten von dem Kanalbereich in die Source oder Drain zu.

[0032] Die Abbildungen der [Fig. 9A](#) und [Fig. 9B](#) zeigen Graphen der Dotierstoffkonzentration an den entsprechend gleichen Abschnitten wie in den Abbildungen der [Fig. 8A](#) und [Fig. 8B](#). Die Abbildungen der [Fig. 9A](#) und [Fig. 9B](#) wurden jedoch mit dem Computersimulationsprogramm MEDICI erstellt und zeigen nur die Netto-Dotierstoffkonzentration, unabhängig ob Typ N- oder P-.

[0033] Die Simulationen mit SUPREME und MEDICI unterscheiden sich darin, dass SUPREME nur die Dotierstoffkonzentrationen in einem einzigen vertikalen Querschnitt berücksichtigt, ohne den Effekt der Dotierstoffe auf lateral versetzte Positionen zu berücksichtigen, während MEDICI alle Dotierstoffe in der zweidimensionalen Ebene der Zeichnung berücksichtigt.

[0034] Nachfolgend sind Vorteile des MOSFET **30** ausgeführt:

1. Der Lawinendurchbruch tritt allgemein an der Grenzfläche zwischen dem N+ Substrat **32** und der P-Epi bzw. P-Epitaxialschicht **34** auf, entfernt von dem Graben (z.B. an der in der Abbildung aus [Fig. 3](#) mit **45** bezeichneten Stelle). Dies verhindert eine Beschädigung der Gate-Oxidschicht durch die in dem Bereich des Durchbruchs erzeugten heißen Träger.
2. Das Gate-Oxid in den Ecken des Grabens, wo das elektrische Feld den höchsten Wert erreicht, ist vor Zerreißen bzw. Rissbildung geschützt.
3. Ein höherer Durchschlagdurchbruch kann für eine bestimmte Schwellenspannung erreicht werden. Der Übergang zwischen dem N Drain-Anschluss und dem P-Body erstreckt sich nach unten zu N+ Substrat. Wenn der MOSFET gemäß der Abbildung aus [Fig. 10](#) umgekehrt vorgespannt ist, erstrecken sich die Verarmungsbereiche entlang des ganzen Übergangs, und als Folge dessen dehnt sich der Verarmungsbereich in dem Bereich des Kanals nicht so schnell in Richtung des Source-Bereichs aus (siehe Pfeile). Dies ist der Zustand, der den Durchschlagdurchbruch verursacht.
4. Eine höhere Durchschlagspannung kann für eine bestimmte Schwellenwertspannung erreicht werden. Wie dies in der Abbildung aus [Fig. 13A](#) dargestellt ist, fällt in einem herkömmlichen MOSFET mit diffundiertem Body bzw. Körper die Do-

tierstoffkonzentration allmählich bzw. stetig ab, je mehr man sich dem N-Epi (Drift-Bereich) nähert. Die Schwellenspannung wird durch die Spitzen-Dotierstoffkonzentration $N_{A\ peak}$ bestimmt. Die Durchschlag- bzw. Durchbruchspannung wird durch den Gesamtwert der Ladung $Q_{channel}$ in dem Kanalbereich bestimmt (dargestellt durch den Bereich unter der Kurve P-Body aus [Fig. 13A](#)). In einem MOSFET gemäß der vorliegenden Erfindung, für den ein Dotierstoffprofil in der Abbildung aus [Fig. 13B](#) dargestellt ist, ist das Dotierstoffprofil der P-Epitaxialschicht im Wesentlichen flach. Somit kann $N_{A\ peak}$ identisch sein, während die Ladung insgesamt in dem Kanal höher ist, was eine höhere Durchschlagspannung bereitstellt.

5. Da nicht in jeder Zelle eine tiefe Körper- bzw. Body-Diffusion gegeben ist (der in dem Bulucea-Patent gelehrt ist), kann der Zellenabstand reduziert werden, ohne dass dies Anlass zu der Sorge gibt, dass zusätzlicher P-Dotierstoff in den Kanalbereich gelangt, was die Schwellenspannung des MOSFET erhöht. Somit erhöht sich die Zellenpackdichte. Dies reduziert den Einschaltwiderstand der Vorrichtung.

6. In einem herkömmlichen Graben-MOSFET wird häufig ein leicht dotierter „Drift-Bereich“ zwischen dem Kanal und dem stark dotierten Substrat gebildet. Die Dotierstoffkonzentration in dem Drift-Bereich muss unter einem bestimmten Wert gehalten werden, da ansonsten keine effektive Verarmung erreicht wird und die Stärke des elektrischen Felds in der Ecke des Grabens zu hoch wird. Wenn die Dotierstoffkonzentration in dem Drift-Bereich niedrig gehalten wird, so erhöht dies den Einschaltwiderstand der Vorrichtung. Im Gegensatz dazu kann der N Drain-Anschluss **33** gemäß der vorliegenden Erfindung stärker dotiert werden, da die Form des N Drain-Anschlusses **33** und die Länge des Übergangs zwischen dem N Drain-Anschluss **33** und dem P-Body **34A** eine effektivere Verarmung bereitstellen. Ein stärker dotierter N Drain-Anschluss **33** reduziert den Einschaltwiderstand der Vorrichtung.

7. Wie dies in der Abbildung aus [Fig. 11A](#) dargestellt ist, ist keine separate P-Diffusion in dem Abschlussbereich des MOSFET erforderlich, da sich die P-Epitaxialschicht zu dem N+ Substrat erstreckt, mit Ausnahme der Stellen, an denen sich die N Drain-Anschlüsse befinden. Die Abbildung aus [Fig. 11B](#) zeigt den Abschlussbereich eines herkömmlichen MOSFET, der eine P-Diffusion **110** aufweist. Die Eliminierung der P-Abschlussdiffusion oder des Feldrings reduziert die Anzahl der Maskierungsschritte. Für das in den Abbildungen der [Fig. 5A](#) bis [Fig. 5L](#) dargestellte Verfahren sind zum Beispiel nur fünf Maskierungsschritte erforderlich.

[0035] Der in der Abbildung aus [Fig. 4](#) dargestellte MOSFET **40** entspricht dem MOSFET **30**, mit der

Ausnahme, dass der MOSFET **40** ein Schwellenspannungsanpassungsimplantat **42** aufweist. Zur Veranschaulichung würde ein derartiges Implantat die Schwellenspannung des MOSFET **40** von 0,6 V auf 1,0 V erhöhen.

[0036] Die Abbildungen der [Fig. 5A–Fig. 5L](#) veranschaulichen die Schritte zum Bilden der MOSFETs **30** und **40**.

[0037] Das Verfahren beginnt mit dem N+ Substrat **32** ([Fig. 5A](#)), auf dem die P-Epitaxialschicht **34** durch ein allgemein bekanntes Verfahren gewachsen wird ([Fig. 5B](#)). Eine dünne Oxidschicht **51** wird danach auf der Oberfläche der P-Epitaxialschicht **34** gewachsen, und zwar durch Erwärmung in Dampf bei 1.150 °C über etwa 50 Minuten ([Fig. 5C](#)). Die Oxidschicht **51** wird maskiert und aus dem aktiven Bereich der Vorrichtung entfernt (d.h. aus dem Bereich, wo die aktiven MOSFET-Zellen angeordnet sein sollen), und sie verbleibt in den Abschluss- und Gate-Anschlussbereichen.

[0038] Eine Fotoresistmaske **52** wird danach auf der Oberfläche der P-Epitaxialschicht **34** gebildet, und der Graben **35** wird durch ein reaktives Ionenätzverfahren (RIE) gebildet. Das Verfahren wird beendet, bevor der Boden des Grabens das N+ Substrat **32** ([Fig. 5E](#)) erreicht.

[0039] Die Fotoresistmaske **52** wird an der Verwendungsposition gehalten, während Phosphor durch den Boden des Grabens **35** mit einer Dosis von $1 \times 10^{13} \text{ cm}^{-2}$ bis $1 \times 10^{14} \text{ cm}^{-2}$ und mit einer Energie von 300 keV bis 3,0 MeV implantiert wird, um den N Drain-Anschluss **33** zu erzeugen ([Fig. 5F](#)). Zur Vermeidung signifikanter Diffusion des Phosphors und der folgenden Ausdehnung des N Drain-Anschlusses **33**, ist der thermische Bereich, dem die Struktur danach ausgesetzt wird, auf das Äquivalent von etwa 950 °C über 60 Minuten begrenzt, oder die Struktur kann einem schnellen thermischen Ausglühen (RTA) bei 950 °C über 90 Sekunden ausgesetzt werden. In beiden Fällen behält der N Drain-Anschluss **33** im Wesentlichen die kompakte Form aus [Fig. 5F](#) bei. In vorteilhafter Weise sind in der Querschnittsansicht aus [Fig. 5F](#) mindestens 75% und vorzugsweise 90% des N Drain-Anschlusses **33** direkt unterhalb des Grabens **35** vorgesehen.

[0040] Alternativ kann der N Drain-Anschluss **33** durch Implantieren des Phosphor mit einer niedrigen Energie von 30 keV bis 300 keV (für gewöhnlich 150 keV) gebildet werden, und mit einer Diffusion des Phosphor durch Erwärmung bei 1050 °C bis 1150 °C über 10 Minuten bis 120 Minuten (für gewöhnlich 1100 °C über 90 Minuten), so dass sich der N Drain-Anschluss lateral auf eine Form ausdehnt, wie dies in [Fig. 5G](#) dargestellt ist.

[0041] Der Einsatz des Hochenergieverfahrens führt zu einem N Drain-Anschluss bzw. N Drain-Bereich, der größtenteils auf den Bereich unterhalb des Grabens begrenzt ist und einen kleineren Zellausschnitt ermöglicht. Ferner ist dies leichter zu kontrollieren und sieht einen höheren Durchsatz vor.

[0042] Am Ende des Verfahrens, ob hohe Energie oder niedrige Energie, erstreckt sich der N Drain-Anschluss **33** von dem N+ Substrat **32** zu dem Boden des Grabens **35**, und der Übergang **33A** zwischen dem Drain-Anschluss **33** und dem P-Body **34A** erstreckt sich von dem N+ Substrat **32** zu einer Seitenwand des Grabens **35**. Wenn das Niederenergieverfahren eingesetzt wird, behält der Übergang **33A** die Form eines Bogens, der in Richtung des Drain-Anschlusses **33** konkav ist ([Fig. 5G](#)).

[0043] Danach wird die Gate-Oxidschicht **39** auf die Oberfläche der P-Epitaxialschicht **34** und auf den Boden und die Seitenwände des Grabens **35** gewachsen, für gewöhnlich mit einer Dicke von etwa 500 Å. Danach wird eine Polysiliziumschicht **53** über die Gate-Oxidschicht **39** abgeschieden, wobei der Graben **35** gefüllt wird ([Fig. 5H](#)). In einem N-Kanal wird die MOSFET-Polysiliziumschicht **53** für gewöhnlich mit Phosphor bis auf eine Konzentration von $5 \times 10^{19} \text{ cm}^{-3}$ dotiert.

[0044] Die Polysiliziumschicht **53** wird zurückgeätzt, so dass ihre obere Oberfläche coplanar ist mit der Oberfläche der P-Epitaxialschicht **34**. Eine Oxidschicht **54** wird auf der Oberseite des Gate durch thermische Oxidation oder Abscheidung gebildet ([Fig. 5I](#)).

[0045] Folgende Ausführungen, bis zu dem und einschließlich des vorletzten Absatzes der vorliegenden Beschreibung, bilden keinen Teil der vorliegenden Erfindung.

[0046] Wenn die Schwellenspannung angepasst werden soll, so wird optional ein Schwellenspannungsanpassungsimplantat **42** gebildet. Das Implantat **42** wird zum Beispiel durch Implantieren von Bor durch die Oberfläche der P-Epitaxialschicht **34** mit einer Dosis von $5 \times 10^{12} \text{ cm}^{-2}$ und einer Energie von 150 keV gebildet ([Fig. 5J](#)), was eine Konzentration der P-Atome von $1 \times 10^{17} \text{ cm}^{-3}$ in dem Abschnitt der P-Epitaxialschicht **34** ergibt, wodurch der Kanal des MOSFET gebildet wird. Die Abbildung aus [Fig. 12A](#) zeigt einen Graphen eines Dotierstoffprofils eines vertikalen Querschnitts durch den Kanal, wobei ein Schwellenanpassungsimplantat dargestellt ist, und wobei angezeigt wird, dass sich das Schwellenwertanpassungsimplantat für gewöhnlich in einem Bereich des Kanals gerade unterhalb des Source-Bereichs befindet. Die Schwellenspannung des MOSFET wird durch die Spitzendotierstoffkonzentration $N_{A \text{ peak}}$ des Schwellenwertanpassungsimplantats

bestimmt. Wenn die Schwellenspannung der Vorrichtung nicht angepasst werden muss, so kann auf diesen Schritt verzichtet werden.

[0047] Alternativ kann eine Körperimplantation vorgenommen werden, wie dies in dem Graphen aus [Fig. 12B](#) dargestellt ist. Das Körper- bzw. Body-Implantat entspricht in gewisser Weise dem Schwellenwertanpassungsimplantat, wobei jedoch eine höhere Energie eingesetzt wird, und wobei sich das Körperimplantat als Folge auf ein Niveau nahe des Übergangs zwischen der P-Epitaxialschicht und dem N Drain-Anschluss erstreckt. Die Schwellenspannung des MOSFET wird durch die Spitzendotierstoffkonzentration $N_{A \text{ peak}}$ des Körperimplantats bestimmt.

[0048] Die N+ Source-Bereiche **36** und die P+ Körperkontaktbereiche **38** werden auf der Oberfläche der P-Epitaxialschicht **34** ausgebildet, und zwar unter Verwendung herkömmlicher Maskierungs und photolithographischer Verfahren ([Fig. 5K](#)). Zum Beispiel können die N+ Source-Anschlüsse mit Arsen mit einer Dosis von $5 \times 10^{15} \text{ cm}^{-2}$ und einer Energie von 80 keV implantiert werden, was eine Konzentration von $1 \times 10^{20} \text{ cm}^{-3}$ ergibt; wobei P+ Körperkontaktbereiche **38** mit Bor mit einer Dosis von $1 \times 10^{15} \text{ cm}^{-2}$ und einer Energie von 60 keV implantiert werden können, was eine Dotierstoffkonzentration von $5 \times 10^{19} \text{ cm}^{-3}$ ergibt.

[0049] Schließlich wird eine Metallschicht **31**, vorzugsweise Aluminium, auf die Oberfläche der P-Epitaxialschicht **34** in ohmschem Kontakt mit den N+ Source-Anschlüssen **36** und P+ Körperkontaktbereichen **38** abgeschieden.

[0050] Die Abbildung aus [Fig. 6](#) zeigt einen MOSFET **60**, der dem MOSFET **30** ähnlich ist, wobei die P-Epitaxialschicht (P-epi) **34** jedoch in Unterschichten Pepi1 und Pepi2 unterteilt ist. Unter Verwendung eines allgemein bekannten Verfahrens kann eine Epitaxialschicht mit Unterschichten durch Veränderung der Strömungsrate des Dotierstoffgases gebildet werden, während die Epitaxialschicht gewachsen wird. Alternativ kann die Unterschicht Pepi1 gebildet werden, indem Dotierstoff in den oberen Abschnitt der Epitaxialschicht **34** implantiert wird.

[0051] Die Dotierstoffkonzentration der Unterschicht Pepi1 kann entweder höher oder niedriger sein als die Dotierstoffkonzentration der Unterschicht Pepi2. Die Schwellenspannung und der Durchschlagdurchbruch des MOSFET sind eine Funktion der Dotierstoffkonzentration der Unterschicht Pepi1, während die Durchschlagspannung und der Einschaltwiderstand des MOSFET eine Funktion der Dotierstoffkonzentration der Unterschicht Pepi2 sind. Somit können die Schwellenspannung und die Durchschlagspannung unabhängig von der Lawinendurchbruchspannung gestaltet werden, und der Einschaltwiderstand der P-Epitaxialschicht **34** kann

mehr als zwei Unterschichten mit verschiedenen Dotierstoffkonzentrationen aufweisen.

[0052] Die Abbildung aus [Fig. 7](#) zeigt einen MOSFET **70**, in dem auf den Drain-Anschluss **33** verzichtet worden ist, und ein Graben **35** erstreckt sich vollständig durch die P-Epitaxialschicht **34** in das N+ Substrat **32**. Dies eignet sich im Besonderen für Niederspannungs-MOSFETs (z.B. 5 V oder weniger).

[0053] Während es sich bei den vorstehend beschriebenen Ausführungsbeispielen um N-Kanal-MOSFETs handelt, kann ein P-Kanal-MOSFET gemäß der vorliegenden Erfindung hergestellt werden, indem die Leitfähigkeiten der verschiedenen Bereiche in dem MOSFET umgekehrt werden.

Patentansprüche

1. Leistungs-MOSFET, der folgendes umfasst:
ein Halbleitersubstrat (**32**) eines ersten Leitfähigkeitstyps;
eine Halbleiterschicht (**34**), die das Substrat direkt überlagert, wobei die Halbleiterschicht allgemein einen zweiten Leitfähigkeitstyp aufweist, der zu dem ersten Leitfähigkeitstyp entgegengesetzt ist; und
ein Gate (**37**), das in dem Graben positioniert und von der Halbleiterschicht durch eine Isolierschicht (**39**) elektrisch isoliert ist, welche sich entlang einer Unterseite und einer Seitenwand des Grabens erstreckt; wobei die Halbleiterschicht folgendes umfasst:
einen Source-Anschluss (**36**) des ersten Leitfähigkeitstyps, wobei der Source-Anschluss angrenzend an eine obere Oberfläche der Halbleiterschicht und eines oberen Abschnitts der Seitenwand des Grabens angeordnet ist;
einen Körper (**34A**) des zweiten Leitfähigkeitstyps, der an einen Abschnitt der Seitenwand des Grabens angrenzt; und
einen Drain-Anschluss (**33**) des ersten Leitfähigkeitstyps, der sich von der Unterseite des Grabens nach unten erstreckt, wobei sich der Körper nach unten erstreckt, so dass ein erster Übergang mit dem Substrat und ein zweiter Übergang (**33A**) mit dem Drain-Anschluss gebildet werden, wobei sich der zweite Übergang zwischen dem ersten Übergang und der Seitenwand des Grabens erstreckt;
dadurch gekennzeichnet, dass:
die Halbleiterschicht eine Epitaxialschicht darstellt, und dass das Dotierprofil der Epitaxialschicht im Wesentlichen flach ist.

2. MOSFET nach Anspruch 1, wobei mindestens 75% des Drain-Anschlusses direkt unterhalb des Grabens angeordnet sind.

3. MOSFET nach Anspruch 1, wobei mindestens 90% des Drain-Anschlusses direkt unterhalb des Grabens angeordnet sind.

4. MOSFET nach Anspruch 1, wobei die Form des Übergangs zwischen dem Drain-Anschluss und dem Körper einen Bogen darstellt, der in Richtung des Drain-Anschlusses konkav ist.

5. MOSFET nach Anspruch 1, wobei die Dotierkonzentration in dem Drain-Anschluss zwischen $5 \times 10^{15} \text{ cm}^{-3}$ und $5 \times 10^{17} \text{ cm}^{-3}$ liegt.

6. Verfahren zur Herstellung eines Leistungs-MOSFET, wobei das Verfahren folgendes umfasst:
das Bereitstellen eines Substrats (**32**) eines ersten Leitfähigkeitstyps;
das Wachsen einer Epitaxialschicht (**34**) eines zweiten Leitfähigkeitstyps, der zu dem ersten Leitfähigkeitstyp entgegengesetzt ist, direkt auf dem Substrat, wobei das Dotierprofil der Epitaxialschicht im Wesentlichen flach ist;
das Bilden eines Grabens (**35**) in der Epitaxialschicht;
das Einführen von Dotierstoff des ersten Leitfähigkeitstyps durch eine Unterseite des Grabens, um einen Drain-Anschluss (**33**) zu bilden, wobei sich der Drain-Anschluss zwischen dem Substrat und der Unterseite des Grabens erstreckt;
das Bilden einer Isolierschicht (**39**) entlang der Unterseite und einer Seitenwand des Grabens;
das Einführen eines leitfähigen Gate-Materials (**37**) in den Graben; und
das Einführen von Dotierstoff des ersten Leitfähigkeitstyps in die Epitaxialschicht, um einen Source-Anschluss (**36**) zu bilden, wobei der Drain-Anschluss und der Source-Anschluss unter Bedingungen gebildet werden, so dass der Source-Anschluss und der Drain-Anschluss durch einen Kanalbereich der Epitaxialschicht angrenzend an die Seitenwand des Grabens getrennt sind.

7. Verfahren nach Anspruch 6, wobei das Einführen von Dotierstoff des ersten Leitfähigkeitstyps durch eine Unterseite des Grabens durch Implantieren von Dotierstoff mit einer Energie von 300 keV bis 3,0 MeV ausgeführt wird.

8. Verfahren nach Anspruch 7, wobei das thermische Budget nach der Bildung des Drain-Anschlusses auf das Äquivalent von etwa 950 Grad C über 60 Minuten begrenzt ist.

9. Verfahren nach Anspruch 7, wobei das thermische Budget nach der Bildung des Drain-Anschlusses auf ein thermisches Tempern bei 1050 °C über 90 Sekunden begrenzt ist.

Es folgen 12 Blatt Zeichnungen

Anhängende Zeichnungen

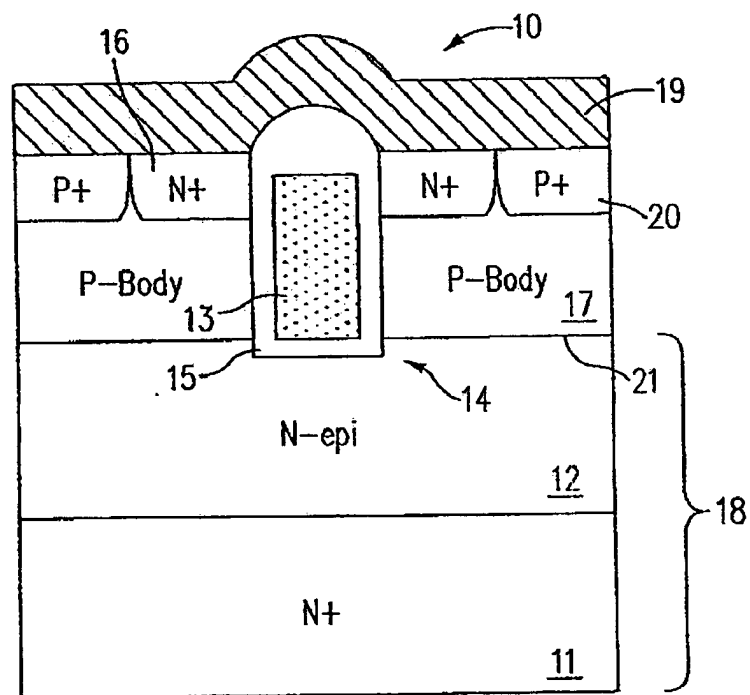


FIG. 1

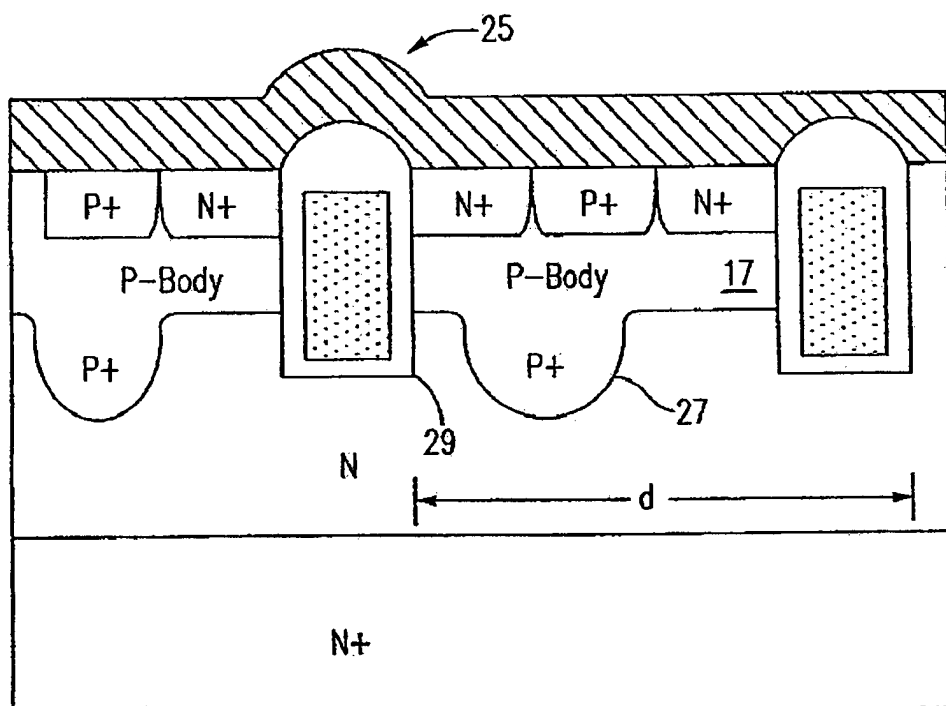


FIG. 2

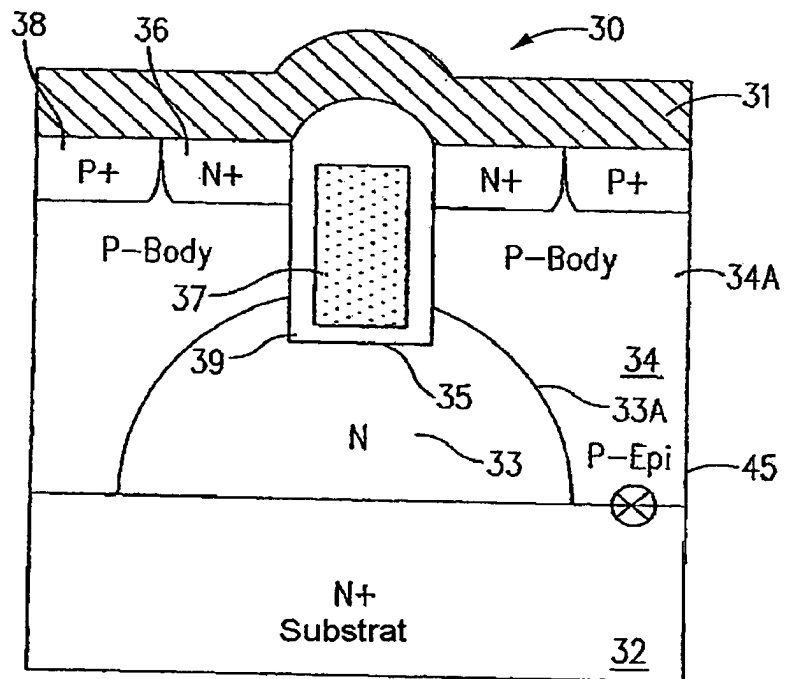


FIG. 3

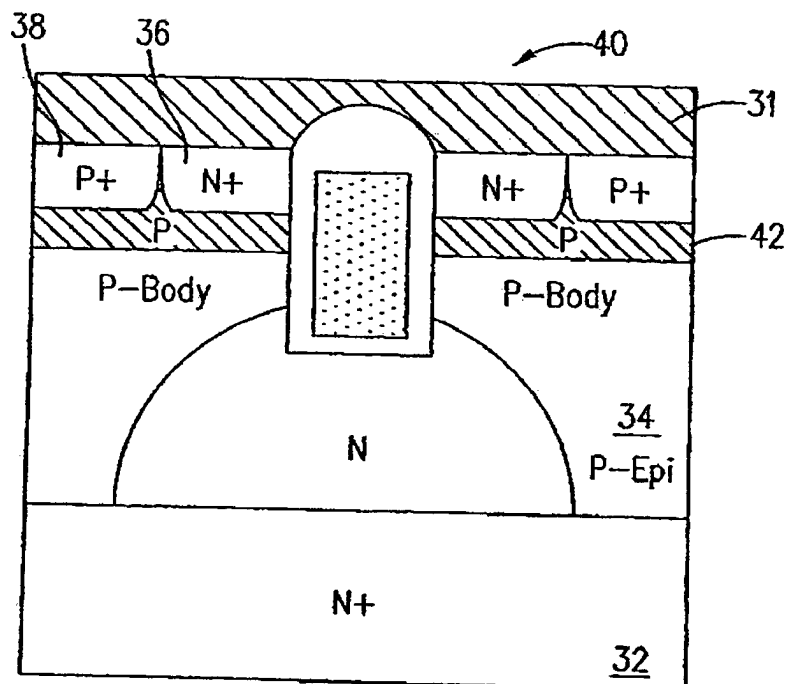


FIG. 4

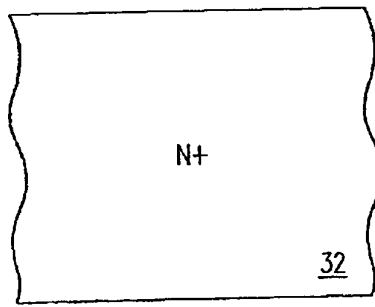


FIG. 5A

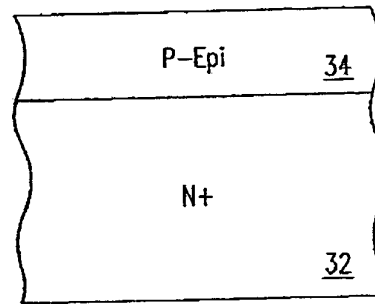


FIG. 5D

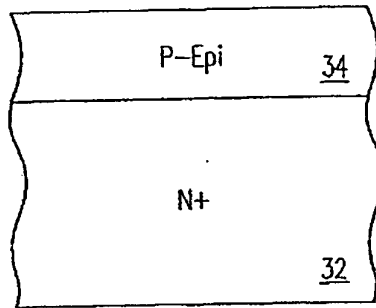


FIG. 5B

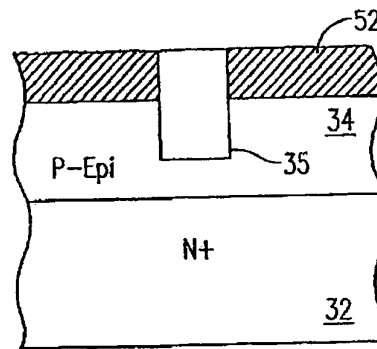


FIG. 5E

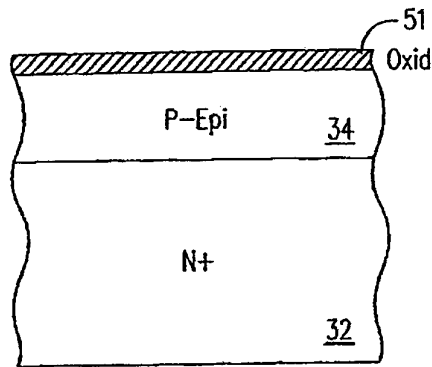


FIG. 5C

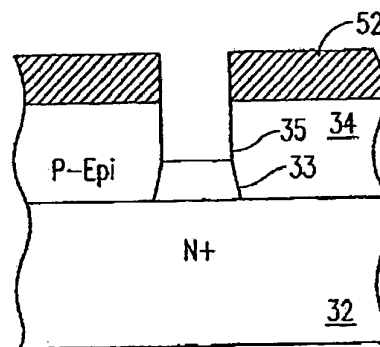


FIG. 5F

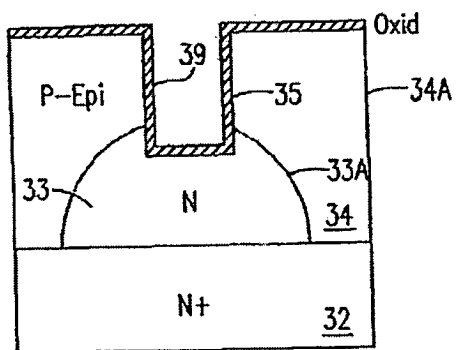


FIG. 5G

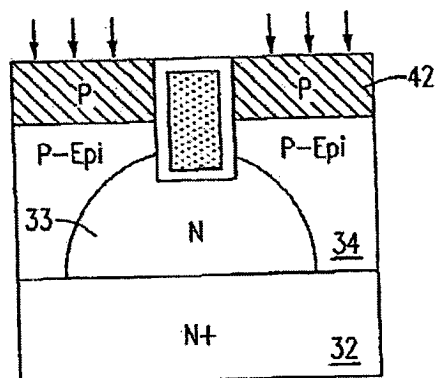


FIG. 5J

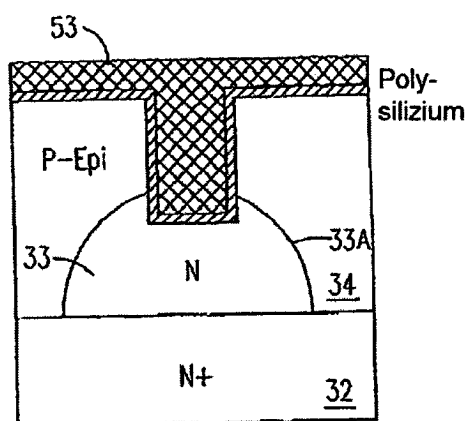


FIG. 5H

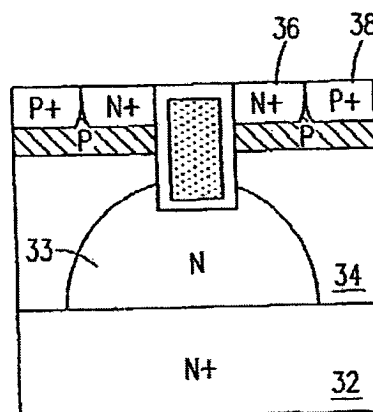


FIG. 5K

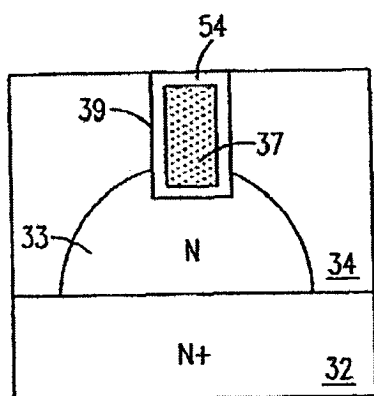


FIG. 5I

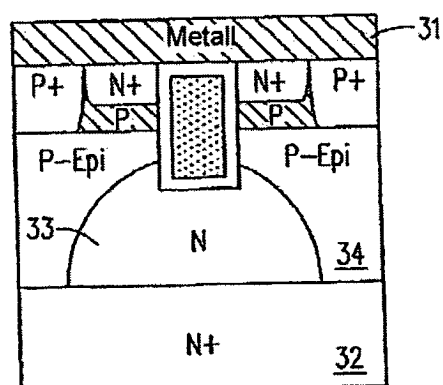


FIG. 5L

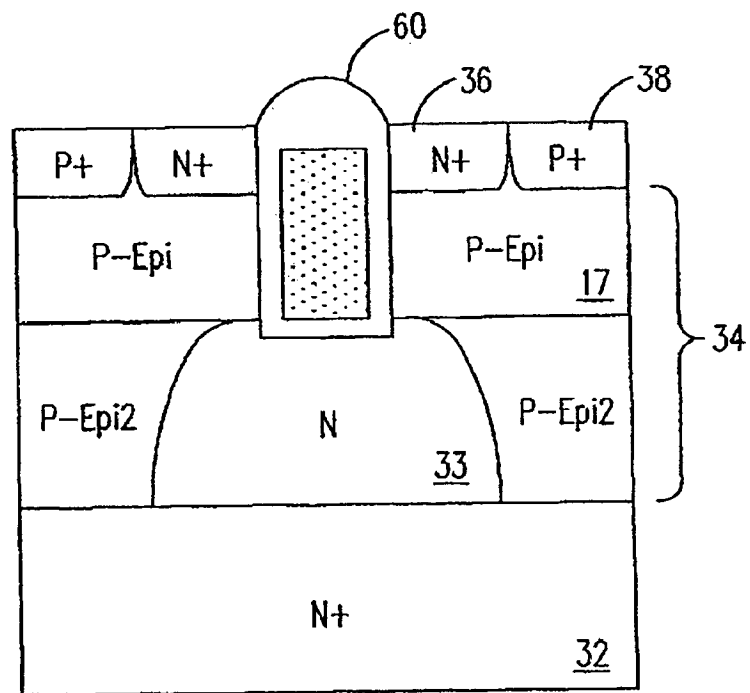


FIG. 6

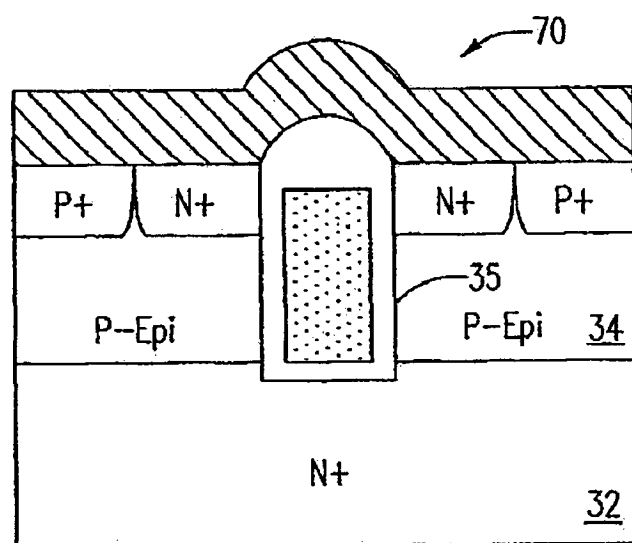


FIG. 7

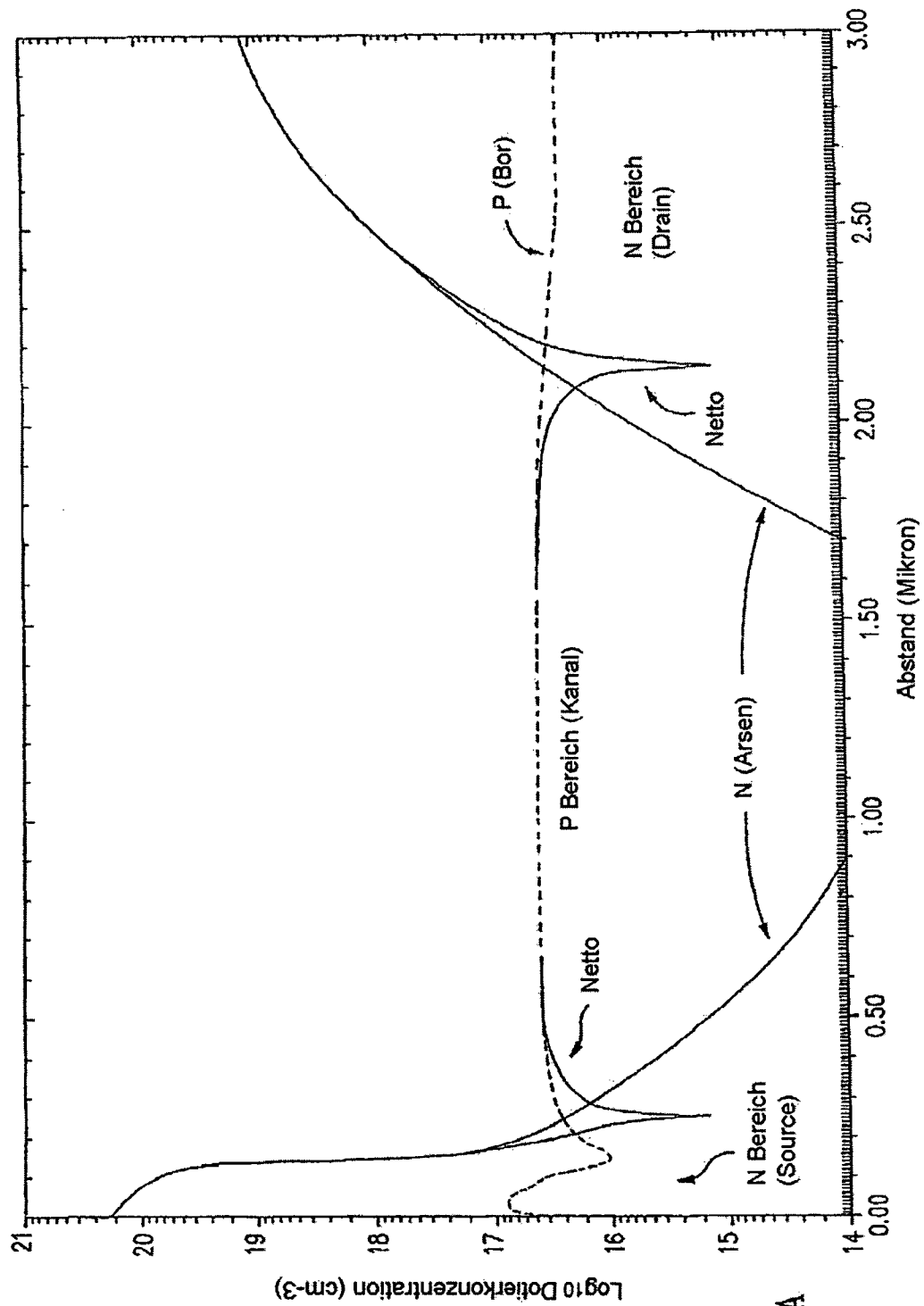


FIG. 8A

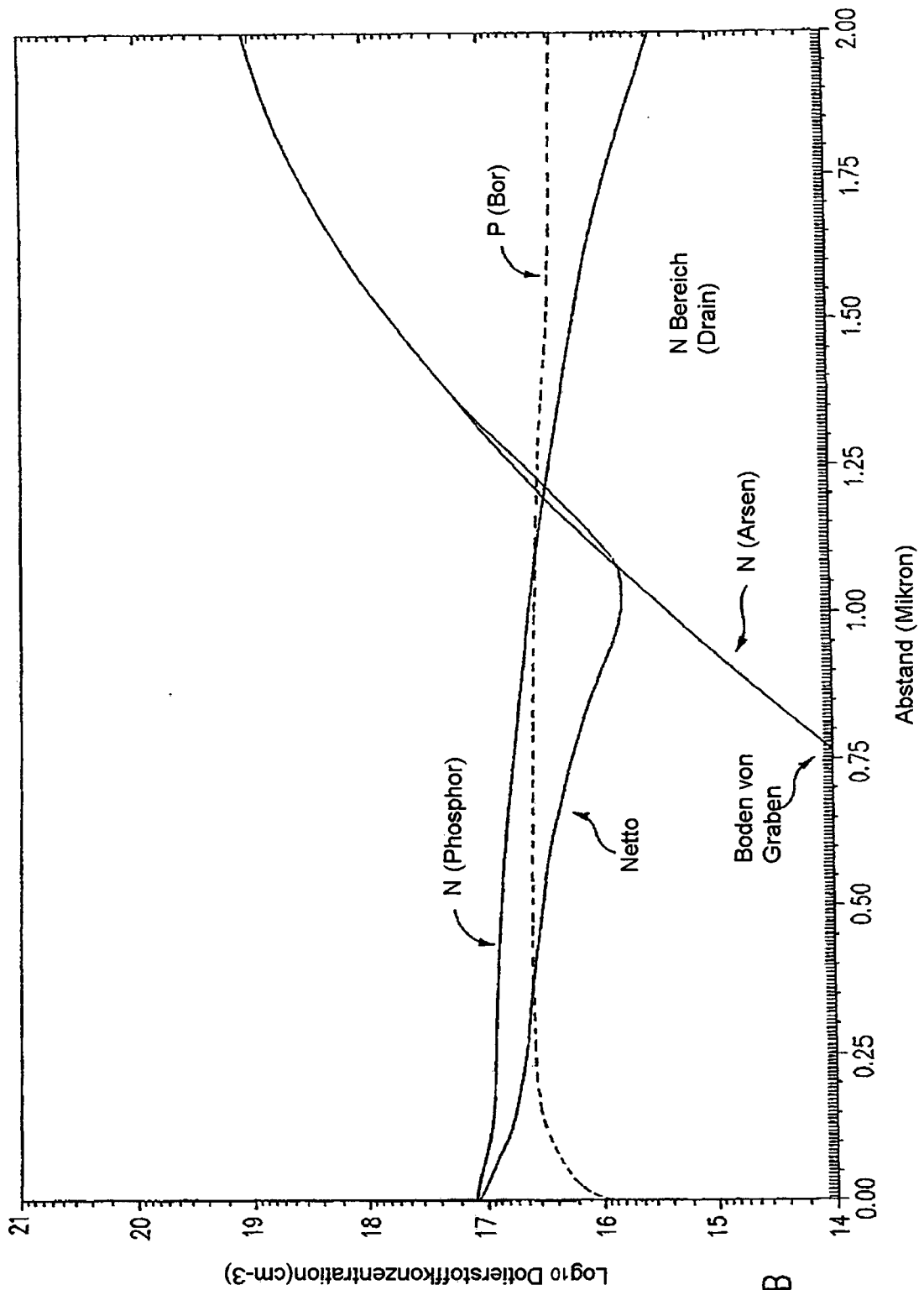


FIG. 8B

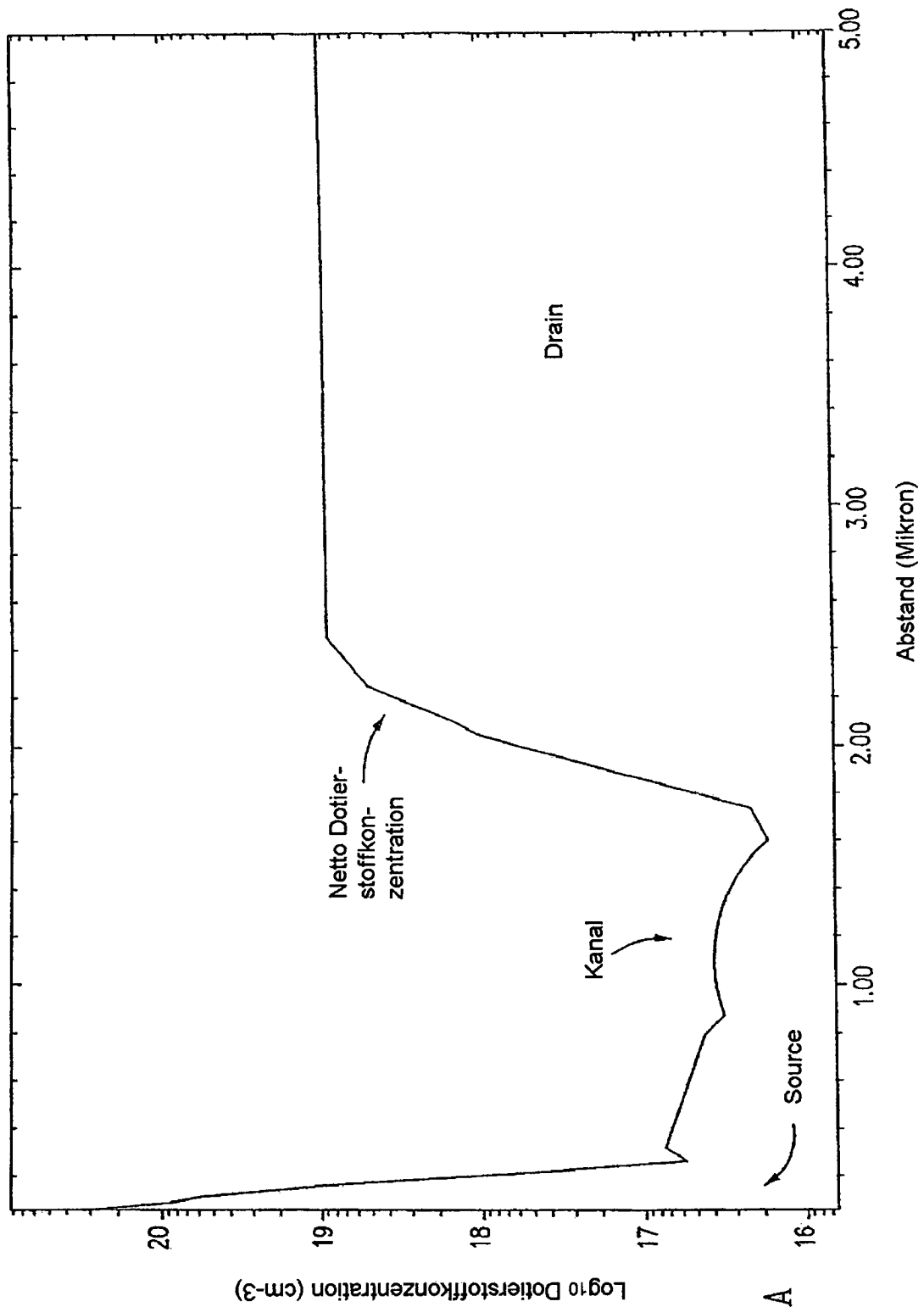


FIG. 9A

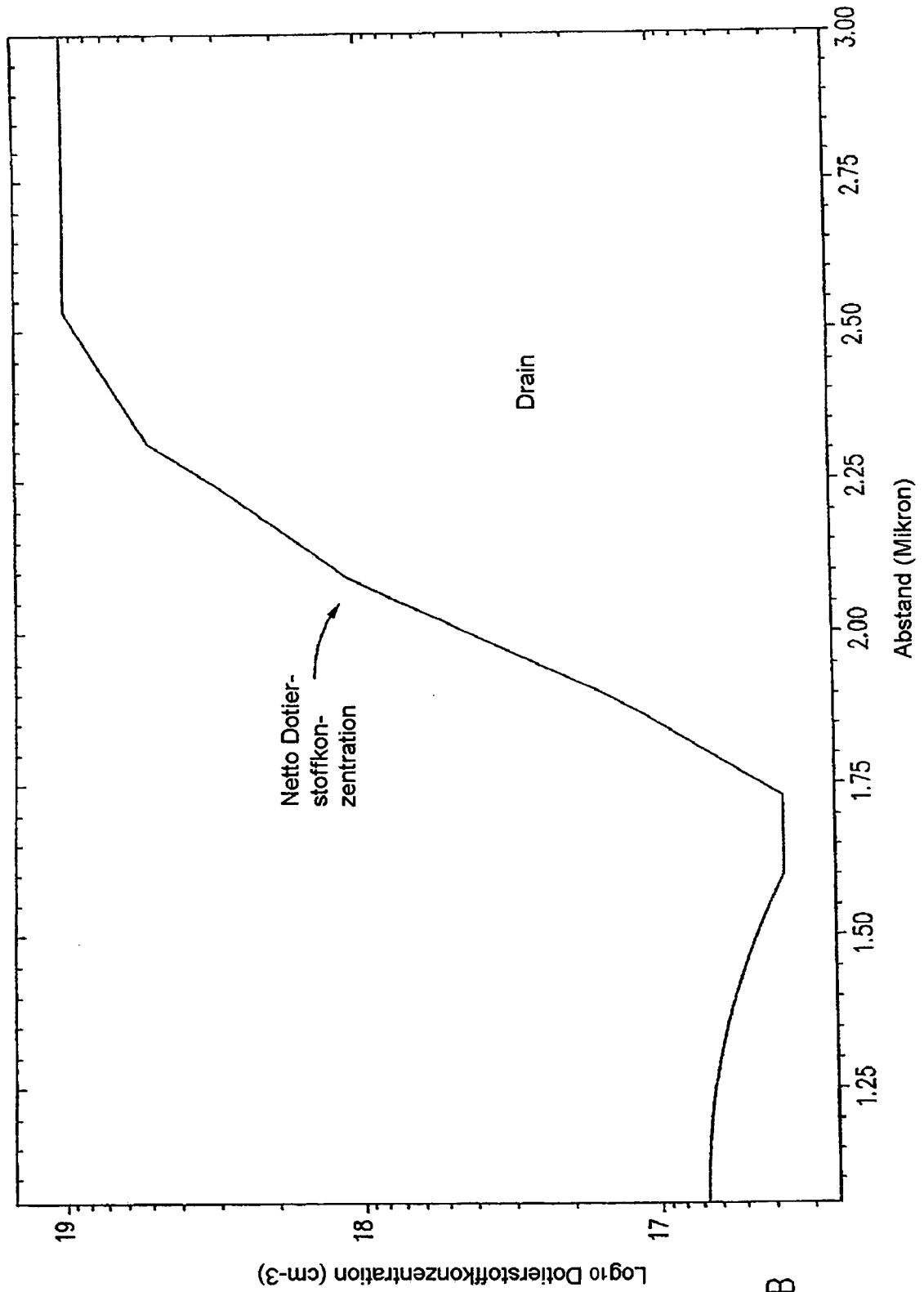


FIG. 9B

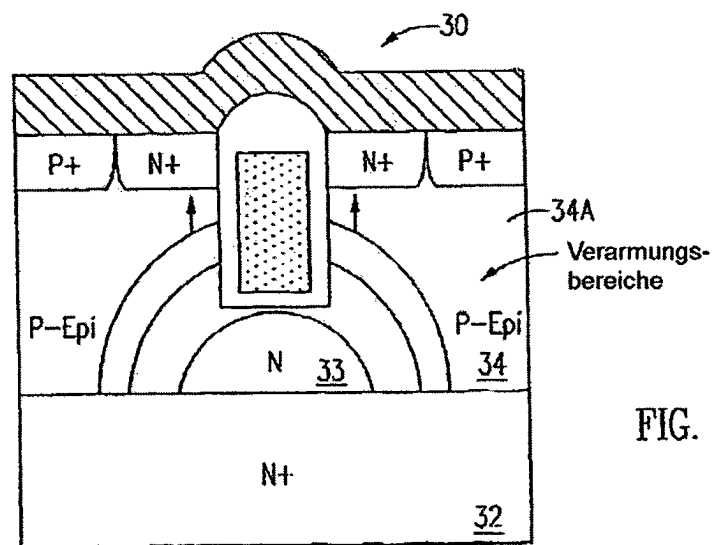


FIG. 10

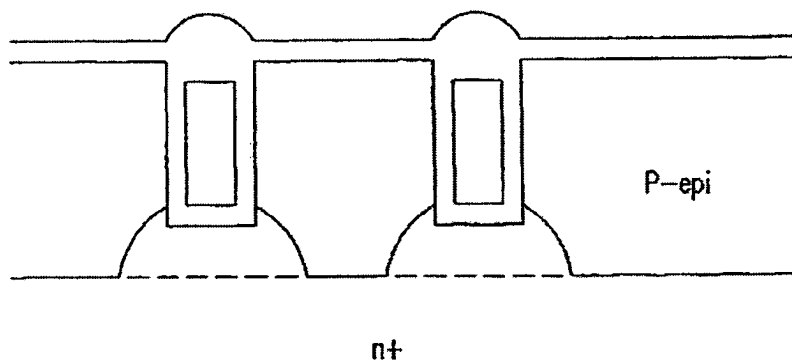
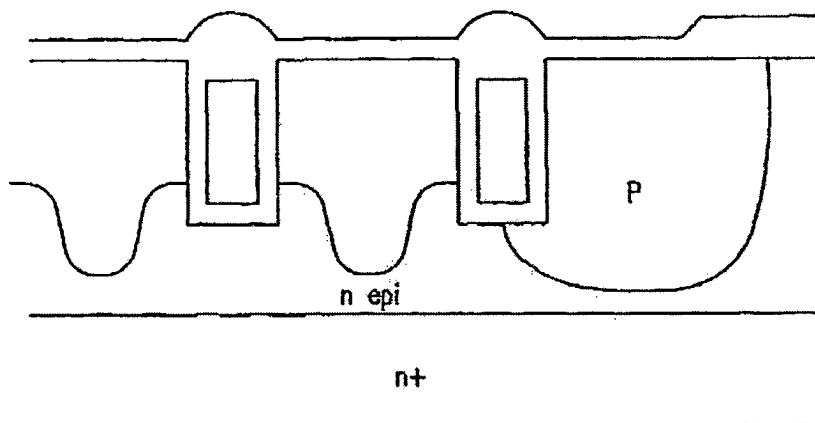


FIG. 11A



(STAND DER TECHNIK)

FIG. 11B

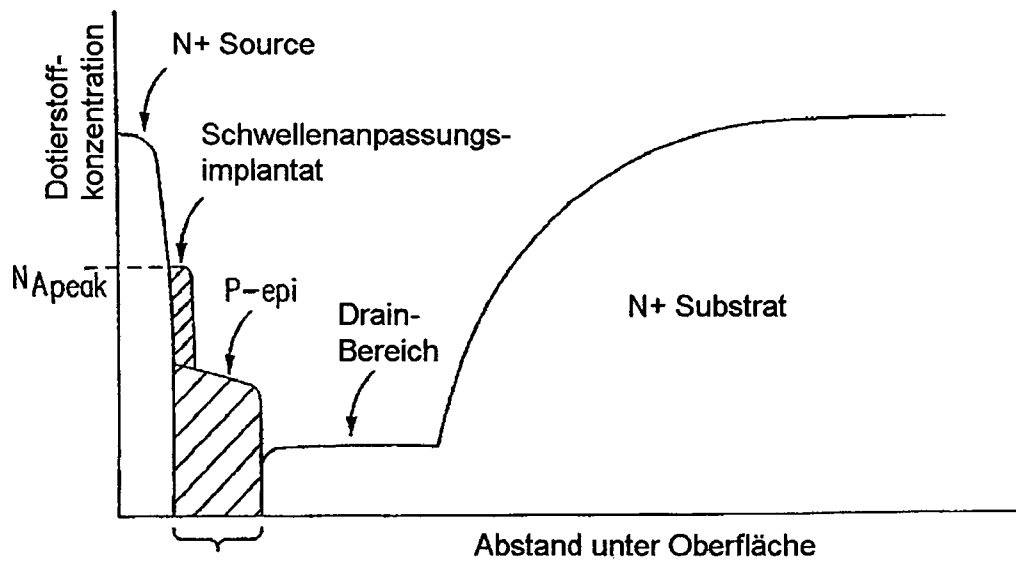


FIG. 12A

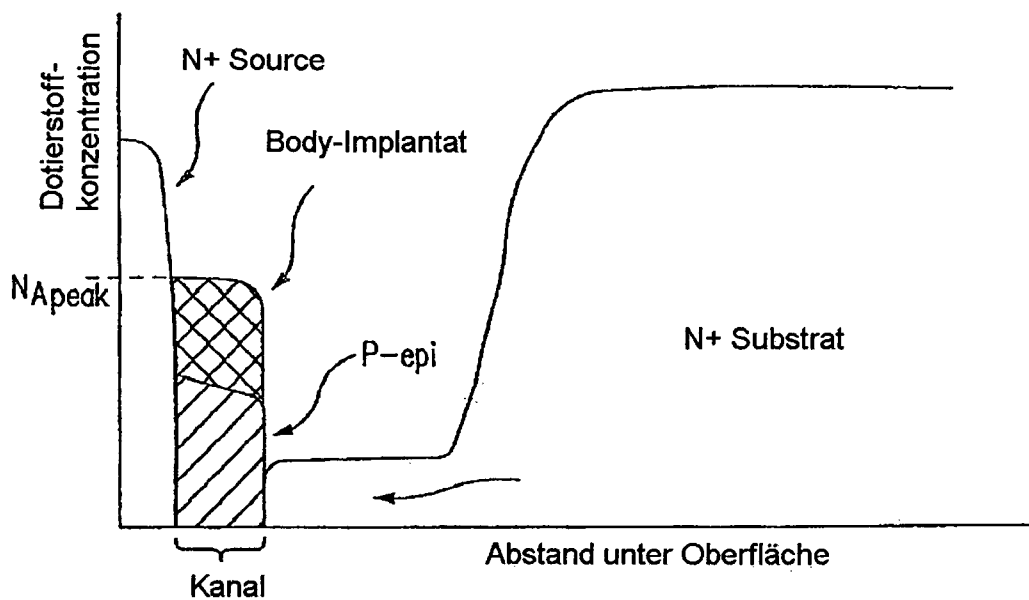


FIG. 12B

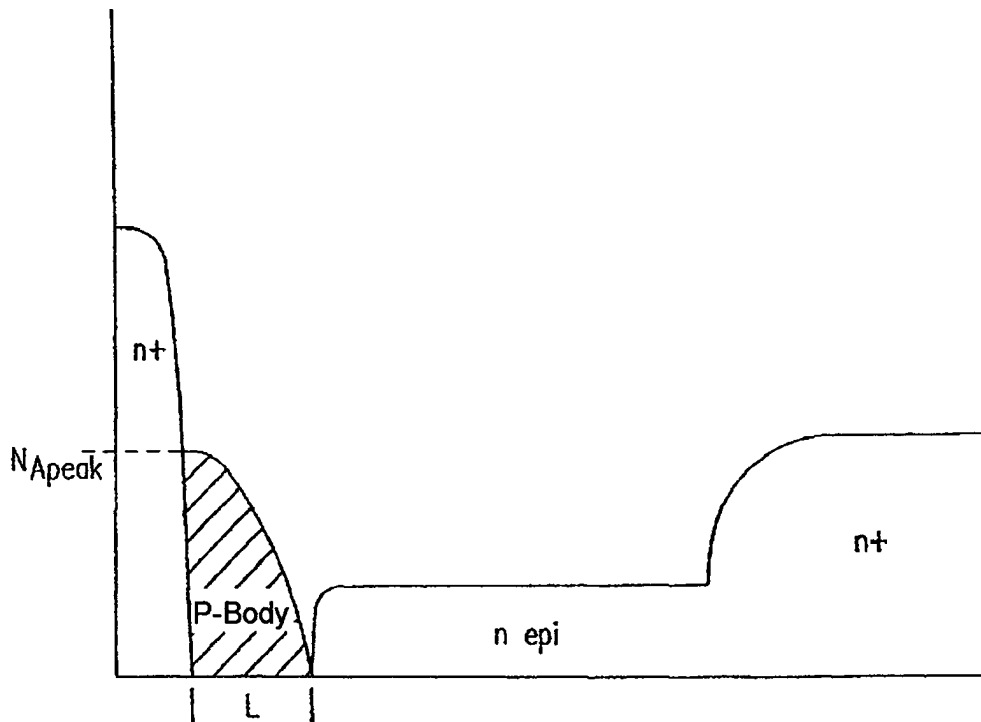


FIG. 13A

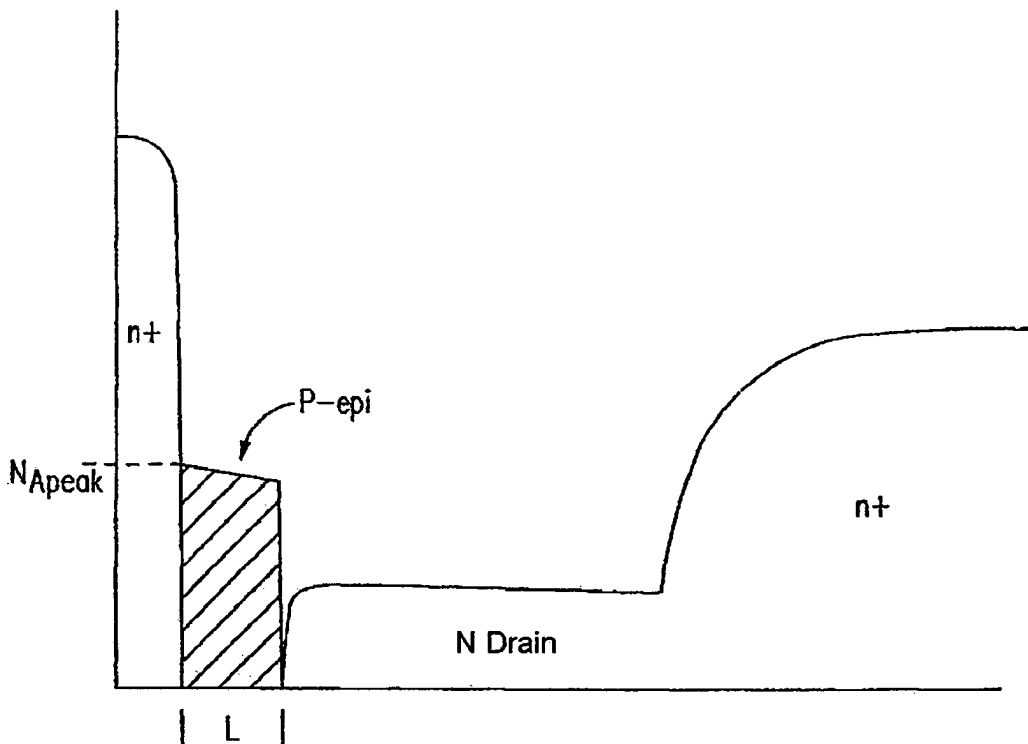


FIG. 13B