



Patent dodatkowy
do patentu nr _____

Zgłoszono: 15.03.77 (P.196666)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 25.09.78

Opis patentowy opublikowano: 25.11.1980

Int. Cl² G06F 3/04

Twórcy wynalazku: Edward Nowosielski, Wojciech Nowosielski, Marek Kazon, Jan Biernacki, Tadeusz Pawłowski, Wiktor Bogdański

Uprawniony z patentu: Ośrodek Badawczo-Rozwojowy Urządzeń Informatyki przy Warszawskich Zakładach Urządzeń Informatyki „Meramat”, Warszawa (Polska)

Schemat połączeń układu współpracy stanowisk wprowadzania danych z procesorem

1

Przedmiotem wynalazku jest schemat połączeń układu współpracy stanowisk wprowadzania danych z procesorem.

Stan techniki. Znany jest i stosowany w praktyce układ współpracy stanowisk wprowadzania danych z procesorem, utworzony z połączenia zespołów elektronicznych w następujący sposób. Rejestr danych jest połączony z szyną procesora za pomocą szyny dwukierunkowej typu BUS pierwszego rodzaju. Pierwsze wejście tego rejestru jest połączone z pierwszym wyjściem układu sterowania za pomocą linii przesyłowej TTL, nie spełniającej warunków linii ciągłej, zwanej dalej linią przesyłową TTL. Drugie wejście rejestru danych jest połączone z wyjściem dekodera pierwszego kanału za pomocą szyny jednokierunkowej typu BUS pierwszego rodzaju. Wyjścia dekoderek pozostałych n kanałów są połączone z tym wejściem identycznie. Wyjście rejestru danych jest połączone z wejściem kodera pierwszego kanału za pomocą szyny jednokierunkowej typu BUS drugiego rodzaju. Wyjścia koderek pozostałych kanałów są połączone z wyjściem rejestru danych identycznie. Pierwsze wejście (wyjście układu sterowania jest połączone z procesorem za pomocą szyny dwukierunkowej typu BUS drugiego rodzaju. Drugie wejście) wyjście układu sterowania jest połączone z wejściem (wyjściem określonych dekoderek, z wejściem) wyjściem określonych koderek, z wejściem (wyjściem zespołów nadajników poszczególnych kanałów i z wejściem)

2

wyjściem zespołów odbiorników tych kanałów za pomocą linii przesyłowej TTL oraz za pomocą odpowiednio szyn dwukierunkowych typu BUS pierwszego rodzaju. Wyjście kodera pierwszego kanału jest połączone z wejściem zespołu nadajników tego kanału za pomocą linii przesyłowej TTL. Wyjście zespołu nadajników pierwszego kanału jest połączone z wejściem pierwszego stanowiska operatora za pomocą jednokierunkowej linii transmisyjnej pierwszego rodzaju. Wyjście pierwszego stanowiska operatora jest połączone z wejściem zespołu odbiorników pierwszego kanału za pomocą jednokierunkowej linii transmisyjnej drugiego rodzaju. Wyjście zespołu odbiorników pierwszego kanału jest połączone z wejściem dekodera tego kanału za pomocą linii przesyłowej TTL. Identycznie są połączone kodery, zespoły nadajników, stanowiska operatora, zespoły odbiorników i dekodery pozostałych n kanałów.

Jednokierunkowa szyna typu BUS pierwszego rodzaju charakteryzuje się jednym odbiornikiem i wieloma nadajnikami. Przykładowo, odbiornikiem jest inwerter, którego wejście jest połączone z wyjściami n elementów mocy spełniających rolę nadajników, przy czym element mocy w tym przypadku rozumie się element TTL o dużej obciążalności wyjściowej, niezależnie od funkcji logicznej, którą realizuje ten element. Poza tym wejście inwertera jest połączone z napięciowym dzielnikiem rezystancyjnym.

Jednokierunkowa szyna typu BUS drugiego rodzaju charakteryzuje się jednym nadajnikiem i wieloma odbiornikami. Przykładowo, nadajnikiem jest element mocy, którego wyjście jest połączone z pierwszymi wejściami elementów dwuwejściowych typu NIE-I, spełniających rolę odbiorników. Poza tym wyjście elementu mocy jest połączone z napięciowym dzielnikiem rezystancyjnym.

Dwukierunkowa szyna typu BUS pierwszego rodzaju składa się z obu jednokierunkowych szyn, opisanych wyżej.

Dwukierunkowa szyna typu BUS drugiego rodzaju składa się z przyrządów elektronicznych, połączonych w następujący sposób. Wyjście elementu mocy jest połączone z wejściem inwerterów i z napięciowym dzielnikiem rezystancyjnym.

Jednokierunkowa linia transmisyjna pierwszego rodzaju składa się z przyrządów elektronicznych, połączonych w następujący sposób. Wyjście pierwszego elementu dwuwejściowego typu NIE-I jest połączone z wejściem komparatora odwracającym fazę, przy czym wejście to jest połączone z pierwszym napięciowym dzielnikiem rezystancyjnym. Wyjście drugiego elementu dwuwejściowego typu NIE-I jest połączone z wejściem tego komparatora nieodwracającym fazę, przy czym wejście to jest połączone z drugim napięciowym dzielnikiem rezystancyjnym.

Jednokierunkowa linia transmisyjna drugiego rodzaju składa się z przyrządów elektronicznych o następującym połączeniu. Pierwsze wyjście nadajnika linii jest połączone z wejściem komparatora odwracającym fazę, połączonym z pierwszym napięciowym dzielnikiem rezystancyjnym. Drugie wyjście nadajnika linii jest połączone z wejściem tego komparatora nieodwracającym fazę, połączonym z drugim napięciowym dzielnikiem rezystancyjnym.

Rejestr danych jest 22-bitowym rejestrem z równoległym i szeregowym wprowadzaniem i wyprowadzaniem danych. W przypadku, gdy procesor wysyła dane do jednego ze stanowisk operatora, musi być załadowany najpierw rejestr danych. Bit zerowy i bit dwudziesty pierwszy są ładowane wartością zera logicznego, a bit pierwszy i bit dwudziesty są ładowane wartością jedynki logicznej. Ładowanie tych czterech bitów odbywa się automatycznie i jest sterowane przez układ sterowania.

Wartości logiczne bitów zerowego, pierwszego, dwudziestego i dwudziestego pierwszego, wynikają ze sposobu dalszego przesyłania danych do określonego stanowiska operatora oraz ze sposobu kodowania, przez określony koder, informacji przesyłanej szeregowo. Bity od szesnastego do dziewiętnastego są ładowane rozkazem procesora i zawierają informacje o numerze linii ekranu, w której ma być wyświetlony znak w określonym stanowisku operatora. Bity od dziesiątego do piętnastego są ładowane rozkazem procesora i zawierają informacje o numerze kolumny ekranu, w której ma być wyświetlony znak w określonym stanowisku operatora. Bity od czwartego do dziewiątego są ładowane tym samym rozkazem procesora i w tym samym czasie co bity od dziesiątego do piętnastego.

Bity drugi i trzeci są ładowane innymi rozkazami procesora z tym, że bit trzeci zawiera informację o tym, czy na bitach od czwartego do dziewiątego jest podany kod znaku, który ma być wyświetlony na ekranie określonego stanowiska, czy też kod rozkazu, który ma wykonać to stanowisko, natomiast bit drugi określa, czy przesyłany znak ma być wyświetlony tylko jeden raz, czy też danym znakiem ma być uzupełniona cała linia wymieniona na bitach od szesnastego do dziewiętnastego. Po załadowaniu bitów od pierwszego do dwudziestego pierwszego rejestru danych, rejestr ten jest przygotowany do szeregowego przesyłania swej zawartości do określonego stanowiska operatora poprzez bloki pośredniczące. Informacja jest wysyłana poprzez przesunięcie zawartości rejestru danych w prawo.

W przypadku wysyłania danych z określonego stanowiska operatora, dane te, po przejściu przez bloki pośredniczące, są wprowadzane szeregowo do rejestru danych. Odbywa się to poprzez logiczne podłączenie wyjścia określonego dekodera do wejścia szeregowego na bit ósmy rejestru danych. Dane, wpisane na bit ósmy rejestru, są szeregowo przesuwane w prawo. Po przesunięciu danych, w rejestrze jest następująca informacja. Bity od czternastego do dziewiętnastego zawierają kod znaku wysłanego przez klawiaturę określonego stanowiska operatora. Bity od jedenastego do trzynastego zawierają od klawisza funkcyjnego, wysłany przez klawiaturę określonego stanowiska operatora. Informacja, przychodząca z określonego stanowiska operatora, znajdująca się na bitach od dziesiątego do dziewiętnastego, może być przesłana do procesora, w sposób równoległy, za pomocą określonego rozkazu tego procesora. Określone rozkazy procesora są wykorzystywane w czasie reżimu diagnostycznego do sprawdzania poprawności równoległego wpisywania i równoległego wyczytywania informacji z/do rejestru danych.

Zadaniem układu sterowania jest sterowanie poszczególnymi układami funkcjonalnymi w zależności od wymagań procesora oraz stanowisk operatora.

Kodery spełniają rolę translatorów, przekształcających informacje podane w naturalnym kodzie dwójkowym na kod Manchester. Wybór określonego kodera, który ma spełniać rolę translatora, jest dokonywany przez układ sterowania poprzez linię przesyłową TTL i określoną jednokierunkową szynę typu BUS drugiego rodzaju. Przykładowo, jeśli informacja zawarta w rejestrze danych ma być wysłana do określonego stanowiska operatora, to w czasie jej wysyłania w stanie aktywnym jest tylko koder tego kanału, w którym pracuje wymienione stanowisko operatora.

Zadaniem zespołów nadajników poszczególnych kanałów jest dopasowanie stanowisk operatora do parametrów określonych jednokierunkowych linii transmisyjnych pierwszego rodzaju tak, aby dane i sygnały sterujące wysyłane do określonych stanowisk operatora, odbierane były w tych stanowiskach bez przekłamań. O tym który z nadajników ma być w stanie aktywnym decyduje układ

sterowania w zależności od tego, do którego lub z którego stanowiska mają być przesłane dane.

Zadaniem zespołów odbiorników poszczególnych kanałów jest dopasowanie stanowisk operatora do parametrów określonych jednokierunkowych linii transmisyjnych drugiego rodzaju tak, aby dane lub sygnały wysyłane z określonych stanowisk operatora do określonych dekodów, odbierane były przez te dekodery, bez przekłamań. O tym, który z zespołów odbiorników ma być w stanie aktywnym decyduje układ sterowania.

Zadaniem zespołów dekodów określonych kanałów jest zdekodowanie danych, przychodzących ze stanowisk operatora. Dekodery są translatorami informacji podanej w kodzie Manchester na kod naturalny dwójkowy. W stanie aktywnym jest ten dekod, który jest wybrany za pomocą linii przesyłowej TTL i współpracującej z nim jednokierunkowej szyny typu BUS drugiego rodzaju i tylko wyjście tego dekodera wpływa na stan wejścia bitu ósmego rejestru danych.

Diagnostyka całego układu polega na zapętleniu danych przez zamknięcie przepływu danych w stanowiskach operatora. Dane, załadowane z szyn procesora do rejestru danych, są wysyłane, poprzez określone kodery i zespoły nadajników, do określonych stanowisk operatora i są zapamiętane w pamięciach tych stanowisk. Pamięć określonego stanowiska zawiera dane o zawartości całego ekranu w danym momencie czasu. Dane całego ekranu są odczytywane z pamięci stanowiska w momencie wysłania rozkazu odczytu do określonego stanowiska. Odczytana informacja jest wysyłana z tego stanowiska poprzez zespół odbiorników i dekodery i wpisywana do rejestru danych. Równolegle wyczytana zawartość rejestru danych jest porównywana w procesorze z informacją wysyłaną do rejestru danych. Wynik porównania zgodny lub niezgodny, pozwala na stwierdzenie czy układ działa prawidłowo, czy też jest uszkodzony. W przypadku uszkodzenia układu, błędu należy szukać w całym obszarze podanej drogi przepływu danych, ponieważ uszkodzenie w dowolnym miejscu przerywa szeregowy przepływ danych.

Istota wynalazku. Schemat, połączeń układu współpracy stanowisk wprowadzania danych z procesorem jest utworzony z zespołów elektronicznych, połączonych w następujący sposób. Wejście (wyjście rejestru danych jest połączone z tym procesorem za pomocą pierwszej szyny dwukierunkowej typu BUS. Pierwsze wejście (wyjście układu sterowania jest połączone z tym procesorem za pomocą drugiej szyny dwukierunkowej BUS. Pierwsze wejście rejestru danych jest połączone z wyjściem dekodera za pomocą pierwszej linii przesyłowej TTL. Drugie wejście rejestru danych, jest połączone z pierwszym wyjściem układu sterowania za pomocą drugiej linii przesyłowej TTL. Wyjście rejestru danych jest połączone z pierwszym wejściem kodera za pomocą trzeciej linii przesyłowej TTL. Drugie wejście (wyjście układu sterowania jest połączone z wejściem (wyjściem dekodera za pomocą czwartej linii przesyłowej TTL oraz z wejściami) wyj-

ściami n zespołów nadajników i n zespołów odbiorników n kanałów za pomocą n szyn dwukierunkowych typu BUS. Drugie wyjście układu sterowania jest połączone z drugim wejściem kodera za pomocą piątej linii przesyłowej TTL. Wyjście kodera jest połączone z pierwszym wejściem układu bramkowania i z wejściami n zespołów nadajników n kanałów za pomocą pierwszej szyny jednokierunkowej typu BUS. Wyjścia n zespołów odbiorników n kanałów są połączone z drugim wejściem układu bramkowania za pomocą innej szyny jednokierunkowej typu BUS. Trzecie wejście układu bramkowania jest połączone ze źródłem sygnału sterującego, procesem diagnostyki za pomocą szóstej linii przesyłowej TTL. Wyjście układu bramkowania jest połączone z wejściem detektora za pomocą siódmej linii przesyłowej TTL. Wyjście zespołu pierwszego kanału jest połączone z wejściem pierwszego stanowiska operatora za pomocą pierwszej linii transmisyjnej jednokierunkowej. Wyjście pierwszego stanowiska jest połączone z wejściem zespołu odbiorników pierwszego kanału za pomocą drugiej linii transmisyjnej jednokierunkowej i tak dalej, wyjście n-tego zespołu nadajników n-tego kanału jest połączone z wejściem n-tego stanowiska, a wyjście n-tego stanowiska jest połączone z wejściem n-tego zespołu odbiorników za pomocą podobnych linii transmisyjnych.

Pierwsze wejście rejestru danych jest wejściem szeregowym na bit zerowy i na bit ósmy, przy czym w procesie diagnostyki, obejmującej przejście danych na drodze procesor-rejestr danych — koder — układ bramkowania — dekodery — rejestr danych — procesor, wejście szeregowe na bit ósmy jest logicznie odcięte, a wejście szeregowe na bit zerowy jest otwarte. Przykład wykonania.

Przedmiot wynalazku jest przedstawiony na rysunku w postaci schematu blokowego.

Schemat połączeń jest utworzony z zespołów elektronicznych, połączonych w następujący sposób. Wejście (wyjście rejestru **DR** danych, zwane dalej rejestrem **DR**, jest połączone, za pomocą szyny dwukierunkowej **L1** typu BUS drugiego rodzaju, z procesorem reprezentowanym na rysunku pod postacią pierwszej szyny dwukierunkowej **L2** typu BUS pierwszego rodzaju. Pierwsze wejście rejestru **DR** jest połączone z wyjściem dekodera **D** za pomocą pierwszej linii przesyłowej TTL **L3**. Drugie wejście rejestru **DR** jest połączone z pierwszym wyjściem układu **US** sterowania za pomocą drugiej linii przesyłowej TTL **L4**, natomiast wyjście tego rejestru **DR** jest połączone z pierwszym wejściem kodera **K** za pomocą trzeciej linii przesyłowej TTL **L5**. Pierwsze wejście (wyjście układu **US** sterowania jest połączone z procesorem za pomocą drugiej szyny dwukierunkowej **L6** typu BUS pierwszego rodzaju. Drugie wejście (wyjście układu **US** sterowania jest połączone z wejściem (wyjściem dekodera **D** za pomocą czwartej linii przesyłowej TTL **L7** i dodatkowo z wejściami (wyjściami zespołów **N1, N2, ..., Nn** nadajników i zespołów **O1, O2, ..., On** odbiorników n kanałów za pomocą szyny dwukierunkowej typu BUS pierwszego rodzaju. Drugie wyjście układu **US** sterowania jest połączone z drugim wejściem kodera **K** za pomocą piątej

linii przesyłowej TTL L_8 . Wyjście kodera K jest połączone z wejściami n zespołów $N_1, N_2, \dots, N_n$ nadajników n kanałów i z pierwszym wejściem układu UB bramkowania za pomocą pierwszej szyny jednokierunkowej L_9 typu BUS drugiego rodzaju. Drugie wejście układu UB bramkowania jest połączone z wyjściami n zespołów $O_1, O_2, \dots, O_n$ odbiorników n kanałów za pomocą pierwszej szyny jednokierunkowej L_{10} typu BUS pierwszego rodzaju. Trzecie wejście układu UB bramkowania jest połączone ze źródłem RD sygnału sterującego za pomocą szóstej linii przesyłowej TTL L_{11} . Wyjście układu UB bramkowania jest połączone z wejściem dekodera D za pomocą siódmej linii przesyłowej TTL L_{12} . Wyjście zespołu N1 nadajników pierwszego kanału jest połączone z wejściem pierwszego stanowiska S_1 operatora za pomocą pierwszej linii transmisyjnej jednokierunkowej L_{13} pierwszego rodzaju. Wyjście pierwszego stanowiska S_1 operatora jest połączone z wejściem zespołu O_1 odbiorników pierwszego kanału za pomocą pierwszej linii transmisyjnej jednokierunkowej L_{11} drugiego rodzaju. Wyjście zespołu N_2 nadajników drugiego kanału jest połączone z wejściem drugiego stanowiska S_2 operatora za pomocą drugiej linii transmisyjnej jednokierunkowej L_{15} pierwszego rodzaju. Wyjście drugiego stanowiska S_2 operatora jest połączone z wejściem zespołu O_2 odbiorników drugiego kanału za pomocą drugiej linii transmisyjnej jednokierunkowej L_{16} drugiego rodzaju i tak dalej, wyjście zespołu N_n nadajników n-tego kanału jest połączone z wejściem n-tego stanowiska S_n operatora za pomocą n-tej linii transmisyjnej jednokierunkowej L_{nI} pierwszego rodzaju, natomiast wyjście n-tego stanowiska S_n operatora jest połączone z wejściem zespołu O_n odbiorników n-tego kanału za pomocą n-tej linii transmisyjnej jednokierunkowej L_{nII} drugiego rodzaju.

Rodzaje szyn jednokierunkowych L_9, L_{10} typu BUS, szyn dwukierunkowych L_1, L_2, L_6 typu BUS, oraz linii transmisyjnych jednokierunkowych $L_{13}, L_{14}, \dots, L_{nI}, L_{nII}$ opisano w stanie techniki.

Rejestr DR jest 22-bitowym rejestrem z równoległym i szeregowym wprowadzaniem i wyprowadzaniem danych. W przypadku, gdy procesor wysyła dane do jednego ze stanowisk $S_1, S_2, \dots, S_n$, musi być załadowany najpierw rejestr DR. Bit zerowy i bit dwudziesty pierwszy są ładowane wartością zera logicznego, a bit pierwszy i bit dwudziesty są ładowane wartością jedynki logicznej. Ładowanie tych czterech bitów odbywa się automatycznie i jest sterowane przez układ US sterowania.

Wartości logiczne bitów zerowego, pierwszego, dwudziestego i dwudziestego pierwszego, wynikają ze sposobu dalszego przesyłania danych do określonego stanowiska $S_1, \dots$ lub S_n operatora oraz ze sposobu kodowania, przez koder, informacji przesyłanej szeregowo. Bity od szesnastego do dziewiętnastego są ładowane rozkazem procesora i zawierają informację o numerze linii ekranu, w której ma być wyświetlony znak w określonym stanowisku $S_1, \dots$ lub S_n . Bity od dziesiątego do piętnastego są ładowane rozkazem procesora i zawierają informację o numerze kolumny ekranu, w której ma być wyświetlony znak w określonym stanowis-

ku $S_1, \dots$ lub S_n operatora. Bity od czwartego do dziewiątego są ładowane tym samym rozkazem procesora i w tym samym czasie co bity od dziesiątego do piętnastego. Bity drugi i trzeci są ładowane innymi rozkazami procesora z tym, że bit trzeci zawiera informację o tym, czy na bitach od czwartego do dziesiątego jest podany kod znaku, który ma być wyświetlony na ekranie określonego stanowiska $S_1, \dots$ lub S_n , czy też kod rozkazu, który ma wykonać to określone stanowisko $S_1, \dots$ lub S_n , natomiast bit drugi określa, czy przesłany znak ma być wyświetlony tylko jeden raz, czy też danym znakiem ma być uzupełniona cała linia, wymieniona na bitach od szesnastego do dziewiętnastego. Po załadowaniu bitów od pierwszego do dwudziestego pierwszego, rejestr DR jest przygotowany do szeregowego przesłania swej zawartości do określonego stanowiska $S_1, \dots$ lub S_n poprzez bloki pośredniczące. Informacja jest wysyłana poprzez przesunięcie zawartości rejestru DR w prawo.

W przypadku wysyłania danych z określonego stanowiska $S_1, \dots$ lub S_n , dane te, po przejściu przez bloki pośredniczące, są wprowadzane szeregowo do rejestru DR. Odbywa się to poprzez logiczne podłączenie wyjścia detektora D do wejścia szeregowego rejestru DR na bit ósmy. Dane, wpisane na bit ósmy rejestru DR, są szeregowo przesuwane w prawo. Po przesunięciu danych, w rejestrze DR jest następująca informacja. Bity od czternastego do dziewiętnastego zawierają kod znaku wpisanego przez klawiaturę określonego stanowiska $S_1, \dots$ lub S_n . Bity od jedenastego do trzynastego zawierają kod klawisza funkcyjnego, wysłany przez klawiaturę określonego stanowiska $S_1, \dots$ lub S_n . Informacja, przychodząca z określonego stanowiska $S_1, \dots$ lub S_n , znajdująca się na bitach od dziesiątego do dziewiętnastego, może być przesłana do procesora, w sposób równoległy, za pomocą określonego rozkazu tego procesora.

W czasie przyjmowania informacji szeregowy z określonego stanowiska $S_1, \dots$ lub S_n podanej na bit ósmy rejestru DR, jest zablokowane wejście szeregowo tego rejestru DR na bit zerowy natomiast w przypadku ustawienia reżymu diagnostycznego, za pomocą sygnału sterującego źródła RD, jest zablokowane wejście szeregowo na bit ósmy, a otwarte wejście szeregowo na bit zerowy rejestru DR. Tak więc w czasie reżymu diagnostycznego rejestr DR jest ładowany określonymi rozkazami procesora. Równocześnie jest automatycznie wpisane zero logiczne do bitu zerowego i do bitu dwudziestego pierwszego oraz jedynki logiczne do bitu pierwszego i do bitu dwudziestego. Po zakończeniu tych operacji zawartość rejestru DR jest automatycznie przesuwana w prawo. Dane, wyprowadzane szeregowo z rejestru DR, przechodząc przez koder K, zostają przetworzone na kod Manchester. Dane z wyjścia kodera K są podane, poprzez układ UB bramkowania, na dekodera D, gdzie następuje ich odwrotna transformacja, to znaczy z kodu Manchester na naturalny kod dwójkowy. Następnie dane z wyjścia dekodera D są podane na wejścia szeregowo rejestru DR, czyli na bit zerowy i na bit ósmy.

W przypadku gdy jest ustawiony reżym diagnostyczny, wejście szeregowo na bit ósmy rejestru **DR** jest logicznie odcięte, a otwarte jest wejście na bit zerowy. Przychodzące dane są wpisywane kolejno na bit zerowy i przesuwane szeregowo w prawo. Po zakończeniu cyklu pracy rejestru **DR** w reżymie diagnostycznym dane są przesunięte w prawo o jedną pozycję z uwzględnieniem przesunięcia bitu dwudziestego pierwszego na bit zerowy. W tej sytuacji dane, wyczytane równolegle z rejestru **DR**, mogą być przez procesor porównane z danymi wpisanymi do rejestru **DR**, po uwzględnieniu faktu przesunięcia danych końcowych tego rejestru **DR** o jedną pozycję w prawo. Z powyższego wynika, że oprócz sprawdzenia drogi przepływu danych w całym układzie, jest również możliwość sprawdzenia przepływu danych na drodze szyna dwukierunkowa L_2 procesora — rejestr **DR** — koder **K** — układ **UB** bramkowania — dekodery **D** — rejestr **DR** — szyna dwukierunkowa L_2 procesora. Umożliwia to szybką lokalizację błędu w układzie w przypadku jego uszkodzenia.

Współpracujące z rejestrem **DR** bloki funkcjonalne są scharakteryzowane niżej.

Koder **K** jest translatorem szeregowym danych zawartych w naturalnym kodzie dwójkowym na kod Manchester. Kod **K** jest stosowany w celu uzyskania takiej postaci danych, przesyłanych do określonego stanowiska $S_1, \dots$ lub S_n , za pomocą których zwiększa się możliwość wychwycenia przekłamań przy transmisji tych danych.

Zespoły $N_1, \dots, N_n$ nadajników poszczególnych kanałów są elementami dopasowującymi stanowiska $S_1, \dots, S_n$ do parametrów określonych linii transmisyjnych $L_{13}, L_{15}, \dots, L_n I$, tak aby dane i sygnały sterujące, wysyłane do określonych stanowisk $S_1, \dots, S_n$, były odbierane w tych stanowiskach $S_1, \dots, S_n$ bez przekłamań. O tym, który z zespołów $N_1, \dots, N_n$ nadajników ma być w stanie aktywnym decyduje układ **US** sterowania w zależności od tego, do którego stanowiska $S_1, \dots$ lub S_n mają być przesłane dane.

Zespoły $O_1, \dots, O_n$ odbiorników poszczególnych kanałów są elementami dopasowującymi określone stanowiska $S_1, \dots, S_n$ do parametrów określonych linii transmisyjnych $L_{14}, L_{16}, \dots, L_n II$, tak aby dane lub sygnały, wysłane z tych stanowisk $S_1, \dots, S_n$ do dekodera **D**, były odbierane przez dekodery **D** bez przekłamań. O tym, który z zespołów $O_1, \dots, O_n$ odbiorników ma być w stanie aktywnym decyduje układ **US** sterowania. Dekodery **D** jest translatorem informacji podanej w kodzie Manchester na kod naturalny dwójkowy.

Układ **US** sterowania jest blokiem sterującym poszczególnymi układami funkcjonalnymi w zależności od wymagań procesora oraz stanowisk $S_1, \dots, S_n$.

Układ **UB** bramkowania spełnia rolę przełącznika elektronicznego, sterowanego sygnałem sterującym ze źródła **RD**. W przypadku normalnej pracy, to znaczy transmisji danych między stanowiskami $S_1, \dots, S_n$ a procesorem, stan linii przesyłowej TTL L_{11} jest nieaktywny, co powoduje logiczne podłączenie wyjścia wybranego zespołu $O_1, \dots$ lub O_n odbiorników do wejścia układu **UB** bramkowania. Dla pracy układu w reżymie diagnostyki stan linii

przesyłowej TTL L_{11} jest aktywny i powoduje podłączenie wyjścia kodera **K** do wejścia układu **UB** bramkowania.

Zastrzeżenia patentowe

1. Schemat połączeń układu współpracy stanowisk wprowadzania danych z procesorem, w którym wejście) wyjście rejestru danych jest połączone z tym procesorem za pomocą pierwszej szyny dwukierunkowej typu BUS, pierwsze wejście (wyjście układu sterowania jest połączone z tym procesorem za pomocą drugiej szyny dwukierunkowej typu BUS, pierwsze wyjście układu sterowania jest połączone z drugim wejściem rejestru danych za pomocą drugiej linii przesyłowej TTL, drugie wyjście układu sterowania jest połączone z drugim wejściem kodera za pomocą piątej linii przesyłowej TTL, drugie wejście (wyjście układu sterowania) jest połączone z wejściem (wyjściem dekodera za pomocą czwartej linii przesyłowej TTL oraz z wejściem) wyjściem n zespołów nadajników i n zespołów odbiorników n kanałów za pomocą n szyn dwukierunkowych typu BUS, wyjście pierwszego zespołu nadajników pierwszego kanału jest połączone z wejściem pierwszego stanowiska operatora za pomocą pierwszej jednokierunkowej linii transmisyjnej, wyjście pierwszego stanowiska jest połączone z wejściem zespołu odbiorników pierwszego kanału za pomocą drugiej linii transmisyjnej i tak dalej, wyjście n -tego zespołu nadajników n -tego kanału jest połączone z wejściem n -tego stanowiska, a wyjście n -tego stanowiska jest połączone z wejściem n -tego zespołu odbiorników za pomocą podobnych linii transmisyjnych, **znamienny tym**, że wyjście dekodera (**D**) jest połączone z pierwszym wejściem rejestru (**DR**) danych za pomocą pierwszej linii przesyłowej TTL (L_3), wyjście rejestru (**DR**) danych jest połączone z pierwszym wejściem kodera (**K**) za pomocą trzeciej linii przesyłowej TTL (L_5), wyjście kodera (**K**) jest połączone z pierwszym wejściem układu (**UB**) bramkowania i z wejściami n zespołów ($N_1, N_2, \dots, N_n$) nadajników n kanałów za pomocą pierwszej szyny jednokierunkowej (L_9) typu BUS, wyjścia n zespołów ($O_1, O_2, \dots, O_n$) odbiorników są połączone z drugim wejściem układu (**UB**) bramkowania za pomocą innej szyny jednokierunkowej (L_{10}) typu BUS, wyjście układu (**UB**) bramkowania jest połączone z wejściem dekodera (**D**) za pomocą siódmej linii przesyłowej TTL (L_{12}), natomiast trzecie wejście układu (**UB**) bramkowania jest połączone, za pomocą szóstej linii przesyłowej TTL (L_{11}), ze źródłem (**RD**) sygnału sterującego procesem diagnostyki.

2. Schemat połączeń według zastrz. 1, **znamienny tym**, że pierwsze wejście rejestru (**DR**) danych jest wejściem szeregowym na bit zerowy i na bit ósmy, przy czym w procesie diagnostyki obejmującej przejście danych na drodze procesor-rejestr (**DR**) danych — koder (**K**) — układ (**UB**) bramkowania — dekodery (**D**) — rejestr (**DR**) danych — procesor, wejście szeregowo na bit ósmy jest logicznie odcięte, a wejście szeregowo na bit zerowy jest otwarte.

