



(12) 发明专利

(10) 授权公告号 CN 110235229 B

(45) 授权公告日 2022.08.12

(21) 申请号 201880006937.6

(22) 申请日 2018.01.17

(65) 同一申请的已公布的文献号

申请公布号 CN 110235229 A

(43) 申请公布日 2019.09.13

(30) 优先权数据

2017-006002 2017.01.17 JP

(85) PCT国际申请进入国家阶段日

2019.07.15

(86) PCT国际申请的申请数据

PCT/JP2018/001260 2018.01.17

(87) PCT国际申请的公布数据

W02018/135541 JA 2018.07.26

(73) 专利权人 株式会社电装

地址 日本爱知县

(72) 发明人 浦上泰 加藤武宽 青井佐智子

(74) 专利代理机构 永新专利商标代理有限公司
72002

专利代理人 吕文卓

(51) Int.CI.

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

H01L 21/28 (2006.01)

H01L 21/316 (2006.01)

H01L 21/768 (2006.01)

H01L 29/06 (2006.01)

H01L 29/12 (2006.01)

H01L 29/417 (2006.01)

(56) 对比文件

JP 2016225455 A, 2016.12.28

JP H0456222 A, 1992.02.24

WO 2016125490 A1, 2016.08.11

WO 2016080269 A1, 2016.05.26

JP 2014027076 A, 2014.02.06

JP 2002134607 A, 2002.05.10

JP H06177129 A, 1994.06.24

CN 101088155 A, 2007.12.12

US 5716891 A, 1998.02.10

审查员 廖碧艳

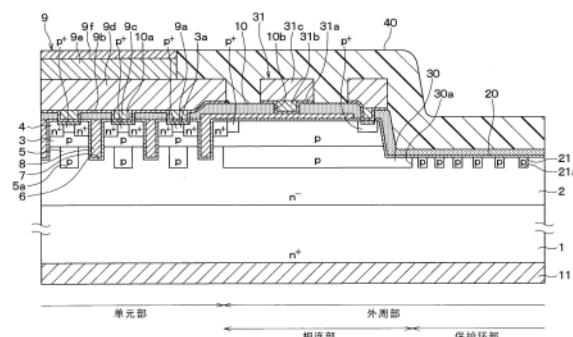
权利要求书2页 说明书13页 附图18页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

通过进行H₂退火而使层间绝缘膜(10)致密化。通过进行这样的致密化，与不进行致密化的情况相比，层间绝缘膜(10)变硬。因此，即使在对于层间绝缘膜(10)形成接触孔(10a、10b)后进行成为高温的加热工序，也抑制接触孔(10a、10b)的侧壁的角部变圆。由此，即使成为金属电极的Al—Si层(9d、31c)向接触孔(10a、10b)内的进入量较多，也抑制基于应力的层间绝缘膜(10)的变形，抑制因该应力而使栅极绝缘膜(7)产生裂纹。



1. 一种半导体装置，其特征在于，
具有：

半导体(1~5)，形成有半导体元件；

层间绝缘膜(10)，形成在上述半导体之上，具有与上述半导体元件相连的接触孔(10a)，包含磷和硼的至少一方；

金属电极(9d)，形成在上述层间绝缘膜之上，经由上述接触孔而与上述半导体元件连接；以及

基底绝缘膜，配置在上述半导体与上述层间绝缘膜之间；

在上述层间绝缘膜内，通过进行N₂回流以及930℃以上的温度下的H₂退火，从而填充有氢；

在上述层间绝缘膜中含有磷，在该层间绝缘膜内磷浓度分布在上述基底绝缘膜的附近具有极大值。

2. 如权利要求1所述的半导体装置，其特征在于，

在上述层间绝缘膜内的整个区域，磷浓度是2wt%以上。

3. 如权利要求1所述的半导体装置，其特征在于，

在上述层间绝缘膜中含有硼，在该层间绝缘膜内的整个区域，硼浓度是2wt%。

4. 如权利要求1所述的半导体装置，其特征在于，

在上述接触孔中埋入了钨插塞(9c)，上述金属电极的基底面是平坦的。

5. 如权利要求1所述的半导体装置，其特征在于，

具有形成有上述半导体中的上述半导体元件的单元部、和包括将该单元部包围的保护环部的外周部，在上述保护环部，在上述半导体中形成有凹部(20)，在上述单元部与上述保护环部之间构成了高度差部；

上述层间绝缘膜还将上述高度差部覆盖而形成。

6. 如权利要求1所述的半导体装置，其特征在于，

上述层间绝缘膜内的氢浓度为 $1 \times 10^{20} \text{ cm}^{-3}$ 以上。

7. 如权利要求1所述的半导体装置，其特征在于，

上述接触孔的上表面形状构成为正方形，该正方形的一边的长度为0.3~0.6μm，设上述层间绝缘膜的底面与该接触孔的侧面所成的角度为侧壁角，该侧壁角为85°以上且90°以下。

8. 如权利要求1所述的半导体装置，其特征在于，

上述接触孔的上表面形状构成为长方形的线状，该长方形的短边的长度为0.3~0.6μm，设上述层间绝缘膜的底面与该接触孔的侧面所成的角度为侧壁角，该侧壁角为85°以上且90°以下。

9. 如权利要求6所述的半导体装置，其特征在于，

上述基底绝缘膜的氢浓度是不到 $1 \times 10^{20} \text{ cm}^{-3}$ 。

10. 如权利要求1~9中任一项所述的半导体装置，其特征在于，

上述半导体具有：

半导体基板(1、2)，背面侧为第1导电型或第2导电型的高浓度杂质层(1)，并且表面侧为比上述高浓度杂质层低杂质浓度的第1导电型的漂移层(2)，由碳化硅构成；

基体区域(3),形成在上述漂移层之上,由第2导电型的碳化硅构成;以及
源极区域(4),形成在上述基体区域之上,由比上述漂移层高杂质浓度的第1导电型的
碳化硅构成;

上述半导体元件具有:

沟槽栅构造,形成在从上述源极区域的表面形成到比上述基体区域深的位置的栅极沟
槽(6)内,具有形成在该栅极沟槽的内壁面的栅极绝缘膜(7)和形成在上述栅极绝缘膜之上的
栅极电极(8);

第1电极(9),与上述源极区域及上述基体区域连接;以及

第2电极(11),与上述高浓度杂质层连接;

上述栅极绝缘膜构成上述基底绝缘膜;

上述金属电极包含于上述第1电极。

11.一种半导体装置的制造方法,

上述半导体装置具有:

半导体(1~5),形成有半导体元件;

层间绝缘膜(10),形成在上述半导体之上,具有与上述半导体元件相连的接触孔
(10a),包含磷和硼的至少一方;

金属电极(9d),形成在上述层间绝缘膜之上,经由上述接触孔而与上述半导体元件连
接;以及

基底绝缘膜,配置在上述半导体与上述层间绝缘膜之间;

上述半导体装置具有形成有上述半导体中的上述半导体元件的单元部、和包括将该单
元部包围的保护环部的外周部,在上述保护环部,在上述半导体中形成有凹部(20),在上述
单元部与上述保护环部之间构成了高度差部;

上述层间绝缘膜还将上述高度差部覆盖而形成;

上述半导体装置的制造方法的特征在于,

包括以下工序:

在通过形成上述凹部而构成了上述高度差部的上述半导体之上成膜上述层间绝缘膜;

通过进行N₂回流,使上述层间绝缘膜流动,将上述高度差部用规定的膜厚的上述层间绝
缘膜覆盖;

在将上述高度差部用规定的膜厚的上述层间绝缘膜覆盖之后,形成上述接触孔;

在形成上述接触孔之后,通过在930℃以上进行氢退火,向上述层间绝缘膜内填充氢而
进行该层间绝缘膜的致密化处理,使得上述层间绝缘膜的磷浓度分布在上述基底绝缘膜的
附近具有极大值。

半导体装置及其制造方法

[0001] 相关申请的相互参照

[0002] 本申请基于2017年1月17日提出申请的日本专利申请第2017-6002号,这里通过参照而引用其记载内容。

技术领域

[0003] 本发明涉及具备经由形成在层间绝缘膜中的接触孔进行与金属电极的电连接的半导体元件的半导体装置及其制造方法,尤其适合应用于碳化硅(以下称作SiC)半导体装置。

背景技术

[0004] 以往,有具备形成MOSFET或肖特基二极管等半导体元件的单元部和将单元部的周围包围的保护环部的半导体装置。在该半导体装置中,通过在形成有半导体元件的半导体之上形成层间绝缘膜、并经由形成在层间绝缘膜中的接触孔配置金属电极,来进行半导体元件与金属电极的电连接。

[0005] 作为层间绝缘膜,能够选择各种各样的材质,例如有使用作为具有流动性的绝缘膜的BPSG(Boro-phospho silicate glass的简称)等的情况。由于BPSG等是具有通过回流而容易地流动的流动性的材质,所以适合于在半导体的表面成膜绝缘膜之后进行绝缘膜的膜厚的均匀化那样的情况。例如,可以举出如在专利文献1中示出的通过在外周区域设置凹部而使单元区域突出的台面(mesa)构造那样、将具有高度差的半导体的表面用层间绝缘膜覆盖的情况。在这样的构造中,当将层间绝缘膜成膜时高度差部的侧面的膜厚变薄,所以作为层间绝缘膜而使用BPSG等有流动性的绝缘膜,通过回流使其流动从而确保了高度差部的侧面的膜厚。

[0006] 现有技术文献

[0007] 专利文献

[0008] 专利文献1:日本特开2011-101036号公报

发明概要

[0009] 但是,本发明者们在半导体装置的制造后进行了短路耐受量试验,结果,有在半导体元件所具备的绝缘膜例如MOSFET的栅极绝缘膜中产生裂纹而得不到希望的短路耐受量的情况。推测这是因为以下的机理。

[0010] 例如,在作为半导体元件而形成有MOSFET的半导体之上形成由BPSG构成的层间绝缘膜,在形成接触孔之后形成由Al-Si膜构成的金属电极并进行了短路耐受量试验。在短路耐受量试验中,测量当在源极-漏极间施加了1000V时、由于向栅极电极的错误信号而半导体元件导通时的短路耐受量。

[0011] 当进行了这样的短路耐受量试验时,由于流过大电流而半导体元件发热。例如,在MOSFET的情况下,在MOSFET的半导体部中产生热。如果该热传递给金属电极,则由于以Al为

主原料的金属电极的材料的熔点较低,所以金属电极熔融。该熔融的金属电极当半导体元件截止时凝固,但在该凝固时对层间绝缘膜施加应力,它进一步也传递给栅极绝缘膜,使栅极绝缘膜产生裂纹。或者,当半导体元件因导通截止而发热冷却时金属电极伸缩,对层间绝缘膜施加应力,所以它也传递给栅极绝缘膜,使栅极绝缘膜产生裂纹。推测是因为这样的机理而使栅极绝缘膜产生裂纹,例如栅极一源极间短路从而无法得到短路耐受量。

[0012] 并且,在用如BPSG那样有流动性的材料形成了层间绝缘膜的情况下,接触孔的侧壁的角部变圆,开口部的入口的尺寸比底部扩大,所以可知如上述那样发生的应力变大,进一步使短路耐受量下降。

[0013] 因而,希望在用如BPSG那样有流动性的材料形成层间绝缘膜的情况下也能得到半导体元件的短路耐受量。特别是,在SiC半导体装置中,由于使用大电流,所以半导体元件中的发热容易变大,容易发生短路耐受量下降的课题。

[0014] 另外,这里以关于短路耐受量下降的课题为例进行了说明,但是已确认到:由于层间绝缘膜的接触孔的侧壁的角部变圆而产生的应力成为要因,产生各种各样的问题。例如,在将试料反复暴露于低温下和高温下的冷热循环试验及反复进行半导体元件的导通截止而反复使温度变化的功率循环试验中,也确认到上述应力成为要因而使半导体装置的耐久性下降。

发明内容

[0015] 本发明的目的在于,提供半导体装置及其制造方法,在用有流动性的材料形成层间绝缘膜的情况下也能够抑制接触孔的角部变圆、提高耐久性。

[0016] 本发明的第1技术方案的半导体装置具有:半导体,形成有半导体元件;层间绝缘膜,形成在半导体之上,具有与半导体元件相连的接触孔,包含磷和硼的至少一方;以及金属电极,形成在层间绝缘膜之上,经由接触孔而与半导体元件连接;在层间绝缘膜内填充有氢。

[0017] 这样,通过向层间绝缘膜内填充氢而使层间绝缘膜致密化。进行了这样的致密化的层间绝缘膜与不进行致密化的情况相比变硬。因此,即使在对层间绝缘膜形成接触孔后进行成为高温的加热工序,也抑制接触孔的侧壁的角部变圆,能够实现侧壁陡立的接触孔。由此,即使金属电极向接触孔内的进入量较多,也抑制基于应力的层间绝缘膜的变形。因而,能够提高半导体装置的耐久性。

[0018] 在本发明的第2技术方案的半导体装置的制造方法中,包括:在通过形成凹部而构成了高度差部的半导体之上成膜层间绝缘膜;通过进行回流,使层间绝缘膜流动,将高度差部用规定的膜厚的层间绝缘膜覆盖;在将高度差部用规定的膜厚的层间绝缘膜覆盖之后,通过在870℃以上进行H₂(氢)退火,向层间绝缘膜内填充氢而进行该层间绝缘膜的致密化处理;在致密化处理之后,形成接触孔。

[0019] 这样,通过进行H₂退火,能够向层间绝缘膜填充氢而进行层间绝缘膜的致密化处理。由此,即使在对层间绝缘膜形成接触孔后进行成为高温的加热工序,也抑制接触孔的侧壁的角部变圆,能够实现侧壁陡立的接触孔。因而,能够制造能够提高耐久性的半导体装置。

[0020] 在本发明的第3技术方案的半导体装置的制造方法中,包括:在通过形成凹部而构成了高度差部的半导体之上成膜层间绝缘膜;通过进行回流而使层间绝缘膜流动,将高度

差部用规定的膜厚的层间绝缘膜覆盖；在将高度差部用规定的膜厚的层间绝缘膜覆盖之后，形成接触孔；在形成接触孔之后，通过在870℃以上进行H₂退火，向层间绝缘膜内填充氢而进行该层间绝缘膜的致密化处理。

[0021] 这样，即使在形成接触孔之后进行H₂退火，也与上述第2技术方案的半导体装置的制造方法同样，能够制造能够提高耐久性的半导体装置。

附图说明

- [0022] 图1是表示第1实施方式的SiC半导体装置的截面结构的图。
- [0023] 图2是表示图1所示的SiC半导体装置的制造工序的一部分的流程图。
- [0024] 图3(a)是图1所示的SiC半导体装置的制造工序中的剖视图。
- [0025] 图3(b)是接着图3(a)的SiC半导体装置的制造工序中的剖视图。
- [0026] 图3(c)是接着图3(b)的SiC半导体装置的制造工序中的剖视图。
- [0027] 图3(d)是接着图3(c)的SiC半导体装置的制造工序中的剖视图。
- [0028] 图4是在监视器中使用的试料的剖视图。
- [0029] 图5(a)是表示在监视器中使用的试料的图案1的接触孔形状的俯视布局图。
- [0030] 图5(b)是表示在监视器中使用的试料的图案2的接触孔形状的俯视布局图。
- [0031] 图5(c)是表示在监视器中使用的试料的图案3的接触孔形状的俯视布局图。
- [0032] 图6(a)是设为图案1而形成了接触孔时的剖视图。
- [0033] 图6(b)是设为图案2而形成了接触孔时的剖视图。
- [0034] 图6(c)是设为图案3而形成了接触孔时的剖视图。
- [0035] 图7是表示图案1～3的接触孔的评价结果的图表。
- [0036] 图8是表示氢浓度分布的测量结果的图。
- [0037] 图9是表示磷浓度分布的测量结果的图。
- [0038] 图10是表示硼浓度分布的测量结果的图。
- [0039] 图11(a)是设为图案1而形成了接触孔时的剖视图。
- [0040] 图11(b)是设为图案2而形成了接触孔时的剖视图。
- [0041] 图11(c)是设为图案3而形成了接触孔时的剖视图。
- [0042] 图12是表示图案1～3的接触孔的评价结果的图表。

具体实施方式

[0043] 以下，基于附图对本发明的实施方式进行说明。另外，在以下的各实施方式中，对于相互相同或等同的部分赋予相同的标号而进行说明。

[0044] (第1实施方式)

[0045] 对第1实施方式进行说明。这里，作为半导体装置，以将沟槽栅构造的反转型的MOSFET作为半导体元件的SiC半导体装置为例进行说明。

[0046] 如图1所示，SiC半导体装置具有形成有沟槽栅构造的MOSFET的单元部和将该单元部包围的外周部。外周部具有保护环部、和比保护环部靠内侧即配置在单元部与保护环部之间的相连部。

[0047] SiC半导体装置利用在n⁺型基板1的表面侧使n⁻型漂移层2外延生长而得到的半

体基板形成,上述n⁺型基板1构成由SiC形成的高浓度杂质层,上述n⁻型漂移层2由SiC形成并且杂质浓度比n⁺型基板1低。即,使用了背面侧为由n⁺型基板1形成的高浓度杂质层、表面侧为比其低杂质浓度的n⁻型漂移层2的半导体基板。并且,在n⁻型漂移层2之上,外延成长有p型基体(base)区域3,进而在p型基体区域3的表层部形成有n⁺型源极区域4。

[0048] n⁺型基板1例如其n型杂质浓度为 $1.0 \times 10^{19}/\text{cm}^3$,表面为(0001) Si面。n⁻型漂移层2比n⁺型基板1杂质浓度低,例如n型杂质浓度为 $0.5 \sim 2.0 \times 10^{16}/\text{cm}^3$ 。

[0049] 此外,p型基体区域3是形成沟道区域的部分,p型杂质浓度例如为 $2.0 \times 10^{17}/\text{cm}^3$ 左右,厚度为300nm。n⁺型源极区域4比n⁻型漂移层2杂质浓度高,表层部的n型杂质浓度例如为 $2.5 \times 10^{18} \sim 1.0 \times 10^{19}/\text{cm}^3$,厚度为0.5μm左右。

[0050] 在单元部及相连部,在n⁺型基板1的表面侧留有p型基体区域3,在保护环部,以将p型基体区域3贯通而达到n⁻型漂移层2的方式形成有凹部20。通过做成这样的构造而构成台面构造。

[0051] 此外,在单元部及相连部,在p型基体区域3的表面形成有由p型高浓度层构成的接触区域3a。

[0052] 进而,在单元部,在比p型基体区域3靠下方即n⁻型漂移层2的表层部,形成有p型深层5。p型深层5与p型基体区域3相比p型杂质浓度较高。p型深层5以图1的纸面垂直方向即与后述的沟槽栅构造相同的方向为长度方向而延伸设置。具体而言,p型深层5在n⁻型漂移层2中等间隔地配置有多条,配置在相互无交点地离开而配置的条状的沟槽5a内。例如,各p型深层5其p型杂质浓度例如为 $1.0 \times 10^{17} \sim 1.0 \times 10^{19}/\text{cm}^3$,宽度为0.7μm,深度为2.0μm左右。

[0053] 此外,以将p型基体区域3及n⁺型源极区域4贯通而达到n⁻型漂移层2的方式,形成有例如宽度为0.8μm、深度为1.0μm的栅极沟槽6。以与该栅极沟槽6的侧面接触的方式配置上述p型基体区域3及n⁺型源极区域4。栅极沟槽6形成为以图1的纸面左右方向为宽度方向、以纸面垂直方向为长度方向、以纸面上下方向为深度方向的线状的布局,通过将多条平行地以等间隔排列而做成条状。

[0054] 进而,将p型基体区域3中的位于栅极沟槽6侧面的部分作为当纵型MOSFET动作时将n⁺型源极区域4与n⁻型漂移层2之间相连的沟道区域,在包括沟道区域的栅极沟槽6的内壁面形成有栅极绝缘膜7。栅极绝缘膜7例如由热氧化膜等形成。并且,在栅极绝缘膜7的表面形成有由掺杂Poly-Si构成的栅极电极8,由这些栅极绝缘膜7及栅极电极8将栅极沟槽6内完全填埋。

[0055] 另外,栅极绝缘膜7也形成在栅极沟槽6的内壁面以外的表面。具体而言,也形成在n⁺型源极区域4的表面的一部分及相连部中的p型基体区域3的表面。此外,栅极电极8也延伸设置到相连部中的栅极绝缘膜7的表面上。

[0056] 此外,n⁺型源极区域4及接触区域3a的表面与相当于第1电极的源极电极9连接。同样,栅极电极8在延伸设置于相连部的部分被连接于栅极焊盘31。这些源极电极9及栅极焊盘31经由形成在栅极绝缘膜7等之上的层间绝缘膜10,形成在形成有MOSFET的各构成要素的半导体上。并且,源极电极9及栅极焊盘31经过形成在层间绝缘膜10中的接触孔10a、10b,与各构成要素连接。源极电极9及栅极焊盘31由多种金属构成。接触孔10a、10b的图案是任意的,例如可以举出排列有多个正方形的接触孔的图案、排列有长方形的短线状的接触孔的图案、或排列有线状的接触孔的图案等。

[0057] 源极电极9如以下这样构成。具体而言，在源极电极9中的与n⁺型源极区域4及接触区域3a接触的接触部位，形成有使用Ni(镍)等金属形成的金属硅化物9a。在其上形成有由Ti(钛)、TiN等构成的阻挡金属(barrier metal)9b，进而在其上形成有W(钨)插塞9c及以Al为主成分的Al—Si层9d。此外，在Al—Si层9d的表面，隔着Ni镀层9e形成有Au层9f。

[0058] 另一方面，栅极焊盘31如以下这样构成。具体而言，在栅极焊盘31中的与栅极电极8接触的接触部位，形成有由TiN等构成的阻挡金属31a，进而在其上形成有W插塞31b及以Al为主成分的Al—Si层31c。另外，这里虽然没有图示，但也可以在Al—Si层31c的表面也隔着Ni镀层而形成Au层。

[0059] 金属硅化物9a为了n⁺型源极区域4及接触区域3a与源极电极9之间的接触电阻的减少而设置。

[0060] 阻挡金属9b、31a起到抑制Al—Si层9d、31c中含有的Al向半导体侧及层间绝缘膜10侧扩散的作用。此外，阻挡金属9b还起到抑制金属硅化物9a内的Ni向Al—Si层9d侧扩散的作用。

[0061] W插塞9c、31b进行Al—Si层9d、31c的基底面的平坦化并且起到使Al—Si层9d、31c向形成在层间绝缘膜10中的接触孔10a、10b内的进入减少的作用。此外，W插塞9c、31b也起到用熔点比Al高的材料将接触孔10a、10b内填埋的作用。如果使Al—Si层9d、31c向接触孔10a、10b内的进入减少，则当Al—Si层9d、31c伸缩时、或者因发热而熔融后固化时，仅在平坦面上伸缩或固化。因此，抑制了对层间绝缘膜10施加的应力。此外，由于W的熔点比Al高，所以即使将W插塞9c、31b配置到接触孔10a、10b内，也不易因半导体元件的发热而发生熔融，所以能够抑制发生经熔融而固化的现象。由此，对于层间绝缘膜10施加的应力被进一步抑制。

[0062] Al—Si层9d、31c是作为通常的电极材料使用的，相当于金属电极。这里将金属电极用Al—Si层9d、31c构成，但也可以仅由Al构成等，由其他以Al为主成分的材料构成。基本上，优选的是，能够将源极电极9及栅极焊盘31仅由以Al为主成分的Al—Si层9d、31c构成。但是，考虑Al的扩散等，不仅由Al—Si层9d、31c，还一起使用其他材料而构成了源极电极9及栅极焊盘31。

[0063] Ni镀层9e及Au层9f为了提高经由源极电极9实现与外部的连接时的焊料浸润性而形成。

[0064] 进而，在n⁺型基板1的背面侧，形成有与n⁺型基板1电连接的相当于第2电极的漏极电极11。通过这样的构造，构成n沟道型的反转型沟槽栅构造的MOSFET。并且，通过将这样的MOSFET配置多个单元而构成单元部。

[0065] 另一方面，在保护环部，如上述那样，以将n⁺型源极区域4及p型基体区域3贯通而达到n⁻型漂移层2的方式形成有凹部20。因此，在从单元部离开了的位置，n⁺型源极区域4及p型基体区域3被除去，使n⁻型漂移层2露出。并且，在n⁺型SiC基板1的厚度方向上，比凹部20靠内侧的单元部及相连部成为以岛状突出的台面部，在单元部及相连部与保护环部之间构成高度差。

[0066] 此外，在位于凹部20的下方的n⁻型漂移层2的表层部，以将单元部包围的方式具备多条p型保护环21。从半导体基板的表面的法线(以下称作基板法线方向)观察，p型保护环21的俯视布局呈四角变圆的四边形或圆形等。p型保护环21例如配置在形成于n⁻型漂移层2

的表层部的沟槽21a内,由通过外延生长形成的p型的外延膜构成。

[0067] 另外,虽然没有图示,但通过根据需要而在比p型保护环21靠外周设置EQR构造,构成了具备将单元部包围的外周耐压构造的保护环部。

[0068] 此外,将从单元部到保护环部之间作为相连部,在相连部及保护环部的内周侧,在n⁻型漂移层2的表层部形成有p型降低表面电场(resurf)层30。例如,从基板法线方向观察,以将单元部包围的方式形成有相连部,进而以将相连部的外侧包围的方式形成有多条四角变圆的四边形的p型保护环21。p型降低表面电场层30以将单元部的周围包围并达到保护环部的方式延伸设置。该p型降低表面电场层30也配置在形成于n型漂移层2的表层部的沟槽30a内,通过由外延生长形成的p型的外延膜构成。

[0069] 通过形成这样的p型降低表面电场层30,能够将等势线向保护环部侧引导,能够使得在相连部内不产生电场集中的部位,所以能够抑制耐压下降。

[0070] 进而,以将这样构成的单元部、相连部及保护环部覆盖的方式形成有由聚酰亚胺等构成的保护膜40。并且,如图1所示那样,源极电极9从保护膜40露出,并且,在与图1不同的截面中,栅极焊盘31从保护膜40露出。

[0071] 通过以上这样的构造,构成了本实施方式的SiC半导体装置。这样构成的SiC半导体装置,当将MOSFET导通时,通过控制向栅极电极8的施加电压,在位于栅极沟槽6的侧面的p型基体区域3的表面部形成沟道区域。由此,使电流经由n⁺型源极区域4及n⁻型漂移层2而在源极电极9及漏极电极11之间流动。

[0072] 此外,在反偏时，在相连部，通过形成有p型降低表面电场层30而抑制了等势线的升高，并使其朝向保护环部侧。并且，在保护环部，由p型保护环21使等势线的间隔朝向外周方向扩大并且终止，在保护环部也能够得到希望的耐压。因而，能够做成能够得到希望的耐压的SiC半导体装置。

[0073] 接着,参照图2～图3对本实施方式的SiC半导体装置的制造方法进行说明。其中,制造方法中的在n⁺型基板1之上形成n⁻型漂移层2、在形成p型深层5后形成p型基体区域3及n⁺型源极区域4并形成接触区域3a、进而形成沟槽栅构造的工序与以往是同样的。因此,对于与以往同样的工序以后的各工序进行说明。

[0074] 如图2所示的制造工序的流程图那样,进行(1)层间绝缘膜10及源极电极9的接触孔10a的形成工序、(2)硅化物形成工序、(3)栅极焊盘31的接触孔10b的形成工序、(4)电极形成工序。以下,将这些各工序设为(1)～(4)的工序而进行说明。

[0075] ((1)的工序)

[0076] 图3(a)是进行了(1)的工序时的剖视图。首先,形成沟槽栅构造,在形成于半导体的表面即p型基体区域3、n⁺型源极区域4及接触区域3a的表面的栅极绝缘膜7及栅极电极8之上,将层间绝缘膜10成膜。作为层间绝缘膜10,使用作为有流动性的氧化膜的PBSG,但除了BPSG以外,也可以使用PSG(phospho silicate glass的简称)或BSG(Boron silicate glass的简称)。

[0077] 接着,进行例如N₂(氮)气氛下的回流即N₂退火。当成膜了层间绝缘膜10时,由凹部20在单元部及相连部与保护环部之间构成了高度差。因此,通过进行回流而使层间绝缘膜10流动,使得层间绝缘膜10在高度差部也成为希望的膜厚。这样,高度差部被希望的膜厚的层间绝缘膜10覆盖,从而还能够实现高度差部的耐压。

[0078] 然后,对于层间绝缘膜10,进行用来使流动性变小而变硬的致密化处理。具体而言,通过在氢气氛下进行加热处理而进行H₂退火。关于加热处理的温度,设为800℃以上,优选设为870℃以上,例如设为930℃以上。此外,关于加热处理的时间,设为20分钟。如果进行这样的H₂退火,则能够使层间绝缘膜10致密化。关于其机理虽然没有明确,但推测是因为:例如在将层间绝缘膜10用BPSG构成的情况下,通过填充氢,没有变成SiO₂的Si或Si—O与氢结合,能够使结合力变强。即,可以认为:H作为悬空键,容易与Si或Si—O的未结合键容易地结合而进入到分子间,从而存在未结合键而结合较弱的层间绝缘膜10的结合变强,硬化从而致密化。

[0079] 在进行这样的致密化处理后,虽然没有图示,但在层间绝缘膜10之上成膜未图示的光致抗蚀剂后进行曝光及显影,进而进行UV(紫外线)照射从而将光致抗蚀剂构图。由此,光致抗蚀剂中的接触孔10a的计划形成区域开口,形成基于光致抗蚀剂的掩模。接着,通过使用该基于光致抗蚀剂的掩模将层间绝缘膜10蚀刻,对层间绝缘膜10形成用于源极电极9的接触孔10a。

[0080] ((2) 的工序)

[0081] 图3(b)是进行了(2)的工序时的剖视图。在该工序中,在通过(1)的工序形成的接触孔10a的底部形成金属硅化物9a。首先,在从(1)的工序到(2)的工序之间,由于在接触孔10a的底面可能形成有自然氧化膜,所以使用HF(氢氟酸)将自然氧化膜蚀刻。接着,将接触孔10a内包含在内而在层间绝缘膜10之上成膜了Ni膜后,进行例如600~750℃的加热下的第1次金属烧结,使存在于接触孔10a的底面的SiC中的Si与Ni膜中的Ni进行硅化物化反应。由此,形成由Ni—Si构成的金属硅化物9a。

[0082] 然后,通过浸渍到蚀刻液中而将Ni膜中的没有成为金属硅化物9a的剩余部除去,使得仅金属硅化物9a留下。接着,在比第1次金属烧结高温、例如800~900℃下进行第2次金属烧结,使金属硅化物9a变硬。由此,能够实现金属硅化物9a的进一步的低电阻化。

[0083] 另外,关于到此为止说明的(2)的工序,特别优选在作为半导体而使用SiC的情况下实施。但是,由于在(2)的工序中包含进行高温处理的工序,所以如果将层间绝缘膜10用有流动性的材料构成,则由于层间绝缘膜10的流动,接触孔10a的侧壁的角部可能变圆。

[0084] 相对于此,在本实施方式中,在进行高温处理的工序之前,进行用来使层间绝缘膜10的流动性变小而变硬的致密化处理。因此,层间绝缘膜10变得坚固,所以即使进行高温处理,也能够抑制层间绝缘膜10变圆。

[0085] ((3) 的工序)

[0086] 图3(c)是进行了(3)的工序时的剖视图。虽然没有图示,但在层间绝缘膜10之上成膜了未图示的光致抗蚀剂之后,进行曝光及显影,进而进行UV照射从而将光致抗蚀剂构图。由此,光致抗蚀剂中的接触孔10b的计划形成区域开口,形成基于光致抗蚀剂的掩模。接着,使用该基于光致抗蚀剂的掩模将层间绝缘膜10蚀刻,从而对层间绝缘膜10形成用于栅极焊盘31的接触孔10b。

[0087] ((4) 的工序)

[0088] 图3(d)是进行了(4)的工序时的剖视图。首先,在从(3)的工序到(4)的工序之间,由于在接触孔10a、10b的底面可能形成有自然氧化膜,所以使用HF将自然氧化膜蚀刻。并且,将接触孔10a、10b内包含在内而在层间绝缘膜10之上通过溅射等将Ti/TiN膜成膜。由

此,形成用来形成阻挡金属9b、31a的金属膜。

[0089] 接着,在通过CVD(chemical vapor deposition)法等将W膜成膜后,通过进行回蚀而仅在接触孔10a、10b内留下W膜,形成W插塞9c、31b。由此,在层间绝缘膜10之上形成的Ti/TiN膜的表面和W插塞9c、31b成为同一平面的平坦面。即,在后工序中形成的Al—Si层9d、31c的基底面成为平坦面。

[0090] 接着,通过溅射等将Al—Si膜成膜。并且,在Al—Si膜的表面成膜了未图示的光致抗蚀剂之后,进行曝光及显影,进而进行UV照射从而将光致抗蚀剂构图。进而,使用基于光致抗蚀剂的掩模将Al—Si膜及Ti/TiN膜蚀刻,从而将它们构图,进行规定的温度的烧结。由此,Al—Si膜及Ti/TiN膜被划分为源极电极9侧和栅极焊盘31侧,形成Al—Si层9d、31c及阻挡金属9b、31a。

[0091] 关于之后的工序,虽然没有图示,但在将聚酰亚胺等成膜后,进行使用了光致抗蚀剂等的掩模的蚀刻从而进行构图,形成与源极电极9、栅极焊盘31对应的部分开口的保护膜40。进而,通过实施镀Ni、镀Au,在从保护膜40中的开口的部分露出的Al—Si层9d的表面形成Ni镀层9e、Au层9f,并且在栅极焊盘31的表面也形成未图示的Ni镀层、Au层。并且,最后在n⁺型基板1的背面侧形成漏极电极11。

[0092] 通过以上那样的制造方法,本实施方式的SiC半导体装置完成。根据这样的制造方法,由于使层间绝缘膜10致密化,所以与没有进行致密化的情况相比层间绝缘膜10变硬。因此,即使在对层间绝缘膜10形成接触孔10a、10b后进行成为高温的加热工序,接触孔10a、10b的侧壁的角部变圆也得以抑制。

[0093] 因此,即使成为金属电极的Al—Si层9d、31c的向接触孔10a、10b内的进入量较多,基于应力的层间绝缘膜10的变形也被抑制,能够抑制因该应力使栅极绝缘膜7产生裂纹。

[0094] 进而,在本实施方式的情况下,使W插塞9c、31b埋入到接触孔10a、10b内。因此,当形成了构成W插塞9c、31b的W膜时,能够将接触孔10a、10b内用W膜完全埋入。

[0095] 即,在接触孔10a、10b的侧壁的角部成为变圆了的形状的情况下,成为开口部的入口比底部宽的状态。因此,当形成了构成W插塞9c、31b的W膜时,难以将接触孔10a、10b内用W膜完全埋入。相对于此,如果能够如本实施方式那样使层间绝缘膜10变硬,则接触孔10a、10b的角部不会变圆,底部与侧壁所成的角度被维持为例如85°以上这样的接近于垂直的角度。因此,不会成为接触孔10a、10b的开口部的入口相对于底部变宽的形状,能够将接触孔10a、10b内用W膜完全埋入。由此,接触孔10a、10b内被W插塞9c、31b完全埋入,形成在层间绝缘膜10之上的Ti/TiN膜的表面和W插塞9c、31b成为同一平面,能够使得Al—Si层9d、31c的基底面成为平坦面。

[0096] 这样,能够在基底面成为平坦面的基础上形成Al—Si层9d、31c,所以能够抑制Al—Si层9d、31c向接触孔10a、10b内的进入。因而,在Al—Si层9d、31c伸缩时、或者由于发热而在熔融后固化时,只是在平坦面上伸缩或固化,所以抑制了对层间绝缘膜10施加的应力。此外,由于W的熔点比Al高,所以即使将W插塞9c、31b配置到接触孔10a、10b内,也不易因发热而发生熔融,所以能够抑制发生在熔融后固化的现象。由此,进一步抑制了对层间绝缘膜10施加的应力。

[0097] 接着,关于得到了上述效果,参照实验结果进行说明。在实验中,作为试料,如图4所示,代替SiC而使用Si基板50,在Si基板50上形成相当于栅极绝缘膜7的正硅酸乙酯(以下

称作TEOS (Tetra Ethyl Ortho Silicate的简写)) 膜51,在其上形成相当于层间绝缘膜10的BPSG膜52。接着,在进行H₂退火后,对BPSG膜52形成相当于接触孔10a的接触孔52a。关于接触孔52a的图案,准备了多个种类,关于各图案,调查了将BPSG膜52蚀刻而形成了接触孔52a时的形状,调查了接触孔52a的形状变动。

[0098] 具体而言,如图5(a)~图5(c)所示,使用将多个正方形的孔以点状配置的图案1、排列有长方形的短线状的孔的图案2、或排列有线状的孔的图案3进行了实验。图5(a)~图5(c)中的X方向相当于图1的左右方向,在图5(a)、图5(b)所示的图案1及图案2中,以在图1的截面中排列多个的方式配置接触孔52a。关于接触孔52a,在应用于图1的SiC半导体装置时,以至少1个使n⁺型源极区域4和接触区域3a露出的方式形成。这里,在图案1中,将接触孔52a的各边的长度a1设为0.45μm。在图案2中,将短边a2设为0.45μm,将长边b2设为2.2μm。在图案3中,将短边a3设为0.45μm,将长边b3设为2000μm。并且,将H₂退火的温度以800℃、870℃、930℃改变,关于蚀刻时间,统一为223秒,对接触孔52a的侧壁的形状变动即层间绝缘膜10的底面与接触孔10a的侧面所成的角度进行了调查。另外,以下将层间绝缘膜10的底面与接触孔10a的侧面所成的角度称作侧壁角。

[0099] 首先,如图6(a)所示,关于图案1,在将H₂退火的温度设为930℃的情况下,由于蚀刻时间短,所以在底部有蚀刻残留,侧壁角为86.2°。进而,侧壁为大致直线状,为陡立的状态。相对于此,在将H₂退火的温度设为800℃或870℃的情况下,接触孔52a的侧壁角为115°或101.7°。更详细地讲,从底部到入口侧,暂时成为开口截面积逐渐变宽的正锥状,随着进一步朝向入口侧,成为逐渐变窄那样的倒锥状。因此,侧壁角超过了90°。随着进一步朝向入口侧,则此次成为开口截面积逐渐变宽的正锥状,但由于在底部侧存在成为倒锥状的部分,所以没有成为良好的沟槽形状。

[0100] 此外,如图6(b)所示,关于图案2,在将H₂退火的温度设为930℃的情况下,由于蚀刻时间短,所以在底部有蚀刻残留,侧壁角为87.8°。进而,侧壁为大致直线状,为陡立的状态。相对于此,在将H₂退火的温度设为870℃的情况下,接触孔52a的侧壁角为110°。更详细地讲,从底部到入口侧,暂时成为开口截面积逐渐变宽的正锥状,但随着进一步朝向入口侧,成为逐渐变窄那样的倒锥状。因此,侧壁角超过了90°。随着进一步朝向入口侧,则此次成为开口截面积逐渐变宽的正锥状,但由于在底部侧存在成为倒锥状的部分,所以没有成为良好的沟槽形状。此外,在将H₂退火的温度设为800℃的情况下,接触孔52a的侧壁角为88.5°,但在入口侧,开口截面积相比底部侧变宽,侧壁其角部带有圆度,没有成为陡立的状态。

[0101] 进而,如图6(c)所示,关于图案3,在将H₂退火的温度设为930℃或870℃的情况下,侧壁角为86.6°或89.5°。进而,侧壁为大致直线状,为陡立的状态。相对于此,在将H₂退火的温度设为800℃的情况下,接触孔52a的侧壁角为90°,但在入口侧,开口截面积相比底部侧变宽,侧壁其角部带有圆度,没有成为陡立的状态。

[0102] 这里,为了能够通过使层间绝缘膜10变硬而抑制应力的影响,侧壁角优选的是接近于90°、具体而言是85°以上,侧壁成为接近于直线状的陡立的状态为条件。

[0103] 根据这些观点,如果确认图案1~3的各温度下的接触孔52a的侧壁的形状变动,则关于图案1~3,分别根据接触孔52a的侧壁的形状变动,可知是否具有对于应力的耐受性。图7是将其结果汇总的图表。如该图表所示,在图案1、2中,在将H₂退火的温度设为930℃的

情况下,有耐受性而是良好的(OK),在设为870℃或800℃的情况下,耐受性不充分而成为不良(NG)。此外,在图案3中,在将H₂退火的温度设为930℃或870℃的情况下,有耐受性而是良好的(OK),在设为800℃的情况下,耐受性不充分而成为不良(NG)。

[0104] 这样,根据改变接触孔10a的形状、改变H₂退火的温度的实验,可以说有以下的结论。首先,在将接触孔10a呈点状配置了多个正方形的孔的图案1的情况下,通过将H₂退火的温度设为930℃以上,能够具备对于应力的耐受性。此外,在将接触孔10a以长方形的短线状的孔而排列的图案2的情况下,也通过将H₂退火的温度设为930℃以上,能够具备对于应力的耐受性。进而,在将接触孔10a以线状的孔而排列的图案3的情况下,通过将H₂退火的温度设为870℃以上,能够具备对于应力的耐受性。

[0105] 另外,这里,在图案1~3中,举出各边的长度的一例而表示了实验结果,但是在这里表示的长度以外的情况下也得到了同样的结果。根据实验结果,例如在图案1的各边的长度a1、图案2、3的短边的长度a2、a3为0.3~0.6μm的范围内,能得到与上述同样的结果。

[0106] 此外,确认了如本实施方式那样在进行N₂退火下的回流而使层间绝缘膜10流动后、进行H₂退火而进行了层间绝缘膜10的致密化的情况下的各部的氢浓度或杂质浓度。参照图8、图9及图10,说明层间绝缘膜10的致密化与各部的氢浓度或杂质浓度的关系。

[0107] 这里,作为实验用的试料,使用图4的试料、即在Si基板50上形成TEOS膜51并在其上形成了BPSG膜52的试料,进行了N₂退火下的回流及H₂退火。接着,对于仅成膜了BPSG膜作为层间绝缘膜10的状态、仅进行了N₂退火下的回流的状态、以及在回流后改变温度而进行了H₂退火的情况的各个情况,调查了氢浓度分布及杂质浓度分布。关于N₂退火下的回流,在950℃下进行了20分钟。图8表示了其中的氢浓度分布的测量结果。此外,图9及图10分别表示磷浓度分布和硼浓度分布的测量结果。

[0108] 如果对图8进行确认,则在回流前的状态下,由于还没有发生由回流带来的脱氢,所以BPSG膜52中的氢浓度变高。另一方面,如果进行回流,则通过脱氢而氢浓度大幅地下降到 $1 \times 10^{20} \text{ cm}^{-3}$ 以下。在该状态下,BPSG膜52成为非致密的状态、即柔软的状态,无法抑制应力的影响。但是,如果之后进行H₂退火,则氢浓度增加,成为 $1 \times 10^{20} \text{ cm}^{-3}$ 以上。特别是,在870℃以上的温度、这里是870℃及930℃的情况下,在BPSG膜52的厚度方向的大致整个区域中,氢浓度成为 $1 \times 10^{20} \text{ cm}^{-3}$ 以上。

[0109] 这样,如果使得氢浓度成为 $1 \times 10^{20} \text{ cm}^{-3}$ 以上,则在BPSG膜52内,通过没有成为SiO₂的Si或Si—O与氢的结合力,能够使BPSG膜52成为致密的状态,能够抑制应力的影响。

[0110] 如果对图9进行确认,则在回流前的状态下,磷浓度为一定的状态。就磷而言,可以说,该状态是没有变成SiO₂的Si或Si—O与磷结合、能够提高BPSG膜52的结合力的状态。相对于此,在仅进行了回流的情况或在回流后进行了H₂退火的情况下,虽然在与TEOS膜51的边界位置处磷浓度下降,但在整个区域中磷浓度成为2wt%以上。进而,在930℃下进行了H₂退火的情况下,在BPSG膜52中的TEOS膜51的附近,磷浓度变高而具有极大值。

[0111] 这样,在进行了H₂退火后也能够使磷浓度成为2wt%以上,所以没有变成SiO₂的Si或Si—O与磷结合,能够提高BPSG膜52的结合力。特别是,在930℃下进行了H₂退火的情况下,在极大值处成为5wt%的磷浓度,特别能够使BPSG膜52致密。因而,通过进行H₂退火、特别是在930℃以上进行,能够进行BPSG膜52的致密化,能够进一步抑制应力的影响。

[0112] 如果对图10进行确认,则在回流前的状态下,硼浓度为一定的状态。关于硼,也可

以说,该状态是没有变成 SiO_2 的 Si 或 $\text{Si}-\text{O}$ 与硼结合而能够提高BPSG膜52的结合力的状态。相对于此,在仅进行了回流的情况或在回流后进行了 H_2 退火的情况下,虽然在与TEOS膜51的边界位置处硼浓度下降,但在整个区域中硼浓度为2wt%以上。

[0113] 这样,在进行 H_2 退火后也能够使硼浓度成为2wt%以上,所以没有变成 SiO_2 的 Si 或 $\text{Si}-\text{O}$ 与硼结合,能够提高BPSG膜52的结合力。因而,即使进行 H_2 退火也能够维持硼浓度,能够进行BPSG膜52的致密化,所以能够进一步抑制应力的影响。

[0114] 进而,在本实施方式的情况下,由于栅极绝缘膜7作为层间绝缘膜10的基底绝缘膜而留下,所以成为与上述实验中使用的试料的TEOS膜51作为BPSG膜52的基底绝缘膜而留下的情况同样的构造。

[0115] 从该TEOS膜51来看,如图8所示,关于氢浓度,比BPSG膜52中的氢浓度低,不到 $1 \times 10^{20} \text{ cm}^{-3}$,这里成为 $1 \times 10^{19} \text{ cm}^{-3}$ 以下。并且,在TEOS膜51与BPSG膜52的界面,包括TEOS膜51及BPSG膜52双方的膜内的氢浓度成为极大值。这表示TEOS膜51成为阻挡部而抑制了来自BPSG膜52的氢的扩散。这样,TEOS膜51换言之SiC半导体装置中的栅极绝缘膜7作为阻止氢的扩散的阻挡部发挥功能,从而能够可靠地进行向层间绝缘膜10的氢的填充。

[0116] 此外,在膜彼此的界面,存在较多未结合键,成为氢容易与未结合键结合的状况。因此,如果在TEOS膜51与BPSG膜52的界面处使氢浓度成为极大值,则存在于界面的未结合键能够与氢结合。因此,作为BPSG膜52的基底的TEOS膜、换言之作为层间绝缘膜10的基底的栅极绝缘膜7能够成为坚固的膜,能够进一步抑制因应力的影响造成的裂纹的发生等。

[0117] (第2实施方式)

[0118] 对第2实施方式进行说明。本实施方式相对于第1实施方式变更了 H_2 退火的工序顺序,其他与第1实施方式同样,所以仅对与第1实施方式不同的部分进行说明。

[0119] 在上述第1实施方式中,作为(1)的工序,在形成层间绝缘膜10后、形成接触孔10a前,作为层间绝缘膜10的致密化处理而进行 H_2 退火。相对于此,在本实施方式中,在(1)的工序中的接触孔10a的形成后、并且(2)的工序中的金属硅化物9a的形成前,作为层间绝缘膜10的致密化处理而进行 H_2 退火。

[0120] 如上述那样,形成于层间绝缘膜10的接触孔10a的侧壁的角部变圆是因为实施了高温处理。因此,如果在进行高温处理的工序之前作为层间绝缘膜10的致密化处理而进行 H_2 退火,则能够抑制接触孔10a的侧壁的角部变圆。因而,在接触孔10a的形成后且金属硅化物9a的形成前作为层间绝缘膜10的致密化处理而进行 H_2 退火,也能够起到与第1实施方式同样的效果。

[0121] 具体而言,关于应用本实施方式那样的制造顺序也能得到与第1实施方式同样的效果,参照实验结果进行说明。关于实验的方法,采用了与第1实施方式同样的方法,使用了图4所示那样的在Si基板50上形成了TEOS膜51和BPSG膜52的试料。并且,对于BPSG膜52,形成图5(a)~图5(c)所示的图案1~3的形状的接触孔52a,调查了接触孔52a的形状变动。

[0122] 首先,如图11(a)所示,关于图案1,在将 H_2 退火的温度设为930°C或870°C的情况下,侧壁角分别为87.2°、86.6°。进而,侧壁为大致直线状,为陡立的状态。相对于此,在将 H_2 退火的温度设为800°C的情况下,接触孔52a的侧壁角为89.5°,从底部到入口侧,在开口截面积逐渐变宽后,成为暂时变窄那样的倒锥状。即,侧壁不是在整个区域中成为正锥状,没有成为陡立的状态。

[0123] 此外,如图11(b)所示,关于图案2,在将H₂退火的温度设为930℃或870℃的情况下,侧壁角分别为89.4°、88.2°。进而,侧壁为大致直线状,为陡立的状态。相对于此,在将H₂退火的温度设为800℃的情况下,接触孔52a的侧壁角为89.8°,从底部到入口侧,在开口截面积逐渐变宽后,成为暂时变窄那样的倒锥状。即,侧壁不是在整个区域中成为正锥状,没有成为陡立的状态。

[0124] 进而,如图11(c)所示,关于图案3,在将H₂退火的温度设为930℃或870℃的情况下,侧壁角为85.8或86.1°。进而,侧壁为大致直线状,为陡立的状态。相对于此,在将H₂退火的温度设为800℃的情况下,接触孔52a的侧壁角为84.8°,在入口侧,与底部侧相比开口截面积变宽,侧壁其角部带有圆度,没有成为陡立的状态。

[0125] 如上述那样,为了能够通过使层间绝缘膜10变硬而抑制应力的影响,优选的是侧壁角接近于90°、具体而言是85°以上,侧壁成为接近于直线状的陡立的状态为条件。

[0126] 从这些观点来看,如果确认了图案1~3的各温度下的接触孔52a的侧壁的形状变动,则关于图案1~3,分别根据接触孔52a的侧壁的形状变动,可知是否具有对于应力的耐受性。图12是将其结果汇总的图表。如该图表所示,在图案1~3的任一种情况下,在将H₂退火的温度设为930℃、870℃的情况下都有耐受性而是良好的(OK),在设为800℃的情况下耐受性不充分而成为不良(NG)。

[0127] 这样,即使在接触孔10a的形成后且金属硅化物9a的形成前作为层间绝缘膜10的致密化处理而进行H₂退火,也能够起到与第1实施方式同样的效果。特别是,关于图案1、2,即使不为930℃以上,通过设为870℃以上,也能够起到与第1实施方式同样的效果。

[0128] 另外,这里,关于图案1~3,也举出各边的长度的一例而表示了实验结果,但是在里表示的长度以外的情况下也得到了同样的结果。根据实验结果,例如在图案1的各边的长度a1、图案2、3的短边的长度a2、a3是0.3~0.6μm的范围内,得到了与上述同样的结果。

[0129] (其他实施方式)

[0130] 将本发明依据上述实施方式进行了记述,但并不限定于该实施方式,也包含各种各样的变形例或等价范围内的变形。除此以外,各种各样的组合或形态、进而在它们中仅包含一要素、其以上或其以下的其他组合或形态也落入在本发明的范畴及思想范围内。

[0131] 例如,在上述实施方式中,以SiC半导体装置为例进行了说明,但对于使用其他半导体材料即Si或化合物半导体的半导体装置也能够应用本发明。

[0132] 此外,应力的影响特别显著地显现的,是在第1、第2实施方式中说明的那样的具有具备栅极绝缘膜7的MOS构造的半导体元件的半导体装置,但应力的影响并不限于在MOS构造的半导体元件中发生。因此,除了在第1、第2实施方式中说明的MOSFET以外,对于具有其以外的MOS构造的半导体元件、具有MOS构造以外的半导体元件的半导体装置,也能够应用本发明。

[0133] 例如,在上述第1实施方式等中,以设第1导电型为n型、设第2导电型为p型的n沟道型的MOSFET为例进行了说明,但也可以是使各构成要素的导电型反转了的p沟道型的MOSFET。此外,作为半导体元件,除了MOSFET以外,对于同样的构造的IGBT也能够应用本发明。IGBT相对于上述各实施方式只是将n⁺型基板1的导电型从n型变更为p型,关于其他构造及制造方法,与上述各实施方式是同样的。进而,作为纵型的MOSFET,以沟槽栅构造为例进行了说明,但并不限于沟槽栅构造,也可以是平面型的。此外,作为MOS构造的半导体元件以

外的半导体元件,对例如具有肖特基势垒二极管等的半导体装置也能够应用本发明。

[0134] 进而,在上述第1、第2实施方式中说明的SiC半导体装置的制造方法也只不过示出了一例,根据需要也可以追加或删除工序,或变更为其他工序。例如,关于金属硅化物9a的形成工序,为了接触电阻降低而优选实施,但也可以将该工序去除。此外,将该金属硅化物9a的形成工序作为进行高温处理的工序的一例而表示。但是,关于其他进行高温处理的工序,也可能成为应力发生原因,所以即使不进行金属硅化物9a的形成工序,也有由进行层间绝缘膜10的致密化处理带来的效果。

[0135] 此外,在图1所示的例子中,设想了通过离子注入而形成n⁺型源极区域4的情况,但 also能够通过外延生长形成n⁺型源极区域4。

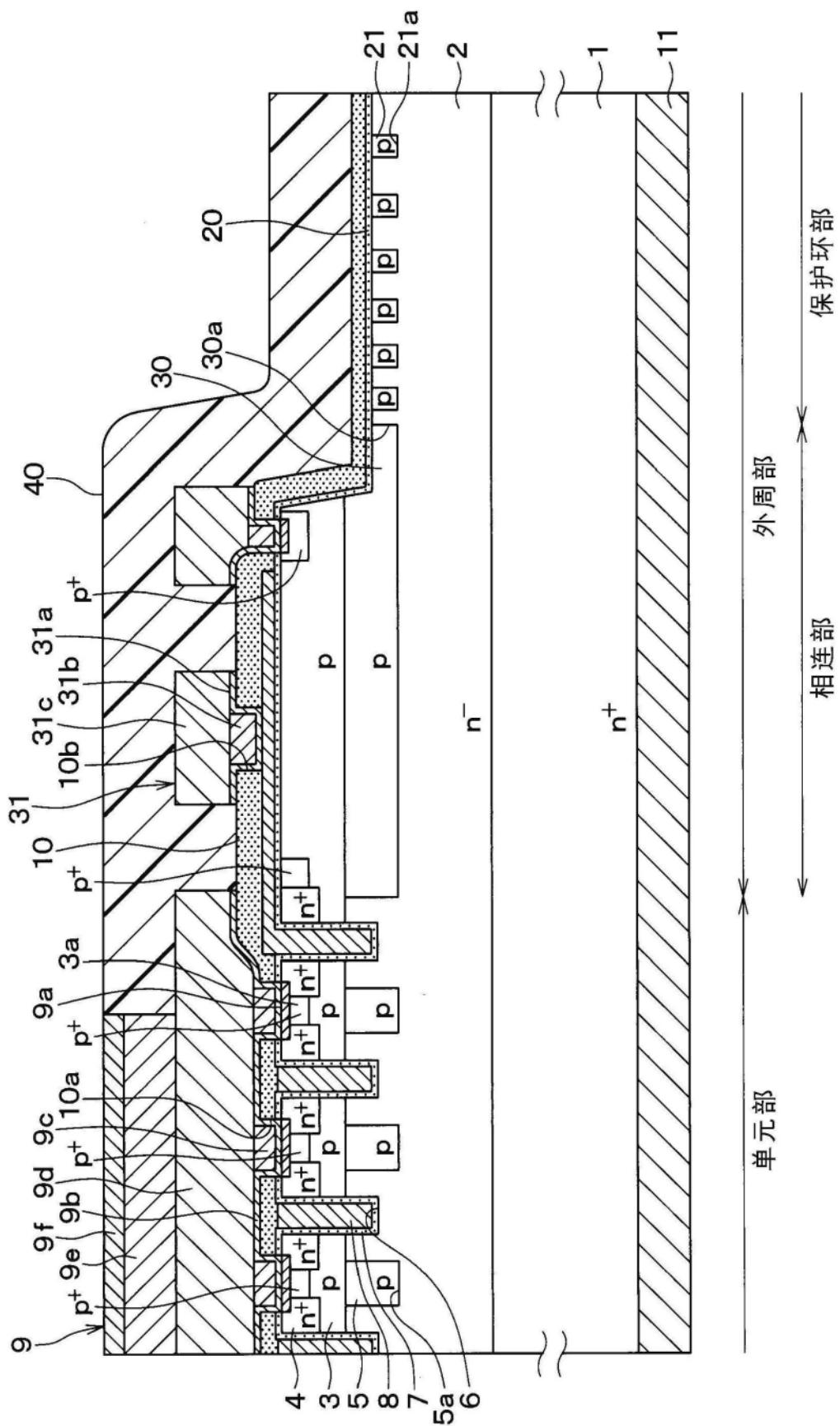


图1



图2

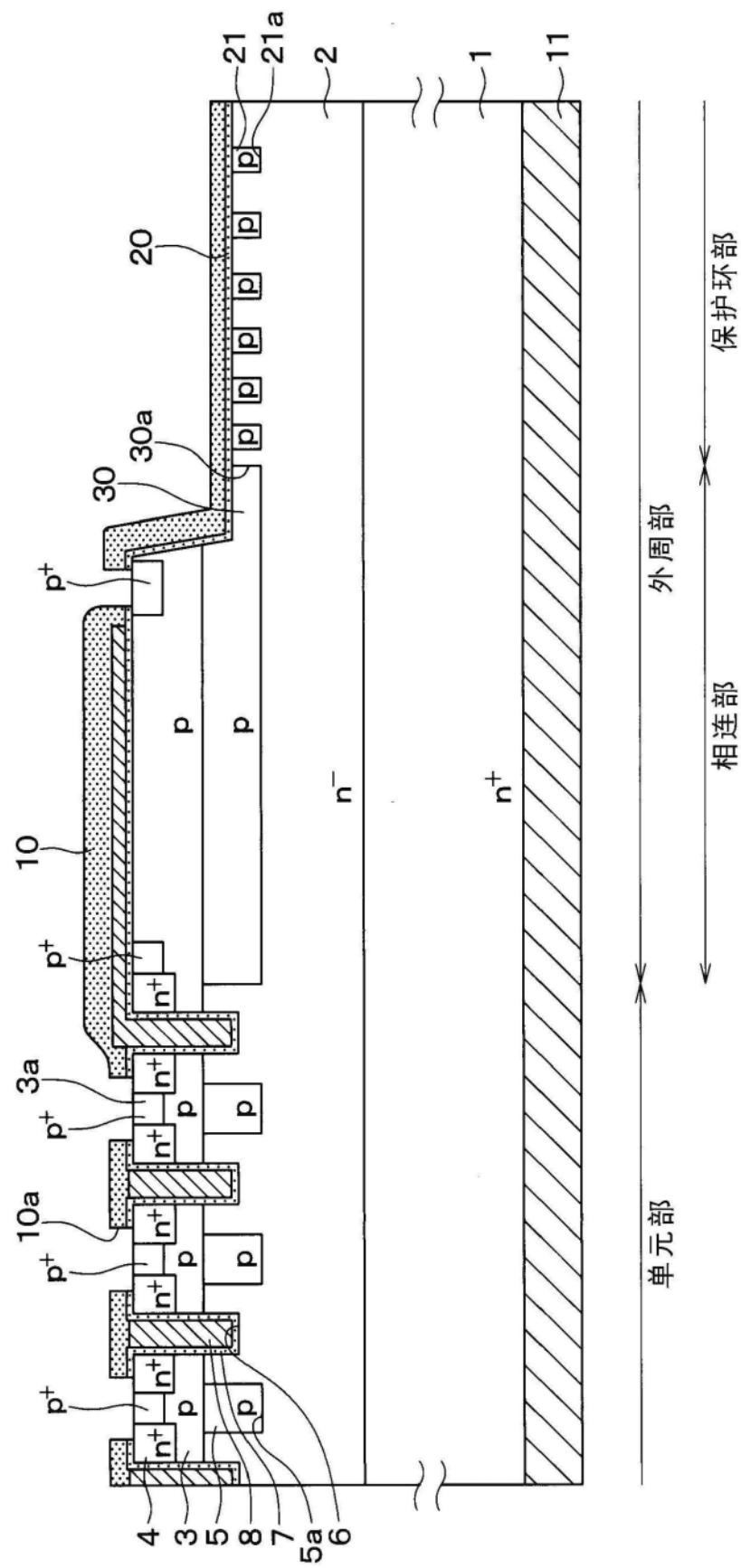


图3 (a)

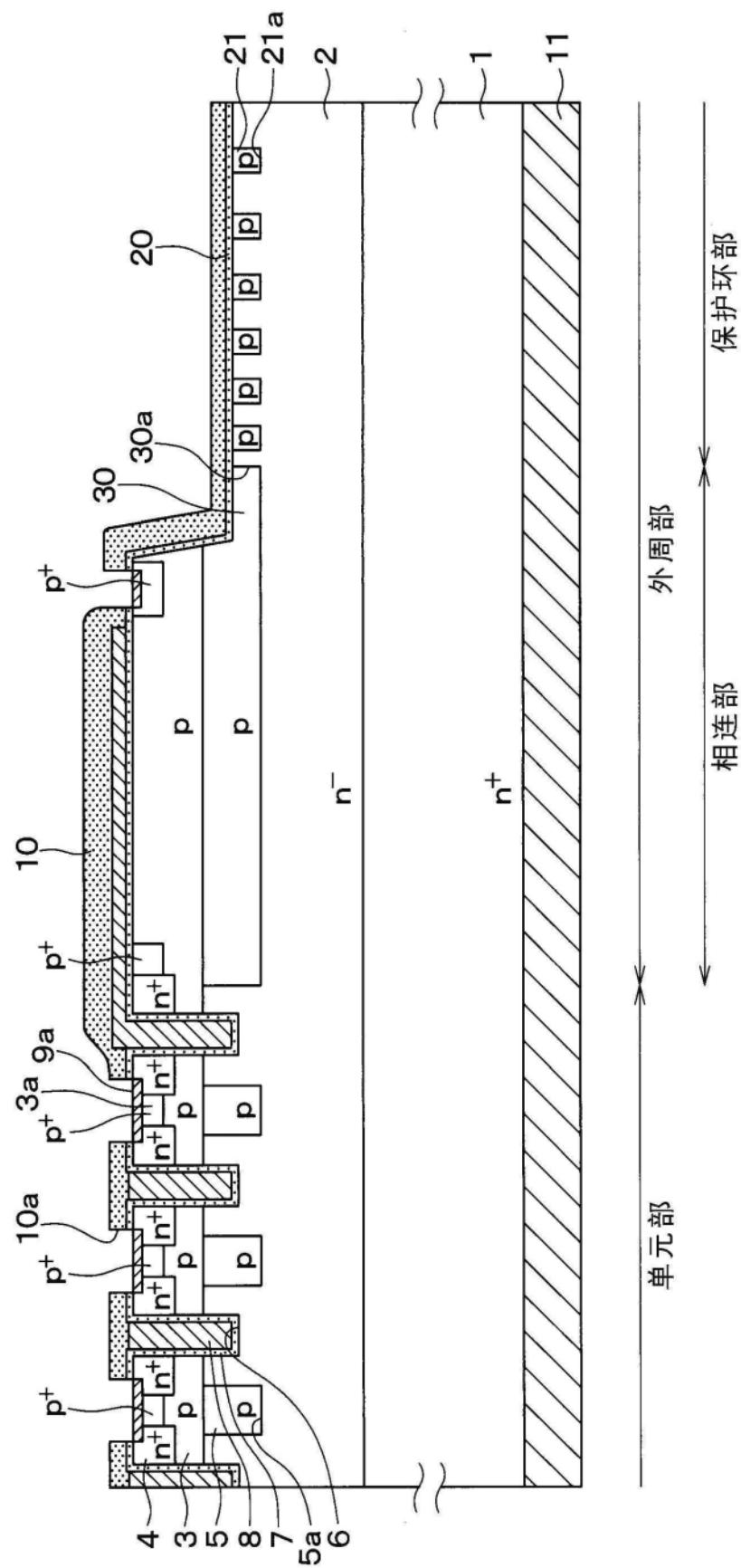


图3 (b)

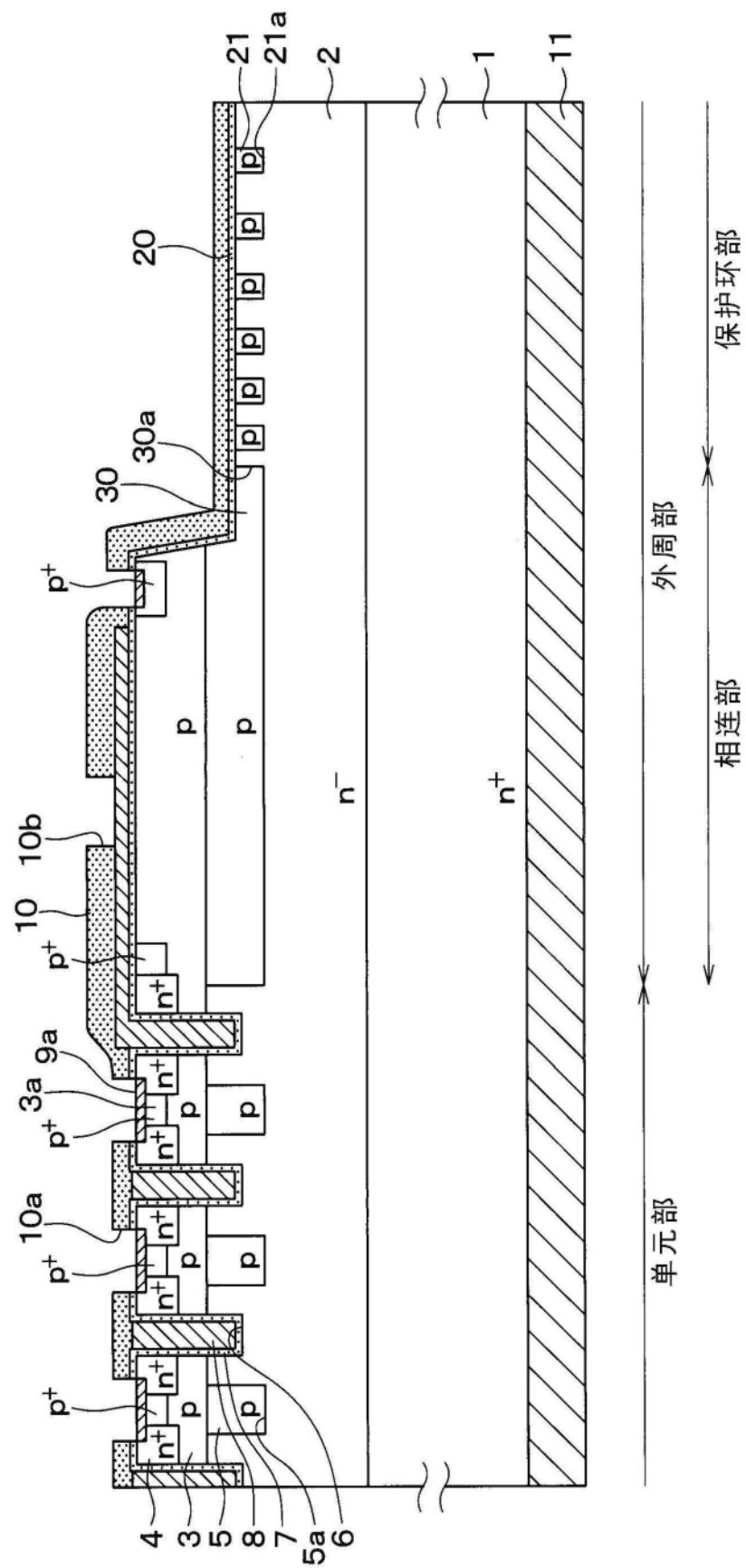


图3 (c)

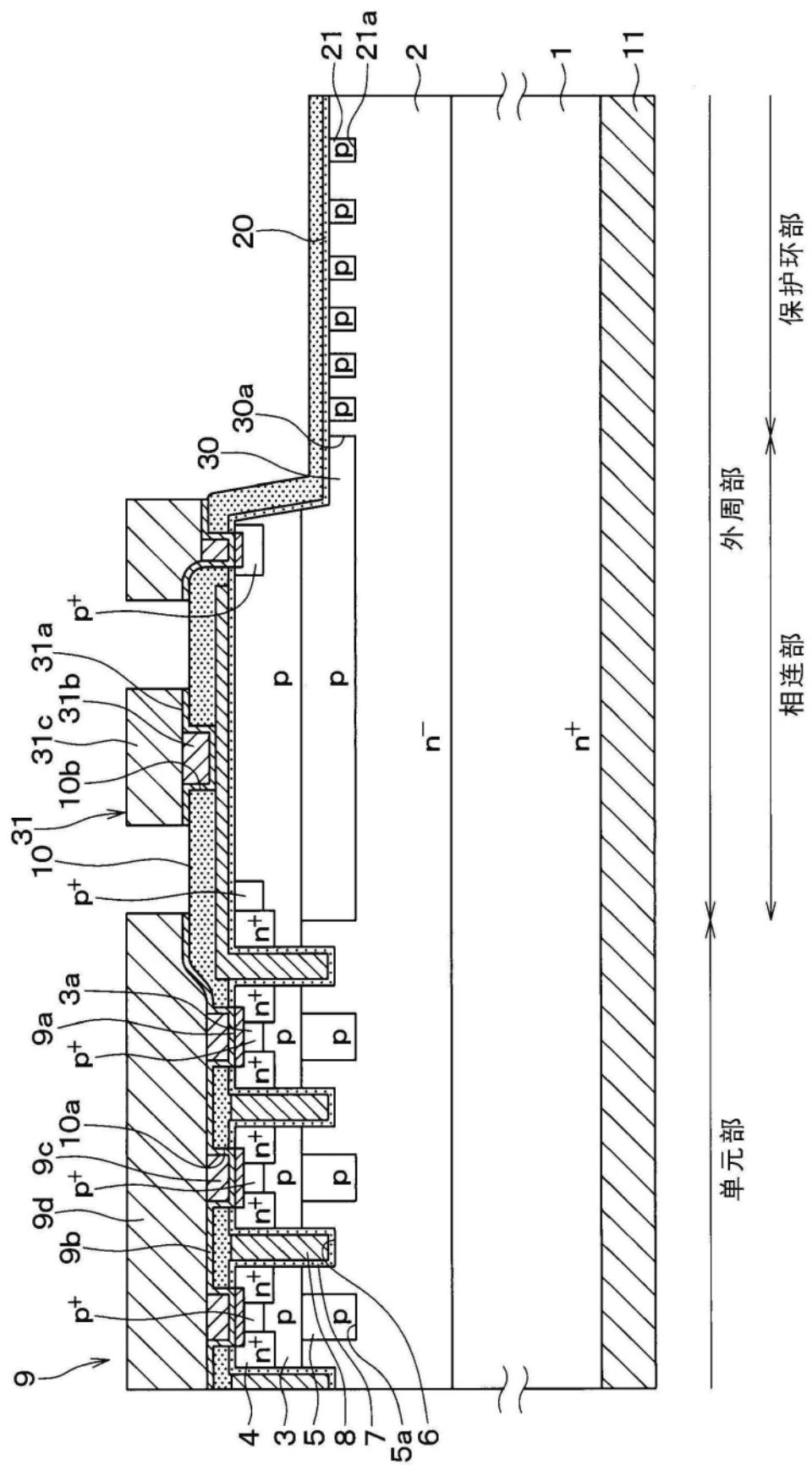


图3 (d)

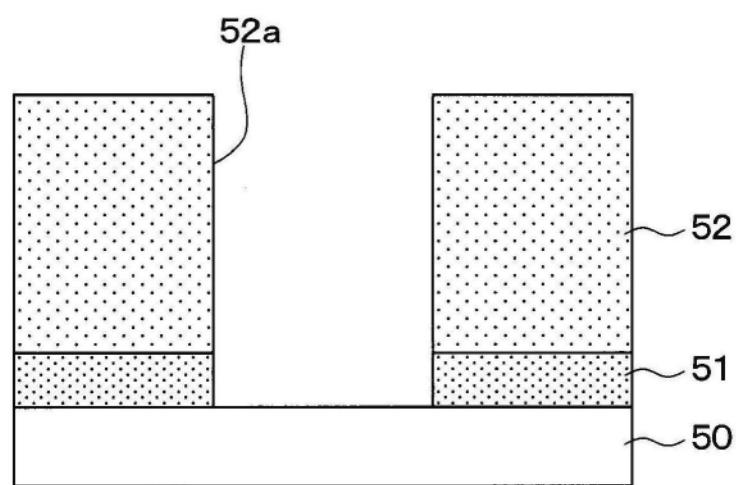


图4

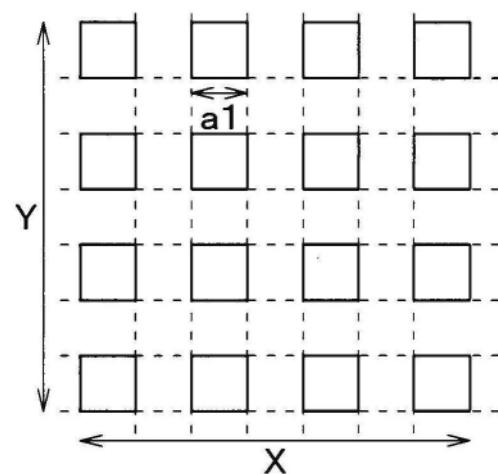


图5 (a)

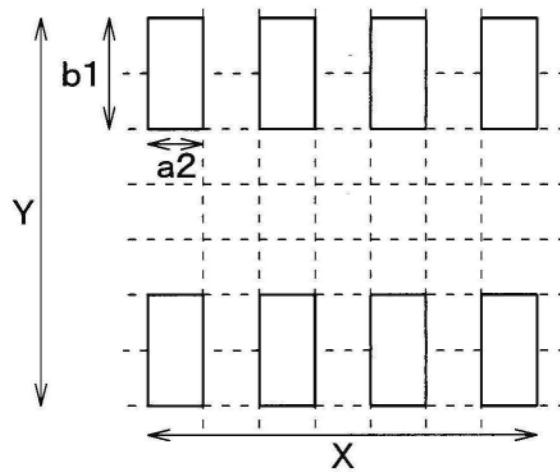


图5 (b)

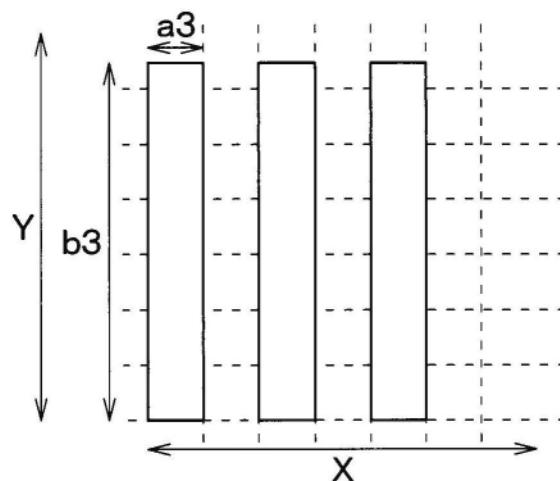


图5 (c)

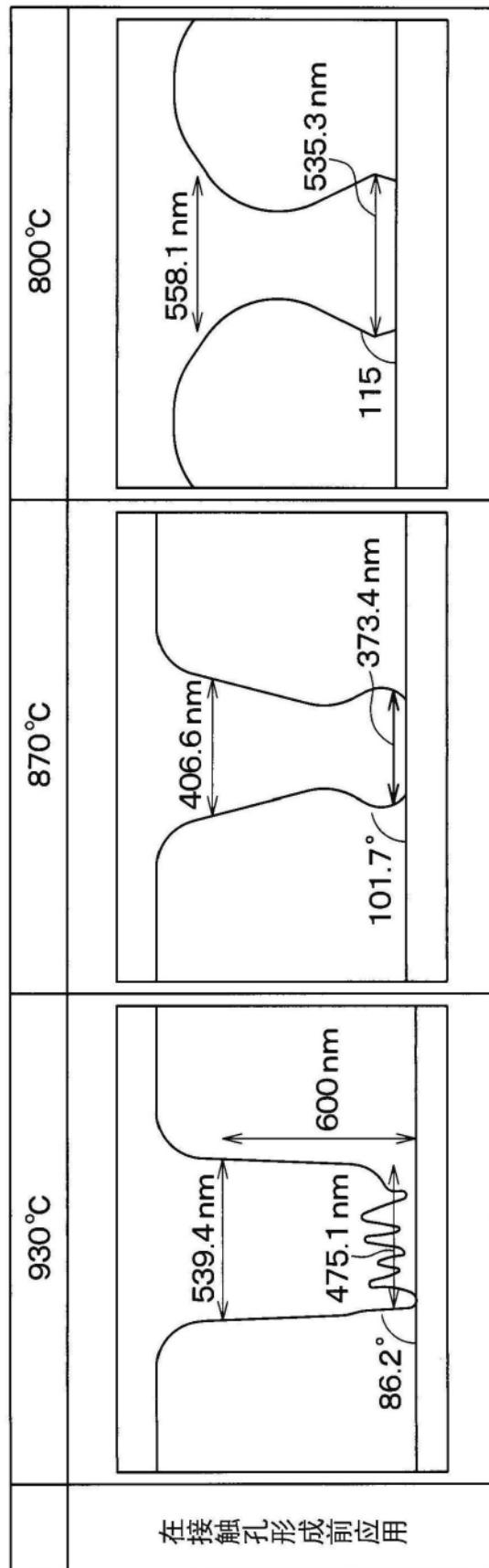


图6 (a)

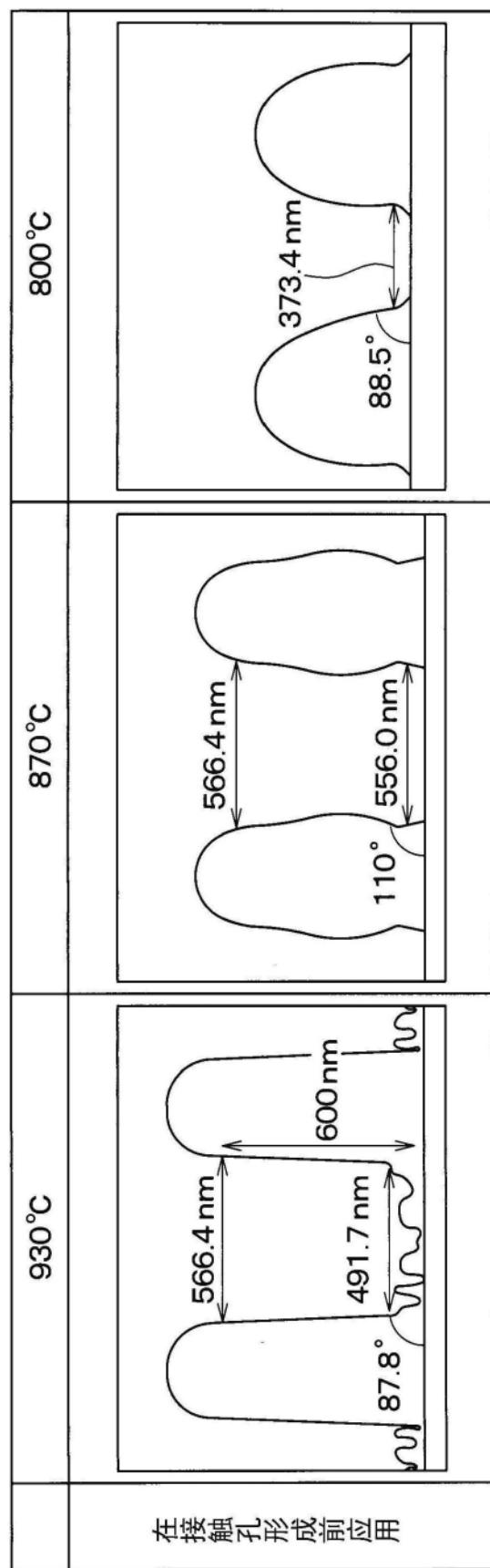


图6 (b)

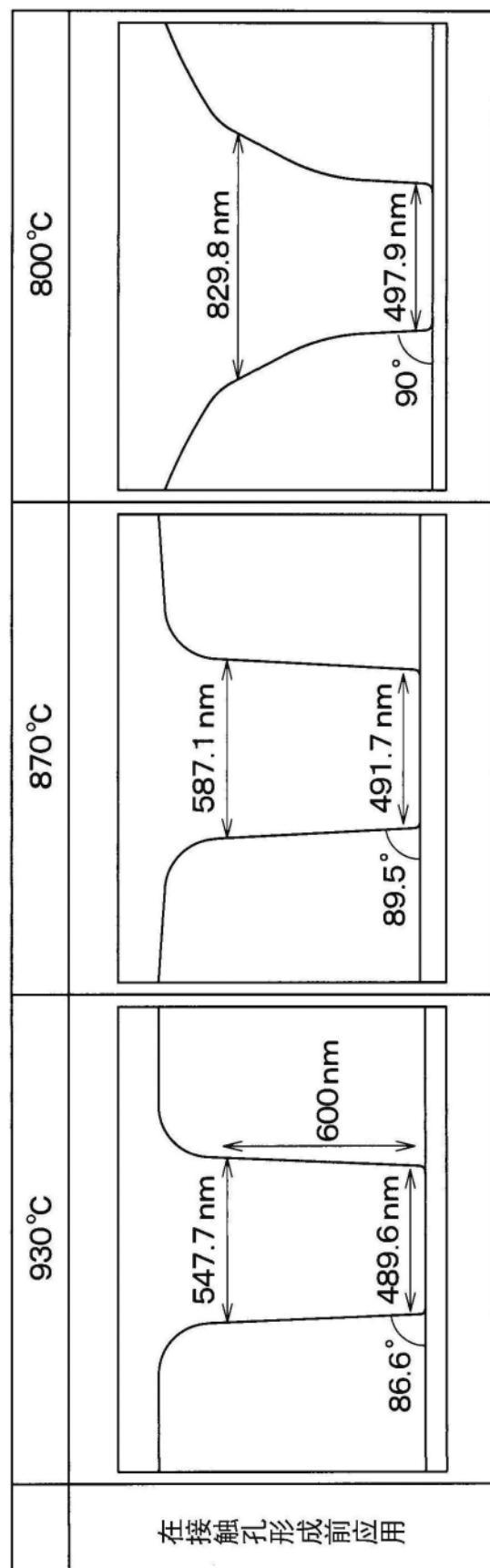


图6 (c)

		930°C	870°C	800°C
在接触孔形成 前进行氢退火	图案1	OK	NG	NG
	图案2	OK	NG	NG
	图案3	OK	OK	NG

图7

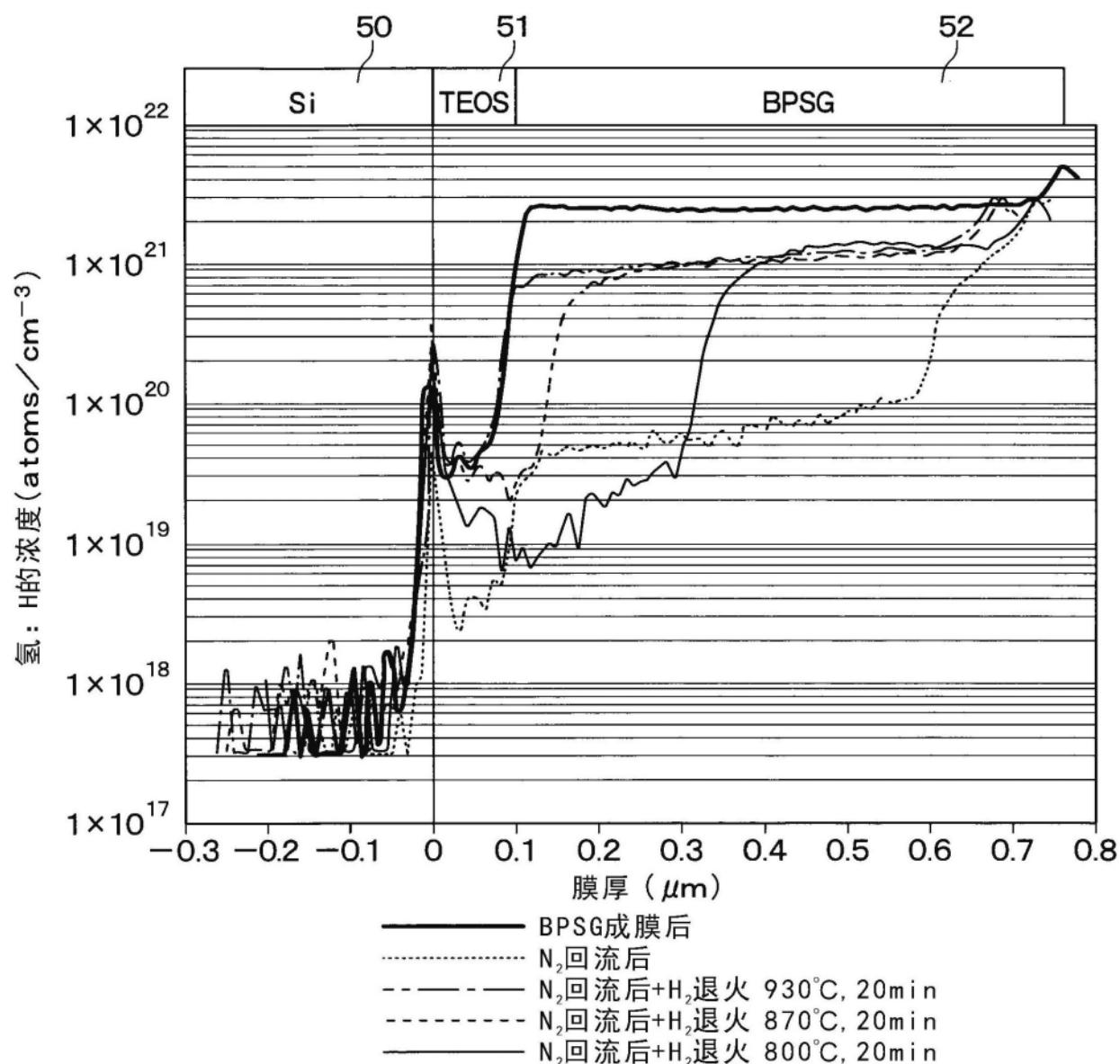


图8

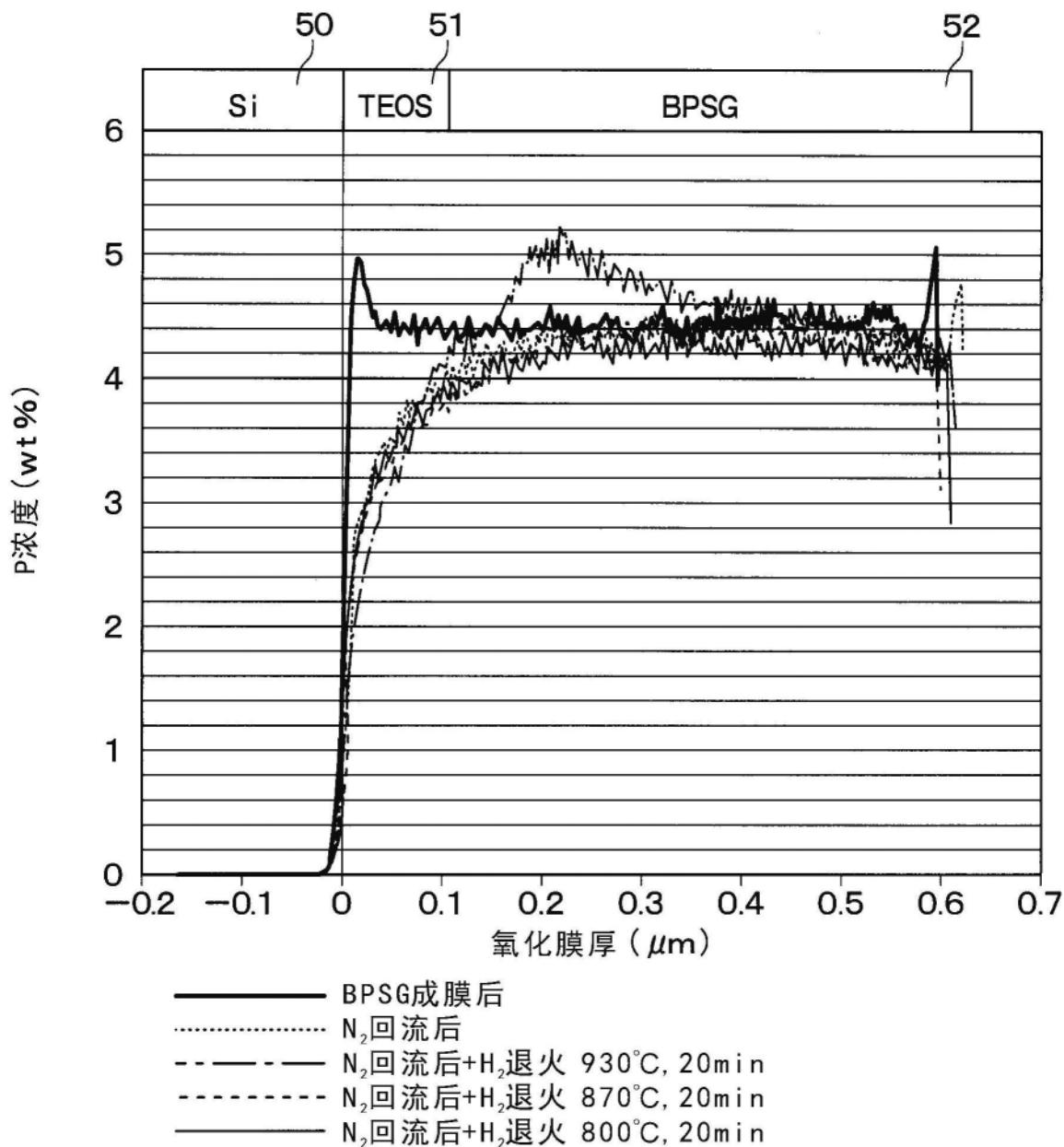


图9

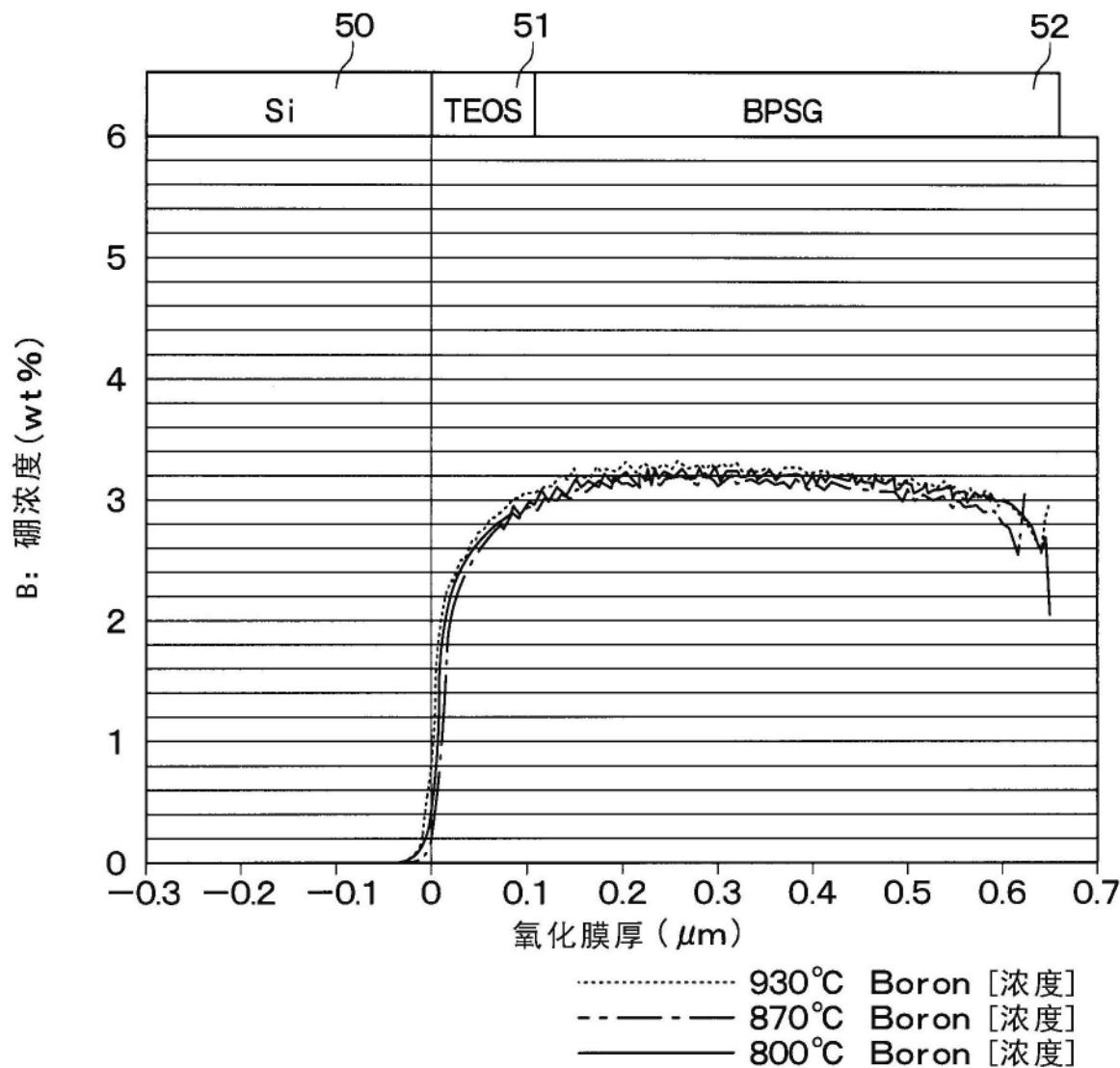


图10

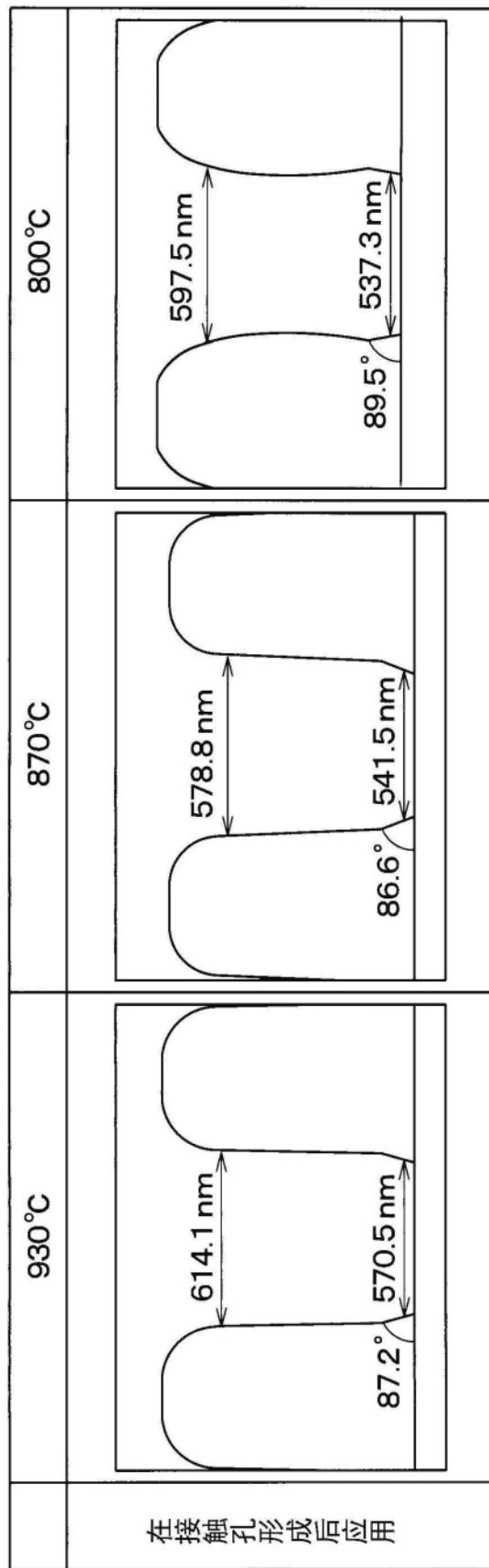


图11 (a)

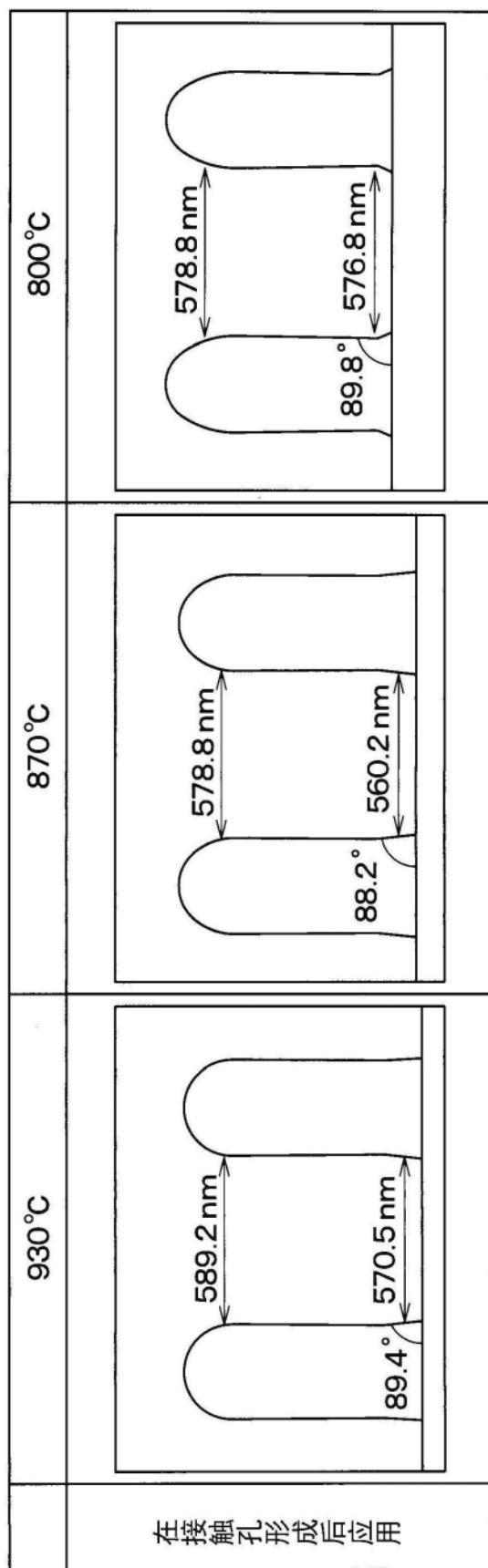


图11 (b)

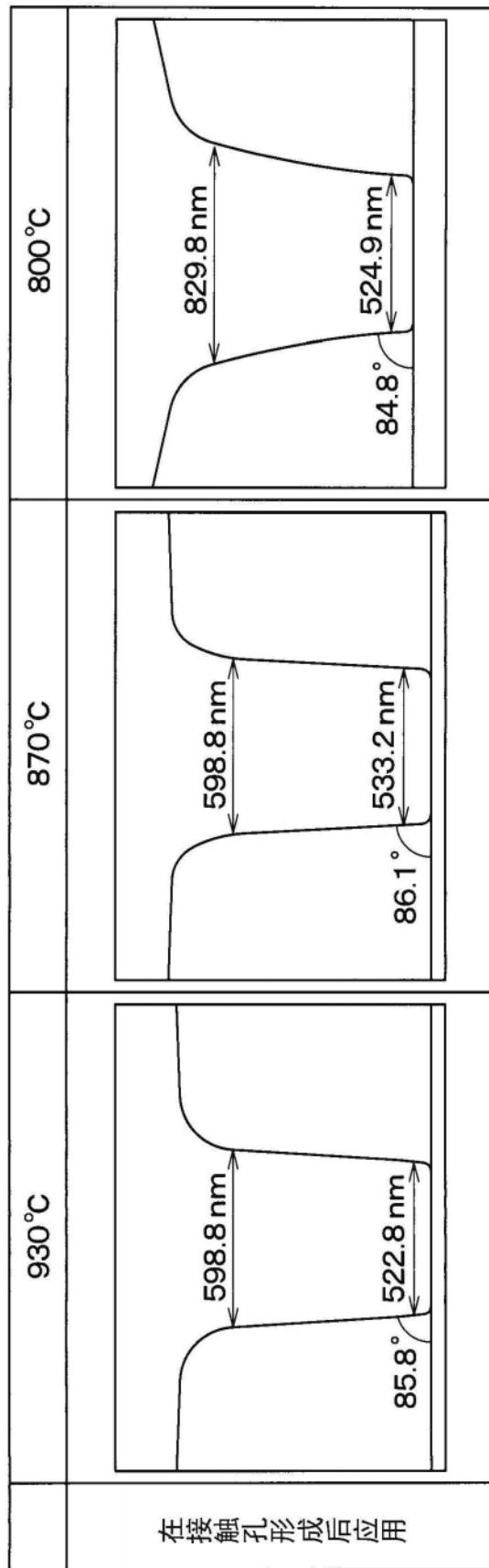


图11 (c)

		930°C	870°C	800°C
在接触孔后 进行氢退火	图案1	OK	OK	NG
	图案2	OK	OK	NG
	图案3	OK	OK	NG

图12