

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(10) 国際公開番号

WO 2011/007464 A1

PCT

(43) 国際公開日
2011 年 1 月 20 日(20.01.2011)

(51) 国際特許分類:

G11C 19/28 (2006.01) G09G 3/36 (2006.01)
G02F 1/13 (2006.01) G11C 19/00 (2006.01)
G09G 3/20 (2006.01)

(74) 代理人: 奥田誠司(OKUDA, Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).

(21) 国際出願番号: PCT/JP2010/000568

(22) 国際出願日: 2010 年 2 月 1 日(01.02.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2009-166702 2009 年 7 月 15 日(15.07.2009) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番22号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 坂本真由子 (SAKAMOTO, Mayuko). 岩瀬泰章(IWASE, Yasuaki).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

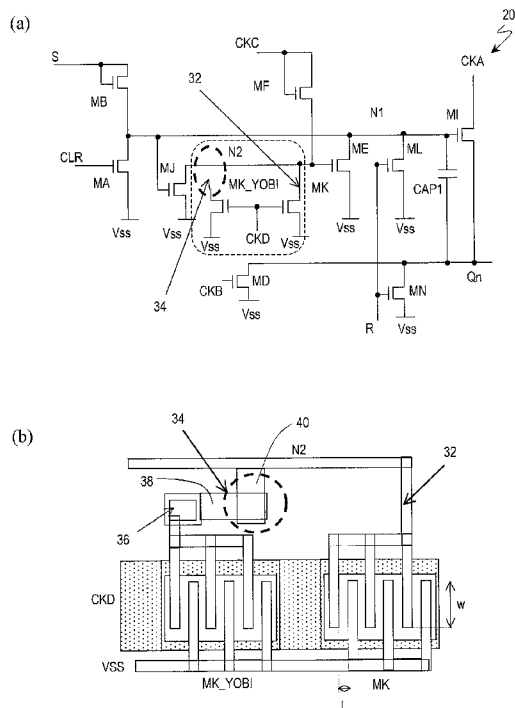
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

[続葉有]

(54) Title: SHIFT REGISTER

(54) 発明の名称: シフトレジスタ

[図7]



(57) Abstract: Disclosed is a shift register which is supported on an insulating substrate and has a plurality of stages that each output output signals in sequential order. Each stage has a circuit (20) that includes a plurality of thin-film transistors. The plurality of thin-film transistors include a first thin-film transistor (MK) that is involved in the circuit operation and a second thin-film transistor (MK_YOBI) that has at least one floating terminal. Another terminal of the second thin-film transistor (MK_YOBI) is connected to a terminal corresponding to the first thin-film transistor (MK). The at least one floating terminal is formed so as to be capable of connection to a prescribed wire (N2). In this way, the yield of shift registers constituting a monolithic gate driver can be improved.

(57) 要約: 絶縁性の基板に支持されたシフトレジスタであって、それぞれが出力信号を順次出力する複数の段を有し、複数の段のそれぞれは、複数の薄膜トランジスタを含む回路20を有しており、複数の薄膜トランジスタは、回路の動作に関わる第1薄膜トランジスタMKと、少なくとも1つのフローティングした端子を有する第2薄膜トランジスタMK_YOBIとを含み、第2薄膜トランジスタMK_YOBIの他の端子は、第1薄膜トランジスタMKの対応する端子に接続されており、少なくとも1つのフローティングした端子は、所定の配線N2に接続可能に形成されている。これにより、モノリシックゲートドライバを構成するシフトレジスタの歩留まりを向上させることができる。

WO 2011/007464 A1

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, 添付公開書類:
TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： シフトレジスタ

技術分野

[0001] 本発明は、シフトレジタに関し、特に液晶表示パネルや有機ＥＬ表示パネルのアクティブマトリクス基板に形成されたシフトレジスタに関する。

背景技術

[0002] 近年、画素ごとに薄膜トランジスタ（Thin Film Transistor；以下、「ＴＦＴ」）を有する液晶表示装置や有機ＥＬ表示装置が普及している。ＴＦＴは、ガラス基板などの基板上に形成された半導体層を利用して作製される。ＴＦＴが形成された基板は、アクティブマトリクス基板と呼ばれる。

[0003] ＴＦＴとしては、従来から、アモルファスシリコン膜を活性層とするＴＦＴ（以下、「アモルファスシリコンＴＦＴ」）や多結晶シリコン膜を活性層とするＴＦＴ（以下、「多結晶シリコンＴＦＴ」）が広く用いられている。

[0004] 多結晶シリコン膜におけるキャリア移動度はアモルファスシリコン膜よりも高いので、多結晶シリコンＴＦＴは、アモルファスシリコンＴＦＴよりも高いオン電流を有し、高速動作が可能である。そこで、画素用のＴＦＴだけでなく、ドライバなどの周辺回路用のＴＦＴの一部又は全部を多結晶シリコンＴＦＴで構成した表示パネルが開発されている。このように、表示パネルを構成する絶縁性の基板（典型的にはガラス基板）に形成されたドライバをモノリシックドライバということがある。ドライバにはゲートドライバとソースドライバがあり、いずれか一方だけがモノリシックドライバとされることもある。ここで、表示パネルとは、液晶表示装置や有機ＥＬ表示装置の中で、表示領域を有する部分を指し、液晶表示装置のバックライトや、ベゼル等を含まない。

[0005] 本明細書では、モノリシックゲートドライバを備えた表示パネルを、「ゲートドライバモノリシックパネル」と称する。ゲートドライバモノリ

シックパネルは、複数の画素が配列された表示領域（画素部ともいう。）と、画素部の周縁に設けられ、ゲートドライバーなどの駆動回路が形成された額縁領域（周辺領域ともいう。）とを有している。

- [0006] 一方、表示パネルには、製造段階で生じた断線不良をリペアするためにリペアラインが形成される場合がある。例えば特許文献 1 には、信号ラインをリペアするためのリペアラインを設けることが提案されている。また、特許文献 2 には、額縁領域に形成されたデータドライバーにダミーバッファ部を設けることにより、データ配線不良をリペアすることが提案されている。

先行技術文献

特許文献

- [0007] 特許文献 1：特開 2008-165237 号公報
特許文献 2：特開 2008-26900 号公報

発明の概要

発明が解決しようとする課題

- [0008] ゲートドライバーモノリシックパネルでは、通常、額縁領域（特にシフトレジスタ）のパターン密度は、画素部のパターン密度よりも高くなる。この理由は次のとおりである。
- [0009] 画素部では、表示のコントラスト比を向上させるためには、開口率を高めることが好ましく、単位面積に対して配線や素子の占める割合は小さくなる。これに対し、額縁領域では、額縁領域の面積を抑えるために（狭額縁化）、シフトレジスタなどを含む駆動回路をできるだけ狭いスペースにレイアウトする必要がある。したがって、配線や素子は最密に充填されることが好ましく（最密充填構造）、単位面積内で配線や素子が占める割合は大きくなる。
- [0010] このように、シフトレジスタのパターン密度が高いと、ゲートドライバーモノリシックパネルの製造段階で、シフトレジスタに断線、リークなどの不良が発生する割合が高くなる。

[0011] シフトレジスタのたとえ一部にでも不良が発生すると、不良発生箇所よりも下段に信号が送られなくなる場合があり、パネル全体の不良となる。したがって、1箇所の不良がパネル全体の不良となるため、歩留まりが低下する。

[0012] 本発明は、上記の問題点に鑑みてなされたものであり、その主な目的は、モノリシックゲートドライバにおけるシフトレジスタに発生した断線不良をリペアすることにより、歩留まりを向上させることにある。

課題を解決するための手段

[0013] 本発明のシフトレジスタは、絶縁性の基板に支持されたシフトレジスタであって、それぞれが出力信号を順次出力する複数の段を有し、前記複数の段のそれぞれは、複数の薄膜トランジスタを含む回路を有しており、前記複数の薄膜トランジスタは、前記回路の動作に関わる第1薄膜トランジスタと、少なくとも1つのフローティングした端子を有する第2薄膜トランジスタとを含み、前記第2薄膜トランジスタの他の端子は、前記第1薄膜トランジスタの対応する端子に接続されており、前記少なくとも1つのフローティングした端子は、所定の配線に接続可能に形成されている。

[0014] ある好ましい実施形態において、前記基板の上方から見た前記第1および第2薄膜トランジスタのチャネル領域の形状は略同じである。

[0015] ある好ましい実施形態において、前記第1および第2薄膜トランジスタは、ソースおよびドレイン電極の何れか一方とゲート電極とが接続された構造を有し、前記第2薄膜トランジスタにおけるソースおよびドレイン電極の他方がフローティングしている。

[0016] ある好ましい実施形態において、前記第2薄膜トランジスタにおける前記少なくとも1つのフローティングした端子の延長部と、前記第1薄膜トランジスタにおける前記フローティングした端子に対応する端子の延長部とは、互いに接続されていない状態で重なっている。

[0017] 前記基板の上方から見た前記重なっている部分の形状は $10\mu\text{m} \times 10\mu\text{m}$ よりも大きくてもよい。

- [0018] 前記第1薄膜トランジスタの3端子を1A、1B、1Cとし、前記第2薄膜トランジスタの3端子を2A、2B、2Cとし、前記端子2Aは前記端子1A、前記端子2Bは前記端子1Bに、前記端子2Cは前記端子1Cに対応しているとすると、前記端子2A、1A、1C、2Cは第1導電膜から形成され、前記端子2Bおよび端子1Bは、前記第1導電膜とは異なる第2導電膜から形成されており、少なくとも前記端子2Cは前記端子1Cに接続されていてもよい。
- [0019] 前記端子2Bは前記端子1Bに接続されていてもよい。
- [0020] 前記第1薄膜トランジスタと前記第2薄膜トランジスタとの間には他の薄膜トランジスタが存在しないことが好ましい。
- [0021] ある好ましい実施形態において、前記第1および第2薄膜トランジスタは、同じ本数のチャネルを有しており、前記チャネルの数は5本以下である。
- [0022] 前記チャネルの数は1本であってもよい。
- [0023] 前記第1薄膜トランジスタにおける前記フローティングした端子に対応する端子は延長部を有しており、前記第1薄膜トランジスタの前記延長部の長さは100 μ m以上であることが好ましい。
- [0024] 本発明の他のシフトレジスタは、絶縁性の基板に支持されたシフトレジスタであって、それぞれが出力信号を順次出力する複数の段を有し、前記複数の段の少なくとも1つは、複数の薄膜トランジスタを含む回路を有しており、前記複数の薄膜トランジスタは、前記回路の動作に関わる薄膜トランジスタM1と、少なくとも1つのフローティングした端子を有する薄膜トランジスタM2とを含み、前記薄膜トランジスタM2の他の端子は、前記薄膜トランジスタM1の対応する端子に接続されており、前記薄膜トランジスタM1における前記フローティングした端子に対応する端子の延長部は、所定の配線と重なっており、前記重なっている部分にはメルト処理が施されており、これにより、前記薄膜トランジスタM1の延長部と前記所定の配線とは互いに接続されている。
- [0025] 本発明のアクティブマトリクス基板は、上記に記載の何れかのシフトレジ

スタを備える。

[0026] 本発明の表示パネルは、上記に記載の何れかのシフトレジスタを備える。

[0027] 本発明のシフトレジスタの製造方法は、上記シフトレジスタの製造方法であって、前記回路の前記第 1 薄膜トランジスタに不良が生じているかを検査する工程と、前記検査する工程において、不良が生じていることが確認されると、前記第 1 薄膜トランジスタを前記回路から分離するとともに、前記第 2 薄膜トランジスタにおける前記フローティングした端子を前記所定の配線に接続するリペア処理を行う工程とを包含し、前記リペア処理は、前記重なっている部分にメルト処理を施して、前記第 2 薄膜トランジスタの前記フローティングした端子を前記所定の配線に接続させる工程を含む。

発明の効果

[0028] 本発明によると、ゲートドライバーモノリシックパネルの製造段階で、シフトレジスタに断線・リークなどの不良が発生しても、不良箇所をリペアしてシフトレジスタを正常に動作させることができる。したがって、ゲートドライバーモノリシックパネルの歩留まりを向上できる。

図面の簡単な説明

[0029] [図1] (a) は、本発明による実施形態の液晶表示パネル 100 の模式的な平面図であり、(b) は、1 つの画素の模式的な構造を示す平面図である。

[図2] (a) は、ゲートドライバー 110 に含まれるシフトレジスタ 110A の構成を説明するブロック図であり、(b) は、(a) に示す構成を簡略化した平面図である。

[図3] シフトレジスタ 110A に入力されるクロック信号の波形を示す図である。

[図4] 本実施形態の他の液晶表示パネルの模式的な平面図である。

[図5] リペア用 T F T を設けない場合の、比較例のシフトレジスタ 110A の 1 つの段の回路 10 を示す図である。

[図6] シフトレジスタ 110A の各段の入出力信号の波形およびノード N 1、N 2 の電圧波形を示す図である。

[図7] (a) は、本発明による第1の実施形態のシフトレジスタの1つの段の回路20の構成を示す図であり、(b) は、回路20におけるリペア用TF Tを含む点線部分の模式的な拡大平面図である。

[図8] (a) ~ (c) は、回路20に用いられるTF Tの種々の構成を例示する平面図である。

[図9] 図8 (c) に示すTF Tに不良が生じた場合に、リペア用TF Tを用いずにリペアする方法を示す図である。

[図10] (a) は、本発明による第2の実施形態のシフトレジスタの1つの段の回路50の構成を示す図であり、(b) は、回路50におけるリペア用TF Tを含む点線部分の模式的な拡大平面図である。

[図11] 図10 (a) の回路50の一部を示すレイアウト図である。

発明を実施するための形態

[0030] 本願発明は、シフトレジスタにおいて、回路動作に関わるTF T（「第1TF T」と呼ぶことがある。）に対して、リペア用TF T（「第2TF T」と呼ぶことがある。）を設けることを特徴とする。第2TF Tは、第1TF Tに隣接して設けられ、第1および第2TF Tの間に他のTF Tが存在していないことが好ましい。第1TF Tおよび第2TF Tの構成（半導体層の形状、チャネルの本数など）は同じであることが好ましい。

[0031] 本願発明のシフトレジスタは、ゲートドライバモノリシックパネルに好適に適用され得る。その場合、第2TF Tも、モノリシックゲートドライバのシフトレジスタ回路領域内に設けられる。

[0032] 以下、本願発明の実施形態をより具体的に説明する。

[0033] (第1実施形態)

以下、図面を参照して、本発明のシフトレジスタの第1の実施形態を説明する。以下では、液晶表示パネルに一体に（モノリシックに）形成されたシフトレジスタを例示するが、本発明はこれに限られない。

[0034] 図1 (a) は、本発明による実施形態の液晶表示パネル100の模式的な平面図であり、図1 (b) は、1つの画素の模式的な構造を示している。な

お、図 1 (a) には、液晶表示パネル 100 のアクティブマトリクス基板 101 の構造を示し、液晶層や対向基板は省略している。液晶表示パネル 100 に、バックライトや電源等を設けることによって液晶表示装置が得られる。

[0035] アクティブマトリクス基板 101 には、ゲートドライバー 110 と、ソースドライバー 120 とが一体に形成されている。液晶表示パネル 100 の表示領域には複数の画素が形成されており、画素に対応するアクティブマトリクス基板 101 の領域を参照符号 132 で示している。なお、ソースドライバー 120 はアクティブマトリクス基板 101 に一体に形成する必要は無い。別途作製されたソースドライバー IC 等を公知の方法で実装しても良い。

[0036] 図 1 (b) に示すように、アクティブマトリクス基板 101 は、液晶表示パネル 100 の 1 つの画素に対応する画素電極 101P を有している。画素電極 101P は画素用 TFT 101T を介して、ソースバスライン 101S に接続されている。TFT 101T のゲート電極はゲートバスライン 101G に接続されている。

[0037] ゲートバスライン 101G には、ゲートドライバー 110 の出力が接続されており、線順次に走査される。ソースバスライン 101S には、ソースドライバー 120 の出力が接続されており、表示信号電圧（階調電圧）が供給される。

[0038] 次に、図 2 (a) は、ゲートドライバー 110 に含まれるシフトレジスタ 110A の構成を説明するブロック図である。シフトレジスタ 110A はアクティブマトリクス基板 101 を構成するガラス基板などの絶縁性の基板に支持されている。シフトレジスタ 110A を構成する TFT は、アクティブマトリクス基板 101 の表示領域に形成される画素用 TFT 101T と同じプロセスで形成することが好ましい。

[0039] 図 2 (a) には、シフトレジスタ 110A が有する複数の段（1 段目～N 段目）のうち 1 段目 STAGE (1) から 6 段目 STAGE (6) の 6 段だけを模式的に示している。各段は、実質的に同一の構造を有し、カスケード

接続されている。シフトレジスタ 110A の各段からの出力は、液晶表示パネル 100 の画素領域における各ゲートバスライン 101G に与えられる。このようなシフトレジスタ 110A は、例えば、本出願人による特願 2008-314501 号に記載されている。特願 2008-314501 号の開示内容を参考のために本明細書に援用する。

[0040] シフトレジスタ 110A の各段は、セット信号 S を受け取るための入力端子と、リセット信号 R を受け取るための入力端子と、出力信号 Q を出力するための出力端子と、位相が互いに異なる 4 つのクロック信号 CK A、CK B、CK C および CK D を受け取る入力端子とを有している。STAGE (1) にはセット信号 S としてゲートスタートパルス GSP-O が入力される。各段の出力端子は対応するゲートバスライン 101G に接続されている。また、STAGE (2) ~ STAGE (N-1) の出力端子は、それぞれ、次段におけるセット信号を受け取るための入力端子に接続されている。なお、図 2 (a) において、配線 VSS、CK 1、CK 1B、CK 2、CK 2B、CLR は幹配線を表している。

[0041] 図 2 (b) は、図 2 (a) に示す構成をより簡略化した平面図である。図示するように、パネルの端部から中央に向かって、幹配線が設けられた幹配線領域、シフトレジスタ回路領域、および画素領域 (表示領域) が形成されている。幹配線領域とシフトレジスタ回路領域とを合わせた領域を「ゲートドライバ領域」と称する。なお、ゲートドライバ領域は、画素領域を挟んでパネルの両側に配置される場合もある。

[0042] シフトレジスタ 110A には、4 つのゲートクロック信号 CK 1、CK 1B、CK 2 および CK 2B と、ゲートスタートパルス信号 GSP-O と、ゲートエンドパルス信号 GEP-E とが表示制御回路 (不図示) から与えられる。

[0043] 図 3 (a) ~ (d) に示すように、ゲートクロック信号 CK 1 とゲートクロック信号 CK 1B とは 180 度 (1 水平走査期間に相当する期間) 位相がずれており、ゲートクロック信号 CK 2 とゲートクロック信号 CK 2B とは

180度位相がずれている。また、ゲートクロック信号CK1については、ゲートクロック信号CK2に対して位相が90度進んでおり、ゲートクロック信号CK1Bについては、ゲートクロック信号CK2Bに対して位相が90度進んでいる。これらのゲートクロック信号は、いずれも1水平走査期間おきにハイレベル（Highレベル）の状態となる。

[0044] シフトレジスタ110の1段目STAGE（1）にセット信号Sとしてのゲートスタートパルス信号GSP-Oが与えられると、上記ゲートクロック信号CK1、CK1B、CK2、CK2Bに基づいて、ゲートスタートパルス信号GSP-Oに含まれるパルス（このパルスは各段から出力される出力信号Qに含まれる）が1段目STAGE（1）から最終段STAGE（N）へと順次転送される。そして、このパルスの転送に応じて、各段STAGE（1）～（N）から出力される出力信号Qが順次ハイレベルとなる。本実施形態では、奇数段STAGE（1）、（3）・・・から出力される出力信号Qは、クロック信号CK1またはCK1BがHighとなるタイミングでシフトする。また、偶数段STAGE（2）、（4）・・・から出力される出力信号Qは、ゲートクロック信号CK2またはCK2BがHighとなるタイミングでシフトする。

[0045] 以上のようにして、1水平走査期間ずつ順次ハイレベルとなる走査信号（出力信号）Qが画素領域内のゲートバスラインに与えられる。

[0046] なお、図1では、画素領域の片側にゲートドライバーが設けられているが、図4に示すように、ゲートドライバー110、111を画素領域の両側に設けてもよい。図4の構成によると、1本のゲートバスラインを両側すなわち2個のシフトレジスタ出力で充電できる。したがって、パネル負荷が大きい大型パネルを駆動する場合は、ゲートドライバー110、111を両側に配置することが好ましい。

[0047] 次に、シフトレジスタ110Aの1つの段（N段目）に用いられる回路の構成を説明する。まず、図5を参照しながら、比較例として、リペア用TFTを有していない回路10の構成（シフトレジスタ110Aの1段分）を説

明する。

- [0048] 図5に示すように、この回路10は、薄膜トランジスタMA、MB、MI、MF、MJ、MK、ME、ML、MN、MDおよびキャパシタCAP1を備えている。これらの薄膜トランジスタ（TFT）の導電型は何れもp型であるか、あるいは何れもn型であることが好ましい。また、アモルファスシリコンTFTまたは微結晶シリコンTFTを用いることが好ましい。
- [0049] 本明細書では、薄膜トランジスタMIのゲート電極に接続された配線を「ノードN1」と呼ぶ。回路10では、ノードN1に、薄膜トランジスタMLのソース端子と薄膜トランジスタMEのソース端子と薄膜トランジスタMJのゲート端子と薄膜トランジスタMBのソース端子とが接続されている。
- [0050] 一方、HighになることによってノードN1を放電する配線を「ノードN2」と呼ぶ。回路10では、薄膜トランジスタMEのゲート端子と薄膜トランジスタMFのドレイン端子と薄膜トランジスタMKのソース端子と薄膜トランジスタMJのソース端子とがノードN2に接続されている。
- [0051] 薄膜トランジスタMBは、入力TFTである。入力信号S（前段のシフトレジスタの出力）がHighのとき、ノードN1の電位を引き上げる。
- [0052] 薄膜トランジスタMIは出力TFTである。ノードN1がHighのとき、CKAを出力信号Qnに出力する。本明細書では、出力信号Qnを出力するトランジスタMIを第1トランジスタということもある。薄膜トランジスタMIは、いわゆるプルアップトランジスタである。
- [0053] 薄膜トランジスタMFは、CKCがHighになるとき、ノードN2をHighにする。また、薄膜トランジスタMJは、ノードN1がHighのとき、ノードN2をLowにする。出力時にノードN2がHighになって薄膜トランジスタMEが導通すると、ノードN1がLowになって出力TFT（薄膜トランジスタMI）がオフになることがある。この薄膜トランジスタMJにより、出力時にノードN2がHighになることを防止できる。
- [0054] 薄膜トランジスタMKは、CKDがHighのとき、ノードN2をLowに下げる。薄膜トランジスタMKがなければ、ノードN2が出力時以外は常

にHigh状態になってしまい、薄膜トランジスタMEにバイアスがかかり続ける。この結果、薄膜トランジスタMEのしきい値が上昇し、スイッチとして機能しなくなるおそれがある。

[0055] 薄膜トランジスタMEは、ノードN2がHighのときノードN1をLowにする。また、薄膜トランジスタMLは、リセット信号R（次段のシフトレジスタの出力）がHighのとき、ノードN1をLowにする。薄膜トランジスタMNは、リセット信号R（次段のシフトレジスタの出力）がHighのとき、出力信号QnをLowにする。薄膜トランジスタMDは、CKAの反転クロックCKBに同期して出力信号QnをLowにする。

[0056] キャパシタCAP1は、ノードN1をHighにしておくための補償容量である。このキャパシタがなければ、ノードN1が下がる。

[0057] 続いて、図5および図6を参照しつつ、回路10の動作の概要について説明する。図6（a）～（i）は、シフトレジスタ110Aの各段の入出力信号の波形およびノードN1、N2の電圧波形を示す図である。

[0058] 入力信号SがHighになると（時点t1）、ノードN1が充電される。このときノードN2は薄膜トランジスタMJの働きによってLowとなる。このため、薄膜トランジスタMEがオフになる。

[0059] 続いて、CKAがHighになると（時点t2）、薄膜トランジスタMIの寄生容量でノードN1がブーストし、CKAがQnに出力される。このときもノードN2はLow状態のままであり、薄膜トランジスタMEはオフである。

[0060] この後、CKAがLowになるとともに、次段の信号Rが立ち上がると（時点t3）、ノードN1と出力QnとはLowに落とされる。

[0061] 図5に示した比較例の回路10を形成する際に、上述したようなシフトレジスタ動作に関わる何れかのTFTに不良が生じると、それがシフトレジスタ動作に影響を及ぼし、パネルの表示不良を引き起こす可能性がある。

[0062] 本実施形態では、上記の問題を解決するために、シフトレジスタの各段における少なくとも1つのTFT（回路内TFT）にリペア用TFTを設ける

。これにより、その回路内TFTに不良が生じて、不良が生じた回路内TFTを回路から切断し、代わりにリペア用TFTを回路に接続することにより、シフトレジスタを正常に動作させることが可能になる。したがって、生産歩留まりを向上させることができる。

[0063] 図7(a)に、リペア用TFTを設けた、本発明による実施形態のシフトレジスタの1つの段の回路20の構成の一例を示す。また、図7(b)は、図7(a)に示す回路20におけるリペア用TFTを含む点線部分の模式的な拡大平面図である。

[0064] 回路20では、薄膜トランジスタMKにリペア用の薄膜トランジスタMK__YOB Iが設けられている。薄膜トランジスタMK__YOB Iでは、ゲート電極はCKDに、ドレイン電極はVSS配線に接続されている。ソース電極は、コンタクトホール36によって、ゲート配線と同一膜から形成された配線38に接続されている。配線38はフローティングしている。また、配線38は、ノードN2に接続された配線(ソース配線)40と層間絶縁膜(図示せず)を介して交差するように配置されている。これらの配線38、40の交差した部分34を「クロス部」と称する。

[0065] また、図7(b)からわかるように、本実施形態における薄膜トランジスタMKおよび薄膜トランジスタMK__YOB Iは、櫛状のソース電極および櫛状のドレイン電極が半導体層のチャネル領域上に間隔を空けて配置されており、これらの電極の間にチャネルが形成される。

[0066] 図示する例では、5本のチャネル(チャネル長:L)が形成されている。ここで、チャネル長Lは、ソース電極の枝と対向するドレイン電極の枝との間の距離を指し、通常3~6 μm である。また、これらの薄膜トランジスタの実効的なチャネル幅W(以下、単に「チャネル幅W」と呼ぶ。)は、各チャネルにおけるチャネル方向に垂直な長さwを合計した長さとなる。すなわち、長さwのチャネルが5本形成されるので、チャネル幅Wは長さwの5倍($W=w \times 5$)となる。なお、チャネルの本数は特に限定されない。チャネルの本数を適宜選択することによって、チャネル幅Wを所望の長さに設定す

ることができる。

[0067] ゲートドライバモノリシックパネル（以下、単に「パネル」と略する。）の製造段階において、回路20の薄膜トランジスタMKに不良が生じた場合、薄膜トランジスタMKをノードN2から切断し、かつ、リペア用の薄膜トランジスタMK__YOB IをN2に接続する。以下、より具体的に説明する。

[0068] まず、パネルの背面基板および対向基板を公知の工程で形成する。ここでは、背面基板のうち表示領域となる領域に画素スイッチング用TFTや画素電極を形成し、額縁領域となる領域にゲートドライバなどの駆動回路を形成する。この後、これらの基板を貼り合わせる前に、不良の有無を検査する。

[0069] 検査により不良が発見されると、貼り合わせを行う前にリペア処理を施す。リペア処理では、薄膜トランジスタMKをソース電極とノードN2とに接続している配線32を切断する。切断は例えばレーザーで行う。また、クロス部34にレーザーを照射してメルトさせることにより、リペア用の薄膜トランジスタMK__YOB Iのソース電極とノードN2とを接続する。配線32の切断工程とクロス部34のメルト工程とを行う順序は問わない。これにより、不良を有する薄膜トランジスタMKの代わりに、薄膜トランジスタMK__YOB Iを用いて、回路20を正常に動作させることが可能になる。

[0070] この後、上記リペア処理を行った背面基板と対向基板とを貼り合わせ、パネルを完成させる。

[0071] なお、薄膜トランジスタMKに不良が生じなければ、リペア処理は行われないので、完成後のシフトレジスタは、図7（a）および（b）に示す構成を有する。一方、製造工程中にシフトレジスタの少なくとも1つの段の薄膜トランジスタMKに不良が生じると、上述したリペア処理が行われる。この結果、完成後のシフトレジスタは、配線32で切断され、フローティングした端子を有する薄膜トランジスタMKと、クロス部34によってノードN2に接続され、回路内TFTとして動作する薄膜トランジスタMK__YOB I

とを有する段を備えることになる。

[0072] 本実施形態では、図示する平面図において、クロス部 34 の大きさは、例えば $10\mu\text{m} \times 10\mu\text{m}$ 以上であることが好ましく、より好ましくは $20\mu\text{m} \times 20\mu\text{m}$ 以上である。これにより、メルト処理によって配線 40 と配線 38 とをより確実に接続できる。

[0073] 図 7 に示す例では、薄膜トランジスタ MK にリペア用 TFT を設けているが、シフトレジスタを構成する他の TFT に対してリペア用 TFT を設けてもよい。特にチャネル幅 W の小さい TFT や、チャネル幅 W を小さくするためにチャネルの本数を抑えた TFT に対してリペア用 TFT を設けることが好ましい。以下、図面を参照しながら、この理由を説明する。

[0074] 図 8 (a) ~ (c) は、本実施形態における回路 20 に用いられる TFT の構成を例示する平面図である。

[0075] 図 8 (a) は、チャネルが 1 本だけ形成された TFT の構成を示す。チャネルが 1 本だけなので、そのチャネルのチャネル方向に垂直な長さ w がチャネル幅 W となる ($W=w$)。このような構成では、チャネル幅 W は小さい (例えば $50\mu\text{m}$ 以下) ことが多い。この TFT のチャネルの一部にダスト、リーク、断線などの不良 A が発生すると、TFT として機能しなくなる。この結果、シフトレジスタが動作しなくなり、パネル全体の不良を引き起こすおそれがある。

[0076] 図 8 (b) に、チャネルの本数が少ない (例えば 2 本 ~ 5 本、図示する例では 3 本) TFT を示す。チャネルの本数を m 本 ($2 \leq m \leq 5$)、各チャネルのチャネル方向に垂直な長さを w とすると、チャネル幅 W は $w \times m$ となる。チャネルの本数 m が少ないので、チャネル幅 W は小さいことが多い。このような構成では、複数のチャネルのうちの 1 本のチャネルにダスト、リーク、断線などの不良 A が発生すると、TFT の駆動能力は著しく低下する。このため、シフトレジスタ動作に大きな影響を及ぼし、パネル全体の不良を引き起こすおそれがある。

[0077] 図 8 (c) は、チャネルの本数が多い (例えば 6 本以上、図示する例では

9本) T F Tの構成を示す。この場合も同様に、チャンネルの本数を m ($6 \leq m$)、各チャンネルのチャンネル方向に垂直な長さを w とすると、チャンネル幅 W は $w \times m$ となる。チャンネルの本数 m が多いので、チャンネル幅 W は大きい(例えば $500 \mu m$ 以上)ことが多い。このような構成では、1本のチャンネルにダスト、リーク、断線などの不良Aが発生しても、他のチャンネルで補うことができるので、T F Tの駆動能力の低下率が少ない。また、図9に示すように、リペア用T F Tを設けなくても、不良Aの生じたチャンネルを形成するソースおよびドレイン電極の枝を切断することによって、リペアすることができる。

[0078] このように、T F Tのチャンネルの本数を m 本とすると、1か所に不良Aが発生すると、そのT F Tの駆動能力は、チャンネルが $(m-3)$ 本のT F Tと同等の能力に低下する場合がある(例えば図9に示すようなリペアを行った場合)。チャンネルの本数 m が少ないほど、不良AがT F Tの駆動能力に与える影響が大きくなる。したがって、チャンネルの本数 m の少ない回路内T F T(多くの場合、チャンネル幅 W の小さいT F T)に対して、リペア用T F Tを設けることが好ましい。そのような回路内T F Tのチャンネルの数 m は5本以下であることが好ましく、より好ましくは1本である。これにより、パネルの歩留まりをより効果的に向上できる。

[0079] リペア処理による接続箇所および切断箇所も、図7に示す配線32およびクロス部34に限定されない。本実施形態では、リペア用T F Tの3端子のうち少なくとも1つの端子が、フローティングしていればよい(以下、「フローティング端子」ともいう。)。このフローティング端子の延長部は、所定の配線に接続可能な位置まで延びている。ここでいう所定の配線とは、回路内T F Tにおいて、上記フローティング端子に対応する端子が接続されている配線をいう。一方、切断される配線は、回路内T F Tにおける上記フローティング端子に対応する端子と、所定の配線とを接続する配線であればよい。なお、フローティング端子が2つ存在すれば、接続箇所および切断箇所はそれぞれ2つずつ形成される。

- [0080] 以下の説明では、シフトレジスタを構成する回路内TFT（「第1TFT」とする。）に対して、リペア用TFT（「第2TFT」とする。）を設ける場合、第1TFTの3端子をそれぞれ1A、1B、1Cとし、第2TFTの3端子をそれぞれ2A、2B、2Cとする。第2TFTの2A、2B、2Cは、それぞれ、第1TFTの1A、1B、1Cに対応している。
- [0081] 端子1B、2Bは同じ導電膜（「第1導電膜」とする。）、端子1A、1C、2A、2Cは、導電膜1とは異なる導電膜（「第2導電膜」とする。）をパターニングすることによって形成されていることが好ましい。第1および第2導電膜は別層である。また、第1および第2導電膜の材料は同じであってもよいし、異なってもよい。例えば端子1B、2BはTi/AI合金、端子1A、1C、2A、2CはTi/AI合金で形成される。
- [0082] 本実施形態では、リペア処理前の状態では、第2TFTの3端子のうち少なくとも1端子はフローティングされており、他の端子は第1TFTの対応する端子に接続されていればよい。すなわち、第2TFTの3端子のうち2端子が、それぞれ、第1TFTの対応する端子に接続され、1端子のみがフローティングしていてもよい（ケースI）、第2TFTの3端子のうち1端子のみが、第1TFTの対応する端子に接続され、2端子がフローティングしていてもよい（ケースII）。なお、ケースIの方がケースIIよりも好ましい。これにより、リペア処理によって接続させる箇所が1箇所のみとなり、リペア不良を抑制できる。
- [0083] ケースIの場合、端子2Bと端子1Bとが予め（リペア処理を施す前から）接続され、端子2Cと端子1Cとが予め接続されており、かつ、端子2Aがフローティングしていることが好ましい。ケースIIの場合、端子2Cと端子1Cとが予め接続され、他の端子2A、2Bがフローティングしていることが好ましい。
- [0084] 何れのケースでも、第2TFTの3端子のうちどの端子をフローティングさせるかは、以下の優先順位（端子X1→X2→X3）に従って選択されることが好ましい。

- [0085] まず、第2 T F Tがシフトレジスタの内部ノード（N 1、N 2）に接続されるべき端子X 1を有している場合には、リペア処理前の状態において、その端子X 1をフローティングさせ、リペア処理によって内部ノード（N 1、N 2）に接続され得るように形成する。端子X 1がフローティングせず、内部ノードに接続されていれば、リペア処理を行わないときには（不良が生じなかったとき）、内部ノードに付加される容量が大きくなり、シフトレジスタが発振しやすいからである。
- [0086] 次に、第2 T F Tがシフトレジスタの出力ノードQ nに接続されるべき端子X 2を有している場合には、リペア処理前の状態において、その端子X 2をフローティングさせ、リペア処理によりシフトレジスタの出力ノードQ nに接続可能となるように形成する。端子X 2がフローティングせず、出力ノードQ nに接続されていれば、リペア処理を行わないときには、出力ノードQ nに付加される容量が大きくなり、出力波形がなまるおそれがあるからである。
- [0087] 続いて、第2 T F Tが、フローティングさせた場合に、接続のためのクロス部を形成するためにコンタクト部を形成する必要のない端子X 3を有していれば、端子X 3をフローティングさせ、クロス部を形成する。コンタクト部が増えると回路の抵抗が増加し、シフトレジスタ動作が遅くなる可能性があるからである。
- [0088] 本実施形態では、例えば第2 導電膜から形成された端子2 Aをフローティングさせる場合、端子2 Aをコンタクト部を介して第1 導電膜から形成された配線に接続して、第2 導電膜から形成された部分と第1 導電膜から形成された部分とを有する、端子2 Aの延長部を形成してもよい。この場合、端子2 Aの延長部のうち第1 導電膜から形成された部分と、第2 導電膜から形成された端子1 Aの延長部とを、互いに接続されない状態で重なるように延ばしてクロス部を形成してもよい。あるいは、第1 導電膜から形成された端子1 Aの延長部と、第2 導電膜から形成された端子2 Aの延長部とを互いに接続されない状態で重なるように形成してもよい。

- [0089] 一方、端子2Aに対応する第1TF Tの端子1Aは切断されやすいように延長されていることが好ましい。延長部の長さは特に限定しないが例えば100 μ m以上である。なお、図7に示す例では、端子1Aの延長部の長さは、ソース電極とノードN2とを接続する配線32の長さをいう。
- [0090] 第1TF Tおよび第2TF Tの位置関係は特に限定しないが、第2TF Tは、第1TF Tをパネルのxまたはy方向に平行移動させた位置に設けられていてもよい。パネルのx方向およびy方向とは、互いに直交する2方向をいい、典型的には画素の配列の行方向または列方向に対応する。または、第2TF Tは、第1TF Tを90度回転させ、かつ、パネルのxまたはy方向に平行移動させた位置に設けられていてもよい。また、第1および第2TF Tの間には他のTF Tが存在しないことが好ましい。
- [0091] なお、回路20の構成は図7に示す構成に限定されない。例えば、薄膜トランジスタMFの代わりに、CKCとノードN2との間に容量を設けてもよい。また、本出願人による特願2008-297297号に記載されているように、薄膜トランジスタME、MLまたはME、ML、MBをマルチチャネル化してもよい。これにより、ノードN1からのリークを防ぐ効果が得られる。特願2008-297297号の開示内容を参考のため本明細書に援用する。
- [0092] また、ここでは、4相のクロックを用いて駆動されるシフトレジスタを例に説明したが、本実施形態は、シフトレジスタの構成および駆動方法にかかわらず適用され得る。
- [0093] (第2実施形態)
- 以下、図面を参照して、本発明のシフトレジスタの第2の実施形態を説明する。本実施形態は、シフトレジスタを構成するTF Tのうちダイオード接続されたTF Tに対してリペア用TF Tを設ける点で前述の実施形態と異なる。ダイオード接続されたTF Tとは、TF Tのゲート電極とソースまたはドレイン電極とが接続された構成を有するTF Tであり、「3端子型ダイオード」とも呼ばれる。

[0094] 図10(a)に、リペア用TFETを設けた、本発明による実施形態のシフトレジスタの1つの段の回路50の構成の一例を示す。また、図10(b)は、図10(a)に示す回路50におけるリペア用TFETを含む点線部分の模式的な拡大平面図である。

[0095] 回路50では、薄膜トランジスタMFにリペア用の薄膜トランジスタMF__YOB Iが設けられている。なお、薄膜トランジスタMBもダイオード接続されており、同様のリペア用TFETを設けることができる。薄膜トランジスタMFは、入力TFETである薄膜トランジスタMBよりも小さいことから、リペア用TFETを設けることによる効果がより顕著に得られる。そこで、ここでは、薄膜トランジスタMFにリペア用TFETを設けた回路を例に説明する。

[0096] 薄膜トランジスタMFの3端子を1A、1B、1Cとすると、薄膜トランジスタMFでは、端子1B（ゲート端子）と端子1Cとはコンタクトホール58を介して接続されている。図示する例では、端子1AはノードN2に接続されている。また、端子1Cと端子1Aとは同じ導電膜（第2導電膜）から形成されており、端子1Bは第2導電膜とは異なる導電膜（第1導電膜）から形成されている。第1および第2導電膜は別層である。なお、第1および第2導電膜の材料は異なってもよい。

[0097] 一方、薄膜トランジスタMF__YOB Iの3端子を2A、2B、2Cとすると、端子2B（ゲート端子）と端子2Cとが接続されている。また、端子2Bは薄膜トランジスタの端子1Bと接続され、端子2Cは薄膜トランジスタの端子1Cと接続されている。端子2Aはフローティング状態となっている。

[0098] 端子2A（第2導電膜から形成）はコンタクト部を介して、第1導電膜から形成された配線に接続されている。これにより、第2導電膜から形成された部分と第1導電膜から形成された部分とを有する、端子2Aの延長部が形成されている。端子2Aの延長部における第1導電膜からなる部分は、端子1Aの延長部（第2導電膜から形成）と、層間絶縁膜（図示せず）を介して

重なるように配置されている。これらの延長部が重なった部分54を「クロス部」という。

[0099] また、図10(b)からわかるように、本実施形態における薄膜トランジスタMFおよび薄膜トランジスタMF__YOB Iでは、チャンネルが1本だけ形成され、チャンネル幅Wが小さい。なお、チャンネルの本数は特に限定しないが、前述の実施形態で説明したように、チャンネルの本数の少ない(5本以下)回路内TF Tに対してリペア用TF Tを設けると、より大きな効果が得られる。

[0100] ゲートドライバーモノリシックパネル(以下、単に「パネル」と略する。)の製造段階において、回路50の薄膜トランジスタMFに不良が生じた場合、薄膜トランジスタMFをノードN2から切断し、かつ、リペア用の薄膜トランジスタMF__YOB Iのフローティング端子2AをノードN2に接続する。以下、より具体的に説明する。

[0101] まず、パネルの背面基板および対向基板を公知の工程で形成する。ここでは、背面基板のうち表示領域となる領域に画素スイッチング用TF Tや画素電極を形成し、額縁領域となる領域にゲートドライバーなどの駆動回路を形成する。この後、これらの基板を貼り合わせる前に、不良の有無を検査する。

[0102] 検査により不良が発見されると、貼り合わせを行う前にリペア処理を施す。リペア処理では、薄膜トランジスタMFをソース電極とノードN2とに接続している配線52を切断する。切断は例えばレーザーで行う。また、クロス部54にレーザーを照射してメルトさせることにより、リペア用の薄膜トランジスタMF__YOB Iのソース電極とノードN2とを接続する。配線52の切断工程とクロス部54のメルト工程とを行う順序は問わない。これにより、不良を有する薄膜トランジスタMFの代わりに、薄膜トランジスタMF__YOB Iを用いて、回路50を正常に動作させることが可能になる。

[0103] この後、上記リペア処理を行った背面基板と対向基板とを貼り合わせ、パネルを完成させる。

[0104] 図 11 は、回路 50 の一部を示すレイアウト図である。図 10 を参照しながら前述したように、薄膜トランジスタ MF が不良であれば、配線 52 を切断して薄膜トランジスタ MF をシフトレジスタの回路 50 から切り離す。その代わり、クロス部 54 をレーザー等でメルトさせることにより、薄膜トランジスタ MF__Y O B I を回路 50 に接続する。

産業上の利用可能性

[0105] 本発明の半導体素子は、シフトレジスタを備えた回路または装置に広く適用され得る。特に、アクティブマトリクス基板等の回路基板、液晶表示装置、有機エレクトロルミネセンス（EL）表示装置および無機エレクトロルミネセンス表示装置等の表示装置、フラットパネル型 X 線イメージセンサー装置等の撮像装置、画像入力装置や指紋読み取り装置等の電子装置などの薄膜トランジスタを備えた装置に好適に適用される。

符号の説明

[0106] 110A シフトレジスタ
10 シフトレジスタの 1 つの段に含まれる比較例の回路
20、50 シフトレジスタの 1 つの段に含まれる回路
32、52 リペア処理時に切断される箇所
34、54 リペア処理時に接続される箇所
36、56、58 コンタクトホール
40 配線
N1、N2 ノード
MA、MB、MD、ME、MF、MI、MJ、MK、ML、MN 回路
内 TFT
MK__Y O B I 薄膜トランジスタ MK のリペア用 TFT

請求の範囲

- [請求項1] 絶縁性の基板に支持されたシフトレジスタであって、
それぞれが出力信号を順次出力する複数の段を有し、
前記複数の段のそれぞれは、複数の薄膜トランジスタを含む回路を有しており、
前記複数の薄膜トランジスタは、
前記回路の動作に関わる第1薄膜トランジスタと、
少なくとも1つのフローティングした端子を有する第2薄膜トランジスタとを含み、前記第2薄膜トランジスタの他の端子は、前記第1薄膜トランジスタの対応する端子に接続されており、前記少なくとも1つのフローティングした端子は、所定の配線に接続可能に形成されているシフトレジスタ。
- [請求項2] 前記基板の上方から見た前記第1および第2薄膜トランジスタのチャネル領域の形状は略同じである請求項1に記載のシフトレジスタ。
- [請求項3] 前記第1および第2薄膜トランジスタは、ソースおよびドレイン電極の何れか一方とゲート電極とが接続された構造を有し、前記第2薄膜トランジスタにおけるソースおよびドレイン電極の他方がフローティングしている請求項1または2に記載のシフトレジスタ。
- [請求項4] 前記第2薄膜トランジスタにおける前記少なくとも1つのフローティングした端子の延長部と、前記第1薄膜トランジスタにおける前記フローティングした端子に対応する端子の延長部とは、互いに接続されていない状態で重なっている請求項1から3のいずれかに記載のシフトレジスタ。
- [請求項5] 前記基板の上方から見た前記重なっている部分の形状は $10\mu\text{m} \times 10\mu\text{m}$ よりも大きい請求項4に記載のシフトレジスタ。
- [請求項6] 前記第1薄膜トランジスタの3端子を1A、1B、1Cとし、前記第2薄膜トランジスタの3端子を2A、2B、2Cとし、前記端子2Aは前記端子1A、前記端子2Bは前記端子1Bに、前記端子2Cは

前記端子 1 C に対応しているとする、前記端子 2 A、1 A、1 C、2 C は第 1 導電膜から形成され、前記端子 2 B および前記端子 1 B は、前記第 1 導電膜とは異なる第 2 導電膜から形成されており、少なくとも前記端子 2 C は前記端子 1 C に接続されている請求項 1 から 5 のいずれかに記載のシフトレジスタ。

[請求項 7] 前記端子 2 B は前記端子 1 B に接続されている請求項 6 に記載のシフトレジスタ。

[請求項 8] 前記第 1 薄膜トランジスタと前記第 2 薄膜トランジスタとの間には他の薄膜トランジスタが存在しない請求項 1 から 7 のいずれかに記載のシフトレジスタ。

[請求項 9] 前記第 1 および第 2 薄膜トランジスタは、同じ本数のチャネルを有しており、前記チャネルの数は 5 本以下である請求項 1 から 8 のいずれかに記載のシフトレジスタ。

[請求項 10] 前記チャネルの数は 1 本である請求項 9 に記載のシフトレジスタ。

[請求項 11] 前記第 1 薄膜トランジスタにおける前記フローティングした端子に対応する端子は延長部を有しており、前記第 1 薄膜トランジスタの前記延長部の長さは $100\ \mu\text{m}$ 以上である請求項 1 から 10 のいずれかに記載のシフトレジスタ。

[請求項 12] 絶縁性の基板に支持されたシフトレジスタであって、
それぞれが出力信号を順次出力する複数の段を有し、
前記複数の段の少なくとも 1 つは、複数の薄膜トランジスタを含む回路を有しており、
前記複数の薄膜トランジスタは、
前記回路の動作に関わる薄膜トランジスタ M1 と、
少なくとも 1 つのフローティングした端子を有する薄膜トランジスタ M2 と
を含み、前記薄膜トランジスタ M2 の他の端子は、前記薄膜トランジスタ M1 の対応する端子に接続されており、

前記薄膜トランジスタM1における前記フローティングした端子に対応する端子の延長部は、所定の配線と重なっており、前記重なっている部分にはメルト処理が施されており、これにより、前記薄膜トランジスタM1の延長部と前記所定の配線とが互いに接続されているシフトレジスタ。

[請求項13] 請求項1から12のいずれかに記載のシフトレジスタを備えたアクティブマトリクス基板。

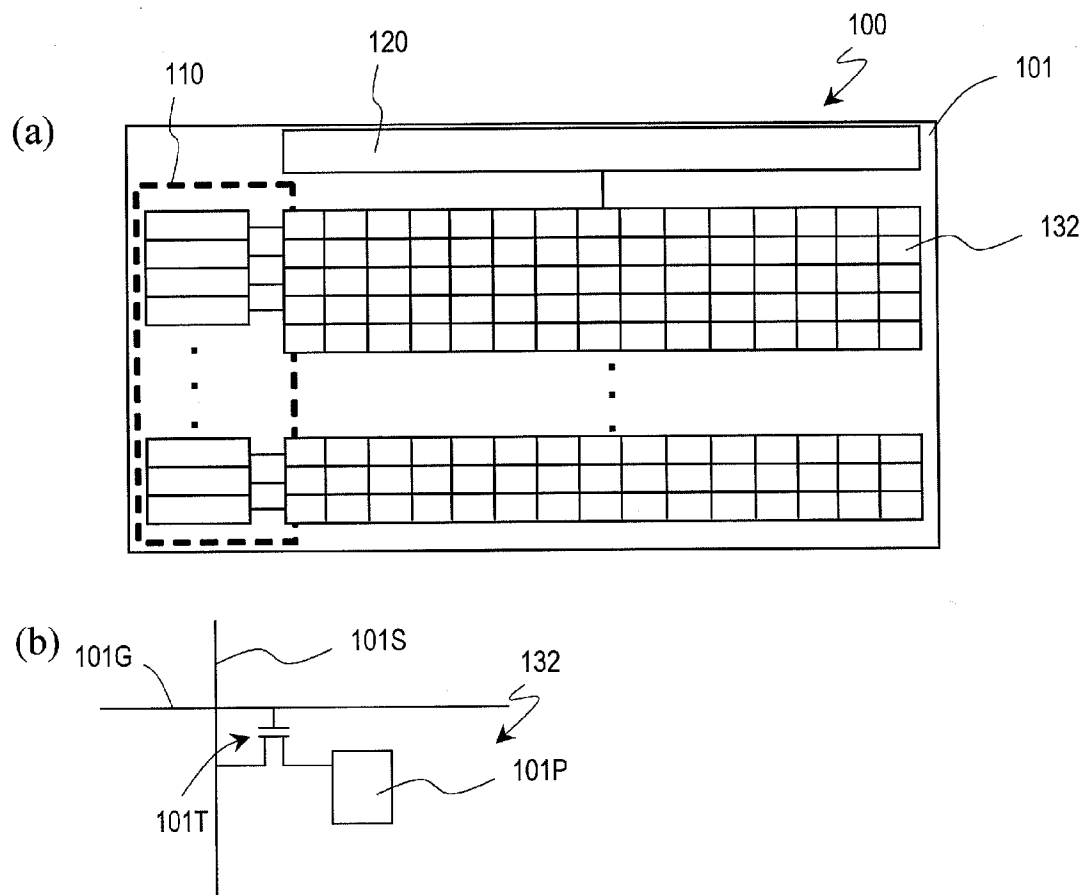
[請求項14] 請求項1から12のいずれかに記載のシフトレジスタを備えた表示パネル。

[請求項15] 請求項4に記載のシフトレジスタの製造方法であって、
前記回路の前記第1薄膜トランジスタに不良が生じているかを検査する工程と、

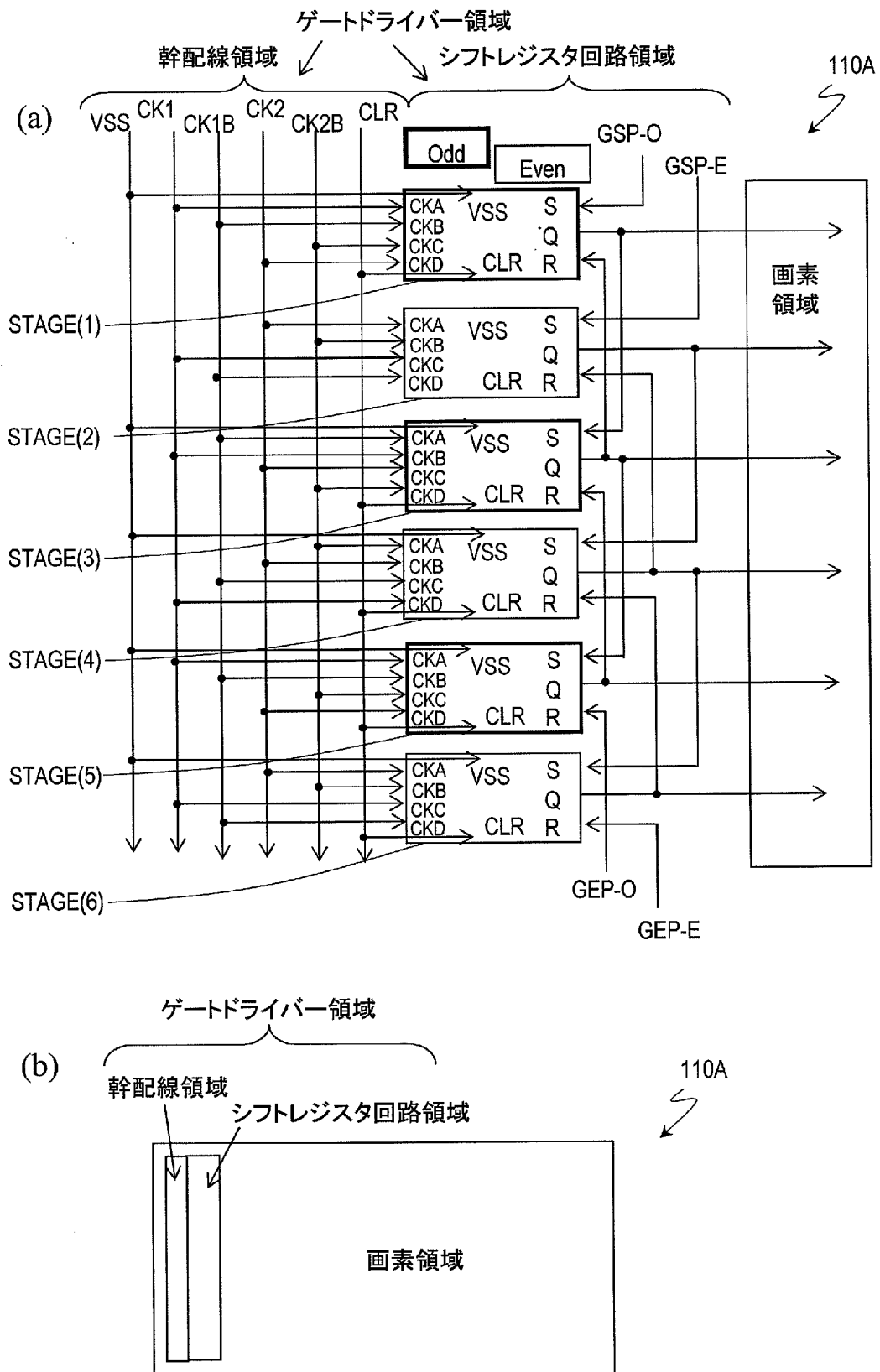
前記検査する工程において、不良が生じていることが確認されると、前記第1薄膜トランジスタを前記回路から分離するとともに、前記第2薄膜トランジスタにおける前記フローティングした端子を前記回路の所定の配線に接続するリペア処理を行う工程とを包含し、

前記リペア処理は、前記重なっている部分にメルト処理を施して、前記第2薄膜トランジスタの前記フローティングした端子を前記所定の配線に接続させる工程を含むシフトレジスタの製造方法。

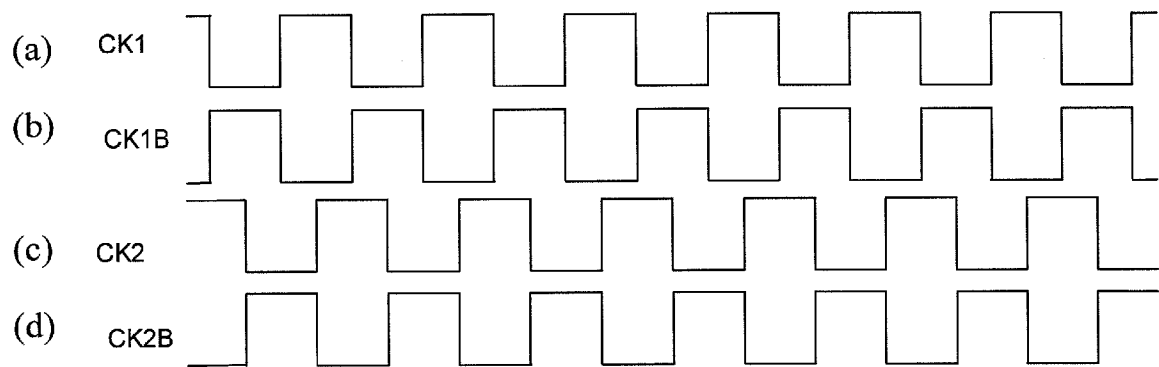
[図1]



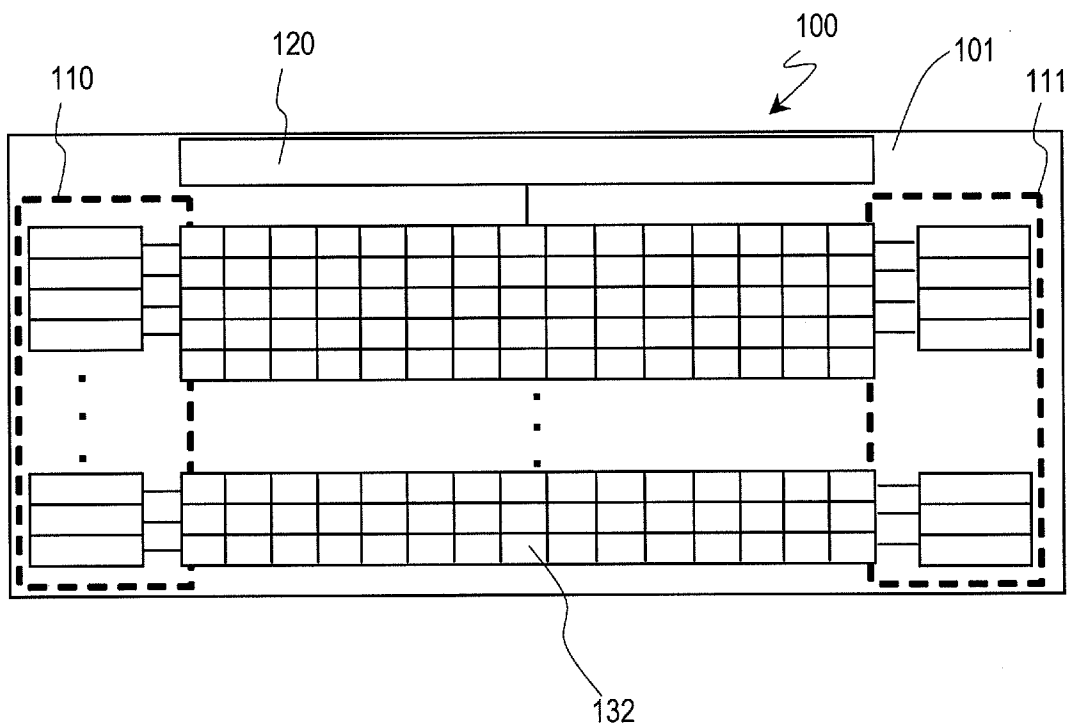
[図2]



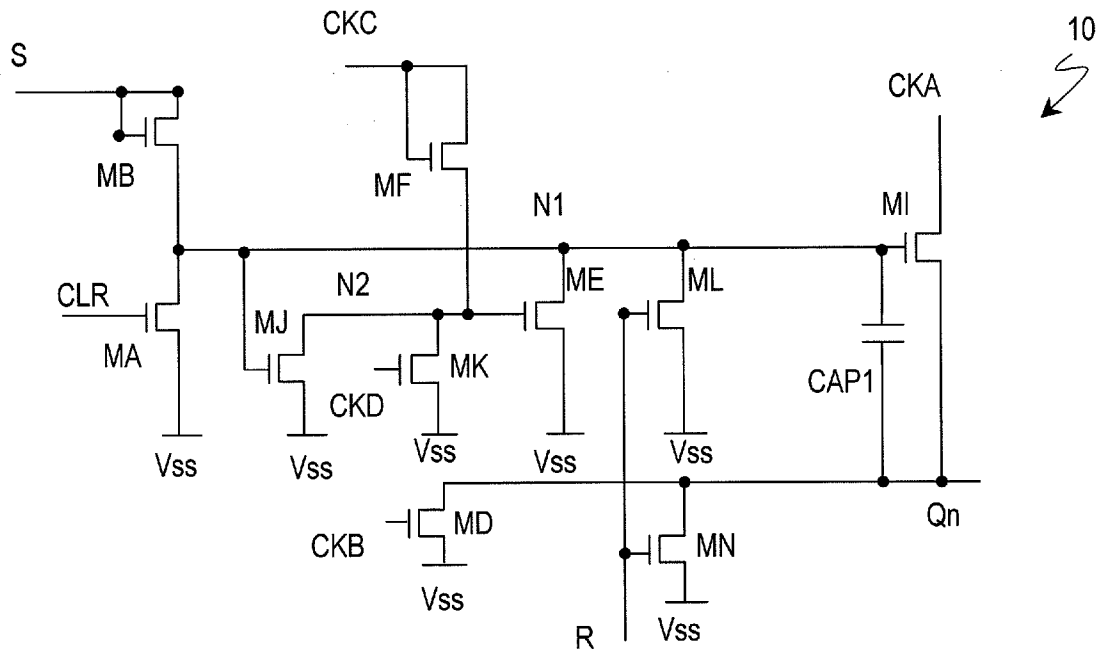
[図3]



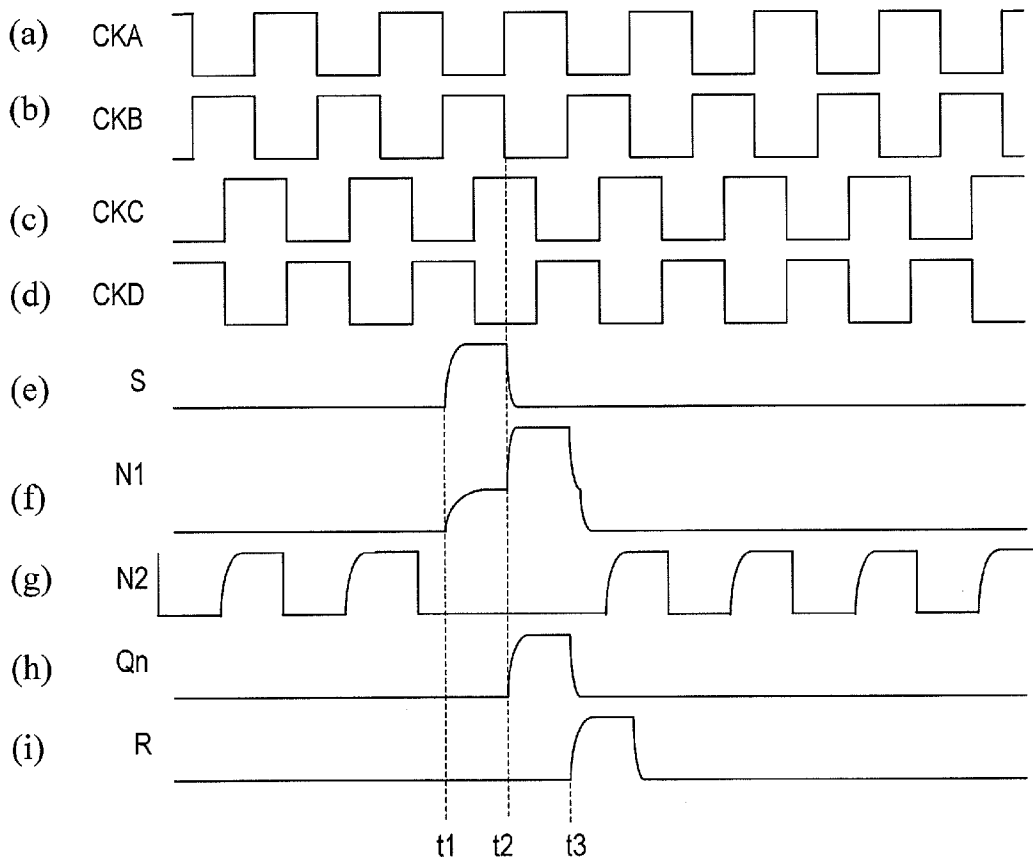
[図4]



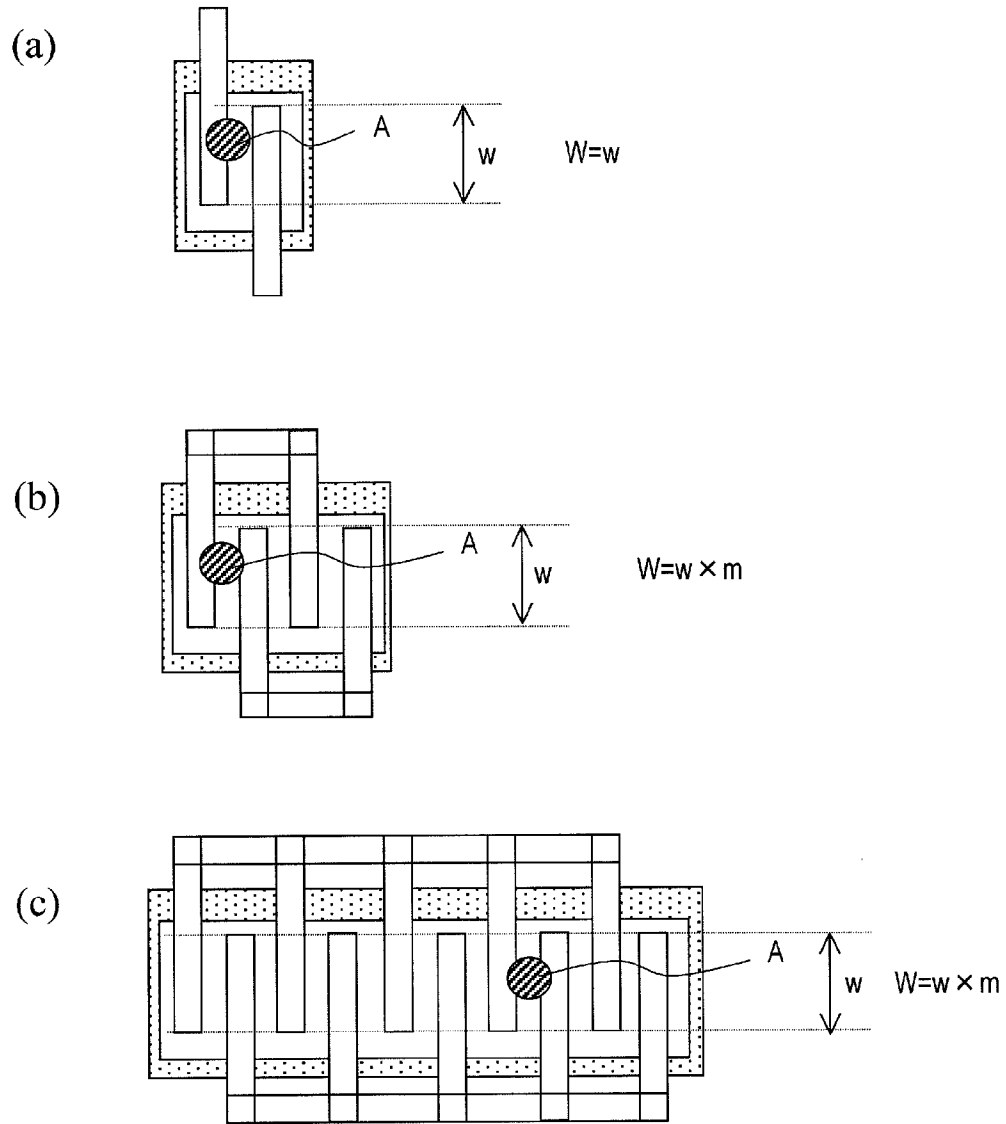
[図5]



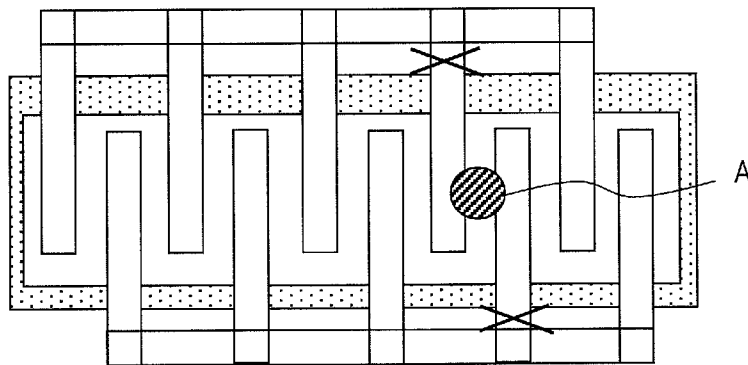
[図6]

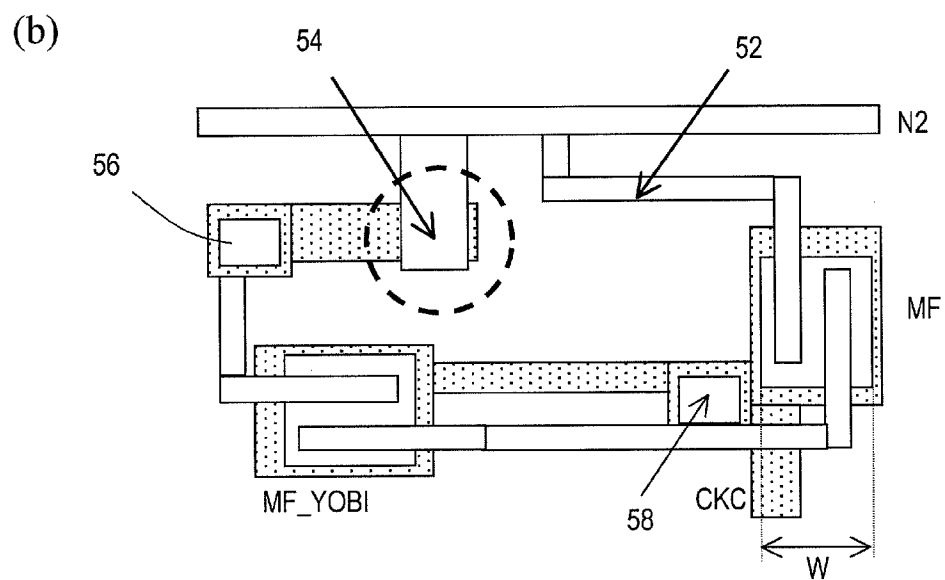


[図8]

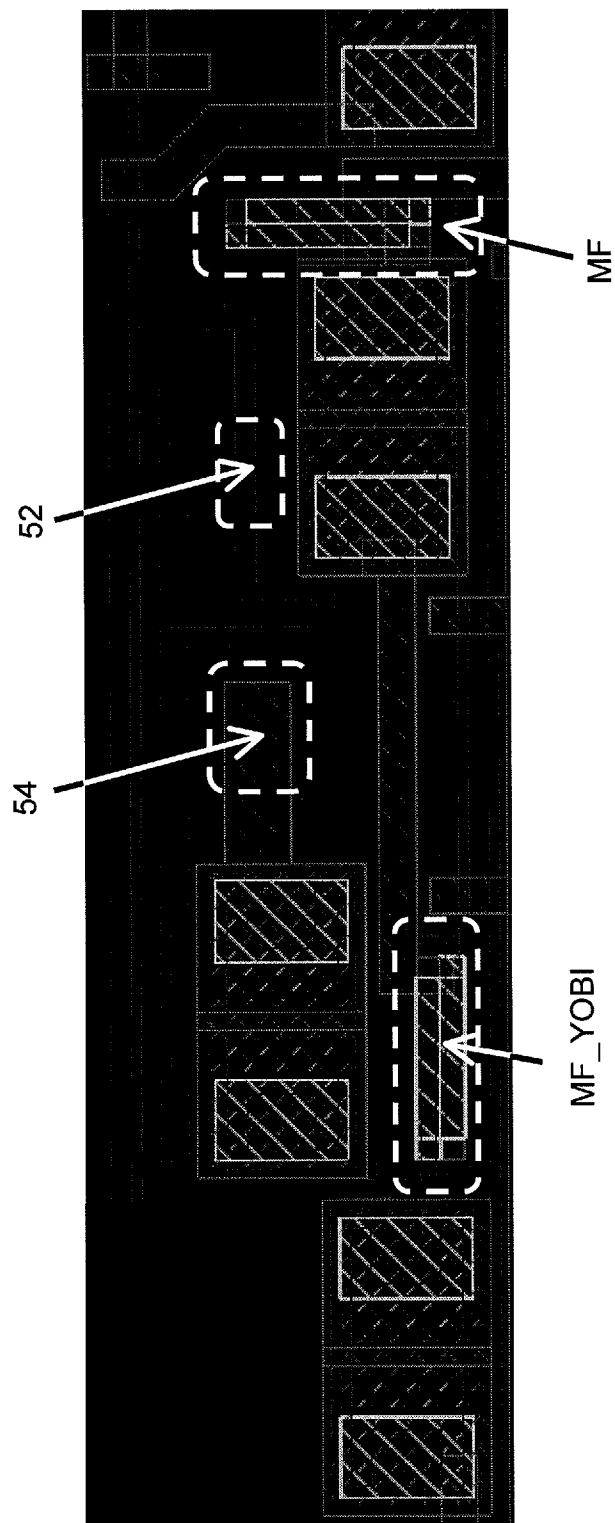


[図9]





[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000568

A. CLASSIFICATION OF SUBJECT MATTER

G11C19/28(2006.01)i, G02F1/13(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C19/28, G02F1/13, G09G3/20, G09G3/36, G11C19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-31135 A (Mitsubishi Electric Corp.), 03 February 2005 (03.02.2005), paragraphs [0018] to [0033]; fig. 4 to 5 (Family: none)	1-15
Y	JP 2007-95190 A (Hitachi Displays, Ltd.), 12 April 2007 (12.04.2007), entire text; all drawings & US 2007/0070020 A1	1-15
A	JP 2007-292878 A (Hitachi Displays, Ltd.), 08 November 2007 (08.11.2007), entire text; all drawings & US 2008/0024691 A1	1-15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 April, 2010 (28.04.10)

Date of mailing of the international search report
18 May, 2010 (18.05.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000568

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-104311 A (Toshiba Corp.), 21 April 1995 (21.04.1995), entire text; all drawings (Family: none)	1-15
A	JP 2008-3290 A (Sharp Corp.), 10 January 2008 (10.01.2008), entire text; all drawings (Family: none)	1-15
A	JP 2000-275669 A (Fujitsu Ltd.), 06 October 2000 (06.10.2000), entire text; all drawings & US 6639634 B1	1-15

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G11C19/28(2006.01)i, G02F1/13(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i,
G11C19/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G11C19/28, G02F1/13, G09G3/20, G09G3/36, G11C19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-31135 A (三菱電機株式会社) 2005.02.03, 段落【0018】-【0033】, 第4-5図 (ファミリーなし)	1-15
Y	JP 2007-95190 A (株式会社日立ディスプレイズ) 2007.04.12, 全文, 全図 & US 2007/0070020 A1	1-15
A	JP 2007-292878 A (株式会社日立ディスプレイズ) 2007.11.08, 全文, 全図 & US 2008/0024691 A1	1-15

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 8 . 0 4 . 2 0 1 0

国際調査報告の発送日

1 8 . 0 5 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀田 和義

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 5

5 N

8 8 4 0

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 7-104311 A (株式会社東芝) 1995. 04. 21, 全文, 全図 (ファミリーなし)	1-15
A	JP 2008-3290 A (シャープ株式会社) 2008. 01. 10, 全文, 全図 (ファミリーなし)	1-15
A	JP 2000-275669 A (富士通株式会社) 2000. 10. 06, 全文, 全図 & US 6639634 B1	1-15