

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
【部門区分】 第 6 部門第 3 区分
【発行日】 令和 4 年 7 月 20 日 (2022.7.20)

【国際公開番号】 WO2021/149113
【出願番号】 特願 2021-572135 (P2021-572135)

【国際特許分類】

G 0 6 F 1 1 / 3 6 (2 0 0 6 . 0 1)

G 0 6 F 1 1 / 0 7 (2 0 0 6 . 0 1)

【 F I 】

G 0 6 F 1 1 / 3 6 1 1 2

G 0 6 F 1 1 / 0 7 1 5 1

G 0 6 F 1 1 / 0 7 1 4 0 H

10

【手続補正書】

【提出日】 令和 4 年 5 月 20 日 (2022.5.20)

【手続補正 1】

【補正対象書類名】 特許請求の範囲

【補正対象項目名】 全文

【補正方法】 変更

20

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のレジスタと、

前記第 1 のレジスタに係るステータス情報を格納する第 2 のレジスタと、

前記第 2 のレジスタに格納されている前記ステータス情報に基づいて、前記第 1 のレジスタがオペランドに指定された命令における例外を検出する検出回路と、

を有し、

前記ステータス情報は、前記命令の実行前に前記第 1 のレジスタが書き込み先のレジスタとして使用済みかどうかを示す第 1 のフラグと、前記命令の実行前に前記第 1 のレジスタが読み出し元のレジスタとして使用済みかどうかを示す第 2 のフラグとを有し、

30

前記検出回路は、前記第 1 のレジスタが書き込み先のレジスタとして使用済みであることを前記第 1 のフラグが示しており、かつ前記第 1 のレジスタが読み出し元のレジスタとして使用済みではないことを前記第 2 のフラグが示している場合に前記例外を検出することを特徴するプロセッサ。

【請求項 2】

前記ステータス情報は、前記命令の実行前に前記第 1 のレジスタが書き込み先のレジスタとして使用済みかどうかを示す第 1 のフラグを有し、

前記検出回路は、前記第 1 のレジスタが書き込み先のレジスタとして使用済みではないことを前記第 1 のフラグが示している場合に前記例外を検出することを特徴とする請求項 1 に記載のプロセッサ。

40

【請求項 3】

前記ステータス情報は、前記第 1 のレジスタに格納されているデータのデータタイプを示す型情報を有し、

前記検出回路は、前記型情報が示す前記データタイプと、前記命令が演算の対象とするデータタイプとが一致しない場合に前記例外を検出することを特徴とする請求項 1 に記載のプロセッサ。

【請求項 4】

前記第 1 のレジスタは、ベクトルデータの複数の要素が格納されるベクトルレジスタであり、

50

前記ステータス情報は、前記第 1 のレジスタに格納されている前記要素のデータサイズを示すサイズ情報を有し、

前記検出回路は、前記サイズ情報が示すデータサイズと、前記オペランドにおいて指定された前記第 1 のレジスタのデータサイズとが一致しない場合に前記例外を検出することを特徴とする請求項 1 に記載のプロセッサ。

【請求項 5】

前記第 1 のレジスタを複数有すると共に、複数の前記第 1 のレジスタの各々に対応して前記第 2 のレジスタを複数有し、

前記ステータス情報は、前記第 1 のレジスタに格納されているデータのデータタイプを示す型情報を有し、

前記命令において複数の前記第 1 のレジスタが複数のソースレジスタの各々に指定された場合であって、複数の前記ソースレジスタの各々に格納されているデータのデータタイプ同士が同一であることを前記命令が前提としているときに、前記検出回路は、前記第 1 のレジスタの各々の前記型情報同士が一致しない場合に前記例外を検出することを特徴とする請求項 1 に記載のプロセッサ。

【請求項 6】

前記第 2 のレジスタに格納されている前記ステータス情報を前記第 1 のレジスタに保存する第 1 のストア命令と、前記第 1 のレジスタに保存されている前記ステータス情報を前記第 2 のレジスタに書き込む第 1 のロード命令とを実行する実行回路を更に有することを特徴とする請求項 1 に記載のプロセッサ。

【請求項 7】

前記第 2 のレジスタに格納されている前記ステータス情報をメモリに保存する第 2 のストア命令と、前記メモリに保存されている前記ステータス情報を前記第 2 のレジスタに書き込む第 2 のロード命令とを実行する実行回路を更に有することを特徴とする請求項 1 に記載のプロセッサ。

【請求項 8】

前記第 1 のレジスタを複数有すると共に、複数の前記第 1 のレジスタの各々に対応して前記第 2 のレジスタを複数有し、

複数の前記第 2 のレジスタの各々に格納されている複数の前記ステータス情報を一括してメモリに保存する第 3 のストア命令と、前記メモリに保存されている複数の前記ステータス情報を一括して前記第 2 のレジスタの各々に書き込む第 3 のロード命令とを実行する実行回路を更に有することを特徴とする請求項 1 に記載のプロセッサ。

【請求項 9】

前記例外を検出する前記検出回路の機能を無効にする無効命令と、前記機能を有効にする有効命令とを実行する実行回路を更に有することを特徴とする請求項 1 に記載のプロセッサ。

【請求項 10】

前記無効命令と前記有効命令の各々は、例外の種類をオペランドとしてとり、

前記実行回路は、前記無効命令を実行することにより前記種類の前記例外を検出する前記機能を無効にし、前記有効命令を実行することにより前記種類の前記例外を検出する前記機能を有効にすることを特徴とする請求項 9 に記載のプロセッサ。

【請求項 11】

前記第 2 のレジスタを複数有すると共に、

前記無効命令と前記有効命令の各々は、複数の前記第 2 のレジスタのうちの一つをオペランドとしてとり、

前記実行回路は、前記無効命令の前記オペランドに指定された前記第 2 のレジスタに格納されている前記ステータス情報を用いて前記例外を検出する前記機能を無効にし、前記有効命令の前記オペランドに指定された前記第 2 のレジスタに格納されている前記ステータス情報を用いて前記例外を検出する前記機能を有効にすることを特徴とする請求項 9 に記載のプロセッサ。

10

20

30

40

50

【請求項 1 2】

第 1 のレジスタを模擬する第 1 の記憶領域をメモリに確保する処理と、
前記第 1 のレジスタに係るステータス情報格納する第 2 のレジスタを模擬する第 2 の記憶領域を前記メモリに確保する処理と、
前記第 2 のレジスタに格納されている前記ステータス情報に基づいて、前記第 1 のレジスタがオペランドに指定された命令における例外を検出する処理と、
をコンピュータに実行させ、
前記ステータス情報は、前記命令の実行前に前記第 1 のレジスタが書き込み先のレジスタとして使用済みかどうかを示す第 1 のフラグと、前記命令の実行前に前記第 1 のレジスタが読み出し元のレジスタとして使用済みかどうかを示す第 2 のフラグとを有し、
前記例外を検出する処理において、前記第 1 のレジスタが書き込み先のレジスタとして使用済みであることを前記第 1 のフラグが示しており、かつ前記第 1 のレジスタが読み出し元のレジスタとして使用済みでないことを前記第 2 のフラグが示している場合に前記例外を検出することを特徴とするシミュレーションプログラム。

10

【請求項 1 3】

前記ステータス情報は、前記命令の実行前に前記第 1 のレジスタが書き込み先のレジスタとして使用済みかどうかを示す第 1 のフラグを有し、
前記例外を検出する処理において、前記第 1 のレジスタが書き込み先のレジスタとして使用済みでないことを前記第 1 のフラグが示している場合に前記例外を検出することを特徴とする請求項 1 2 に記載のシミュレーションプログラム。

20

【請求項 1 4】

前記ステータス情報は、前記第 1 のレジスタに格納されているデータのデータタイプを示す型情報を有し、
前記例外を検出する処理において、前記型情報が示すデータタイプと、前記命令が演算の対象とするデータタイプとが一致しない場合に前記例外を検出することを特徴とする請求項 1 2 に記載のシミュレーションプログラム。

【請求項 1 5】

前記第 1 のレジスタは、ベクトルデータの複数の要素が格納されるベクトルレジスタであり、
前記ステータス情報は、前記第 1 のレジスタに格納されている前記要素のデータサイズを示すサイズ情報を有し、
前記例外を検出する処理において、前記サイズ情報が示すデータサイズと、前記オペランドにおいて指定された前記第 1 のレジスタのデータサイズとが一致しない場合に前記例外を検出することを特徴とする請求項 1 2 に記載のシミュレーションプログラム。

30

【請求項 1 6】

前記第 1 の記憶領域が複数の前記第 1 のレジスタを模擬すると共に、複数の前記第 1 のレジスタの各々に対応した複数の前記第 2 のレジスタを前記第 2 の記憶領域が模擬し、
前記ステータス情報は、前記第 1 のレジスタに格納されているデータのデータタイプを示す型情報を有し、
前記命令において複数の前記第 1 のレジスタが複数のソースレジスタの各々に指定された場合であって、複数の前記ソースレジスタの各々に格納されているデータのデータタイプ同士が同一であることを前記命令が前提としているときに、前記例外を検出する処理において、前記第 1 のレジスタの各々の前記型情報同士が一致しない場合に例外を検出することを特徴とする請求項 1 2 に記載のシミュレーションプログラム。

40

【請求項 1 7】

オペランドにレジスタが指定された命令のアセンブリ言語のコードを取得する処理と、
前記レジスタに係るステータス情報に基づいて、前記命令における例外を検出する処理と、
前記例外を検出したときにエラーを出力する処理と、
前記例外を検出しなかったときに前記コードの機械語を生成する処理と、

50

をコンピュータに実行させ、

前記ステータス情報は、前記命令の実行前に前記レジスタが書き込み先のレジスタとして使用済みかどうかを示す第 1 のフラグと、前記命令の実行前に前記レジスタが読み出し元のレジスタとして使用済みかどうかを示す第 2 のフラグとを有し、

前記例外を検出する処理は、前記レジスタが書き込み先のレジスタとして使用済みであることを前記第 1 のフラグが示しており、かつ前記レジスタが読み出し元のレジスタとして使用済みではないことを前記第 2 のフラグが示している場合に前記例外を検出するためのアセンブラプログラム。

【請求項 18】

命令のオペランドに指定されたレジスタを表す引数を前記命令と対応付けられた関数が受け取ったときに、前記引数が表す前記レジスタに係るステータス情報に基づいて、前記命令における例外を検出する処理と、

前記例外を検出したときにエラーを出力する処理と、

前記例外を検出しなかったときに、前記オペランドに対して前記命令が行う処理を表す機械語を生成する処理と、

前記機械語をメモリに書き込む処理と、

を有することを特徴とする情報処理プログラム。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

一側面によれば、第 1 のレジスタと、前記第 1 のレジスタに係るステータス情報を格納する第 2 のレジスタと、前記第 2 のレジスタに格納されている前記ステータス情報に基づいて、前記第 1 のレジスタがオペランドに指定された命令における例外を検出する検出回路とを有し、前記ステータス情報は、前記命令の実行前に前記第 1 のレジスタが書き込み先のレジスタとして使用済みかどうかを示す第 1 のフラグと、前記命令の実行前に前記第 1 のレジスタが読み出し元のレジスタとして使用済みかどうかを示す第 2 のフラグとを有し、前記検出回路は、前記第 1 のレジスタが書き込み先のレジスタとして使用済みであることを前記第 1 のフラグが示しており、かつ前記第 1 のレジスタが読み出し元のレジスタとして使用済みではないことを前記第 2 のフラグが示している場合に前記例外を検出するプロセッサが提供される。

10

20

30

40

50