

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6855802号
(P6855802)

(45) 発行日 令和3年4月7日(2021.4.7)

(24) 登録日 令和3年3月22日(2021.3.22)

(51) Int.Cl.

F 1

HO3M 3/02	(2006.01)	HO3M 3/02
G10H 1/00	(2006.01)	G10H 1/00
HO3M 1/08	(2006.01)	HO3M 1/08

Z

B

請求項の数 7 (全 15 頁)

(21) 出願番号	特願2017-5427 (P2017-5427)
(22) 出願日	平成29年1月16日 (2017.1.16)
(65) 公開番号	特開2018-117192 (P2018-117192A)
(43) 公開日	平成30年7月26日 (2018.7.26)
審査請求日	令和1年9月17日 (2019.9.17)

(73) 特許権者	000001443 カシオ計算機株式会社 東京都渋谷区本町1丁目6番2号
(74) 代理人	100074099 弁理士 大菅 義之
(74) 代理人	100121083 弁理士 青木 宏義
(74) 代理人	100138391 弁理士 天田 昌行
(72) 発明者	坂田 吾朗 東京都羽村市栄町3丁目2番1号 カシオ 計算機株式会社羽村技術センター内

審査官 及川 尚人

最終頁に続く

(54) 【発明の名称】情報処理装置、方法、及びプログラム、D/A変換装置、電子楽器

(57) 【特許請求の範囲】

【請求項1】

入力された入力信号と、前記入力信号に基づいて生成された帰還信号との差を積分し、積分結果を出力する積分処理と、

前記積分処理により出力された前記積分結果を量子化することにより、第1量子化信号を出力する第1量子化処理と、

前記積分処理により出力された前記積分結果を量子化することにより、補正值信号を出力する第2量子化処理と、

前記第1量子化信号を第1遅延量で遅延させた第1帰還信号と、前記補正值信号を前記第1遅延量とは異なる第2遅延量で遅延させた第2帰還信号と、を含む前記帰還信号を出力する帰還信号出力処理と、

前記第1量子化信号に基づいて、或るクロック周期の中心に対して対称なパルス形状を有するパルス信号と、前記或るクロック周期の中心に対して非対称なパルス形状を有するパルス信号と、を含む出力信号を出力する出力処理と、

を実行する処理部を備え、

前記第2量子化処理は、前記出力処理により前記対称なパルス形状を有するパルス信号が出力される場合は0とし、前記出力処理により前記非対称なパルス形状を有するパルス信号が出力される場合は、前記パルス信号の中心と前記或るクロック周期の中心との差を補正する補正值を示す信号として前記補正值信号を出力する処理である、情報処理装置。

【請求項2】

10

20

前記帰還信号出力処理は、前記第1量子化信号を前記或るクロック周期分遅延させた前記第1帰還信号と、前記補正值信号を前記或るクロック周期の2周期分遅延させた前記第2帰還信号と、を含む前記帰還信号を出力する処理であり、

前記第1量子化処理は、前記出力処理により前記対称なパルス形状を有するパルス信号が出力される場合は目標量子化値を示し、前記出力処理により前記非対称なパルス形状を有するパルス信号が出力される場合は前記目標量子化値よりも小さい第1値を示す信号として前記第1量子化信号を出力する処理であり、

前記第2量子化処理は、前記出力処理により前記対称なパルス形状を有するパルス信号が出力される場合は0とし、前記出力処理により前記非対称なパルス形状を有するパルス信号が出力される場合は、前記目標量子化値と前記第1値との差を示す信号として前記補正值信号を出力する処理である、

請求項1に記載の情報処理装置。

【請求項3】

前記帰還信号出力処理は、前記第1量子化信号に、前記補正值信号を遅延させた補正值遅延信号を加算して補正值加算信号を出力するとともに、前記補正值加算信号を更に遅延させることにより前記帰還信号を出力する処理である、請求項1または2に記載の情報処理装置。

【請求項4】

前記積分処理は、前記入力信号と、前記第1帰還信号及び前記第2帰還信号との差を積分し、積分結果を出力する処理である、請求項1または2に記載の情報処理装置。

【請求項5】

請求項1乃至4のいずれかに記載の情報処理装置と、

前記情報処理装置からの出力に基づいて、デジタル-アナログ変換した楽音を発音する発音部と、

を備えた電子楽器。

【請求項6】

装置が、

入力された入力信号と、前記入力信号に基づいて生成された帰還信号との差を積分し、積分結果を出力する積分処理と、

前記積分処理により出力された前記積分結果を量子化することにより、第1量子化信号を出力する第1量子化処理と、

前記積分処理により出力された前記積分結果を量子化することにより、補正值信号を出力する第2量子化処理と、

前記第1量子化信号を第1遅延量で遅延させた第1帰還信号と、前記補正值信号を前記第1遅延量とは異なる第2遅延量で遅延させた第2帰還信号と、を含む前記帰還信号を出力する帰還信号出力処理と、

前記第1量子化信号に基づいて、或るクロック周期の中心に対して対称なパルス形状を有するパルス信号と、前記或るクロック周期の中心に対して非対称なパルス形状を有するパルス信号と、を含む出力信号を出力する出力処理と、

を実行し、

前記第2量子化処理は、前記出力処理により前記対称なパルス形状を有するパルス信号が出力される場合は0とし、前記出力処理により前記非対称なパルス形状を有するパルス信号が出力される場合は、前記パルス信号の中心と前記或るクロック周期の中心との差を補正する補正值を示す信号として前記補正值信号を出力する処理である、情報処理方法。

【請求項7】

コンピュータに、

入力された入力信号と、前記入力信号に基づいて生成された帰還信号との差を積分し、積分結果を出力する積分処理と、

前記積分処理により出力された前記積分結果を量子化することにより、第1量子化信号を出力する第1量子化処理と、

10

20

30

40

50

前記積分処理により出力された前記積分結果を量子化することにより、補正值信号を出力する第2量子化処理と、

前記第1量子化信号を第1遅延量で遅延させた第1帰還信号と、前記補正值信号を前記第1遅延量とは異なる第2遅延量で遅延させた第2帰還信号と、を含む前記帰還信号を出力する帰還信号出力処理と、

前記第1量子化信号に基づいて、或るクロック周期の中心に対して対称なパルス形状を有するパルス信号と、前記或るクロック周期の中心に対して非対称なパルス形状を有するパルス信号と、を含む出力信号を出力する出力処理と、

を実行させ、

前記第2量子化処理は、前記出力処理により前記対称なパルス形状を有するパルス信号が¹⁰出力される場合は0とし、前記出力処理により前記非対称なパルス形状を有するパルス信号が出力される場合は、前記パルス信号の中心と前記或るクロック周期の中心との差を補正する補正值を示す信号として前記補正值信号を出力する処理である、プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パルス幅変調処理を行う情報処理装置、方法、及びプログラム、D/A変換装置、電子楽器に関する。

【背景技術】

【0002】

従来より可聴帯域のSN比（信号対雑音比）を向上させるために、量子化ノイズを高域側へシフトさせるノイズシェーピング効果を有するデルタ-シグマ変調器（以下、「²⁰変調器」と呼ぶ）を用いたD/A（デジタル-アナログ）変換装置が知られている（例えば特許文献1）。

【0003】

図10は、従来技術による変調器を用いたD/A変換装置の構成例を示す図である。減算部1004と積分器1001は、デルタ-シグマ変調処理を実行する。量子化器1002は、積分器1001の出力値を量子化する。遅延部1003は、量子化器1002が出力する量子化値をオーバーサンプリングによるサンプリング周期分遅延させる。³⁰減算器1004は、デジタル入力値1006から、遅延部1003が出力する値を減算し、減算の結果の値を積分器1001に入力させる。対称パルス幅変調部（以下、「対称PWM部」と呼ぶ）1005は、量子化器1002が出力する量子化値を、その量子化値に対応するデューティ比を有するパルス信号で変調するPWM（Pulse Width Modulation：パルス幅変調）処理を実行し、PWM出力信号1007を出力する。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2015-185900号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ここで、上述の従来技術において、図10の減算器1004及び積分器1001での変調処理や対称PWM部1005でのPWM処理は、原信号のサンプリング周期の数十倍以上のオーバーサンプリング周期で動作し、PWMにより生成されるパルス信号の値、すなわち電圧は、時系列的に正確である必要がある。このため、対称PWM部1005で生成されるパルス信号のパルス形状は、必然的にオーバーサンプリング周期毎に、各周期の中心時間位置に対して対称であることが条件となっている。そうしないと、オーバーサンプリング周期の任意の一時点での電圧値が得られず、量子化器1002との整合が保てなくなり、正しい性能が発揮できないためである。図11は、対称PWM部100

10

20

30

40

50

5でのP W M処理波形の例を示す図である。図11に示される周期Tは、原信号のサンプリング周期F_sを例えれば128分割したオーバーサンプリング周期である。図11の例は、図10の量子化器1002が出力する量子化値が例えば-1.0、-0.5、0.0、0.5、1.0の5値を取り得る場合であり、その5値のそれぞれが図11に示される5種類のデューティー比を有するパルス信号にパルス幅変調される。この変調を行うために、オーバーサンプリング周期Tが更に8分割された周期を有する動作クロックC L Kに同期して、各量子化値に対応して各パルス信号のデューティー比が制御される。この場合、上述したように、パルス信号のパルス形状は従来、図11に示されるように、オーバーサンプリング周期Tの区間の中心位置T/2に対して左右対称である必要があった。このため、従来のP W Mによるパルス信号の分解能(=量子化数)は、オーバーサンプリング周期内での動作クロックC L Kの数の約半分に制限されてしまっていた。図11の例では、オーバーサンプリング周期T内での動作クロックC L Kのクロック数(周期数)は8周期であり、この場合に変調できる量子化値の数は5値になる。

【0006】

一方、P W Mによるパルス信号の分解能即ち量子化数は、D/A変換装置等のダイナミックレンジに直結するため、ダイナミックレンジを上げるために、動作クロックの周波数を上げる必要がある。しかして、クロック周波数を上げるために、より高周波数に対応したPLL(Phased Lock Loop)回路が必要となったり、またそれに伴う消費電力も増加してしまうという課題があった。

【0007】

このようなD/A変換装置が例えば電子楽器のアナログ楽音信号の出力用に使用された場合、D/A変換装置のコストアップや消費電力のアップは、電子楽器の性能に直結するため、問題であった。

【0008】

そこで、本発明は、動作クロックが同一の場合にはダイナミックレンジを向上させることができ、ダイナミックレンジが同一の場合には動作クロックの周波数を下げて消費電力を抑制できる装置を実現することを目的とする。

【課題を解決するための手段】

【0009】

態様の一例の情報処理装置は、入力された入力信号と、前記入力信号に基づいて生成された帰還信号との差を積分し、積分結果を出力する積分処理と、前記積分処理により出力された前記積分結果を量子化することにより、第1量子化信号を出力する第1量子化処理と、前記積分処理により出力された前記積分結果を量子化することにより、補正值信号を出力する第2量子化処理と、前記第1量子化信号を第1遅延量で遅延させた第1帰還信号と、前記補正值信号を前記第1遅延量とは異なる第2遅延量で遅延させた第2帰還信号と、を含む前記帰還信号を出力する帰還信号出力処理と、前記第1量子化信号に基づいて、或るクロック周期の中心に対して対称なパルス形状を有するパルス信号と、前記或るクロック周期の中心に対して非対称なパルス形状を有するパルス信号と、を含む出力信号を出力する出力処理と、を実行する処理部を備え、前記第2量子化処理は、前記出力処理により前記対称なパルス形状を有するパルス信号が出力される場合は0とし、前記出力処理により前記非対称なパルス形状を有するパルス信号が出力される場合は、前記パルス信号の中心と前記或るクロック周期の中心との差を補正する補正值を示す信号として前記補正值信号を出力する処理であることを特徴としている。

【発明の効果】

【0010】

本発明によれば、動作クロックが同一の場合にはダイナミックレンジを向上させることができ、ダイナミックレンジが同一の場合には動作クロックの周波数を下げて消費電力を抑制できる装置を実現することが可能となる。

【図面の簡単な説明】

【0011】

10

20

30

40

50

【図1】電子鍵盤楽器の制御システムの一実施形態のハードウェア構成例を示すブロック図である。

【図2】D/A変換装置の一実施形態の構成例を示すブロック図である。

【図3】本実施形態においてD/A変換装置が目標とする量子化レベルの例を示す図である。

【図4】本実施形態における対称PWM部でのPWM処理波形の例を示す図である。

【図5】非対称なPWM波形における電圧分割制御を説明する図である。

【図6】目標量子化値と第1量子化信号と補正值信号とパルス形状との関係を表す例を示す図である。

【図7】積分器の一実施形態の構成例を示すブロック図である。

10

【図8】本実施形態と従来技術とでノイズシェイプ特性を比較した図である。

【図9】D/A変換装置の他の実施形態の構成例を示すブロック図である。

【図10】従来技術による変調器を用いたD/A変換装置の構成例を示す図である。

【図11】従来技術による対称PWM部でのPWM処理波形の例を示す図である。

【発明を実施するための形態】

【0012】

以下、本発明を実施するための形態について図面を参照しながら詳細に説明する。本実施形態では、D/A変換装置などの情報処理装置で実行されるPWM処理において、オーバーサンプリング周期等の処理周期毎に、入力値を、入力値に対応するデューティ比を有し、処理周期の中心に対して非対称なパルス形状を含み入力値に対応するパルス形状を有するパルス信号で変調するパルス幅変調処理が実行される。

20

【0013】

この処理において、パルス信号が非対称なパルス形状を有する場合に、そのパルス信号に基づいて次の処理周期の入力値を補正するための補正值を算出する補正值算出処理が実行される。この補正值算出処理は、処理周期のパルス中心位置を算出すると共に、処理周期の区間中心位置を算出し、算出されたパルス中心位置及び区間中心位置に基づいて補正值を算出する処理である、そして、算出された補正值に基づいて入力値を補正する補正処理が実行される。

【0014】

上述の制御処理によって、オーバーサンプリング周期内でその中心に対して非対称なパルス形状を有するパルス信号でパルス幅変調を行うことができるようになり、変調段数をオーバーサンプリング周期内でのPWMのための動作クロックの周期数にほぼ一致させることができ可能となって、それによりオーバーサンプリング周期内における量子化段数を増やすことが可能となる。これにより、動作クロックが同一の場合にはダイナミックレンジを向上させることができ、ダイナミックレンジが同一の場合には動作クロックの周波数を下げる消費電力を抑制できる装置を実現することができる。

30

【0015】

図1は、本発明の一実施形態である電子鍵盤楽器の制御システム100の一実施形態のハードウェア構成例を示す図である。図1において、電子鍵盤楽器の制御システム100は、CPU(中央演算処理装置)101、RAM(ランダムアクセスメモリ)102、ROM(リードオンリーメモリ)103、音源LSI(大規模集積回路)104、鍵盤109とスイッチ部110とが接続されるGPIO(General Purpose Input/Output:汎用入出力)111、及びLCD112が接続されるLCDコントローラ113が、それぞれシステムバス114に接続される構成を備える。また、音源LSI104から出力されるデジタル楽音波形値は、D/Aコンバータ110と、抵抗R106及び容量C107とからなるフィルタ部により、アナログ楽音波形信号に変換され、アンプ108で増幅された後に、特に図示しないスピーカ又は出力端子から出力される。

40

【0016】

CPU101は、RAM102をワークメモリとして使用しながらROM103に記憶

50

された制御プログラムを実行することにより、電子鍵盤楽器全体の制御動作を実行する。また、ROM103は、上記制御プログラム及び各種固定データを記憶する。

【0017】

音源LSI104は、波形ROM106から波形を読み出し、D/Aコンバータ110に出力する。音源LSI104は、同時に最大256ボイスを発振させる能力を有する。

【0018】

GPIO111は、鍵盤109とスイッチ部110の操作ボタン状態を定的に走査し、CPU101に割り込みを掛けて状態変化を伝える。

【0019】

LCDコントローラ113は、LCD112を制御するIC(集積回路)である。

10

【0020】

図2は、図1のD/A変換装置105の一実施形態の構成例を示すブロック図である。

【0021】

減算器207及び積分器201は、(デルタ-シグマ)変調処理を実行する。

【0022】

第1量子化器202と第2量子化器203はそれぞれ、積分器201が出力する積分結果212を、その値に対応した割合で量子化し、第1量子化信号213及び補正值信号214を出力する。

【0023】

第1遅延部204は、第2量子化器203が出力する補正值信号214をオーバーサンプリング周期分遅延させて、補正值遅延信号215を出力する。

20

【0024】

加算器205は、第1量子化器202が出力する第1量子化信号213と第1遅延部204が出力する補正值遅延信号215とを加算し、補正值加算信号216を出力する。

【0025】

第2遅延部206は、加算器205が出力する補正值加算信号216をオーバーサンプリング周期分遅延させて、第1帰還信号217を出力する。

【0026】

減算器207は、図1の音源LSI205が出力するデジタル楽音波形値210から第2遅延部206がが出力する第1帰還信号217を減算し、その減算の結果得られる値を積分器201に入力させる。

30

【0027】

出力部208は、オーバーサンプリング周期毎に、第1量子化器202が出力する第1量子化信号213に対応するデューティ比を有し、オーバーサンプリング周期の中心に対して非対称なパルス形状を含み第1量子化信号213に応じたパルス形状を有するパルス信号を生成することにより、PWM出力信号211を出力する。

【0028】

このPWM出力信号211は、図1の抵抗R106及び容量C107とからなるオーパスフィルタ(出力素子)により平滑化され、アナログ楽音波形信号として図1のアンプ108に出力される。

40

【0029】

図3は、図2のD/A変換装置105が目標とする量子化レベルの例を示す図である。本実施形態では、積分器201の出力値が-1.0、-0.75、-0.50、-0.25、0.00、0.25、0.50、0.75、1.0の9値に量子化される。

【0030】

これらの量子化値のそれぞれに対して、本実施形態では、出力部208が、量子化値に対応するデューティー比を有し、オーバーサンプリング周期の中心に対して非対称なパルス形状を含み量子化値に応じたパルス形状を有するパルス信号を生成する。

【0031】

図4は、出力部208でのPWM処理波形の例を示す図である。図11の従来技術の場

50

合と同様に、図4に示される周期Tは、原信号のサンプリング周期Fsを例えれば128分割したオーバーサンプリング周期である。図4の例は、目標とする量子化値が前述した9値を取り得る場合であり、その9値のそれぞれが図4に示される9種類のデューティー比を有するパルス信号にパルス幅変調される。この変調を行うために、図11の従来技術の場合と同様に、オーバーサンプリング周期Tが更に8分割された周期を有する動作クロックCLKに同期して、各量子化値に対応して各パルス信号のデューティー比が制御される。

【0032】

この場合、図11の従来技術の場合とは異なり、本実施形態によるパルス信号のパルス形状として、図4に示されるように、オーバーサンプリング周期Tの区間の中心位置T/2に対して左右対称な形状のほかに、左右非対称な形状も採用される。

10

【0033】

この変調制御により、変調段数をオーバーサンプリング周期内でのPWMのための動作クロックの周期数 $8 + 1 = 9$ とすることが可能となって、図11の場合と同じ動作クロックCLKを用いながら、オーバーサンプリング周期内における量子化段数として、図3に示される9段を達成することが可能となる。図11の場合の変調段数及び量子化段数は4段であったため本実施形態では2倍強の量子化を行うことが可能となる。

【0034】

このことは、本実施形態では、従来技術に対して、動作クロックCLKが同一の場合にはダイナミックレンジを2倍強に向上させることができ、ダイナミックレンジを同一とした場合には動作クロックの周波数を1/2弱に下げて消費電力を抑制できることを意味する。

20

【0035】

図5は、非対称なPWM波形における電圧分割制御を説明する図である。図5(a)に示される対称なPWM波形の場合、平均化した電圧の中心点は、オーバーサンプリング周期Tの中心時間位置bである。本来どのPWMにおけるデューティー比の場合も、各波形の平均化した電圧の中心点がオーバーサンプリング周期内と同じ中心点bないと、正しい量子化値を表現していることにならない。図5(b)に示される非対称のPWM波形を見てみると、動作クロックCLKの3周期分が電圧のハイレベル区間である。つまり、図5(b)の非対称のPWM波形における平均化した電圧の中心点はa点となり、オーバーサンプリング周期の中心点b点からはずれている。

30

【0036】

ここで、a点における電圧値をベクトル分解すると、b点における電圧値とc点における電圧値の合成を考えることができる。b点は現在のオーバーサンプリング周期の中心点、c点は次のオーバーサンプリング周期の中心点である。つまり、非対称PWM波形は、変化点を時間的に後にすることで、電圧値を現在のオーバーサンプリング周期の中心点bと次のオーバーサンプリング周期の中心点cに分割したことと等価に考えることが可能である。

【0037】

このように、非対称PWM波形をオーバーサンプリング周期の2周期にわたってベクトル分割し、c点分に相当する電圧値を次のオーバーサンプリング周期で発生した値に加算して処理することにより、D/A変換装置の量子化精度を上げることが可能となる。

40

【0038】

図2に示されるD/A変換装置105の構成例は、上述の電圧分割制御を実現する。第1量子化器202は図5のb点に相当する第1量子化信号213を生成し、第2量子化器203は図5のc点に相当する補正值信号214を生成する。補正值信号214を第1遅延部204で1オーバーサンプリング周期分遅延させて、加算器205で第1量子化信号213に加算し、得られる補正值加算信号216を更に第2の遅延部206で1オーバーサンプリング周期分遅延させて第1帰還信号217を生成し、次のオーバーサンプリング周期で入力する入力信号210から減算してその結果得られる値を積分器201に入力

50

させることにより、図 5 で説明した電圧分割制御が実現される。

【0039】

以上の制御動作により、非対称にしたことによる PWM 波形の電圧中心のずれは、正しく 積分器 201 に反映され、動作クロック C L S の周波数を上げなくても対称でない PWM 波形を利用することができる。D / A 変換装置 105 のダイナミックレンジを拡大することが可能となる。

【0040】

図 6 は、9 段階量子化における 積分器 201 の出力値に対する目標量子化値と、第 1 量子化器 202 が出力する第 1 量子化信号 213 の値と、第 2 量子化器 203 が出力する補正值信号 214 の値と、出力部 208 が生成するパルス信号のパルス形状との関係を表す例を示す図である。

10

【0041】

目標量子化値が -1.00、-0.50、0.00、0.50、1.00 の場合には、図 4 に示されるように、PWM 波形のパルス形状はオーバーサンプリング周期の中心点に対して左右対称の形状に設定され、第 1 量子化器 202 が出力する第 1 量子化信号 213 の値は目標量子化値と同じ値に設定され、第 2 量子化器 203 が出力する補正值信号 214 の値はゼロに設定される。

【0042】

目標量子化値が -0.75、-0.25、0.25、0.75 の場合には、図 4 に示されるように、PWM 波形のパルス形状はオーバーサンプリング周期の中心点に対して左右非対称の形状に設定され、第 1 量子化器 202 が出力する第 1 量子化信号 213 の値と第 2 量子化器 203 が出力する補正值信号 214 の値はそれぞれ、各波形の電圧中心点（図 4 の a 点に対応）とオーバーサンプリング周期の中心点（図 4 の b 点に対応）との時間関係に応じた割合に設定される。この場合、第 1 量子化信号 213 と補正值信号 214 を加算した値が目標量子化値に等しい。

20

【0043】

図 7 は、図 2 の 積分器 201 一実施形態の構成例を示すブロック図である。この構成例では、3 つの累算器 701、704、及び 706 が乗算器 702 及び乗算器 705 で順番に乗算係数 a0 及び a1 が乗算されながら結合されることによって、3 次のノイズシェイプ動作が実現される。

30

【0044】

入力値 709 (= 図 2 の減算器 207 の出力値) は、累算器 701 に入力し、累算器 701 の出力値は乗算器 702 で乗算係数 a0 が乗算された後、加算器 703 を介して累算器 704 に入力する。累算器 704 の出力値は乗算器 705 で乗算係数 a1 が乗算された後、累算器 706 に入力する。累算器 706 の出力値は、乗算器 707 で乗算係数 k0 が乗算された後、加算器 703 で乗算器 702 の出力値と加算され、その加算値が累算器 704 にフィードバックされる。累算器 701 と 704 と 706 の各出力値は加算器 708 で加算され、その加算値が出力値 710 として出力される。

【0045】

以上の構成を有する 積分器 201 と図 2 の減算器 207 とからなる 变調部によって、ノイズの周波数特性を可聴帯域外に追いやることが可能となる。

40

【0046】

図 8 は、本実施形態と従来技術とでノイズシェイプ特性を比較した図である。図 8 の 801 は、従来技術による対称 PWM を用いて量子化段階として 3 段階を実現した場合のノイズシェイプ特性、図 8 の 802 は、従来技術の 3 段階の場合と同じ周波数の動作クロックのもとで本実施形態による非対称 PWM を用いて量子化段階として 5 段階を実現した場合のノイズシェイプ特性、図 8 の 803 は、従来技術による対称 PWM を用いて動作クロックの周波数をアップさせて量子化段階として 5 段階を実現した場合のノイズシェイプ特性である。

【0047】

50

この比較図から理解されるように、従来技術と同じ周波数の動作クロックを用いた本実施形態による5段階の量子化段階のノイズシェイプ特性は、動作クロックの周波数をアップさせた従来技術による5段階の量子化段階のノイズシェイプ特性とほぼ同じ特性となることがわかる。

【0048】

図9は、図1のD/A変換装置105の他の実施形態の構成例を示すブロック図である。図9において、図2の一実施形態の場合と同じ参照番号を付した部分は、図2の場合と同じ動作を実行する。図2の一実施形態では、補正值信号214を第1遅延部204で遅延させて得られる補正值遅延信号215は、加算器205にて第1量子化信号213と加算された後に第2遅延部206で遅延させられて、第1帰還信号217の一部として、減算器207から入力側に帰還される。これに対して、図9の他の実施形態では、第1量子化信号213と補正值信号はそれぞれ、独立して入力側に帰還される。

10

【0049】

具体的には、第1量子化信号213は、第2遅延部903で遅延させられた後に、第1帰還信号904として、減算器901から入力側に帰還される。一方、補正值信号214を第1遅延部204で遅延させて得られる補正值遅延信号215は、第3遅延部905でさらに遅延させられた後、第2帰還信号906として、減算器902から入力側に帰還される。

【0050】

以上説明した実施形態により、動作クロックが同一の場合にはダイナミックレンジを向上させることができ、ダイナミックレンジが同一の場合には動作クロックの周波数を下げて消費電力を抑制できる装置を実現することが可能となる。

20

【0051】

上述の実施形態では、目標量子化段階が9段階の場合を例にして説明したが、電子楽器等における実際のD/A変換装置では、より多い段階の量子化が行われ、そのような多段階の量子化に対しても本実施形態は同様に適用することが可能である。

【0052】

本実施形態で使用される図2の積分器201の構成は、図7の構成に限られるものではなく、様々な構成を採用することが可能である。

【0053】

30

本実施形態では、情報処理装置としてD/A変換装置を用いた場合を例に説明したが、目標量子化値に対して非対称PWMを実施するような例、例えばA/D(アナログ-デジタル)変換装置等に対しても本発明を同様に実施することが可能である。

【0054】

以上の実施形態に関して、更に以下の付記を開示する。

(付記1)

入力された入力信号と、前記入力信号に基づいて生成された第1帰還信号との差を積分し、積分結果を出力する積分処理と、

前記積分処理により出力された前記積分結果を量子化する第1量子化処理と、

前記第1量子化処理により量子化された第1量子化信号に、前記積分処理により出力された前記積分結果に基づいて出力される補正值信号を遅延させた補正值遅延信号を加算処理することにより、前記第1帰還信号を出力する第1帰還信号出力処理と、

40

前記第1量子化処理により量子化された第1量子化信号に基づいて、或るクロック周期の中心に対して非対称なパルス幅の信号を含む出力信号を出力する出力処理と、

を実行する処理部を備えている、情報処理装置。

(付記2)

前記補正值信号は、前記出力処理が出力する前記パルス幅のパルス幅中心と、前記或るクロック周期のクロック周期中心との差を補正する補正值を示す信号である、付記1に記載の情報処理装置。

(付記3)

50

前記処理部は、前記積分結果を量子化することにより前記補正值を出力する第2量子化処理を実行し、

前記第1帰還信号は、前記加算処理により出力された補正值加算信号を遅延させている、付記2に記載の情報処理装置。

(付記4)

入力された入力信号と、前記入力信号に基づいて生成された第1帰還信号及び第2帰還信号との差を積分し、積分結果を出力する積分処理と、

前記積分処理により出力された前記積分結果を量子化する第1量子化処理と、

前記第1量子化処理により量子化された第1量子化信号に基づいて、或るクロック周期の中心に対して非対称なパルス幅の信号を含む出力信号を出力する出力処理と、

を実行する処理部を備え、

前記第1帰還信号は、前記第1量子化信号を遅延させ、

前記第2帰還信号は、前記積分処理により出力された前記積分結果に基づいて出力される補正值信号を遅延させている、情報処理装置。

(付記5)

付記1乃至4のいずれかに記載の情報処理装置と、

前記情報処理装置からの出力に基づいて、デジタル-アナログ変換した楽音を発音する発音部と、

を備えた電子楽器。

(付記6)

入力された入力信号と、前記入力信号に基づいて生成された第1帰還信号との差を積分し、積分結果を出力する積分処理と、

前記積分処理により出力された前記積分結果を量子化する第1量子化処理と、

前記第1量子化処理により量子化された第1量子化信号に、前記積分処理により出力された前記積分結果に基づいて出力される補正值信号を遅延させた補正值遅延信号を加算処理することにより、前記第1帰還信号を出力する第1帰還信号出力処理と、

前記第1量子化処理により量子化された第1量子化信号に基づいて、或るクロック周期の中心に対して非対称なパルス幅の信号を含む出力信号を出力する出力処理と、

を実行する情報処理方法。

(付記7)

入力された入力信号と、前記入力信号に基づいて生成された第1帰還信号との差を積分し、積分結果を出力する積分処理のステップと、

前記積分処理のステップにより出力された前記積分結果を量子化する第1量子化処理のステップと、

前記第1量子化処理のステップにより量子化された第1量子化信号に、前記積分処理のステップにより出力された前記積分結果に基づいて出力される補正值信号を遅延させた補正值遅延信号を加算処理することにより、前記第1帰還信号を出力する第1帰還信号出力処理のステップと、

前記第1量子化処理のステップにより量子化された第1量子化信号に基づいて、或るクロック周期の中心に対して非対称なパルス幅の信号を含む出力信号を出力する出力処理のステップと、

をコンピュータに実行させるためのプログラム。

【符号の説明】

【0 0 5 5】

1 0 1 C P U

1 0 2 R A M

1 0 3 R O M

1 0 4 音源 L S I

1 0 5 D / A コンバータ

1 0 6 抵抗 R

10

20

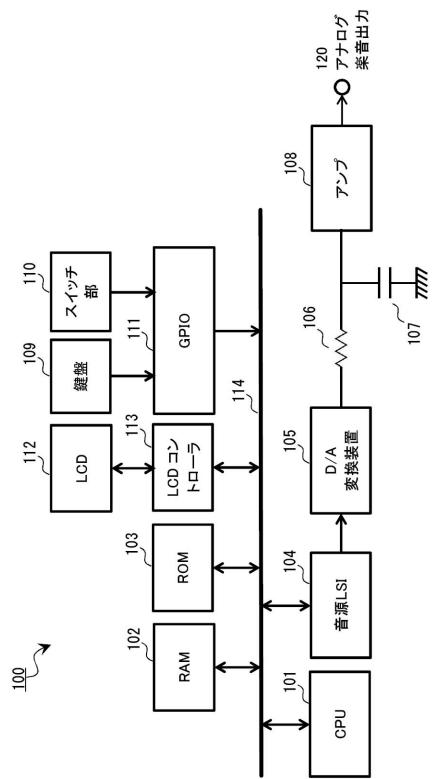
30

40

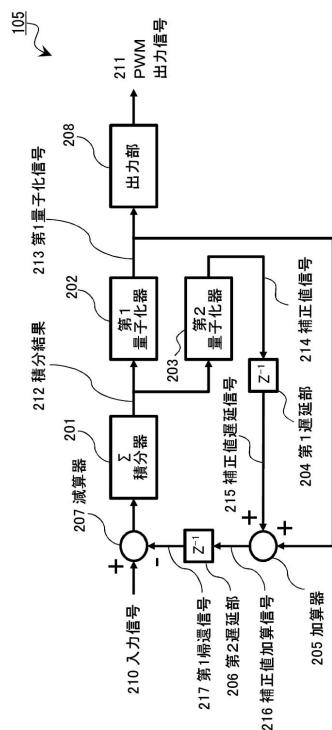
50

1 0 7	容量 C	
1 0 8	アンプ	
1 0 9	鍵盤	
1 1 0	スイッチ部	
1 1 1	G P I O	
1 1 2	L C D	
1 1 3	L C D コントローラ	
1 1 4	システムバス	
2 0 1	積分器	
2 0 2	第 1 の量子化器	10
2 0 3	第 2 の量子化器	
2 0 4	第 1 遅延部	
2 0 5	加算器	
2 0 6	第 2 遅延部	
2 0 7、9 0 1、9 0 2	減算器	
2 0 8	出力部	
2 1 0	入力信号	
2 1 1	P W M 出力信号	
2 1 2	積分結果	
2 1 3	第 1 量子化信号	20
2 1 4	補正值信号	
2 1 5	補正值遅延信号	
2 1 6	補正值加算信号	
2 1 7、9 0 4	第 1 帰還信号	
9 0 2	第 2 遅延部	
9 0 5	第 3 遅延部	
9 0 6	第 2 帰還信号	

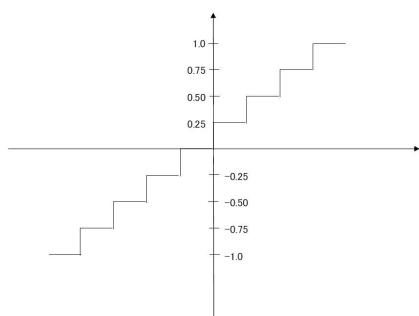
【図1】



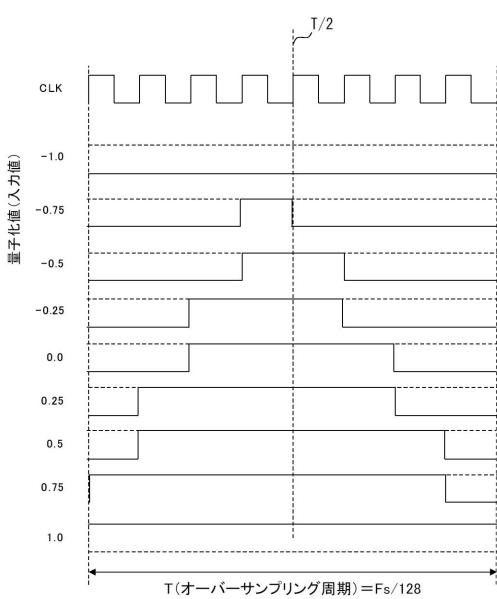
【図2】



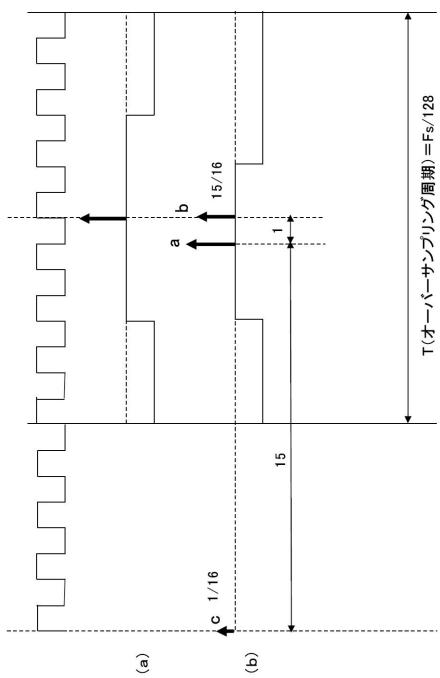
【図3】



【図4】



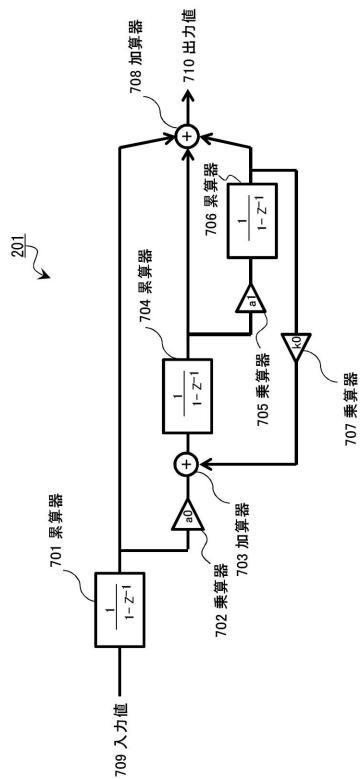
【図5】



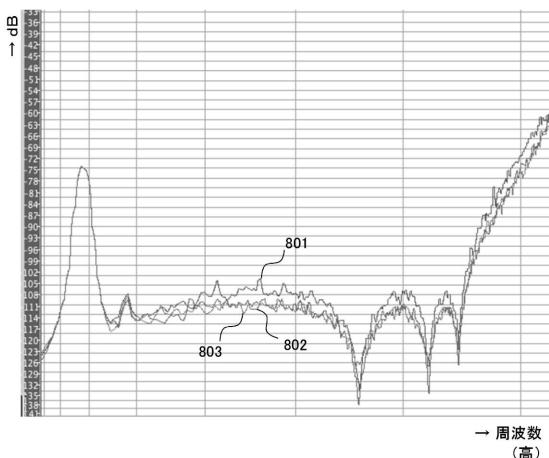
【図6】

目標量子化値	第1量子化信号	補正值信号	パルス形状
1.00	1.00	0.00	対称
0.75	0.703125	0.046875	非対称
0.50	0.50	0.00	対称
0.25	0.234375	0.015625	非対称
0.00	0.00	0.00	対称
-0.25	-0.234375	-0.015625	非対称
-0.50	-0.50	0.00	対称
-0.75	-0.703125	-0.046875	非対称
-1.00	-1.00	0.00	対称

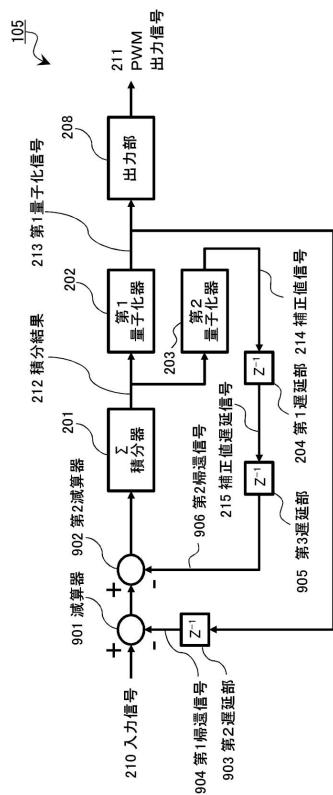
【図7】



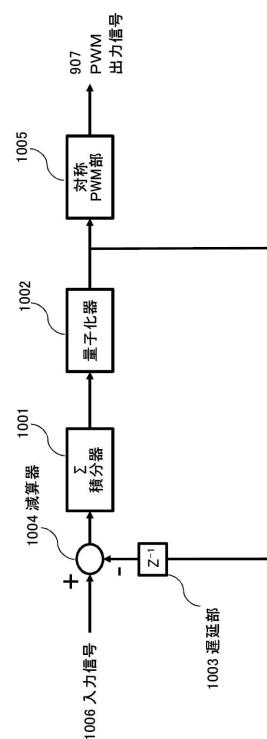
【図8】



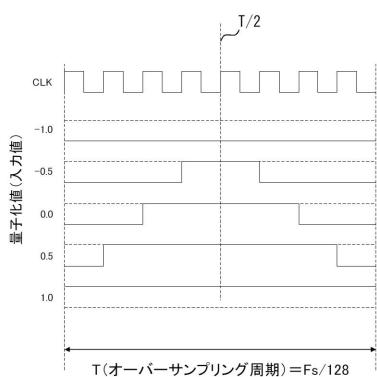
【図 9】



【図 10】



【図 11】



フロントページの続き

(56)参考文献 米国特許第09455737(US, B1)
米国特許第06710729(US, B1)
米国特許第07327296(US, B1)
米国特許第05815102(US, A)
特開2015-185900(JP, A)
特表2009-510920(JP, A)
米国特許出願公開第2002/0140589(US, A1)
特開平04-021215(JP, A)
特表平06-508484(JP, A)
特開2008-205857(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 03 M	3 / 02
G 10 H	1 / 00
H 03 M	1 / 08