

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-10959

(P2009-10959A)

(43) 公開日 平成21年1月15日(2009.1.15)

(5) Int.Cl.			F I			テーマコード (参考)	
HO4B	1/16	(2006.01)	HO4B	1/16	R	5J100	
HO4B	1/30	(2006.01)	HO4B	1/30		5K022	
HO4B	1/69	(2006.01)	HO4J	13/00	C	5K061	
HO3G	3/20	(2006.01)	HO3G	3/20	C		

審査請求 有 請求項の数 3 O L 外国語出願 (全 32 頁)

(21) 出願番号	特願2008-177384 (P2008-177384)	(71) 出願人	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED
(22) 出願日	平成20年7月7日(2008.7.7)		
(62) 分割の表示	特願2002-566833 (P2002-566833) の分割		
原出願日	平成14年2月15日(2002.2.15)		
(31) 優先権主張番号	60/269,623	(74) 代理人	100058479 弁理士 鈴江 武彦
(32) 優先日	平成13年2月16日(2001.2.16)	(74) 代理人	100108855 弁理士 蔵田 昌俊
(33) 優先権主張国	米国 (US)	(74) 代理人	100091351 弁理士 河野 哲
(31) 優先権主張番号	10/034,734	(74) 代理人	100088683 弁理士 中村 誠
(32) 優先日	平成13年12月21日(2001.12.21)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 ダイレクトコンバート受信機アーキテクチャ

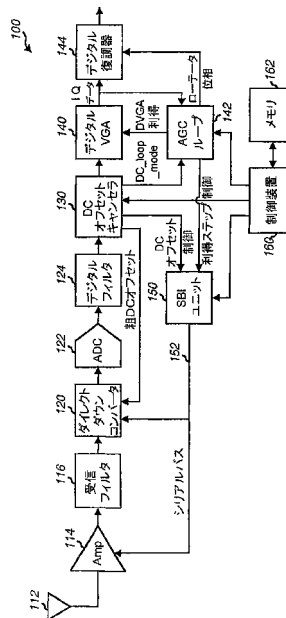
(57) 【要約】 (修正有)

【課題】 要求される信号利得およびDCオフセット補正を提供することができるダイレクトダウンコンバート受信機アーキテクチャの提供。

【解決手段】 信号成分からDCオフセットを除去するDCループと、利得レンジを提供するデジタル可変利得増幅器(DVGA)と、DVGAとRF/アナログ回路に対して利得制御を行う自動利得制御(AGC)ループと、シリアルバスを介してRF/アナログ回路に対して制御を提供するシリアルバスインターフェイス(SBI)ユニットとを有するダイレクトダウンコンバート受信機アーキテクチャとした。2つのループが互いに相互作用するので、VGAループの動作モードはDCループの動作モードに基づいて選択される。DCループが捕捉モードで動作している期間は、捕捉モードにおけるDCループの帯域幅に反比例するよう選択される。RF/アナログ回路のいくつかまたはすべてに対する制御がシリアルバスを介して提供される。

【選択図】 図1

図1



【特許請求の範囲】**【請求項 1】**

自動利得制御（AGC）装置において、
アナログ可変利得増幅器と、
アナログ可変利得増幅器の出力に結合されたデジタル可変利得増幅器と、
デジタル可変利得増幅器から出力された信号を測定し、アナログ可変利得増幅器および
デジタル可変利得増幅器の利得を制御するように構成された利得制御装置とを具備する自
動利得制御装置。

【請求項 2】

アナログ可変利得増幅器の出力とデジタル可変利得増幅器の入力との間に配置された D
C オフセットキャンセラをさらに具備し、AGC ループ利得が DC オフセットキャンセラ
の動作モードにしたがって変更される請求項 1 記載の装置。

【請求項 3】

DC ループと組み合わせて自動利得制御（AGC）ループを動作させる方法において、
複数の可能性ある DC 動作モードの中から DC ループに対する特定の DC 動作モードを
選択し、

選択された DC 動作モードで DC ループを動作させて、所望信号における DC オフセッ
トを補正し、

選択された DC 動作モードに基づいて複数の可能性ある AGC 動作モードの中から AG
C ループに対する特定の AGC 動作モードを選択し、

選択された AGC 動作モードで AGC ループを動作させて、所望信号に対して可変利得
を提供することを含む方法。

【請求項 4】

複数の可能性ある DC 動作モードには捕捉モードと追跡モードが含まれる請求項 3 記載
の方法。

【請求項 5】

捕捉モードは追跡モードのループ帯域幅より広いループ帯域幅を持ち、所望信号におけ
る大きな DC オフセットをさらにすばやく除去するために使用される請求項 4 記載の方法

。

【請求項 6】

複数の可能性ある AGC 動作モードのそれぞれは各 AGC ループ利得に関係付けられて
いる請求項 3 記載の方法。

【請求項 7】

複数の可能性ある AGC 動作モードには通常モードと低利得モードが含まれる請求項 3
記載の方法。

【請求項 8】

複数の可能性ある AGC 動作モードにはさらにフリーズモードが含まれる請求項 7 記載
の方法。

【請求項 9】

選択される AGC 動作モードは、選択された DC 動作モードが捕捉モードであるときに
低利得モードである請求項 4 記載の方法。

【請求項 10】

選択される AGC 動作モードは、選択された DC 動作モードが捕捉モードであるときに
フリーズモードである請求項 4 記載の方法。

【請求項 11】

ワイヤレス通信システム中の受信機ユニットにおいて、

複数の可能性ある DC 動作モードの 1 つで動作して、所望信号中の DC オフセットを補
正するように構成可能な DC ループと、

複数の可能性ある自動利得制御（AGC）動作モードの 1 つで動作して、所望信号に対
する可変利得を提供するように構成可能な AGC ループとを具備し、

10

20

30

40

50

使用されるべき特定の A G C 動作モードは、D C ループに対して使用するために選択された特定の D C 動作モードに基づいて決定される受信機ユニット。

【請求項 1 2】

ワイヤレス通信システム中の制御装置において、

複数の可能性ある D C 動作モードの中から D C ループに対する特定の D C 動作モードを選択する手段と、

選択された D C 動作モードで D C ループを動作させて、所望信号中の D C オフセットを補正する手段と、

選択された D C 動作モードに基づいて複数の可能性ある自動利得制御 (A G C) 動作モードの中から A G C ループに対する特定の A G C 動作モードを選択する手段と、

選択された A G C 動作モードで A G C ループを動作させて、所望信号に対して可変利得を提供する手段とを具備する制御装置。

【請求項 1 3】

受信機ユニット中で D C ループを動作させる方法において、

捕捉モードを含む複数の可能性ある動作モードの中から D C ループに対する特定の動作モードを選択し、

選択された動作モードが捕捉モードである場合に、

特定の期間に対して捕捉モードで D C ループを動作させて所望信号における D C オフセットを補正し、特定の期間は捕捉モードに対する D C ループのループ帯域幅に反比例し、

特定の期間後に遷移して捕捉モードから出ることを含む方法。

【請求項 1 4】

捕捉モードは所望信号中の大きな D C オフセットとなることが予想されるイベントにตอบสนองして選択される請求項 1 3 記載の方法。

【請求項 1 5】

イベントは所望信号を処理するために新しいアナログ回路ステージへの切り換えに対応する請求項 1 4 記載の方法。

【請求項 1 6】

イベントは所望信号中の静的 D C オフセットを補正するための新しい D C オフセット値の適用に対応する請求項 1 4 記載の方法。

【請求項 1 7】

複数の可能性ある動作モードにはさらに追跡モードが含まれる請求項 1 3 記載の方法。

【請求項 1 8】

特定の期間後に捕捉モードから追跡モードに遷移が行われる請求項 1 7 記載の方法。

【請求項 1 9】

特定の期間は、所望信号中の D C オフセットの予測された振幅に基づいてさらに選択される請求項 1 3 記載の方法。

【請求項 2 0】

特定の期間は、所望信号中に導入される D C オフセットと D C ループからのループ雑音の組み合わせを最小にするようにさらに選択される請求項 1 3 記載の方法。

【請求項 2 1】

受信機ユニット中の D C ループにおいて、

所望信号から D C オフセット値を減算して D C オフセット補正信号を提供するように動作可能な合計器と、

複数の可能性ある動作モードの 1 つで動作して、D C オフセット値を提供するように構成可能なループ制御ユニットとを具備し、

複数の可能性ある動作モードには特定のループ帯域幅を持つ捕捉モードが含まれ、

ループ制御ユニットは、選択されたときに、捕捉モードに対するループ帯域幅に反比例する特定の期間に対して捕捉モードで動作し、特定の期間後に遷移して捕捉モードから出る D C ループ。

【請求項 2 2】

受信機ユニット中の装置において、
捕捉モードを含む複数の可能性ある動作モードの中からDCループに対する特定の動作モードを選択する手段と、
選択された動作モードが捕捉モードである場合に、特定の期間に対して捕捉モードでDCループを動作させ、所望信号中のDCオフセットを補正する手段と、
特定の期間後に遷移して捕捉モードから出る手段とを具備し、
特定の期間は捕捉モードに対するDCループのループ帯域幅に反比例する装置。

【請求項23】

所望信号をデジタル的に増幅する方法において、
対数フォーマットで表現された利得を受け取り、
受け取った利得と利得オフセットとの間の差を決定し、
対数フォーマットで表現されている差を線形フォーマットで表現される出力利得に変換し、
所望信号を出力利得でデジタル的に乗算することを含む方法。

10

【請求項24】

デジタル可変利得増幅器(DVGA)において、
対数フォーマットで表現された利得を受け取り、受け取った利得と利得オフセットとの間の差を決定するように動作可能な第1のユニットと、
対数フォーマットで表現された差を線形フォーマットで表現される出力利得に変換するように動作可能な第2のユニットと、
入力サンプルを出力利得で乗算して、出力データを提供するように動作可能なデジタル乗算器とを具備するデジタル可変利得増幅器。

20

【請求項25】

同位相および直角位相入力サンプルをサンプルの1つのシーケンスに多重化するように動作可能なマルチプレクサをさらに具備し、デジタル乗算器は時分割多重化方法で同位相および直角位相入力サンプルを乗算するように動作可能である請求項24記載のDVGA。

【請求項26】

所望信号をデジタル的に増幅する装置において、
対数フォーマットで表現されている利得を受け取る手段と、
受け取った利得と利得オフセットとの間の差を決定する手段と、
対数フォーマットで表現されている差を線形フォーマットで表現される出力利得に変換する手段と、
所望信号を出力利得でデジタル的に乗算する手段とを具備する装置。

30

【請求項27】

シリアルバスを通して1つ以上のアナログ回路を制御する方法において、
特定のアナログ回路に対する制御信号を受け取り、
受け取った制御信号に対応するメッセージを形成し、
メッセージをシリアルバスを通して送信し、
特定のアナログ回路においてメッセージを受信し、
受信したメッセージに基づいて特定のアナログ回路の1つ以上の特性を調整することを含む方法。

40

【請求項28】

特定のアナログ回路は複数の離散利得の1つにおいて動作するように構成可能な増幅器であり、メッセージは増幅器に対して使用されるべき特定の離散利得を示す請求項27記載の方法。

【請求項29】

メッセージを使用して特定のアナログ回路に対するバイアス電流を調整する請求項27記載の方法。

【請求項30】

50

メッセージを使用して特定のアナログ回路により発生される信号に対する周波数を調整する請求項 27 記載の方法。

【請求項 31】

1 つ以上のアナログ回路のそれぞれには各優先順位が割り当てられ、メッセージはそれらに割り当てられた優先順位に一部基づいて 1 つ以上のアナログ回路に送信される請求項 27 記載の方法。

【請求項 32】

1 つ以上のアナログ回路のそれぞれは各アドレスに関係付けられている請求項 27 記載の方法。

【請求項 33】

シリアルバスを通して 1 つ以上のアナログ回路を制御する装置において、特定のアナログ回路に対する制御信号を受け取る手段と、受け取った制御信号に対応するメッセージを形成する手段と、メッセージをシリアルバスを通して送信する手段と、特定のアナログ回路においてメッセージを受信する手段と、受信したメッセージに基づいて特定のアナログ回路の 1 つ以上の特性を調整する手段とを具備する装置。

【請求項 34】

受信機ユニットにおいて、受信信号を増幅し、ダウンコンバートし、デジタル化して、サンプルを提供するように動作可能な RF フロントエンドユニットと、サンプルを処理して出力データを提供するように動作可能なデジタル信号プロセッサと

、シリアルバスを通して RF フロントエンドに対する制御信号を提供するように動作可能なシリアルバスインターフェイス (SBI) ユニットとを具備する受信機ユニット。

【請求項 35】

SBI ユニットは複数のハードウェア要求チャンネルをサポートするように構成されている請求項 34 記載の受信機ユニット。

【請求項 36】

各ハードウェア要求チャンネルは各優先順位と関係付けられている請求項 35 記載の受信機ユニット。

【請求項 37】

各ハードウェア要求チャンネルは複数の可能性あるデータ転送モードを通してメッセージを送信するように動作可能である請求項 35 記載の受信機ユニット。

【請求項 38】

複数の可能性あるデータ転送モードには、高速転送モードとインターラプト転送モードが含まれる請求項 37 記載の受信機ユニット。

【請求項 39】

ワイヤレス通信システム中で所望信号を処理する方法において、粗分解能を有する第 1 の利得で所望信号を増幅し、1 つの周波数ダウンコンバートステージで、増幅された信号を無線周波数 (RF) からベースバンドにダウンコンバートし、ダウンコンバートされた信号をデジタル化してサンプルを提供し、微分解能を有する第 2 の利得でサンプルをデジタル的に増幅して、所望信号の振幅を有する出力データを提供することを含む方法。

【請求項 40】

DC ループでサンプル中の DC オフセットを補正することをさらに含み、DC オフセット補正されたサンプルがデジタル的に増幅される請求項 39 記載の方法。

【請求項 41】

ダイレクトダウンコンバート受信機において、

10

20

30

40

50

受信信号を増幅し、ダウンコンバートし、デジタル化してサンプルを提供するように動作可能なRFフロントエンドユニットと、

サンプルを第1の利得で増幅して、所望信号振幅を有する出力データを提供するように動作可能なデジタル可変利得増幅器(DVGA)と、

出力データの一部に基づいてDVGAに対する第1の利得を提供するように動作可能な自動利得制御(AGC)ループとを具備するダイレクトダウンコンバート受信機。

【請求項42】

サンプル中のDCオフセットを補正するように動作可能であるDCオフセットキャンセラをさらに具備し、DVGAはDCオフセット補正されたサンプルを増幅するように動作可能である請求項40記載のダイレクトダウンコンバート受信機。

10

【請求項43】

AGCループはRFフロントエンドユニットに対する第2の利得を提供するようにさらに動作可能である請求項40記載のダイレクトダウンコンバート受信機。

【請求項44】

ワイヤレス通信システム中の装置において、

受信信号を増幅する第1の手段と、

増幅された信号中のDCオフセットをキャンセルする手段と、

DCオフセットキャンセルされた信号をデジタル的に増幅する第2の手段と、

デジタル的に増幅された信号を測定して、第1および第2の増幅手段の利得を制御する手段とを具備する装置。

20

【請求項45】

受信機ユニットにおいて、

アナログ可変利得増幅器と、

アナログ可変利得増幅器の出力に結合されたDCオフセットキャンセラと、

DCオフセットキャンセラの出力に結合されたデジタル可変利得増幅器と、

デジタル可変利得増幅器から出力された信号を測定し、アナログ可変利得増幅器およびデジタル可変利得増幅器の利得を制御するように構成された利得制御装置と、

シリアルバスを通してアナログ可変利得増幅器に対する利得を提供するように動作可能なシリアルバスインターフェイス(SBI)ユニットとを具備する受信機ユニット。

30

【請求項46】

受信機ユニットにおいて、

受信信号を増幅し、ダウンコンバートし、デジタル化して、サンプルを提供するように動作可能なRFフロントエンドユニットと、

サンプル中のDCオフセットをキャンセルするように動作可能なDCループと、

DCオフセットキャンセルされたサンプルを第1の利得で増幅し、所望信号振幅を有する出力データを提供するように動作可能なデジタル可変利得増幅器(DVGA)と、

出力データの一部に基づいて、DVGAに対する第1の利得と、RFフロントエンドユニットに対する第2の利得とを提供するように動作可能な自動利得制御(AGC)ループと

、

第2の利得をRFフロントエンドユニットに提供するように動作可能なシリアルバスインターフェイス(SBI)ユニットとを具備する受信機ユニット。

40

【発明の詳細な説明】

【分野】

【0001】

本発明は一般的に電子回路に関し、特にワイヤレス(例えばCDMA)通信システムにおいて使用するためのダイレクトダウンコンバート受信機アーキテクチャに関する。

【背景】

【0002】

CDMAシステムでは、送信されるべきデータが最初に処理されて無線周波数(RF)変調信号が発生され、この信号はワイヤレス通信チャネルを通して送信するためにさらに

50

適している。RF変調信号はその後に通信チャネルを通して1つ以上の宛先受信機に送信され、この受信機はCDMAシステムにおける端末であってもよい。送信信号はフェーディングおよびマルチパスのようなさまざまな送信現象により影響を受ける。これらの現象によりRF変調信号が幅広いレンジの信号電力レベルで端末において受信されることになり、これは100dB以上になるかもしれない。

【0003】

所定端末では、受信機フロントエンドユニットにより、送信信号が受信され、調整され、ベースバンドにダウンコンバートされる。従来、RFからベースバンドへの周波数ダウンコンバートはヘテロダイン受信機で実行され、この受信機には複数の(例えば2つの)周波数ダウンコンバートステージが含まれる。第1ステージでは、受信信号はRFから中間周波数(IF)にダウンコンバートされ、この中間周波数においてフィルタリングおよび増幅が一般的に実行される。そして第2ステージでは、IF信号はIFからベースバンドにダウンコンバートされ、このベースバンドにおいて付加的な処理が一般的に実行され、送信データが復元される。

10

【0004】

ヘテロダイン受信機アーキテクチャはいくつかの利点を提供する。第1に、所望しない相互変調(IM)結果がさらに容易にフィルタされるようにIF周波数が選択される。この相互変調結果は受信信号を調整およびダウンコンバートするのに使用されるRFおよびアナログ回路における非線形から生じる。第2に、複数のフィルタおよび可変利得増幅器(VGA)ステージがRFおよびIFにおいて提供され、受信信号に対して必要なフィルタリングおよび増幅をもたらす。例えば、RF増幅器は40dBの利得レンジを提供するように設計され、IF増幅器は60dBの利得レンジを提供するように設計され、これらは集約的に受信信号に対して100dBのダイナミックレンジをカバーする。

20

【0005】

セルラ電話のようなある応用に対して、受信機設計を簡単にして、サイズとコストを低減させることが非常に望まれる。さらに、セルラ電話のような移動体応用に対して、電力消費を低減して再充電間のバッテリー寿命を延ばすことが非常に望まれる。これらの応用に対して、ダイレクトダウンコンバート受信機(これはホモダイン受信機またはゼロIF受信機としても知られている)はこれらの所望の利点を提供する。その理由は1つのステージのみを使用して受信信号をRFからベースバンドに直接ダウンコンバートするからである。

30

【0006】

ダイレクトダウンコンバート受信機の設計では、いくつかのチャレンジに遭遇する。例えば、ダイレクトダウンコンバート受信機ではIF信号がないことから、ヘテロダイン受信機のIF増幅器により通常提供される利得レンジ(例えば60dB)は、ダイレクトダウンコンバート受信機のRFまたはベースバンドにおいて代わりに提供される必要がある。RF回路に付加的な要求を課すのを避け、コストと回路複雑性を減少させるために、このIF利得レンジはベースバンドにおいて提供される。しかしながら、ベースバンド利得レンジがアナログデジタルコンバート後にデジタル的に提供されると、アナログデジタルコンバータ(ADC)に提供されるベースバンド信号はより小さい振幅しかもたない。その理由はADC後に利得がデジタル的に提供されるからである。ベースバンド信号におけるDCオフセットはダイレクトダウンコンバート受信機においてさらに重大な懸念事項になる。その理由はベースバンド信号振幅はより小さく、DCオフセットが信号振幅のかなり大きなパーセンテージとなるからである。

40

【0007】

したがって、要求される信号利得およびDCオフセット補正を提供することができるダイレクトダウンコンバート受信機アーキテクチャに対する必要性が技術的に存在している。

【概要】

【0008】

50

本発明の観点はダイレクトダウンコンバート受信機アーキテクチャを提供する。このアーキテクチャは、アナログデジタルコンバート前および後に信号成分からDCオフセットを除去するDCループと、利得レンジを提供するデジタル可変利得増幅器(DVGA)と、RF/アナログ回路とDVGAに対して利得制御信号を提供する自動利得制御(AGC)ループと、コンパクトシリアルインターフェイスを使用してRF/アナログ回路に対して制御信号を提供するシリアルバスインターフェイス(SBI)ユニットとを有する。

【0009】

ある観点では、ダイレクトダウンコンバート受信機において使用するためにDVGAが提供される。DVGAは受信信号の総ダイナミックレンジの全部または一部(すなわち、一部はRF/アナログ回路により対処されない)に対処するのに必要な要求された利得レンジを提供することができる。DVGAの設計とダイレクトダウンコンバート受信機アーキテクチャ内へのDVGAへの配置はここで説明するように効果的に実現される。

10

【0010】

他の観点では、VGAループの動作モードはDCループの動作モードに部分的に基づいて選択される。これらの2つのループは同じ信号成分に基づいて(直接的にまたは間接的に)動作することから、これらは互いに相互作用する。1つのループがイベントを信号送信し、これが他のループの性能に影響を与え、このようなことにより、他のループがイベントを適切に取り扱って性能低下を最小にする技術がここでは提供される。例えば、DCループが捕捉モードで動作して、大きなDCオフセットを迅速に除去する場合には、大きなDCスパイクが生じる場合があり、このスパイクはAGCループにさまざまな悪影響を与え、したがってこのイベントがトリガされると、AGCループは低利得モードで動作するかまったく停止し、AGCループの動作におけるDCスパイクの影響を最小にする。

20

【0011】

さらに他の観点では、DCループが捕捉モードで動作している期間は、捕捉モードにおけるDCループの帯域幅に反比例する。DCループ帯域幅は捕捉モードにおいてより広くなるように設計され、DCループが信号成分におけるDCオフセットにさらに迅速にตอบสนองして除去できるようにする。しかしながら、より広いループ帯域幅はDCループによる発生されるループ雑音をさらに多くもする。(補正されるDCスパイクとループ雑音を含む)総雑音量を制限し、DCループが広い帯域幅で依然として動作できるようにするために、DCループが捕捉モードで動作している期間はループ帯域幅に反比例するようにセットされる。より広いループ帯域幅はDCオフセットをより迅速に補正できることから、捕捉モードで費やされるより短い時間量が性能を向上させる。

30

【0012】

本発明のさらに他の観点では、RF/アナログ回路のいくつかまたはすべてに対する制御信号がシリアルバスを介して提供される。RF/アナログ機能を制御するのに標準シリアルバスを使用すると、減少されたピンカウント、単純化されたボードレイアウト、減少されたコストなどのような、多くの利点が提供される。シリアルバスはさまざまな機能を持って設計され、制御信号をさらに効果的に提供する。例えば、複数のハードウェア要求チャンネルがサポートされ(例えば、個々に制御されるべき各回路に対して1チャンネル)、各チャンネルが各優先順位に関係付けられ、メッセージが多数の可能性あるデータ転送モードを使用して各チャンネル上で送信される。

40

【0013】

本発明のさまざまな観点および実施形態を以下でさらに詳細に説明する。以下でさらに詳細するように、本発明は方法、デジタル信号プロセッサ、受信機ユニット、本発明のさまざまな観点、実施形態および機能を実現する他の装置および構成要素をさらに提供する。

【0014】

本発明の特徴、性質および利点は、同じ参照文字が全体を通して対応したものを識別している図面を考慮に入れて、以下で記述されている詳細な説明からさらに明らかになるであろう。

50

【詳細な説明】

【0015】

図1は本発明のさまざまな観点および実施形態を実現することができる受信機ユニット100の実施形態のブロック図である。受信機ユニット100はワイヤレス(例えばCDMA)通信システムの端末または基地局内で構成される。明瞭にするために、本発明のさまざまな観点および実施形態は端末における受信機構成に対して説明する。また明瞭にするために、ここでは特定の設計値を提供するが、他の設計値を使用してもよく、これも本発明の範囲内のものである。

【0016】

図1では、1つ以上の送信機(例えば、基地局、GPS衛星、放送局など)から送信された1つ以上のRF変調信号がアンテナ112により受信され、増幅器(Amp)114に提供される。増幅器114は受信信号を特定利得で増幅して、増幅されたRF信号を提供する。増幅器114は、特定レンジの利得および/または減衰(例えば、最大利得から減衰まで40dB)を提供するように設計された1つ以上の低雑音増幅器(LNA)ステージを備える。増幅器114の特定利得はシリアルバス152を通してシリアルバスインターフェイス(SBI)ユニット150により提供される利得制御メッセージにより決定される。増幅されたRF信号は受信フィルタ116によりフィルタされ、雑音およびスプリアス信号が除去され、フィルタされたRF信号はダイレクトダウンコンバータ120に提供される。

【0017】

ダイレクトダウンコンバータ120はフィルタされたRF信号のRFからベースバンドへのダイレクト直角位相ダウンコンバートを実行する。これはフィルタされたRF信号を複素局部発振器(LO)信号で乗算(またはミキシング)して、複素ベースバンド信号を提供することにより達成される。特に、フィルタされたRF信号は同位相LO信号と混合されて同位相(I)ベースバンド成分が提供され、直角位相LO信号と混合され直角位相(Q)ベースバンド成分が提供される。ダイレクトダウンコンバートを実行するのに使用されるミキサは複数ステージで構成され、以下で説明するように、これらが制御されて異なる利得が提供される。このケースでは、ミキサにより提供される特定利得は、図1に示されているように、シリアルバス152を通してSBIユニット150により提供される他の利得制御メッセージによって決定されてもよい。IおよびQベースバンド成分はその後に1つ以上のアナログデジタルコンバータ(ADC)122に提供される。

【0018】

ADC122はIおよびQベースバンド成分をデジタル化して、IおよびQサンプルをそれぞれ提供する。ADC122はさまざまなADC設計で構成してもよい。例えば、ADC122は、IおよびQベースバンド成分をフィルタリングし、ベースバンド成分のチップレート(これはIS-95に対して1.2288Mcps)の複数倍(例えば16)でオーバーサンプリングすることができるシグマデルタ変調器で構成してもよい。オーバーサンプリングはADCがより広いダイナミックレンジを提供できるようにし、さらにIおよびQサンプルが所定精度に対してより少ないビット数で提供できるようにする。特定の実施形態では、ADC122はチップレートの16倍(すなわちチップ×16)で2ビットIおよびQサンプルを提供する。他のタイプのADCを使用してもよく、これも本発明の範囲内のものである。IおよびQサンプルはADC122からデジタルフィルタ124に提供される。

【0019】

デジタルフィルタ124はIおよびQサンプルをフィルタして、フィルタされたIおよびQサンプルをそれぞれ提供する。デジタルフィルタ124は、映像阻止フィルタリング、ベースバンドパルス整合フィルタリング、デシメーション、サンプルレートコンバートなどのような、多くの機能を実施してもよい。特定の実施形態では、デジタルフィルタ124はチップ×8で18ビットのフィルタされたIおよびQサンプルをDCオフセットキャンセラ130に提供する。

10

20

30

40

50

【 0 0 2 0 】

D C オフセットキャンセラ 1 3 0 はフィルタされた I および Q サンプルにおける D C オフセットを除去して、D C オフセット補正された I および Q サンプルをそれぞれ提供する。特定の実施形態では、D C オフセットキャンセラ 1 3 0 は 2 つの D C オフセット補正ループを構成し、これらは受信信号パスにおける 2 つの異なる位置で D C オフセットを除去しようと試みる。すなわちダイレクトダウンコンバータ 1 2 0 により周波数ダウンコンバート後のベースバンドにおけるものと、フィルタ 1 2 4 によるデジタルフィルタリング後の別のものである。D C オフセット補正は以下でさらに詳細に説明する。

【 0 0 2 1 】

デジタル可変利得増幅器 (D V G A) 1 4 0 は D C オフセット補正された I および Q サンプルをデジタル的に増幅して、デジタル復調器 1 4 4 による後続処理のために I および Q データを提供する。特定の実施形態では、D V G A 1 4 0 はチップ × 8 において 4 ビット I および Q データを提供する。

10

【 0 0 2 2 】

デジタル復調器 1 4 4 は I および Q データを復調して復調データを提供し、これは (図 1 に示されていない) 後続するデコーダに提供される。復調器 1 4 4 はレイク受信機として構成され、レイク受信機は受信信号中の複数の信号インスタンスを同時に処理することができる。C D M A に対して、レイク受信機の各フィンガは、(1) 複素シヌソイド信号で I および Q データを回転して、I および Q データにおける周波数オフセットを除去し、(2) 回転された I および Q データを、送信機で使用された複素擬似ランダム雑音 (P N) シーケンスで逆拡散し、(3) 逆拡散された I および Q データを、送信機で使用されたチャンネル化コード (例えばウォルシュコード) でデカパーし、(4) デカパーされた I および Q データを、受信信号からデカパーされたパイロットでデータ復調するように設計されている。デジタルフィルタ 1 2 4 、D C オフセットキャンセラ 1 3 0 、D V G A 1 4 0 、およびデジタル復調器 1 4 4 は、1 つ以上の集積回路 (I C) 内で、例えば単一デジタル信号プロセッサ内で構成される。

20

【 0 0 2 3 】

自動利得制御 (A G C) ループユニット 1 4 2 は D V G A 1 4 0 から I および Q データを受け取り、D C オフセットキャンセラ 1 3 0 から D C _ l o o p _ m o d e 信号を受け取り、受信機ユニット 1 0 0 内のさまざまな可変利得素子に対する利得を提供する。1 つの実施形態では、増幅器 1 1 4 およびダイレクトダウンコンバータ 1 2 0 に対する利得が S B I ユニット 1 5 0 に提供される。S B I ユニット 1 5 0 は適切な利得制御メッセージをシリアルバス 1 5 2 を通してこれらの素子に提供する。D V G A 1 4 0 に対する利得は、R F 信号入力から D V G A の入力へ遅延を考慮に入れた後に D V G A に直接提供される。A G C ループユニット 1 4 2 は増幅器 1 1 4 、ダイレクトダウンコンバータ 1 2 0 、および D V G A 1 4 0 に対する適切な利得を提供するので、I および Q データに対する所望の振幅が達成される。A G C ループは以下でさらに詳細に説明する。

30

【 0 0 2 4 】

制御装置 1 6 0 は受信機ユニット 1 0 0 のさまざまな動作を命令する。例えば、制御装置 1 6 0 は D C オフセットキャンセル、A G C ループ、D V G A 、S B I などの動作を命令する。メモリ 1 6 2 は制御装置 1 6 0 に対するデータおよびプログラムコードの記憶装置を提供する。

40

【 0 0 2 5 】

典型的な受信機設計では、受信機信号の調整は、増幅器、フィルタ、ミキサなどのうちの 1 つ以上のステージにより実行される。例えば、受信信号は 1 つ以上の L N A ステージにより増幅される。また、フィルタリングは L N A ステージの前および / または後に行われ、周波数ダウンコンバートの後にも一般的に実行される。簡単にするために、これらのさまざまな信号調整ステージは図 1 に示されているブロックと一緒にひとまとめにされている。他の R F 受信機設計を使用してもよく、これも本発明の範囲内のものである。増幅器 1 1 4 、ダイレクトダウンコンバータ 1 2 0 および A D C 1 2 2 はダイレクトダウンコ

50

ンパート受信機に対するRFフロントエンドユニットを形成する。

【0026】

図1のさまざまな信号処理ブロックにおけるIおよびQサンプルの分解能は例示のために提供されている。IおよびQサンプルに対して、異なる分解能ビット数および異なるサンプルレートを使用してもよく、これも本発明の範囲内のものである。

【0027】

DCオフセット補正

図2はダイレクトダウンコンバータ120aのブロック図である。これは図1のダイレクトダウンコンバータ120の特定の実施形態である。ダイレクトダウンコンバータ120a内では、受信フィルタ116からのフィルタされたRF信号がミキサ212に提供され、ミキサ212は局部発振器218から(複素)LO信号も受け取る。LO信号の周波数は(シリアルバス152または他の何らかの信号線を通して提供される)周波数制御信号により制御され、復元されているRF変調信号の中心周波数にセットされる。ミキサ212は複素LO信号で、フィルタされたRF信号の直角位相ダウンコンバートを実行して、同位相および直角位相成分を提供し、これらは合計器214に提供される。

10

【0028】

コンバータ220はデジタルDCオフセット制御信号を受け取り、この制御信号はシリアルバス152を通してDCオフセットキャンセラ130により提供され、図2においてSBI DC制御信号として示されている。コンバータ220はデジタル制御信号のデジタルアナログコンバートを実行して、同位相および直角位相成分のそれぞれに対してDC1IおよびDC1QのDCオフセット制御値を発生させる。1つの実施形態では、これらの値を使用してミキサ212のバイアス電流を制御するので、信号成分におけるDCオフセットは間接的に調整される。

20

【0029】

アナログ回路222はアナログDCオフセット制御信号を受け取り、この制御信号は専用信号線を通してDCオフセットキャンセラ130により提供され、図2において粗DCオフセットとして示されている。アナログ回路222はフィルタリング、おそらくはレベルシフトおよびスケーリングを実行して、同位相および直角位相成分のそれぞれに対して、DC2IおよびDC2QのDCオフセット値を発生させる。合計器214は同位相および直角位相成分のそれぞれから、DC2IおよびDC2QのDCオフセット値を減算する。合計器214からの出力成分はローパスフィルタ/増幅器216によりフィルタされて増幅されて、IおよびQベースバンド成分が提供される。

30

【0030】

図3はDCオフセットキャンセラ130aのブロック図である。DCオフセットキャンセラ130aは図1のDCオフセットキャンセラ130の特定の実施形態である。DCオフセットキャンセラ130aは、合計器232aおよび232b、DCループ制御ユニット234aおよび234b、SBI DCオフセット制御装置240、およびDCループ制御装置242を含む。1つの実施形態では、DCオフセット補正はIおよびQサンプルに対して別々に実行される。したがって、合計器232aおよび232bならびにDCループ制御ユニット234aおよび234bはそれぞれ2つの素子を含み、1つはIサンプルを処理し、他の1つはQサンプルを処理する。

40

【0031】

デジタルフィルタ124からのフィルタされたIおよびQサンプルは合計器232aに提供され、合計器232aはIおよびQサンプルからDC3IおよびDC3Qの固定されたDCオフセット値をそれぞれ除去する。合計器232aを使用して(例えば、回路不整合などにより生じる)静的であるDCオフセットを除去してもよい。合計器232aからのIおよびQ出力は合計器232bに提供される。合計器232bはこれらのIおよびQ出力から(DCループ制御ユニット234bにより提供される)DC4IおよびDC4QのDCオフセット値をさらに除去し、DCオフセット補正されたIおよびQサンプルを提供する。

50

【0032】

DCループ制御ユニット234 aは合計器232 aからIおよびQ出力を受け取り、これらの出力におけるDCオフセットを決定し、ダイレクトダウンコンバータ120 a内のアナログ回路222に対して粗DC制御信号を提供する。DCループ制御ユニット234 bは同様に合計器232 bからIおよびQ出力を受け取り、これらの出力におけるDCオフセットを決定し、DC4 IおよびDC4 QのDCオフセット値を合計器234 bに提供する。各DCループ制御ユニット234はアキュムレータ238に結合された利得素子236で構成される。利得素子236は入力IおよびQサンプルをそのループに対して選択された特定利得(ユニット234 aに対してDC利得1およびユニット234 bに対してDC利得2)で乗算する。アキュムレータ238はスケーリングされたIおよびQサンプルを累積して、そのループに対するDCオフセット制御信号を提供する。

10

【0033】

ダイレクトダウンコンバータ120 a内の合計器214およびDCループ制御ユニット234 aは粗DCループを構成し、ミキサ212によるダイレクトダウンコンバート後のベースバンド成分におけるDCオフセットを除去する。合計器232 bおよびDCループ制御ユニット234 bは微DCループを構成し、粗DCループ後に依然として残っているDCオフセットを除去する。これらの名称が暗示しているように、微DCループは粗DCループより高い分解能を有する。

【0034】

SBI DCオフセット制御装置240は、温度、増幅器114およびミキサ212の利得、時間、ドリフトなどのようなさまざまな要因に基づいてSBI DCオフセット制御信号を周期的に決定する。SBI DCオフセット制御信号はシリアルバス152を通してコンバータ220に提供され、コンバータ220はミキサ212に対するDC1 IおよびDC1 Qの対応するDCオフセット制御信号を発生させる。

20

【0035】

図1に示されているもののような、ダイレクトダウンコンバート受信機に対するDCオフセット補正の実現は、xxxに出願された“ダイレクトダウンコンバートを使用する移動局モデムのダイレクト電流オフセットキャンセル”と題する米国特許出願第号[代理人ドケット番号第010118号]にさらに詳細に説明されている。この米国特許出願は参照によりここに組み込まれている。

30

【0036】

DCオフセット値の4つのセット(DC1 IおよびDC1 Q、DC2 IおよびDC2 Q、DC3 IおよびDC3 Q、ならびにDC4 IおよびDC4 Q)は4つの異なるメカニズムを表しており、これらは個々にまたは組み合わされて使用され、ダイレクトダウンコンバート受信機に対する必要なDCオフセット補正を提供する。粗DCループ(これはDC2 IおよびDC2 Qの値を提供する)と微DCループ(これはDC4 IおよびDC4 Qの値を提供する)は、IおよびQ信号成分中のDCオフセットをダイナミックに除去するように動作する。合計器232 a(これはDC3 IおよびDC3 Qの値を減算する)は静的なDCオフセットを除去するように動作する。SBI DCオフセット制御装置240(これはDC1 IおよびDC1 Qの値を提供する)は信号成分中の動的および/または静的DCオフセットを除去するのに使用される。

40

【0037】

1つの実施形態では、粗および微DCループはそれぞれ2つの動作モード-捕捉モードおよび追跡モードをサポートする。捕捉モードは大きなDCオフセットをさらに迅速に除去するのに使用され、大きなDCオフセットは、(1)増幅器114および/またはミキサ212のような、RF/アナログ回路の利得におけるステップ変化、または(2)周期的なDC更新を実行する全体的なDCループ、または(3)他の任意の理由、のそれぞれの結果として信号成分に導入されている。周期的なDC更新は、ミキサ212および/または合計器232 aに提供されているDC1および/またはDC3の新しい値となる。追跡モードは通常の方法でDCオフセット補正を実行するのに使用される。その応答は捕捉

50

モードのものよりもさらに遅い。異なるまたは付加的な動作モードをサポートしてもよく、これも本発明の範囲内のものである。捕捉および追跡モードはDC利得1に対する2つの異なるDCループ利得値と、DC利得2に対する2つの異なるDCループ利得値とに対応していてもよい。

【0038】

簡単にするために、粗および微DCループは集約的に単に“DCループ”として呼ばれる。DC_loop_mode制御信号はDCループの現在の動作モードを示す。例えば、DC_loop_mode制御信号は、DCループが捕捉モードで動作していることを示すために論理ハイに、DCループが追跡モード動作していることを示すために論理ローにセットしてもよい。

【0039】

デジタルVGA

本発明の1つの観点は一ダイレクトダウンコンバート受信機で使用するためのDVGAを提供する。DVGAは受信信号に対する総ダイナミックレンジの全部または一部(すなわちRF/アナログ回路により対処されない部分)に対処するのに必要な要求された利得レンジを提供することができる。DVGA利得レンジはヘテロダイン受信機において中間周波数(IF)で以前に提供されていた利得を提供するのに使用される。DVGAの設計とダイレクトダウンコンバート受信機アーキテクチャ内にDVGAを配置することは、以下に説明するように効果的に実現される。

【0040】

図4はIおよびQサンプルに対するデジタルベースバンド利得を提供することができるDVGA140aのブロック図である。DVGA140aは図1のDVGA140の特定の実施形態である。

【0041】

DVGA140a内では、先行するDCオフセットキャンセラ130からのDCオフセット補正されたIおよびQサンプルはマルチプレクサ(MUX)312および打ち切りユニット320に提供される。ハードウェアを最小にするために、1つのデジタル乗算器316のみを使用して、時分割多重化(TDM)方法でIおよびQサンプルの両方に対して利得乗算を実行する。したがって、マルチプレクサ312は(IQ_sel制御信号により決定されるように)IサンプルとそしてQサンプルを交互にANDゲート314を通して乗算器316に提供する。IQ_sel制御信号はIおよびQサンプルレート(例えばチップ×8)における単なる方形波であり、適当な位相(例えば、Iサンプルに対する論理ロー)を持つ。ANDゲート314はDVGA_enb制御信号とIまたはQサンプルとのAND演算を実行する。DVGA_enb制御信号はDVGAがエネーブルされる場合には論理ハイにセットされ、DVGAがバイパスされる場合には論理ローにセットされる。例えば、DVGA利得レンジが必要ない場合、または利得レンジがアナログ回路(例えば、可変利得増幅器)で提供される場合には、DVGAはバイパスされてもよい。ANDゲート314は、DVGAがエネーブルされる場合には、サンプルを乗算器316に送り、そうでなければゼロを提供する。ゼロはCMOS回路で電力を消費する遷移をなくすことにより、後続回路による電力消費を減少させる。

【0042】

乗算器316はレジスタ344からの利得でANDゲート314からのIまたはQサンプルを乗算し、スケーリングされた(または増幅された)サンプルを打ち切りユニット318に提供する。特定の実施形態では、乗算器316はサンプルレートの2倍で動作する。このレートはチップ×8のI/Qサンプルレートに対してチップ×16である。特定の実施形態では、CDMAおよびGPSに対して、入力IおよびQサンプルは18ビットの分解能を有し、バイナリポイントの右側に対して10ビットの分解能を有し(すなわち、18Q10)、利得は19ビットの分解能を有し、バイナリポイントの右側に対して12ビットの分解能を有し(すなわち、19Q12)、スケーリングされたサンプルは37ビットの分解能を有し、バイナリポイントの右側に対して22ビットの分解能を有する(す

10

20

30

40

50

なわち、37Q22)。特定の実施形態では、デジタルFMまたはDFMに対して、入力IおよびQサンプルは18Q6の分解能を有し、利得は19Q12の分解能を有し、スケールリングされたサンプルは37Q18の分解能を有する。打ち切りユニット318は各スケールリングサンプルの(例えば、18)下位ビット(LSB)を打ち切り、打ち切られたサンプル(これはCDMA/GPSに対して18Q4、DFMに対して18Q0の分解能を有する)をマルチプレクサ322の1つの入力に提供する。

【0043】

受信機のある動作モードに対して、DVGA140aによるデジタルスケールリングは必要とされず、(所望の出力データフォーマットを得るための適切な処理後に)入力IおよびQサンプルはスケールリングされることなくDVGA出力に送られる。打ち切りユニット320は各入力サンプルのLSB(例えば6)を打ち切り、打ち切られたサンプルをマルチプレクサ322の他の入力に提供する。打ち切りユニット320は、DVGAがエネーブルされているかあるいはバイパスされているかにかかわらず、出力IおよびQデータが確実に同じ分解能を持つようにする。

10

【0044】

マルチプレクサ322は、DVGAがエネーブルされているかあるいはバイパスされているかのそれぞれに基づいて、打ち切りユニット318または320のいずれかからの打ち切りサンプルを提供する。DVGAがエネーブルされているかあるいはバイパスされているかは、DVGA__enb制御信号により決定される。選択されたサンプルは飽和ユニット324に提供され、飽和ユニット324はサンプルを所望の出力データフォーマット、例えば、CDMA/GPSに対して8Q4およびDFMに対して8Q0の分解能に飽和させる。飽和サンプルは遅延素子326と、レジスタ328の1つの入力に提供される。遅延素子236は半サンプル期間の遅延を提供して、IおよびQデータ(これらは半サンプル期間だけスキューされ、乗算器316に対する時分割多重化を実現する)を整列させ、遅延されたIサンプルをレジスタ328の他の入力に提供する。レジスタ328はIおよびQデータを、IQ__sel制御信号と整列したタイミングで提供する。CDMA/GPSに対して、IおよびQデータの4つの上位ビット(MSB)(すなわち、4Q0の分解能を持つ)は、次の処理ブロックに送られる。DFMに対して、IおよびQデータ(例えば8Q0の分解能を持つ)はFM処理ブロックに直接送られる。

20

【0045】

受信機ユニット100は、CDMAシステム、GPSシステム、デジタルFM(DFM)システムなどからのデータを受信するようなさまざまな応用に対して使用してもよい。このような応用のそれぞれは、何らかの特定の特性と必要とされる何らかの特定の利得を有する各受信信号と関係していてもよい。図4に示すように、CDMA、GPSおよびDFMに対して使用されるべき3つの異なる利得がマルチプレクサ332に提供される。利得の1つはMode__sel制御信号に基づいて選択される。選択された利得は利得スケールリングおよびオフセットユニット334に提供される。このユニット334は利得オフセットも受け取る。

30

【0046】

所望の利得分解能が達成されるように、利得スケールリングおよびオフセットユニット334は適切なスケールリング係数で、選択された(CDMA、GPSまたはDFM)利得をスケールリングする。例えば、CDMA利得は固定数のビット(例えば、10ビット)で提供される。固定数のビットはCDMAに対して使用される特定モードに基づいて、いくつかの可能性ある利得レンジ(10ビットCDMA利得に対して102.4dBおよび85.3dB利得レンジ)の1つをカバーする。スケールリング係数は、CDMAに対して使用される特定モードにかかわらず、スケールリングされたCDMA利得が同じ利得分解能(例えば、0.13dB)を持つように選択される。利得スケールリングおよびオフセットユニット334はスケールリングされた利得から利得オフセットをさらに減算する。利得オフセットはADC122に対して選択されたセットポイントに基づいて決定される。これは次にADCに提供されるIおよびQベースバンド成分の平均電力を決定する。利得オフセッ

40

50

トはスケーリングされた利得と同じ分解能を有するプログラム可能値であってもよく、制御装置 160 により提供される。

【0047】

マルチプレクサ 336 はユニット 334 からのスケーリングおよびオフセットされた利得と、オーバーライド利得とを受け取り、(Gain__override 制御信号に基づいて) 利得の 1 つを飽和ユニット 338 に提供する。オーバーライド利得は、VGA ループをバイパスすることが望まれる場合に、VGA ループからの利得の代わりに使用される。飽和ユニット 338 は受け取った利得 (例えば、9 ビット) を飽和された利得のレンジ (例えば、9 ビットに対して総利得レンジの 68.13 dB に、各ビットに対して 0.133 dB の分解能) に制限するように飽和させる。AND ゲート 340 は飽和された利得において DVGA__enb 制御信号と AND 演算を実行し、DVGA がエネーブルされた場合には、飽和された利得を dB 線形ルックアップテーブル (LUT) 342 に送り、(再度説明すると、後続する回路により電力消費を減少させるために) そうでなければゼロを送る。

10

【0048】

1 つの実施形態では、AGC ループは対数 (dB) フォーマットで利得値 (例えば、CDMA 利得) を提供する。dB 利得値は RF / アナログ可変利得回路の特性を模倣するために使用される。RF / アナログ可変利得回路は一般的に利得対制御値に対する対数 (または、対数のような) 伝達関数を持つ。第 2 に、受信利得は CDMA 電話通話における要求送信電力に対する推定値として使用され、要求されたときに受信電力を基地局に報告するのに使用される。これらの推定は受信信号の広いダイナミックレンジを仮定して伝統的に dB で行われる。しかしながら、線形デジタル乗算器 316 はベースバンド利得乗算を提供するために使用され、dB 利得値は線形利得値に変換される。ルックアップテーブル 342 は公式に基づいて dB 線形変換を実行し、この公式は次のように表すことができる。

20

【0049】

$$Y (\text{線形}) = 10^{X/20} \quad \text{式 (1)}$$

ここで、Y はルックアップテーブルからの線形利得値であり、X は減衰値であり、これは次のように規定される。

【0050】

$$X = - (Z (\text{dB}) + \text{オフセット}) \quad \text{式 (2)}$$

ここで、Z はルックアップテーブルに提供される dB 利得値であり、式 (2) のオフセットはユニット 334 で実行される打ち切りを補償するのに使用される (例えば、4 ビット打ち切りに対して、オフセット = 0.067 dB)。dB 利得値を線形利得値にコンバートする他の技術を使用してもよく、これは本発明の範囲内である。LUT 342 からの線形利得値はレジスタ 344 によりクロックされ、利得値のタイミングがマルチプレクサ 316 に提供される I または Q サンプルのタイミングと整列される。

30

【0051】

AGC ループは (dB の代わりに) 線形利得値に基づいて動作するように設計されていてもよく、これは本発明の範囲内である。

40

【0052】

図 1 に戻って参照すると、DVGA 140 は DC オフセットキャンセラ 130 の後で、ダイレクトダウンコンバート受信機 100 中の DC ループの外側に配置される。この DVGA 配置はいくつかの利点を提供し、さらにいくつかの欠点を避ける。第 1 に、DVGA が DC ループ内に配置されるとすると、何らかの DC オフセットが DVGA の利得により増幅され、これは DC オフセットにより生じる品質低下を増長する。第 2 に、DC ループのループ利得には DVGA の利得も含まれ、これは受信信号強度に依存して変化する。この DC ループ利得は DC ループの帯域幅に直接影響を与える (または帯域幅を直接決定する) ので、DC ループ帯域幅は DVGA の利得とともに変化し、これは望ましくない影響である。DC ループ帯域幅は、DVGA 利得における何らかの変化に対するのと逆の態様

50

でDCループ利得（すなわち、DCループユニット234aおよび234b内のDC利得1および2）をダイナミックに変化させることにより、ほぼ一定に維持されるので、全体的なDCループ利得は一定に維持される。しかしながら、これはDCオフセット補正メカニズムの設計をさらに複雑にする。さらに、実際の信号電力まで参照されるとき残余DCオフセットは可変である。

【0053】

DCオフセットキャンセラ130の後で、DCループの外側にDVGA140を効果的に配置することにより、DCループによるDCオフセット補正はDVGAによる信号利得スケージングから分離される。さらに、ADC122後のデジタル領域におけるDVGAの構成は、RF/アナログ回路の設計をさらに簡単にする。これはダイレクトダウンコンバート受信機に対するコストを低減されるように導く。デジタル利得はADC122の後に提供されることから、ADCに提供される信号成分の振幅は潜在的により小さくなり、これはADC雑音が量子化IおよびQサンプルのSNRを大きく品質低下させないようにアナログデジタル変換プロセスに対してより大きいダイナミックレンジを要求する。技術的に知られているように、大きなダイナミックレンジを有するADCはオーバーサンプリングシグマデルタ変調器により提供される。

10

【0054】

自動利得制御

図5はAGCループユニット142aのブロック図である。これは図1のAGCループユニット142の特定の実施形態である。AGCループユニット142a内では、IおよびQデータが受信信号強度インジケータ(RSSI)412に提供され、これは受信信号の信号強度を推定する。受信信号強度RSSは以下のように推定される。

20

【数1】

$$RSS = \sum_i^{N_E} \{I^2(i) + Q^2(i)\} \quad \text{式(3)}$$

【0055】

ここで、 $I(i)$ および $Q(i)$ は*i*番目のサンプル期間に対するIおよびQデータを表しており、 N_E は受信信号強度推定値を導出するために累積されるサンプル数である。他の技術を使用して受信信号強度を推定してもよい（例えば、 $RSS = |I_F(i)| + |Q_F(i)|$ ）。受信信号強度推定値はAGC制御ユニット414に提供される。

30

【0056】

図6はAGC制御ユニット414aのブロック図である。これは図5のAGC制御ユニット414の特定の実施形態である。AGC制御ユニット414aはRSSI412から受信信号強度推定値RSSを、DCオフセットキャンセラ130からDC_loop_mode制御信号を、利得ステップ制御ユニット418から非バイパス/保持制御信号を、プログラム可能遅延ユニット420から遅延された利得ステップ判定を、（例えば制御装置160から）Freeze_enable制御信号を受け取り、これらのすべては以下でさらに詳細に説明する。受信制御信号およびRSSに基づいて、AGC制御ユニット414aは出力利得値を提供し、これは受信信号に適用されるべき総利得(G_{total})を示す。

40

【0057】

ある実施形態では、AGCループは3つのループモード、通常モード、低利得モード、フリーズモードをサポートする。通常モードは通常のAGCループ帯域幅を提供するために使用され、低利得モードはより小さいAGCループ帯域幅を提供するために使用され、フリーズモードはAGCループを止めるのに使用される。低利得モードおよび通常モードはAGC利得1およびAGC利得2のAGCループ利得値にそれぞれ関係する。フリーズモードはAGCループアキュムレータによる累積のために提供される値をゼロにすることにより達成される。ある実施形態では、妨害検出のために、AGC利得3の付加的なAGCループ利得値が使用される。AGC利得3は一般的に通常モードに対するAGC利得2

50

より小さいが、低利得モードに対する A G C 利得 1 よりも大きく、以下で説明するように、信号成分中の妨害の存在を検出するために使用される。A G C ループにより異なるまたは付加的なモードがサポートされてもよく、これは本発明の範囲内である。

【 0 0 5 8 】

先に着目したように、D C ループは A G C ループの性能に影響を与える。したがって、ある観点では、使用される特定の A G C ループモードは、現在使用中の特定の D C ループモードに依存する（例えば、現在使用中の特定の D C ループモードに基づいて選択される）。特に、通常モードは D C ループが追跡モードで動作しているときに A G C ループに対して使用される。低利得またはフリーズモードは D C ループが捕捉モードで動作しているときに A G C ループに対して使用される。

10

【 0 0 5 9 】

図 6 に示されているように、通常モードに対する A G C 利得 2 と妨害検出に対する A G C 利得 3 はマルチプレクサ 4 4 6 に提供され、これは非バイパス / 保持制御信号も受け取る。非バイパス / 保持制御信号は利得ステップ間の時間ヒステリシスを提供するために使用される（すなわち、A G C ループは別の（より高いまたはより低い）利得ステップに切り換えできるようにされる前に、特定の時間量（時間 1 または時間 2）に対して所定の利得ステップに維持される）。

【 0 0 6 0 】

マルチプレクサ 4 4 6 は通常モードが選択されるときに A G C 利得 2 を提供し、通常モードが選択されることは、非バイパス / 保持制御信号が論理ローにセットされることにより示される。代わりに、マルチプレクサ 4 4 6 は妨害検出が実行されるべきときに A G C 利得 3 を提供し、妨害検出が実行されるべきときは非バイパス / 保持制御信号が論理ハイにセットされることにより示される。マルチプレクサ 4 4 8 はその 2 つの入力において低利得モードに対する A G C 利得 1 とマルチプレクサ 4 4 6 からの出力を受け取り、さらに D C _ l o o p _ m o d e 制御信号を受け取る。D C ループが捕捉モードであるときに低利得モードが A G C ループに対して選択されると、マルチプレクサ 4 4 8 は A G C 利得 1 を乗算器 4 4 2 に提供する。これは D C _ l o o p _ m o d e 制御信号が論理ハイにセットされることにより示される。代わりに、マルチプレクサ 4 4 8 は追跡モード中に A G C 利得 2 または A G C 利得 3 を乗算器 4 4 2 に提供する。これは D C _ l o o p _ m o d e 制御信号が論理ローにセットされることにより示される。

20

30

【 0 0 6 1 】

A N D ゲート 4 4 0 は受信信号強度推定値 R S S と F r e e z e _ e n b 制御信号を受け取る。（ 1 ） D C ループが追跡モードで動作しているとき、あるいは（ 2 ） D C ループが捕捉モードで動作しているときに低利得モードが A G C ループに対して使用されているとき、A N D ゲート 4 4 0 は R S S を乗算器 4 4 2 に提供する。代わりに、D C ループが捕捉モードで動作し、A G C ループが止められているときに、A N D ゲート 4 4 0 はゼロを乗算器 4 4 2 に提供する。A N D ゲート 4 4 0 からのゼロは、A G C ループが止められているときに A G C ループアキュムレータ 4 4 4 がゼロを累積することになる。

【 0 0 6 2 】

乗算器 4 4 2 は受信信号強度推定値 R S S を、マルチプレクサ 4 4 8 からの選択された A G C 利得と乗算し、その結果を A G C ループアキュムレータ 4 4 4 に提供する。アキュムレータ 4 4 4 はその結果を記憶値で累積し、出力利得値を提供する。出力利得値は所望の信号レベルを達成するために受信信号に適用される総利得 G_{total} を示す。これは図 4 における利得スケールリングおよびオフセットユニット 3 3 4 に提供される利得オフセットにより決定される。この総利得は 2 つの部分、（ 1 ） R F / アナログ回路（例えば増幅器 1 1 4 およびミキサ 2 1 2）に対する粗利得 G_{coars} 、および（ 2 ） D V G A 1 4 0 に対する微利得 G_{fine} に分解される。受信信号に対する総利得は以下のように表される。

40

【 0 0 6 3 】

$$G_{total} = G_{coars} + G_{fine} \quad \text{式 (4)}$$

ここで、 G_{total} 、 G_{coars} および G_{fine} はすべて d B で与えられる。

50

【 0 0 6 4 】

図 6 に示されているように、アキュムレータ 4 4 4 は遅延された利得ステップ判定も受け取り、これは以下に説明するように、RF / アナログ回路に対して使用されるべき特定の離散利得を示す。RF / アナログ回路に対する各離散利得は、累積に対する最大値および最小値の各セットに関係付けられる。これは A G C ループを確実に安定にする。使用されるべき特定の離散利得に対して、遅延された利得ステップ判定により示されているように、アキュムレータ 4 4 4 による累積のために最大値および最小値の適切なセットが使用される。

【 0 0 6 5 】

図 5 に戻って参照すると、RF / アナログ回路に対する粗利得制御は、(1) 利得ステップ制御ユニット 4 1 8 による総利得 G_{total} の利得ステップ判定へのマッピング、(2) レンジエンコーダ 4 2 4 による利得ステップ判定の適切な利得ステップ制御信号へのエンコーディング、(3) S B I ユニット 1 5 0 による利得ステップ制御信号の適切なメッセージへのフォーマット、(4) シリアルバス 1 5 2 を通してメッセージの RF / アナログ回路 (例えば、増幅器 1 1 4 および / またはミキサ 2 1 2) への送信、(5) メッセージに基づく RF / アナログ回路の利得の調整、により達成される。微利得制御は、(1) 総利得 G_{total} から粗利得 G_{coars} を減算することによる D V G A に対する微利得 G_{fine} の決定、(2) 微利得に基づく D V G A の利得の調整、により達成される。総利得に基づく粗利得と微利得の導出を以下で説明する。

【 0 0 6 6 】

受信機ユニット 1 0 0 は複数ステージ (例えば 4 つ) を持つ増幅器 1 1 4 と、複数ステージ (例えば 2 つ) を持つミキサ 2 1 2 で設計される。各ステージは特定の離散利得に関係付けられている。どのステージがターン ON / OFF されるかに依存して、異なる離散利得が達成される。粗利得は粗離散ステップで RF / アナログ回路の利得を制御する。RF / アナログ回路に対して使用されるべき特定の離散利得は、受信信号レベル、これらの回路の特定の設計などに依存する。

【 0 0 6 7 】

図 7 は RF / アナログ回路 (例えば、増幅器 1 1 4 およびミキサ 2 1 2) に対する例示的な利得伝達関数の図である。水平軸は総利得を表し、これは受信信号強度に逆に関係している (すなわち、より高い利得はより小さい受信信号強度に対応する)。垂直軸は総利得に基づいて利得ステップ制御ユニット 4 1 8 により提供される利得ステップ判定を表している。この特定の例示的な設計では、利得ステップ判定は 5 つの可能性ある値の 1 つをとる。これらは表 1 に定義されている。

10

20

30

【表 1】

表 1

利得 ステップ 判定	RF/アナログ 回路状態	定義
000	第1	最も低い利得—すべてのLNAステージがOFF;ミキサは低利得にある。
001	第2	第2に低い利得—すべてのLANステージがOFF;ミキサは高利得にある。
010	第3	第3に高い利得—1つのLNAステージがON;ミキサは高利得にある。
011	第4	第2に高い利得—2つのLNAステージがON;ミキサは高利得にある。
100	第5	最も高い利得—3つすべてのLNAステージがON;ミキサは高利得にある。

10

20

30

40

【0068】

図7に示されているように、隣接状態間の遷移にヒステリシスが提供される。例えば、第2の状態(“001”)である間、第1のLNAは、総利得がL2上昇しきい値を超えるまでターンON(第3の状態“010”への遷移)されない。このLNAは総利得がL2下降しきい値より下に落ちるまでターンOFF(第2の状態から第1の状態へ戻る遷移)されない。ヒステリシス(L2上昇-L2下降)は、総利得がL2上昇およびL2下降しきい値間または近くの場合に、LNAが連続的にターンOFFおよびONされるのを防ぐ。

【0069】

利得ステップ制御ユニット418は総利得、図7に示されているもののような伝達関数

50

(これはしきい値により規定される)、タイミング、妨害、および可能性ある他の情報に基づいて利得ステップ判定を決定する。利得ステップ判定は、伝達関数により決定される、増幅器 114 およびミキサ 212 に対してターン ON / OFF されるべき特定のステージを示す。図 5 に戻って参照すると、利得ステップ制御ユニット 418 は利得ステップ判定をプログラム可能な遅延素子 420 およびレンジエンコーダ 424 に提供する。

【0070】

図 1 に示されているような実施形態では、増幅器 114 およびミキサ 212 の各ステージをターン ON または OFF させるための制御信号はシリアルバス 152 を通してこれらの回路に提供される。レンジエンコーダ 424 は利得ステップ判定を受け取り、制御されるべき各特定の回路に対して対応する利得ステップ制御信号を提供する(例えば、増幅器 114 に対して 1 つの利得ステップ制御信号およびミキサ 212 に対して別の利得ステップ制御信号)。利得ステップ判定と利得ステップ制御信号との間のマッピングはルックアップテーブルおよび/または論理に基づく。各利得ステップ制御信号は 1 以上のビットを含み、その利得ステップ制御信号により制御されるべき回路内の指定されたステージをターン ON / OFF させる。例えば、増幅器 114 は 4 ステージで設計され、その(2 ビット)利得ステップ制御信号は増幅器の 4 つの可能性ある離散利得に対する 4 つの可能性ある値("00"、"01"、"10" および "11") に関係付けられる。ミキサ 212 は 2 ステージで設計され、その(1 ビット)利得ステップ制御信号はミキサの 2 つの可能性ある離散利得に対して 2 つの可能性ある値("0" および "1") に関係付けられる。増幅器 114 およびミキサ 212 に対する利得ステップ制御信号は SBI ユニット 150 により適切なメッセージにフォーマットされ、これらのメッセージはシリアルバス 152 を通して回路に送られる。レンジエンコーダ 424 はまた DC オフセットキャンセラ 130 に対して利得ステップ変更信号を提供し、これは RF / アナログ回路の利得が新しい値またはステップに変更したか否かを示す。

【0071】

先に着目したように、受信信号に対する総利得 G_{total} は粗利得 G_{coars} と微利得 G_{fine} に分解される。さらに、図 5 に示されているように、微利得は合計器 416 により総利得から粗利得を減算することにより発生される。(利得ステップ制御信号の形態における)粗利得は SBI ユニット 150 およびシリアルバスを通して増幅器 114 およびミキサ 212 に提供されることから、利得ステップ制御ユニット 418 により粗利得が決定された時間と、RF / アナログ回路により粗利得が実際に適用された時間との間に遅延が導入される。さらに、処理遅延が RF 回路から DVGA への受信信号により生じる(例えば、特にデジタルフィルタ 124)。したがって、粗利得が確実に RF 回路により適用され、同時に DVGA から除去されるようにするために(すなわち、粗利得が一度だけ何らかの所定データサンプルに適用されるように)、プログラム可能な遅延を使用して粗利得が DVGA 140 に適用される前に、(利得ステップ判定により示されるように)粗利得を遅延させる。

【0072】

プログラム可能な遅延素子 420 は利得ステップ判定に対して特定量の遅延をもたらす。この遅延は SBI ユニット 150 により導入される遅延と、RF 回路から DVGA への受信信号処理パスの遅延を補償する。この遅延は遅延値をレジスタに書き込むことによりプログラムすることができる。遅延素子 420 は遅延された利得ステップ判定を提供する。

【0073】

粗利得コンバートユニット 422 は遅延された利得ステップ判定を受け取り、これは RF / アナログ回路に対する特定の離散利得を表しており、粗利得コンバートユニット 422 は対応する粗利得 G_{coars} を提供し、これは適切なレンジおよび分解能を持つ(例えば、AGC 制御ユニット 414 からの総利得に対するものと同じレンジおよび分解能)。粗利得はしたがって利得ステップ判定と等価であるが、異なるフォーマットで提供される(すなわち、粗利得は高分解能であるのに対し、利得ステップ判定はデジタル(OFF

F) 制御である。) 。利得ステップ判定から粗利得への変換はルックアップテーブルおよび/または論理回路で達成してもよい。粗利得は合計器 4 1 6 により総利得から減算され、D V G A に対する微利得が提供される。

【0074】

R F / アナログ回路の利得がステージを O N および O F F に切り替えることにより粗量だけ変更されるときはいつでも、信号成分の位相は一般的に何らかの特定なステップ量だけ回転する。位相回転量は(利得ステップ判定により決定されるように)どのステージが O N および O F F に切り替えられたかに依存するが、一般的にその特定のセッティングまたは構成に対して固定値である。この位相回転は、周波数制御ループが位相回転を補正できるまで、データ復調プロセスの品質を低下させることになる。

10

【0075】

ある実施形態では、利得ステップ判定は対応するローテータ位相にマッピングされ、これは利得ステップ判定により示される利得による受信信号成分の位相回転量を示す。ローテータ位相はデジタル復調器 1 4 4 内のローテータに提供され、I および Q データの位相を調整するのに使用され、R F / アナログ回路中のエネーブルされた利得ステージにより導入される位相回転に対処する。利得ステップ判定とローテータ位相との間のマッピングはルックアップテーブルおよび/または論理回路で達成される。さらに、微分解能がローテータ位相に対して達成される(例えば、5 . 6 ° 分解能は位相ローテータに対する 6 ビットで達成することができる。)

D C および A G C ループ動作

20

図 1 に示されているように、D C ループはデジタルフィルタ 1 2 4 からのフィルタされた I および Q サンプル上で動作して D C オフセットを除去し、(D V G A 1 4 0 を通しての) A G C ループは D C オフセット補正された I および Q サンプル上で動作し、I および Q データを提供し、これはデジタル復調器 1 4 4 に提供される。A G C ループはまた R F / アナログ回路の利得を制御し、これは次に D C ループにより操作される I および Q サンプルの振幅に影響を与える。D C ループは A G C ループ内に埋め込まれているように見える。D C ループの動作は A G C ループの動作に影響を与える。

【0076】

ダイレクトダウンコンバート受信機では、D C オフセット(静的および時間変化の両方)は信号成分により大きな影響を持つ。その理由はより小さい信号振幅のためである。大きな D C オフセット(または D C スパイク)がさまざまな手段により信号成分に導入される。第 1 に、R F / アナログ回路(例えば、増幅器 1 1 4 およびミキサ 2 1 2)の利得が O N / O F F ステージを切り替えることにより離散ステップで変化するとき、O N / O F F の切り替えがされている異なるステージにおける不整合により、大きな D C オフセットが信号成分に導入される。第 2 に、D C ループが D C オフセット更新を実行して、D C 3 I および D C 3 Q の異なる D C オフセット値が合計器 2 3 2 a に提供されるときに、および/または D C 1 I および D C 1 Q の異なる D C オフセット値がシリアルバスを通してミキサ 2 1 2 に提供されるときにも、大きな D C オフセットが導入される。

30

【0077】

大きな D C オフセットは D C ループ(例えば、粗および微の D C ループ)のさまざまなメカニズムを使用して除去される。さらに、捕捉モードで D C ループを動作させることにより、大きな D C オフセットがさらにすばやく除去される。しかしながら、除去されるまでは、大きな D C オフセットは信号成分に悪影響を持ち、性能を低下させる。

40

【0078】

第 1 に、信号成分中の何らの除去されていない D C オフセットは、デジタル復調器 1 4 4 による逆拡散操作後に雑音(その電力は D C オフセットと等しい)として現れる。この雑音は性能を低下させることがある。

【0079】

第 2 に、大きな D C オフセットはいくつかの方法で A G C ループの性能を混乱させる。D C オフセットは信号成分に加えられ、より大きな振幅を持つ合成された(D C オフセッ

50

トおよび信号)成分となる。これはAGCループに総利得を減少させ、合成成分の電力がAGCセットポイント(例えば $I^2 + Q^2 = \text{AGCセットポイント}$)に維持される。減少された利得は所望の信号成分の圧縮をもたらし、圧縮量はDCオフセットの大きさに比例する。所望信号成分に対する振幅が小さくなると、品質が低下した信号対量子雑音比(SNR_Q)となり、これは性能も低下させる。さらに、DCループが追跡モードに入る前に大きなDCオフセットを完全に除去することができない場合には、残余DCオフセットは追跡モードでさらにゆっくりと除去される。AGCループはDCループのこの遅い過渡応答をたどり、これはDCループおよびAGCループの両方が安定状態を達成するまで品質低下期間を延長させる。

【0080】

第3に、大きなDCオフセットは妨害を正確に検出する能力に影響を与え、妨害は所望信号帯域中の干渉信号である。妨害は受信信号パス中の回路における非線形性により発生される。増幅器114およびミキサ212における非線形性はこれらの回路が高利得で動作する(すなわち、さらに多くのステージがターンONされる)ときにさらに明白であることから、受信機はこれらの回路の任意のものが高利得に切り替えられた直後に妨害を検出する。妨害検出は高利得に切り替えられた直後にRSSI412で信号成分の電力を測定し、特定の測定時間の後にしきい値に対して測定電力を比較し、そして測定電力がしきい値を超えた場合には信号成分中の妨害の存在を宣言することにより実行される。妨害が検出されると、1つ以上の回路の利得は妨害を除去または軽減するために減少される。しかしながら、高利得への切り替えにより導入されるDCオフセットが存在する場合には、測定電力における増加が妨害によるものであるのか、あるいは総雑音によるものであるのかを識別することが不可能になる。総雑音には何らかの除去されていないDCオフセットおよびDCオフセットをすばやく除去するために捕捉モードでDCループを動作させることにより発生される増加したDCループ雑音を含む。したがって、DCオフセットの存在は妨害を正確に検出する能力に影響を与える。妨害はRF/アナログ回路が妨害の誤った検出による誤った利得において動作している場合に性能を低下させる。

【0081】

大きなDCオフセットは先に説明したさまざまな悪影響のためにエラーのある長いバーストを生じさせる。(例えば、DCループの特定の設計により)DCスパイクを除去するのに必要な時間が固定されていることから、DCオフセットによる品質低下はより高いデータレートにおいてさらに問題である。これはより高いデータレートにおいてさらにエラーとなる。

【0082】

本発明の他の観点にしたがうと、DCループが捕捉モードで動作する期間は捕捉モードにおけるDCループ帯域幅に反比例する。DCループ帯域幅は捕捉モードにおいてより広く設計され、DCループがDCオフセットにさらにすばやく応答して除去できるようにする。ループ帯域幅が徐々に広くなることはループ応答が徐々に早くなることに対応する。先に着目したように、所望信号成分におけるDCエラーはデジタル復調器144内の逆拡散操作後に雑音として現れる。この雑音はできるだけすばやく除去すべきであり、これは捕捉モードに対するDCループの帯域幅を増加させることにより達成される。しかしながら、より広いDCループ帯域幅はDCループ雑音を増加もさせ、これも性能を低下させる。

【0083】

性能を最大にするために、捕捉モードは補正されるべき(導入された)DCオフセットと(自己発生した)DCループ雑音とをトレードオフする。DCループ雑音量を制限し、DCループが依然として広い帯域幅で動作できるようにするために、DCループが捕捉モードで動作する期間はループ帯域幅に反比例するようにセットされる。より広いDCループ帯域幅は一般的に、よりすばやい応答のためのより広いループ能力による、より短いDCオフセット捕捉時間に対応する。したがって、より広いDCループ帯域幅による捕捉モードで費やされるより短い時間量はこの事実を利用し、DCループは必要以上に長く捕捉

10

20

30

40

50

モードで動作せず、これは性能を向上させる。

【0084】

捕捉モードでDCループが動作する特定の期間はまた、例えば、DCオフセットの予測された振幅、DCループ雑音の振幅、変調スキーム、受信信号の帯域幅などのような他のさまざまな要因に基づいても選択される。一般的に、捕捉モード期間は捕捉モード中のDCループ帯域幅に逆に関係しており、正確な関数は先に着目した要因に依存している。

【0085】

本発明のさらに他の観点にしたがうと、AGCループの動作はDCループ動作モードに基づいて行われる。先に着目したように、何らかの除去されていないDCオフセットは、一般的にDCループが捕捉モードに変化するときにさらに大きく、AGCループの動作に影響を与える。したがって、DCオフセットキャンセラ130はAGCループユニット142に対してDC_loop_mode制御信号を提供し、これはDCループの現在の動作モードを示す。(潜在的な)大きいDCオフセットをすばやく除去するためにDCループが捕捉モードに切り替えられたときに、AGCループは同時に低利得モードまたはフリーズモードに切り替えられるので、DCループが捕捉モード中の間、AGCループはDCオフセットに対してゆっくりと反応するかまたはまったく反応しない。DCループが追跡モードに遷移した後に、AGCループは通常モードに切り替えられて戻される。

【0086】

DCループが捕捉モードにある間に使用される小さいまたはゼロのAGC利得は、AGCループがDC捕捉期間中にその制御信号を確実に保存するようにする。AGC制御信号はいったんDCループが追跡モードに入ると、通常の方法で動作する準備が整う。小さいまたはゼロのAGC利得はまた、AGCループがAGCセットポイントから所望信号成分の電力を動かすのを妨げるまたは防ぐ。小さいまたはゼロのAGC利得はさらに妨害検出プロセスにおけるDCオフセットの影響を減少させる。これは誤りのある妨害検出の可能性を減少させる。

【0087】

使用されるべき特定の通常AGC利得および小さいAGC利得は、シミュレーション、経験的な測定、あるいは他の何らかの手段により決定される。これらの利得はまたは(例えば、制御装置160により)プログラム可能である。

【0088】

シリアルバスインターフェイス(SBI)

本発明のさらに他の観点にしたがうと、RF/アナログ回路のいくつかまたはすべてに対する制御信号はシリアルバス152を通して提供される。RF/アナログ機能を制御するための標準的なシリアルバスの使用は以下に説明するように多くの利点を提供する。さらに、シリアルバスはさまざまな機能を持って設計され、以下でも説明するように、要求される制御をさらに効果的に提供する。

【0089】

従来、RF/アナログ回路(例えば、増幅器114およびミキサ212)に対する制御信号は制御されるべき回路間で専用信号を使用して提供され、制御装置が制御信号を提供する。個々に制御されるべき各回路に対して、制御装置上で1つ以上のピンが使用される。例えば、先に説明した増幅器/ミキサの5つのステージを制御するために、3本のピンが制御装置およびRF/アナログチップ上で指定される。特定の機能に対して指定ピンを使用することはピンカウントを増加させ、ボードレイアウトを複雑にし、これは受信機のコストを増加させることにつながる。

【0090】

RF/アナログ回路に対する制御信号を提供するためにシリアルバスを使用すると、従来の設計で遭遇する欠点の多くを改善し、付加的な利点もさらに提供することができる。第1に、シリアルバスは数ピン(例えば、2または3)で構成することができ、これらの同じピンを使用して1つ以上の集積回路(IC)中で構成される複数の回路を制御することができる。例えば、1つのシリアルバスを使用して増幅器114の利得、ミキサ212

10

20

30

40

50

の利得、ミキサ 2 1 2 の D C オフセット、発振器 2 1 8 の周波数などを制御することができる。R F / アナログ I C を制御装置と相互接続するために必要なピン数を減少させることにより、R F / アナログ I C、制御装置および回路ボードのコストがすべて減少する。第 2 に、標準的なシリアルバスを使用すると、将来のチップセットに対する柔軟性が増加する。その理由は標準的なシリアルバスは R F / アナログ I C と制御装置との間のハードウェアインターフェイスを標準化するからである。これはまた、要求される制御線の数を変更または増加させることなく、異なる R F / アナログ I C および / または制御装置で製造者が同じボードレイアウトを使用することができるようにする。

【 0 0 9 1 】

ある実施形態では、S B I ユニット 1 5 0 は多数のハードウェア要求 (H W _ R E Q) チャンネルをサポートするように設計され、各チャンネルは特定の機能をサポートするために使用される。例えば、V G A ループに対して 1 つのチャンネルを使用して増幅器 1 1 4 およびミキサ 2 1 2 のステップ利得をセットし、D C ループに対して他のチャンネルを使用して、ミキサ 2 1 2 に対する D C オフセット制御値 (D C 1) をセットしてもよい。一般的に、S B I ユニットは任意の数のハードウェア要求チャンネルをサポートするように設計することができる。

10

【 0 0 9 2 】

個々に制御されるべき各回路は各アドレスと関係付けられる。S B I ユニットを通して送信される各メッセージには回路のアドレスが含まれ、このアドレスに対してメッセージが送信される。シリアルバスに結合される各回路は各送信メッセージ中に含まれるアドレスを調べて、メッセージがその回路に向けられているのか否かを決定し、メッセージがその回路にアドレス指定されている場合のみ、メッセージを処理する。

20

【 0 0 9 3 】

ある実施形態では、各ハードウェア要求チャンネルは多数のデータ転送モードをサポートする能力を持つように設計される。このモードには高速転送モード (F T M)、インターラプト転送モード (I T M)、およびバーストまたはバルク転送モード (B T M) が含まれる。高速転送モードを使用して、以下のパターン：I D、A D D R、D A T A、A D D R、D A T A、... にしたがって複数の回路に複数バイト送信する。ここで I D はハードウェア要求チャンネル I D であり、A D D R は受信回路のアドレスであり、D A T A は受信回路に対するデータである。インターラプト転送モードを使用して 1 バイトを送信し、シリアルバスに結合されている 1 つ以上の回路に同報通信することができる。そして、バースト転送モードを使用して、以下のパターン：I D、A D D R、D A T A 1、D A T A 2、... にしたがって特定の回路に複数バイトを送信することができる。異なるおよび / または付加的な転送モードも実現することができ、これも本発明の範囲内である。

30

【 0 0 9 4 】

ある実施形態では、ハードウェア要求チャンネルは (例えば、制御装置により) 特定の優先順位に割り当てられる。チャンネルの優先順位は S B I ユニット 1 5 0 内のレジスタにプログラムすることができる。シリアルバスを通して S B I ユニットにより複数のメッセージが送信される必要がある場合には、チャンネルの優先順位はメッセージが送信される順序を決定する。高速応答を要求する制御ループ (例えば、増幅器 1 1 4 およびミキサ 2 1 2 に対する利得ステップ) に対して使用されるチャンネルに、より高い優先順位が割り当てられ、さらに静的な機能 (例えば、ダイレクトコンバータ 1 2 0 の受信モード、例えば D F M および G P S) に対して使用されるチャンネルに、より低い優先順位が割り当てられる。

40

【 0 0 9 5 】

各ハードウェア要求チャンネルは各エネーブルフラグとも関係付けられる。このフラグはそのチャンネルが使用のためにエネーブルされているか否かを示す。すべてのチャンネルに対するエネーブルフラグは S B I ユニット 1 5 0 により維持される。

【 0 0 9 6 】

ある実施形態では、シリアルバスは、データ信号、クロック信号およびストローク信号の 3 つの信号を含む。データ信号を使用して、メッセージを送信する。クロック信号は送

50

信元（例えば、制御装置）により提供され、受信機により使用されてデータ信号上に提供されるデータをラッチする。そして、ストロブ信号はメッセージの開始/停止を示すために使用される。異なる信号および/または異なる数の信号での異なるシリアルバス設計も構成することができ、これは本発明の範囲内である。

【0097】

ここで説明したダイレクトダウンコンバート受信機のさまざまな観点および実施形態は、CDMAシステム、GPSシステム、デジタルFM（DFM）システムなどのような、さまざまなワイヤレス通信システムにおいて構成することができる。これらの通信システム中のフォワードリンクまたはリバースリンクに対してダイレクトダウンコンバート受信機を使用してもよい。

10

【0098】

ここで説明したダイレクトダウンコンバート受信機のさまざまな観点および実施形態はさまざまな手段により構成することができる。例えば、ダイレクトダウンコンバート受信機のすべてまたはいくつかの部分は、ハードウェア、ソフトウェアまたはこれらの組み合わせで構成することができる。ハードウェア構成に対して、DVGA、DCオフセット補正、利得制御、SBIなどは、1つ以上の特定用途向け集積回路（ASIC）、デジタル信号プロセッサ（DSP）、デジタル信号処理装置（DSPD）、プログラム可能論理装置（PLD）、フィールドプログラム可能ゲートアレイ（FPGA）、プロセッサ、制御装置、マイクロ制御装置、マイクロプロセッサ、ここで説明した機能を実行するように設計された他の電子ユニット、またはこれらの組み合わせ内で構成することができる。

20

【0099】

ソフトウェア構成に対して、利得制御および/またはDCオフセット補正に対して使用される構成要素はここで説明した機能を実行するモジュール（例えば、手続き、機能など）内で構成される。ソフトウェアコードはメモリユニット（例えば、図1のメモリ162）に記憶され、プロセッサ（例えば、制御装置160）により実行される。メモリユニットはプロセッサ内、またはプロセッサ外部で構成され、プロセッサ外部のケースでは、技術的に知られているさまざまな手段を通してプロセッサに通信可能に結合することができる。

【0100】

見だしはここでは参照ため、そしてあるセクションを位置付けるために含まれている。これらの見だしはここで説明されている概念の範囲を制限することを意図しているものではない。これらの概念は明細書全体を通して他のセクションで適用性を有している。

30

【0101】

開示されている実施形態の先の説明は当業者が本発明を作りまたは使用できるように提供されている。これらの実施形態に対するさまざまな変更は当業者に容易に明らかになるであろう。ここで規定されている一般的な原理は本発明の精神または範囲を逸脱することなく、他の実施形態に適用することができる。したがって、本発明はここに示されている実施形態に制限されることを意図しているものではなく、ここで開示されている原理および新規な特徴と矛盾しない最も広い範囲にしたがうべきである。

【図面の簡単な説明】

40

【0102】

【図1】図1はさまざまな観点および実施形態を実現することができる受信機ユニットの実施形態のブロック図である。

【図2】図2はダイレクトダウンコンバータの実施形態のブロック図である。

【図3】図3はDCオフセットキャンセラの実施形態のブロック図である。

【図4】図4はデジタル可変利得増幅器（DVGA）の実施形態のブロック図である。

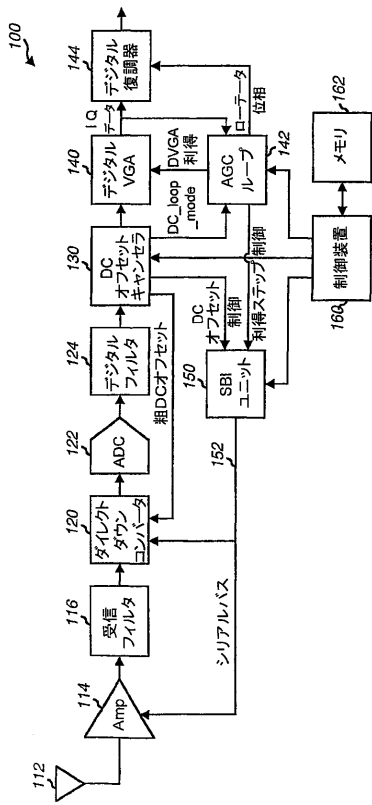
【図5】図5はAGCループユニットのブロック図である。

【図6】図6はAGC制御ユニットのブロック図である。

【図7】図7はRF/アナログ回路に対する例示的な利得伝達関数の図である。

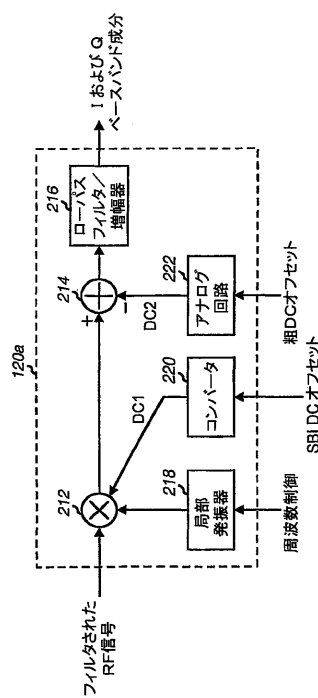
【 図 1 】

図 1



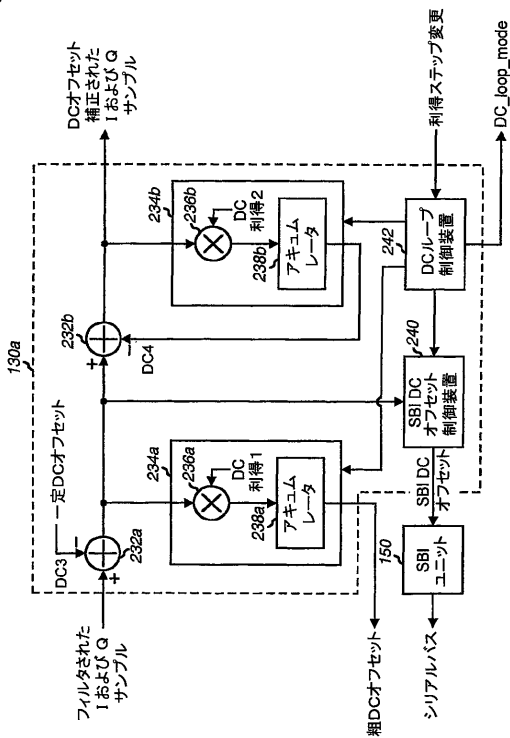
【 図 2 】

図 2



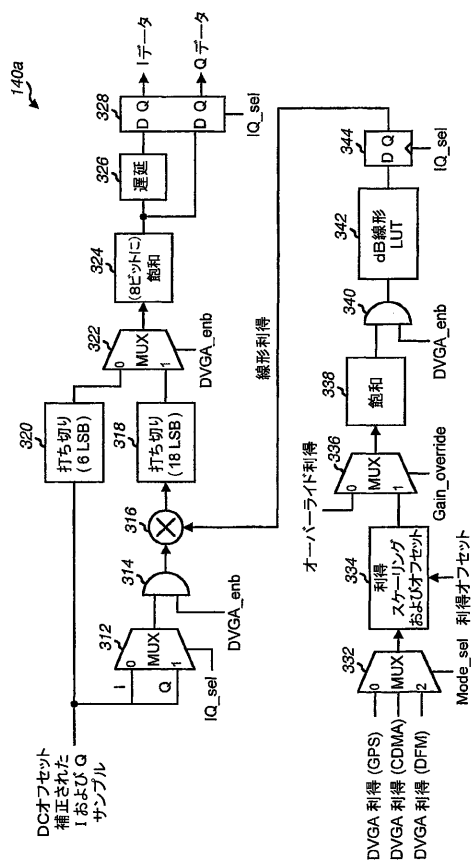
【 図 3 】

図 3



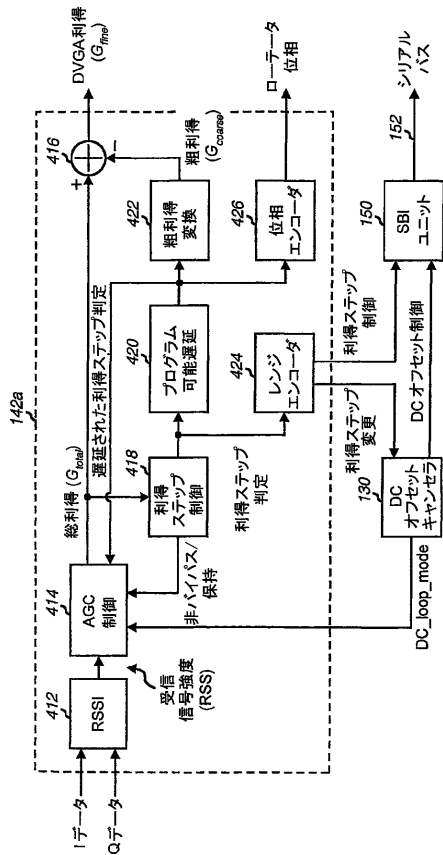
【 図 4 】

図 4



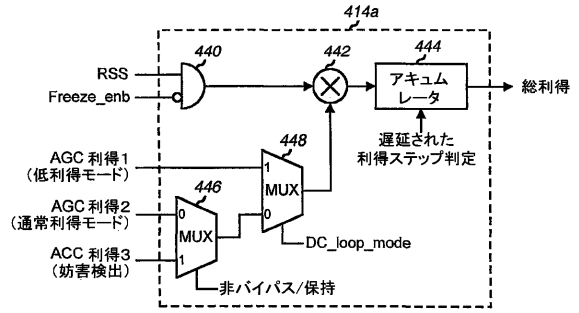
【 図 5 】

図 5



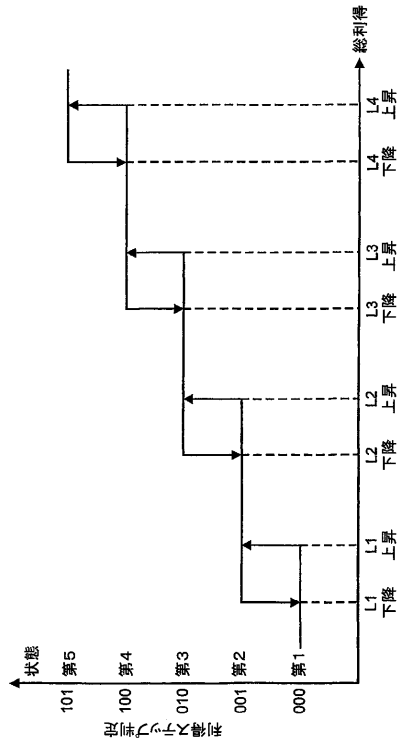
【 図 6 】

図 6



【 図 7 】

図 7



【手続補正書】

【提出日】平成20年7月30日(2008.7.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

シリアルバスを通して1つ以上のアナログ回路を制御する方法において、
特定のアナログ回路に対する制御を受け取ることと、
受け取った制御に対応するメッセージを形成することと、
シリアルバスを通してメッセージを送信することと、
特定のアナログ回路においてメッセージを受け取ることと、
受け取ったメッセージに基づいて、特定のアナログ回路の1つ以上の特性を調整することとを含み、

1つ以上のアナログ回路のそれぞれには各優先順位が割り当てられ、
メッセージはそれらに割り当てられた優先順位に一部基づいて、1つ以上のアナログ回路に送信され、

メッセージは、高速転送モードおよびインターラプト転送モードを含む複数の可能性あるデータ転送モードによって1つ以上のアナログ回路に送信され、

インターラプト転送モードは、比較的、より高い各優先順位でアナログ回路にメッセージを送信するために使用される方法。

【請求項2】

シリアルバスを通して1つ以上のアナログ回路を制御する装置において、
特定のアナログ回路に対する制御を受け取る手段と、
受け取った制御に対応するメッセージを形成する手段と、
シリアルバスを通してメッセージを送信する手段と、
特定のアナログ回路においてメッセージを受け取る手段と、
受け取ったメッセージに基づいて、特定のアナログ回路の1つ以上の特性を調整する手段とを具備し、

1つ以上のアナログ回路のそれぞれには各優先順位が割り当てられ、
メッセージはそれらに割り当てられた優先順位に一部基づいて1つ以上のアナログ回路に送信され、

メッセージは、高速転送モードおよびインターラプト転送モードを含む複数の可能性あるデータ転送モードによって1つ以上のアナログ回路に送信され、

インターラプト転送モードは、比較的、より高い各優先順位でアナログ回路にメッセージを送信するために使用される装置。

【請求項3】

受信機ユニットにおいて、
受信信号を増幅し、ダウンコンバートし、デジタル化して、サンプルを提供するように動作可能なRFフロントエンドユニットと、

サンプルを処理して出力データを提供するように動作可能なデジタル信号プロセッサと、

シリアルバスを通してRFフロントエンドユニットに対する制御を提供するように動作可能なシリアルバスインターフェイス(SBI)ユニットとを具備し、

SBIユニットは、複数のハードウェア要求チャンネルをサポートするように構成され、
各ハードウェア要求チャンネルは、各優先順位と関係付けられており、

各ハードウェア要求チャンネルは、複数の可能性あるデータ転送モードを通してメッセージを送信するように動作可能であり、

複数の可能性あるデータ転送モードは、高速転送モードとインターラプト転送モードを含み、

インターラプト転送モードは、比較的、より高い各優先順位で1つ以上のチャンネルによって使用される受信機ユニット。

フロントページの続き

- (74)代理人 100109830
弁理士 福原 淑弘
- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100100952
弁理士 風間 鉄也
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100070437
弁理士 河井 将次
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 タオ・リ
中華人民共和国、ベイジン 100041、シ・ジン・シャン・ディストリクト、ラオ・シャン・シ・リ、ナンバー7-78
- (72)発明者 クリスチャン・ホレンステイン
アメリカ合衆国、カリフォルニア州 92103、サン・ディエゴ、フェルトン・ストリート 4424
- (72)発明者 インユップ・カン
アメリカ合衆国、カリフォルニア州 92131、サン・ディエゴ、カレ・イサベリノ 4257
- (72)発明者 ブレット・シー・ウォーカー
アメリカ合衆国、カリフォルニア州 92131、サン・ディエゴ、ブルー・ダイヤモンド・コート 12020
- (72)発明者 ポール・イー・ピーターゼル
アメリカ合衆国、カリフォルニア州 92131、サン・ディエゴ、イーストリッジ・コート 12755

- (72)発明者 ラグー・チャラ
アメリカ合衆国、カリフォルニア州 9 2 1 2 8、サン・ディエゴ、ロウ・ナンバー 2、ティボリ
・パーク 1 1 9 2 8
- (72)発明者 マシュー・エル・セバーソン
アメリカ合衆国、カリフォルニア州 9 2 0 5 7、オーシャンサイド、ロガンベリー・ウェイ 5
4 4 7
- (72)発明者 アルン・ラグパスイ
アメリカ合衆国、カリフォルニア州 9 2 1 2 6、サン・ディエゴ、カミニト・アルバレッツ 1 0
6 6 7
- (72)発明者 ギルバート・シー・シ
アメリカ合衆国、カリフォルニア州 9 2 1 2 9、サン・ディエゴ、ピピット・プレイス 7 8 0
4

F ターム(参考) 5J100 JA01 KA05 LA07 QA01 SA02
5K022 EE02 EE14 EE31
5K061 AA11 BB12 CC02 CC08 CC11 CC45 CC52 CD05 JJ06 JJ07
JJ24

【外国語明細書】

2009010959000001.pdf