(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3641511号

(P3641511)

(45)発行日　平成17年4月20日(2005.4.20)　(24)登録日　平成17年1月28日(2005.1.28)

(51)Int.Cl.[7]	F I		
H03K 19/094	H03K	19/094	C
H01L 21/822	H01L	27/04	D
H01L 21/8238	H01L	27/08	321B
H01L 27/04	H03K	19/00	101F
H01L 27/092	H03K	19/094	B

請求項の数 12　(全 30 頁)　最終頁に続く

(21)出願番号　特願平7-150362
(22)出願日　平成7年6月16日(1995.6.16)
(65)公開番号　特開平9-8645
(43)公開日　平成9年1月10日(1997.1.10)
審査請求日　平成14年6月7日(2002.6.7)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平
(74)代理人　100096781
弁理士　堀井　豊
(74)代理人　100098316
弁理士　野田　久登
(74)代理人　100109162
弁理士　酒井　將行

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】

【請求項１】

ＮチャネルＭＯＳトランジスタとＰチャネルＭＯＳトランジスタとを備え、スタンバイ状態とアクティブ状態とを有する半導体装置であって、

前記半導体装置がスタンバイ状態であるとき、前記ＰチャネルＭＯＳトランジスタの基板に第１の電位を供給する第１の電位供給手段と、

前記半導体装置がスタンバイ状態であるとき、前記ＮチャネルＭＯＳトランジスタの基板に前記第１の電位より低い第２の電位を供給する第２の電位供給手段と、

前記半導体装置がアクティブ状態のとき、前記ＰチャネルＭＯＳトランジスタの基板と前記ＮチャネルＭＯＳトランジスタの基板とを短絡し、前記ＰチャネルＭＯＳトランジスタおよび前記ＮチャネルＭＯＳトランジスタの基板の電位を前記第１の電位と前記第２の電位との間の所定電位にする短絡手段とを含む半導体装置。

【請求項２】

ＮチャネルＭＯＳトランジスタとＰチャネルＭＯＳトランジスタとを備え、スタンバイ状態とアクティブ状態とを有する半導体装置であって、

前記半導体装置がスタンバイ状態であるとき、前記ＰチャネルＭＯＳトランジスタの基板に前記ＰチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位を供給する第１の電位供給手段と、

前記半導体装置がスタンバイ状態であるとき、前記ＮチャネルＭＯＳトランジスタの基板に前記ＮチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位を供給

する第２の電位供給手段と、
前記半導体装置がアクティブ状態のとき、前記ＰチャネルＭＯＳトランジスタの基板と前記ＮチャネルＭＯＳトランジスタの基板とを短絡する短絡手段とを含む半導体装置。
【請求項３】
前記短絡手段が前記ＰチャネルＭＯＳトランジスタの基板と前記ＮチャネルＭＯＳトランジスタの基板とを短絡するとき、前記ＰチャネルＭＯＳトランジスタの基板と前記ＮチャネルＭＯＳトランジスタの基板とに、前記スタンバイ状態のときの前記ＰチャネルＭＯＳトランジスタの基板の電位と前記スタンバイ状態のときの前記ＮチャネルＭＯＳトランジスタの基板の電位との中間の電位を供給する第３の電位供給手段をさらに含む請求項２に記載の半導体装置。
【請求項４】
ＮチャネルＭＯＳトランジスタとＰチャネルＭＯＳトランジスタとを備え、スタンバイ状態とアクティブ状態とを有する半導体装置であって、
前記半導体装置がスタンバイ状態であるとき、前記ＰチャネルＭＯＳトランジスタの基板に前記ＰチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位を供給する第１の電位供給手段と、
前記半導体装置がスタンバイ状態であるとき、前記ＮチャネルＭＯＳトランジスタの基板に前記ＮチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位を供給する第２の電位供給手段と、
前記半導体装置がアクティブ状態のとき、前記ＰチャネルＭＯＳトランジスタの基板と前記ＮチャネルＭＯＳトランジスタの基板とを短絡する短絡手段と、
前記半導体装置がアクティブ状態であるとき、前記ＰチャネルＭＯＳトランジスタの基板と前記ＮチャネルＭＯＳトランジスタの基板とに、前記スタンバイ状態のときの前記ＰチャネルＭＯＳトランジスタの基板の電位と前記スタンバイ状態のときの前記ＮチャネルＭＯＳトランジスタの基板の電位との中間の電位を供給する第３の電位供給手段とを含む半導体装置。
【請求項５】
前記短絡手段により短絡される前記ＰチャネルＭＯＳトランジスタの基板の寄生容量と前記ＮチャネルＭＯＳトランジスタの基板の寄生容量とを等しくなるように調整する寄生容量調整手段をさらに含む請求項２または３に記載の半導体装置。
【請求項６】
接地電位が与えられた第１のＰウエル上に形成されたＮチャネルＭＯＳトランジスタと電源電位が与えられた第１のＮウエル上に形成されたＰチャネルＭＯＳトランジスタとを含む第１の回路と、
接地電位が与えられた第２のＰウエル上に形成されたＮチャネルＭＯＳトランジスタと電源電位が与えられた第２のＮウエル上に形成されたＰチャネルＭＯＳトランジスタとを含む第２の回路と、
第１の外部信号により前記第１のＮウエルと前記第１のＰウエルとをイコライズする第１のイコライズ手段と、
第２の外部信号により前記第１のＮウエルと前記第２のＮウエルとをイコライズする第２のイコライズ手段と、
第３の外部信号により前記第１のＰウエルと前記第２のＰウエルとをイコライズする第３のイコライズ手段とを含む半導体装置。
【請求項７】
入力信号に応答してオン／オフとなる第１のＰチャネルＭＯＳトランジスタと、
入力信号に応答してオン／オフとなる第２のＰチャネルＭＯＳトランジスタと、
入力信号に応答してオン／オフとなる第１のＮチャネルＭＯＳトランジスタと、
入力信号に応答してオン／オフとなる第２のＮチャネルＭＯＳトランジスタと、
前記第１のＰチャネルＭＯＳトランジスタがオフとなるとき、前記第１のＰチャネルＭＯＳトランジスタの基板に第１の電位を供給する第１の電位供給手段と、

前記第２のＰチャネルＭＯＳトランジスタがオフとなるとき、前記第２のＰチャネルＭＯＳトランジスタの基板に第２の電位を供給する第２の電位供給手段と、
前記第１のＮチャネルＭＯＳトランジスタがオフとなるとき、前記第１のＮチャネルＭＯＳトランジスタの基板に前記第２の電位より低い第３の電位を供給する第３の電位供給手段と、
前記第２のＮチャネルＭＯＳトランジスタがオフとなるとき、前記第２のＮチャネルＭＯＳトランジスタの基板に前記第１の電位より低い第４の電位を供給する第４の電位供給手段と、
前記第２のＰチャネルＭＯＳトランジスタおよび前記第１のＮチャネルＭＯＳトランジスタがオンになるとき前記第２のＰチャネルＭＯＳトランジスタの基板と前記第１のＮチャネルＭＯＳトランジスタの基板とを短絡し、前記第２のＰチャネルＭＯＳトランジスタおよび前記第１のＮチャネルＭＯＳトランジスタの基板の電位を前記第２の電位と前記第３の電位との間の所定電位にする第１の短絡手段と、
前記第１のＰチャネルＭＯＳトランジスタおよび前記第２のＮチャネルＭＯＳトランジスタがオンになるとき前記第１のＰチャネルＭＯＳトランジスタの基板と前記第２のＮチャネルＭＯＳトランジスタの基板とを短絡し、前記第１のＰチャネルＭＯＳトランジスタおよび前記第２のＮチャネルＭＯＳトランジスタの基板の電位を前記第１の電位と前記第４の電位との間の所定電位にする第２の短絡手段とを含む半導体装置。

【請求項８】
入力信号に応答してオン／オフとなる第１のＰチャネルＭＯＳトランジスタと、
入力信号に応答してオン／オフとなる第２のＰチャネルＭＯＳトランジスタと、
入力信号に応答してオン／オフとなる第１のＮチャネルＭＯＳトランジスタと、
入力信号に応答してオン／オフとなる第２のＮチャネルＭＯＳトランジスタと、
前記第１のＰチャネルＭＯＳトランジスタがオフとなるとき、前記第１のＰチャネルＭＯＳトランジスタの基板に前記第１のＰチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位を供給する第１の電位供給手段と、
前記第２のＰチャネルＭＯＳトランジスタがオフとなるとき、前記第２のＰチャネルＭＯＳトランジスタの基板に前記第２のＰチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位を供給する第２の電位供給手段と、
前記第１のＮチャネルＭＯＳトランジスタがオフとなるとき、前記第１のＮチャネルＭＯＳトランジスタの基板に前記第１のＮチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位を供給する第３の電位供給手段と、
前記第２のＮチャネルＭＯＳトランジスタがオフとなるとき、前記第２のＮチャネルＭＯＳトランジスタの基板に前記第２のＮチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位を供給する第４の電位供給手段と、
前記第２のＰチャネルＭＯＳトランジスタおよび前記第１のＮチャネルＭＯＳトランジスタがオンになるとき前記第２のＰチャネルＭＯＳトランジスタの基板と前記第１のＮチャネルＭＯＳトランジスタの基板とを短絡する第１の短絡手段と、
前記第１のＰチャネルＭＯＳトランジスタおよび前記第２のＮチャネルＭＯＳトランジスタがオンになるとき前記第１のＰチャネルＭＯＳトランジスタの基板と前記第２のＮチャネルＭＯＳトランジスタの基板とを短絡する第２の短絡手段とを含む半導体装置。

【請求項９】
前記第１の短絡手段が前記第２のＰチャネルＭＯＳトランジスタの基板と前記第１のＮチャネルＭＯＳトランジスタの基板とを短絡するとき、前記第２のＰチャネルＭＯＳトランジスタの基板と前記第１のＮチャネルＭＯＳトランジスタの基板とに、オフのときの前記第２のＰチャネルＭＯＳトランジスタの基板の電位とオフのときの前記第１のＮチャネルＭＯＳトランジスタの基板の電位との中間の電位を供給する第３の電位供給手段と、
前記第２の短絡手段が前記第１のＰチャネルＭＯＳトランジスタの基板と前記第２のＮチャネルＭＯＳトランジスタの基板とを短絡するとき、オフのときの前記第１のＰチャネルＭＯＳトランジスタの基板の電位とオフのときの前記第２のＮチャネルＭＯＳトランジ

スタの基板の電位との中間の電位を供給する第４の電位供給手段とをさらに含む請求項８に記載の半導体装置。

【請求項１０】

前記第１の短絡手段により短絡される前記第１のＰチャネルＭＯＳトランジスタの基板の寄生容量と前記第２のＮチャネルＭＯＳトランジスタの基板の寄生容量とを等しくなるように調整する、または、前記第２の短絡手段により短絡される前記第２のＰチャネルＭＯＳトランジスタの基板の寄生容量と前記第１のＮチャネルＭＯＳトランジスタの基板の寄生容量とを等しくなるように調整する寄生容量調整手段を含む請求項８または９に記載の半導体装置。

【請求項１１】

前記寄生容量調整手段は、ダミートランジスタである請求項５または１０に記載の半導体装置。

【請求項１２】

前記ＰチャネルＭＯＳトランジスタおよび前記ＮチャネルＭＯＳトランジスタが形成されたＳＯＩ基板をさらに含む請求項１から１１のいずれかに記載の半導体装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は半導体装置に関し、特に低電圧で高速動作を実現する半導体装置に関する。

【０００２】

【従来の技術】

近年、消費電力の低減や素子の微細化による素子耐圧の低下のため、電源電圧の低電圧化が必要となっている。しかし、低電圧ではしきい値電圧が無視できなくなるためＭＯＳトランジスタの動作速度が遅くなり、これを防止するのにアクティブ状態でのしきい値電圧の低下が図られている。しきい値電圧を低下させるとスタンバイ状態でのＭＯＳトランジスタのサブスレッショルド電流によるリーク電流の増加につながるという問題点があるが、特開平５－１０８１９４号では、それを解消すべく、アクティブ状態では低電源電圧でも高速な動作が可能であり、かつ、スタンバイ状態ではリーク電流による消費電力が少ない情報処理装置を提供することを目的とした低消費電力型半導体集積回路が示されている。

【０００３】

図１５は、従来の特開平５－１０８１９４号に記載された低消費電力型半導体集積回路の実施例を示す図である。

【０００４】

図１５において、まず、低電源電圧での高速動作を保つために、ＭＯＳトランジスタ（ＭＮ，ＭＰ）のしきい値は低く設定されている。一方、キーボード入力が一定時間以上ない場合や、最低消費電力の状態が一定時間以上続いた場合を判定して、プログラム命令あるいは外部の制御信号によって待機モード（スタンバイ状態）に入る。

【０００５】

待機モードではクロック制御回路３によりＭＰＵ（マイクロプロセッサ・ユニット）１に供給するクロックＣｋｍを停止し、同時に動作モード切換信号Ａにより基本バイアス回路２－１，２－２を作動させて、ＮＭＯＳトランジスタ（ＭＮ）には負の基板バイアスV_{Bn}，ＰチャネルＭＯＳトランジスタ（ＭＰ）には電源よりも正の基板バイアスV_{Bp}を印加する。基板バイアスを印加することによりＭＯＳトランジスタのしきい値は上昇し、リーク電流はしきい値上昇分の指数関数で減少する。すなわち、基板バイアスに印加すると、サブスレッショルド特性が改善されてリーク電流が減少する。素子数の多いマイクロプロセッサであるほどリーク電流の低減量は大きく、基板バイアス回路２－１，２－２の消費電流以上の値となる。以上の作用により、低電圧での高速動作が可能で待機モード時は消費電力の少ない情報処理装置が可能になる。

【０００６】

【発明が解決しようとする課題】
しかしながら、図１３に示した従来の低消費電力型半導体集積回路は、待機モード時（スタンバイ状態）ではＰＭＯＳトランジスタ（ＭＰ）には正の基板バイアスV_{Bp}が、ＮＭＯＳトランジスタ（ＭＮ）には負の基板バイアスV_{Bn}が印加されるためソース－基板間で逆バイアスがかかり、空乏層の広がりが大きくなる。したがって、スタンバイ状態のときしきい値電圧は上昇するが、この低消費電力型半導体集積回路が微細化されるにつれて短チャネル効果が顕著に現われ、スタンバイ状態でのＮＭＯＳトランジスタのサブスレッショルド電流からなるリーク電流、ひいては消費電力が十分には低減されないという問題点があった。

【０００７】
本発明の半導体装置は以上のような問題点を解決するためになされたもので、スタンバイ状態で、しきい値電圧が高く、かつ、短チャネル効果によるリーク電流がより少なく消費電力の低減が可能であり、アクティブ状態で、しきい値電圧がより低く、低電源電圧で高速動作が可能な半導体装置を提供することを目的とする。

【０００８】
【課題を解決するための手段】
請求項１の半導体装置は、ＮチャネルＭＯＳトランジスタとＰチャネルＭＯＳトランジスタとを備え、スタンバイ状態とアクティブ状態とを有する。半導体装置は、半導体装置がスタンバイ状態であるとき、ＰチャネルＭＯＳトランジスタの基板に第１の電位を供給する第１の電位供給手段と、半導体装置がスタンバイ状態であるとき、ＮチャネルＭＯＳトランジスタの基板に第１の電位より低い第２の電位を供給する第２の電位供給手段と、半導体装置がアクティブ状態のとき、ＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とを短絡し、ＰチャネルＭＯＳトランジスタおよびＮチャネルＭＯＳトランジスタの基板の電位を第１の電位と第２の電位との間の所定電位にする短絡手段とを設けたものである。

【０００９】
請求項２に係る半導体装置は、ＮチャネルＭＯＳトランジスタとＰチャネルＭＯＳトランジスタとを備え、スタンバイ状態とアクティブ状態とを有する。半導体装置は、半導体装置がスタンバイ状態であるとき、ＰチャネルＭＯＳトランジスタの基板にＰチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位を供給する第１の電位供給手段と、半導体装置がスタンバイ状態であるとき、ＮチャネルＭＯＳトランジスタの基板にＮチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位を供給する第２の電位供給手段と、半導体装置がアクティブ状態のとき、ＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とを短絡する短絡手段とを設けたものである。

【００１０】
請求項３に係る半導体装置は、請求項２の半導体装置において、短絡手段がＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とを短絡するとき、ＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とに、スタンバイ状態のときのＰチャネルＭＯＳトランジスタの基板の電位とスタンバイ状態のときのＮチャネルＭＯＳトランジスタの基板の電位との中間の電位を供給する第３の電位供給手段をさらに設けたものである。

【００１１】
請求項４に係る半導体装置は、ＮチャネルＭＯＳトランジスタとＰチャネルＭＯＳトランジスタとを備え、スタンバイ状態とアクティブ状態とを有する。半導体装置は、半導体装置がスタンバイ状態であるとき、ＰチャネルＭＯＳトランジスタの基板にＰチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位を供給する第１の電位供給手段と、半導体装置がスタンバイ状態であるとき、ＮチャネルＭＯＳトランジスタの基板にＮチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位を供給する第２の電位供給手段と、半導体装置がアクティブ状態のとき、ＰチャネルＭＯＳトランジスタ

の基板とＮチャネルＭＯＳトランジスタの基板とを短絡する短絡手段と、半導体装置がアクティブ状態であるとき、ＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とに、スタンバイ状態のときのＰチャネルＭＯＳトランジスタの基板の電位とスタンバイ状態のときのＮチャネルＭＯＳトランジスタの基板の電位との中間の電位を供給する第３の電位供給手段とを設けたものである。

【００１２】

請求項５に係る半導体装置は、請求項２または３に記載の半導体装置において、短絡手段により短絡されるＰチャネルＭＯＳトランジスタの基板の寄生容量とＮチャネルＭＯＳトランジスタの基板の寄生容量とを等しくなるように調整する寄生容量調整手段をさらに設けたものである。

【００１３】

請求項６に係る半導体装置は、接地電位が与えられた第１のＰウエル上に形成されたＮチャネルＭＯＳトランジスタと電源電位が与えられた第１のＮウエル上に形成されたＰチャネルＭＯＳトランジスタとを含む第１の回路と、接地電位が与えられた第２のＰウエル上に形成されたＮチャネルＭＯＳトランジスタと電源電位が与えられた第２のＮウエル上に形成されたＰチャネルＭＯＳトランジスタとを含む第２の回路と、第１の外部信号により第１のＮウエルと第１のＰウエルとをイコライズする第１のイコライズ手段と、第２の外部信号により第１のＮウエルと第２のＮウエルとをイコライズする第２のイコライズ手段と、第３の外部信号により第１のＰウエルと第２のＰウエルとをイコライズする第３のイコライズ手段とを設けたものである。

【００１４】

請求項７に係る半導体装置は、入力信号に応答してオン／オフとなる第１のＰチャネルＭＯＳトランジスタと、入力信号に応答してオン／オフとなる第２のＰチャネルＭＯＳトランジスタと、入力信号に応答してオン／オフとなる第１のＮチャネルＭＯＳトランジスタと、入力信号に応答してオン／オフとなる第２のＮチャネルＭＯＳトランジスタと、第１のＰチャネルＭＯＳトランジスタがオフとなるとき、第１のＰチャネルＭＯＳトランジスタの基板に第１の電位を供給する第１の電位供給手段と、第２のＰチャネルＭＯＳトランジスタがオフとなるとき、第２のＰチャネルＭＯＳトランジスタの基板に第２の電位を供給する第２の電位供給手段と、第１のＮチャネルＭＯＳトランジスタがオフとなるとき、第１のＮチャネルＭＯＳトランジスタの基板に第２の電位より低い第３の電位を供給する第３の電位供給手段と、第２のＮチャネルＭＯＳトランジスタがオフとなるとき、第２のＮチャネルＭＯＳトランジスタの基板に第１の電位より低い第４の電位を供給する第４の電位供給手段と、第２のＰチャネルＭＯＳトランジスタおよび第１のＮチャネルＭＯＳトランジスタがオンになるとき第２のＰチャネルＭＯＳトランジスタの基板と第１のＮチャネルＭＯＳトランジスタの基板とを短絡し、第２のＰチャネルＭＯＳトランジスタおよび第１のＮチャネルＭＯＳトランジスタの基板の電位を第２の電位と第３の電位との間の所定電位にする第１の短絡手段と、第１のＰチャネルＭＯＳトランジスタおよび第２のＮチャネルＭＯＳトランジスタがオンになるとき第１のＰチャネルＭＯＳトランジスタの基板と第２のＮチャネルＭＯＳトランジスタの基板とを短絡し、第１のＰチャネルＭＯＳトランジスタおよび第２のＮチャネルＭＯＳトランジスタの基板の電位を第１の電位と第４の電位との間の所定電位にする第２の短絡手段とを設けたものである。

【００１５】

請求項８に係る半導体装置は、入力信号に応答してオン／オフとなる第１のＰチャネルＭＯＳトランジスタと、入力信号に応答してオン／オフとなる第２のＰチャネルＭＯＳトランジスタと、入力信号に応答してオン／オフとなる第１のＮチャネルＭＯＳトランジスタと、入力信号に応答してオン／オフとなる第２のＮチャネルＭＯＳトランジスタと、第１のＰチャネルＭＯＳトランジスタがオフとなるとき、第１のＰチャネルＭＯＳトランジスタの基板に第１のＰチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位を供給する第１の電位供給手段と、第２のＰチャネルＭＯＳトランジスタがオフとなるとき、第２のＰチャネルＭＯＳトランジスタの基板に第２のＰチャネルＭＯＳトランジ

スタのソース電極の電位を基準にして０の電位を供給する第２の電位供給手段と、第１のＮチャネルＭＯＳトランジスタがオフとなるとき、第１のＮチャネルＭＯＳトランジスタの基板に第１のＮチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位を供給する第３の電位供給手段と、第２のＮチャネルＭＯＳトランジスタがオフとなるとき、第２のＮチャネルＭＯＳトランジスタの基板に第２のＮチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位を供給する第４の電位供給手段と、第２のＰチャネルＭＯＳトランジスタおよび第１のＮチャネルＭＯＳトランジスタがオンになるとき第２のＰチャネルＭＯＳトランジスタの基板と第１のＮチャネルＭＯＳトランジスタの基板とを短絡する第１の短絡手段と、第１のＰチャネルＭＯＳトランジスタおよび第２のＮチャネルＭＯＳトランジスタがオンになるとき第１のＰチャネルＭＯＳトランジスタの基板と第２のＮチャネルＭＯＳトランジスタの基板とを短絡する第２の短絡手段とを設けたものである。

【００１６】

請求項９に係る半導体装置は、請求項８の半導体装置において、第１の短絡手段が第２のＰチャネルＭＯＳトランジスタと第１のＮチャネルＭＯＳトランジスタとを短絡するとき第２のＰチャネルＭＯＳトランジスタの基板と第１のＮチャネルＭＯＳトランジスタの基板とにオフのときの第２のＰチャネルＭＯＳトランジスタの基板の電位と第１のＮチャネルＭＯＳトランジスタの基板の電位との中間の電位を供給する第３の電位供給手段と、第２の短絡手段が前記第１のＰチャネルＭＯＳトランジスタと第２のＮチャネルＭＯＳトランジスタとを短絡するときオフのときの第１のＰチャネルＭＯＳトランジスタの基板の電位とオフのときの第２のＮチャネルＭＯＳトランジスタの基板の電位との中間の電位を供給する第４の電位供給手段とをさらに設けたものである。

【００１７】

請求項１０に係る半導体装置は、請求項８または９に記載の半導体装置において、第１の短絡手段により短絡される第１のＰチャネルＭＯＳトランジスタの基板の寄生容量と第２のＮチャネルＭＯＳトランジスタの基板の寄生容量とを等しくなるように調整する、または、第２の短絡手段により短絡される第２のＰチャネルＭＯＳトランジスタの基板の寄生容量と第１のＮチャネルＭＯＳトランジスタの基板の寄生容量とを等しくなるように調整する寄生容量調整手段を設けたものである。

【００１８】

請求項１１にかかる半導体装置は、請求項５または１０の半導体装置において、寄生容量調整手段は、ダミートランジスタである。

【００１９】

【作用】

請求項１の半導体装置においては、半導体装置がスタンバイ状態であるときＰチャネルＭＯＳトランジスタの基板に第１の電位が供給され、半導体装置がスタンバイ状態であるときＮチャネルＭＯＳトランジスタの基板に第１の電位より低い第２の電位が供給され、半導体装置がアクティブ状態のときＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とが短絡されＰチャネルＭＯＳトランジスタおよびＮチャネルＭＯＳトランジスタの基板の電位が第１の電位と第２の電位との間の所定電位にされるので、ＰチャネルＭＯＳトランジスタおよびＮチャネルＭＯＳトランジスタはそれぞれスタンバイ状態のときにはしきい値電圧が高くなり、サブスレッショルド電流からなるリーク電流が減少する。また、ソース－基板間に順方向バイアスがかかるため空乏層の広がりが小さくなる。したがって、この半導体装置が微細化されることにより短チャネル効果が顕著に現れてもリーク電流が増加することはない。アクティブ状態のときにはソース－基板間にはその絶対値がビルトインポテンシャル以下のバイアスがかかるにすぎないためソース－基板間にはわずかな電流しか流れず、動作にほとんど影響を与えることなくしきい値電圧がスタンバイ状態のときと比較してより低くなる。

【００２０】

請求項２の半導体装置においては、半導体装置がスタンバイ状態であるときＰチャネル

ＭＯＳトランジスタの基板にＰチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位が供給され、半導体装置がスタンバイ状態であるときＮチャネルＭＯＳトランジスタの基板にＮチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位が供給され、半導体装置がアクティブ状態のときＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とが短絡されるので、半導体装置がアクティブ状態のとき、ＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とが、ＰチャネルＭＯＳトランジスタのスタンバイ状態のときの基板の電圧とＮチャネルＭＯＳトランジスタのスタンバイ状態のときの基板の電圧との中間の電圧となる。したがって、ＰチャネルＭＯＳトランジスタおよびＮチャネルＭＯＳトランジスタは、それぞれスタンバイ状態のときにはしきい値電圧が高くなり、サブスレッショルド電流からなるリーク電流が減少する。また、ソース－基板間に順方向バイアスがかかるため空乏層の広がりが小さくなる。したがってこの半導体装置が微細化されることにより短チャネル効果が顕著に現れてもリーク電流が増加することはない。アクティブ状態のときにはしきい値電圧がスタンバイ状態のときと比較してより低くなる。

【００２１】

請求項３の半導体装置においては、請求項２の作用に加えて、ＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とを短絡するときＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とにスタンバイ状態のときのＰチャネルＭＯＳトランジスタの基板の電位とＮチャネルＭＯＳトランジスタの基板の電位との中間の電位が供給されるので、ＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板の寄生容量の大きさが異なっていても、アクティブ状態のとき各基板の電位はスタンバイ状態のときの各基板の電位の中間の供給された同電位となり、ＰチャネルＭＯＳトランジスタとＮチャネルＭＯＳトランジスタとについて、スタンバイ状態とアクティブ状態とでのしきい値電圧の変動を小さくし、容易にそのバランスを調整することができる。

【００２２】

請求項４の半導体装置においては、半導体装置がスタンバイ状態であるときＰチャネルＭＯＳトランジスタの基板にＰチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位が供給され、半導体装置がスタンバイ状態であるときＮチャネルＭＯＳトランジスタの基板にＮチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位が供給され、半導体装置がアクティブ状態のときＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とが短絡され、半導体装置がアクティブ状態であるときＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とにスタンバイ状態のときのＰチャネルＭＯＳトランジスタの基板の電位とスタンバイ状態のときのＮチャネルＭＯＳトランジスタの基板の電位との中間の電位が供給されるので、ＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板との寄生容量が異なっても、アクティブ状態のとき各基板の電位はスタンバイ状態のときの各基板の電位の中間の同電位となり、ＰチャネルＭＯＳトランジスタおよびＮチャネルＭＯＳトランジスタは、それぞれスタンバイ状態のときにはしきい値電圧が高くなり、サブスレッショルド電流からなるリーク電流が減少する。また、ソース－基板間に順方向バイアスがかかるため空乏層の広がりが小さくなる。したがってこの半導体装置が微細化されることにより短チャネル効果が顕著に現れてもリーク電流が増加することはない。アクティブ状態のときにはしきい値電圧がスタンバイ状態のときと比較してより低くなる。また、ＰチャネルＭＯＳトランジスタとＮチャネルＭＯＳトランジスタとについて、スタンバイ状態とアクティブ状態とでのしきい値電圧の変動を小さくし、そのバランスを調整することができる。

【００２３】

請求項５の半導体装置においては、請求項２または３の作用に加えて、短絡されるＰチャネルＭＯＳトランジスタの基板の寄生容量とＮチャネルＭＯＳトランジスタの基板の寄生容量とが等しくなるように調整されるので、ＰチャネルＭＯＳトランジスタの基板とＮチ

ャネルＭＯＳトランジスタの基板との寄生容量が異なっていても、アクティブ状態のときの各基板の電位はスタンバイ状態のときの各基板の電位の中間の電位に近い電位となり、ＰチャネルＭＯＳトランジスタとＮチャネルＭＯＳトランジスタとについて、スタンバイ状態とアクティブ状態とでのしきい値電圧の変動をほぼ等しくすることができる。

【００２４】

請求項６の半導体装置においては、第１の外部信号により、第１の回路の電源電位が与えられた第１のＮウエルと第１の回路の接地電位が与えられた第１のＰウエルとがイコライズされ、第２の外部信号により、第１の回路の第１のＮウエルと第２の回路の電源電位が与えられた第２のＮウエルとがイコライズされ、第３の外部信号により、第１の回路の第１のＰウエルと第２の回路の接地電位が与えられた第２のＰウエルとがイコライズされるので、もし、第１のＮウエル、第１のＰウエル、第２のＮウエル、および第２のＰウエルの寄生容量がほぼ等しければ、第１の外部信号により、第１のＮウエルと第１のＰウエルとにおいてソース－基板間の電位が電源電位のほぼ１／２の電位となり、第２の外部信号により、第１のＮウエルと第２のＮウエルとにおいてソース－基板間の電位が電源電位のほぼ３／４の電位となり、第３の外部信号により、第１のＰウエルと第２のＰウエルとにおいてソース－基板間の電位が電源電位のほぼ１／４の電位となって、アクティブ状態でソースと基板との間のｐ－ｎ接合部における順方向バイアスが電源電位のほぼ１／４の電位となる。

【００２５】

請求項７の半導体装置においては、第１のＰチャネルＭＯＳトランジスタがオフとなるとき第１のＰチャネルＭＯＳトランジスタの基板に第１の電位が供給され、第２のＰチャネルＭＯＳトランジスタがオフとなるとき第２のＰチャネルＭＯＳトランジスタの基板に第２の電位が供給され、第１のＮチャネルＭＯＳトランジスタがオフとなるとき第１のＮチャネルＭＯＳトランジスタの基板に第２の電位より低い第３の電位が供給され、第２のＮチャネルＭＯＳトランジスタがオフとなるとき第２のＮチャネルＭＯＳトランジスタの基板に第１の電位より低い第４の電位が供給され、第２のＰチャネルＭＯＳトランジスタおよび第１のＮチャネルＭＯＳトランジスタがオンになるとき第２のＰチャネルＭＯＳトランジスタの基板と第１のＮチャネルＭＯＳトランジスタの基板とが短絡され第２のＰチャネルＭＯＳトランジスタおよび第１のＮチャネルＭＯＳトランジスタの基板の電位が第２の電位と第３の電位との間の所定電位にされ、第１のＰチャネルＭＯＳトランジスタおよび第２のＮチャネルＭＯＳトランジスタがオンになるとき第１のＰチャネルＭＯＳトランジスタの基板と第２のＮチャネルＭＯＳトランジスタの基板とが短絡され第１のＰチャネルＭＯＳトランジスタおよび第２のＮチャネルＭＯＳトランジスタの基板の電位が第１の電位と第４の電位との間の所定電位にされるので、ＰチャネルＭＯＳトランジスタおよびＮチャネルＭＯＳトランジスタは、それぞれオフのときにはしきい値電圧が高くなり、サブスレッショルド電流からなるリーク電流が減少する。また、ソース－基板間に順方向バイアスがかかるため空乏層の広がりが小さくなる。したがって、この半導体装置が微細化されることにより短チャネル効果が顕著に現われてもリーク電流が増加することはない。オンのときにはしきい値電圧がオフのときと比較して低くなる。

【００２６】

請求項８の半導体装置においては、第１のＰチャネルＭＯＳトランジスタがオフとなるときに第１のＰチャネルＭＯＳトランジスタの基板に第１のＰチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位が供給され、第２のＰチャネルＭＯＳトランジスタがオフとなるとき第２のＰチャネルＭＯＳトランジスタの基板に第２のＰチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位が供給され、第１のＮチャネルＭＯＳトランジスタがオフとなるとき第１のＮチャネルＭＯＳトランジスタの基板に第１のＮチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位が供給され、第２のＮチャネルＭＯＳトランジスタがオフとなるとき第２のＮチャネルＭＯＳトランジスタの基板に第２のＮチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位が供給され、第２のＰチャネルＭＯＳトランジスタおよび第１のＮチャネルＭＯ

Ｓトランジスタがオンになるとき第２のＰチャネルＭＯＳトランジスタの基板と第１のＮチャネルＭＯＳトランジスタの基板とが短絡され、第１のＰチャネルＭＯＳトランジスタおよび第２のＮチャネルＭＯＳトランジスタがオンになるとき第１のＰチャネルＭＯＳトランジスタの基板と第２のＮチャネルＭＯＳトランジスタの基板とが短絡されるので、ＰチャネルＭＯＳトランジスタとＮチャネルＭＯＳトランジスタとがオンのときＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とがＰチャネルＭＯＳトランジスタのオフのときの基板の電位とＮチャネルＭＯＳトランジスタのオフのときの基板の電位との中間の電位となる。

【００２７】

請求項９の半導体装置においては、請求項７の作用に加えて、第２のＰチャネルＭＯＳトランジスタと第１のＮチャネルＭＯＳトランジスタとが短絡されるとき第２のＰチャネルＭＯＳトランジスタの基板と第１のＮチャネルＭＯＳトランジスタの基板とにオフのときの第２のＰチャネルＭＯＳトランジスタの基板の電位とオフのときの第１のＮチャネルＭＯＳトランジスタの基板の電位との中間の電位が供給され、第１のＰチャネルＭＯＳトランジスタの基板と第２のＮチャネルＭＯＳトランジスタの基板とが短絡されるとき第１のＰチャネルＭＯＳトランジスタの基板と第２のＰチャネルＭＯＳトランジスタの基板とにオフのときの第１のＰチャネルＭＯＳトランジスタの基板の電位とオフのときの第２のＮチャネルＭＯＳトランジスタの基板の電位との中間の電位が供給されるので、ＰチャネルＭＯＳトランジスタの基板の寄生容量とＮチャネルＭＯＳトランジスタの基板の寄生容量とが異なっていても、オンのとき各基板の電位はオフのときの各基板の電位の中間の同電位となり、ＰチャネルＭＯＳトランジスタとＮチャネルＭＯＳトランジスタとについて、オフのときとオンのときとのしきい値電圧の変動を小さくし、そのバランスを調整することができる。

【００２８】

請求項１０の半導体装置においては、請求項８または９の作用に加えて、短絡されるＰチャネルＭＯＳトランジスタの基板の寄生容量とＮチャネルＭＯＳトランジスタの基板の寄生容量とが等しくなるように調整されるので、短絡時に各基板に供給される電位はオフのときのＰチャネルＭＯＳトランジスタの基板およびＮチャネルＭＯＳトランジスタの基板の電位のちょうど中間の電位に近い電位となり、ＰチャネルＭＯＳトランジスタとＮチャネルＭＯＳトランジスタについて、オフのときとオンのときとのしきい値電圧の変動をほぼ等しくすることができる。

【００２９】

請求項１１の半導体装置においては、請求項５または１０の作用に加えて、ダミートランジスタにより寄生容量が調整される。

【００３０】

【実施例】

以下、本発明の実施例を図面を参照しながら説明する。

【００３１】

（１）　第１実施例

図１は、本発明の半導体装置による第１の実施例のＰ型基板上に形成されたＣＭＯＳ回路２００を示す図であり、（ａ）はスタンバイ状態、（ｂ）はアクティブ状態を示す図である。

【００３２】

図１を参照して、ＣＭＯＳ回路１００はインバータ回路であり、ＰチャネルＭＯＳトランジスタ（以下、ＰＭＯＳと称す）１０１と、ＮチャネルＭＯＳトランジスタ（以下、ＮＭＯＳと称す）１０３とを含む。

【００３３】

ＰＭＯＳ１０１のソースはＶｃｃ電源に接続されている。ＮＭＯＳ１０３のドレインはＶｓｓに接続されている。ＰＭＯＳ１０１のゲートとＮＭＯＳ１０３のゲートとは制御信号が入力される入力ノードで接続され、ＰＭＯＳ１０１のドレインとＮＭＯＳ１０３のソー

スとは入力された制御信号をもとに生成される信号が出力される出力ノードで接続されている。

【００３４】

図１（ａ）に示されたスタンバイ状態では、ＰＭＯＳ１０１の基板には電圧Ｖｃｃが供給され、ＮＭＯＳ１０３の基板にはＶｃｃレベルが供給され、ＮＭＯＳ１０３の基板にはＶｓｓレベルが供給されている。ＰＭＯＳ１０１，ＮＭＯＳ１０３ともにバックバイアスＶｂｓは０［Ｖ］である。

【００３５】

図１（ｂ）に示されたアクティブ状態では、ＰＭＯＳ１０１の基板にはＶｅｑ１レベルが供給され、ＮＭＯＳ１０３の基板にはＶｅｑ２レベルが供給されている。ＰＭＯＳ１０１のバックバイアスＶｂｓ（ＰＭＯＳ）はＶｂｓ（ＰＭＯＳ）＝Ｖｃｃ－Ｖｅｑ１＜ΦＢｕｉｌｄ（ビルトインポテンシャル）であり、ＮＭＯＳ１０３のバックバイアスＶｂｓ（ＮＭＯＳ）はＶｂｓ（ＮＭＯＳ）＝Ｖｅｑ２－Ｖｓｓ＜ΦＢｕｉｌｄである。

【００３６】

図２は、図１のＣＭＯＳ回路１００の断面構造を示す図であり、（ａ）は図１（ａ）のスタンバイ状態のときに対応し、（ｂ）は図１（ｂ）のアクティブ状態のときに対応する図である。

【００３７】

図２（ａ），（ｂ）の構造図を用いて図１（ａ），（ｂ）のＣＭＯＳ回路１００の構造をさらに詳細に説明する。

【００３８】

図２を参照して、ＣＭＯＳ回路１００は、Ｐ型基板（Ｐ－Ｓｕｂ）２０３と、トリプルウエル構造におけるボトムＮウエル２０４と、Ｎウエル２０５と、Ｐウエル２０６，２０７と、ＰＭＯＳ１０１のソース電極２０８とドレイン電極２０９とゲート電極２１２と、ＮＭＯＳ１０３のソース電極２１１とドレイン電極２１０とゲート電極２１３と、n^+ 領域２１５とp^+ 領域２１７とを含む。

Ｐ型基板２０３上にＮウエル２０５とＰウエル２０７とボトム　Ｎウエル２０４とが並んで形成され、ボトム　Ｎウエル２０４上にＰウエルが形成されている。Ｎウエル２０５上にソース電極２０８とドレイン電極２０９とn^+ 領域２１５とが形成され、ソース電極２０８とドレイン電極２０９との間の領域上にゲート電極２１２が形成されている。Ｐウエル２０６上にドレイン電極２１０とソース電極２１１とp^+ 領域２１７とが形成され、さらにドレイン電極２１０とソース電極２１１との間の領域上にゲート電極２１３が形成されている。ソース電極２０８とn^+ 領域２１５とはＶｃｃ電源に接続されている。ソース電極２１１とドレイン電極２１０とは接地電位Ｖｓｓに接続されている。ゲート電極２１２とゲート電極２１３とは制御信号が入力される入力ノードで接続され、ドレイン電極２０９とドレイン電極２１０とは入力された制御信号をもとに生成された信号が出力される出力ノードで接続されている。

【００３９】

ここでＰ－Ｓｕｂ２０３の電位はＶｓｓレベルまたはＶｓｓより低いＶｂｂレベル、ボトム　Ｎウエル２０４はＶｃｃレベルまたはＶｃｃより高いＶｐｐレベルが供給されている。Ｐウエル２０７はボトム　Ｎウエル２０４とＮウエル２０５とを分離しており、ＶｓｓレベルまたはＶｂｂレベルが供給されている。

【００４０】

スタンバイ状態ではＰＭＯＳ１０１の基板であるＮウエル２０５はＶｃｃレベル、ＮＭＯＳ１０３の基板であるＰウエル２０６はＶｓｓレベルが供給される。アクティブ状態にＮウエル２０５とＰウエル２０６の電位は、それぞれＶｅｑ１レベルとＶｅｑ２レベルが供給される。ここで、Ｖｅｑ１＜Ｖｃｃ，Ｖｓｓ＜Ｖｅｑ１の関係がある。

【００４１】

スタンバイ状態ではＰＭＯＳ１０１およびＮＭＯＳ１０３のそれぞれのソース電極の電位を基準とした基板の電位（バックバイアス）Ｖｂｓは０［Ｖ］、アクティブ状態ではＰＭ

ＯＳ１０１およびＮＭＯＳ１０３のバックバイアスＶｂｓがＶｂｓ（ＰＭＯＳ）＝Ｖｅｑ１－Ｖｃｃ＜０［Ｖ］およびＶｂｓ（ＮＭＯＳ）＝Ｖｅｑ２－Ｖｓｓ＜０［Ｖ］となっている。ＮＭＯＳ１０３ではバックバイアスＶｂｓ（ＮＭＯＳ）が負に小さくなるほど、ＰＭＯＳ１０１ではバックバイアスＶｂｓ（ＰＭＯＳ）が正に大きくなるほど、各トランジスタのしきい値電圧が大きくなることが知られており、バックバイアス効果と呼ばれている。このバックバイアス効果によって、ＰＭＯＳ１０１とＮＭＯＳ１０３のしきい値電圧がアクティブ状態ではスタンバイ状態のときより小さくなるので、スタンバイ状態のときのＭＯＳトランジスタのサブスレッショルド電流からなるリーク電流を小さく保持したままアクティブ状態におけるＭＯＳトランジスタの電流駆動能力を大きくすることができ、高速動作が可能となる。

【００４２】

アクティブ状態では図２（ｂ）に示したように、ソース電極２０８とＮウエル２０５およびソース電極２１１とＰウエル２０６のｐ－ｎ接合にはそれぞれ順バイアス（Ｖｃｃ－Ｖｅｑ１）レベルおよびＶｅｑ２レベルが印加されている。

【００４３】

図３は、ｐ－ｎ接合における電流Ｉ－電圧Ｖ特性を示す図である。

図３を参照して、ｐ－ｎ接合に順バイアスを印加しても、物理定数であるビルトインポテンシャル（ΦＢｕｉｌｄ）以下であれば、ｐ－ｎ接合に流れる電流が極めて小さいことがわかる。ビルトインポテンシャルΦＢｕｉｌｄの値は通常０．７～０．８［Ｖ］程度である。ソース電極２０８とＮウエル２０５およびソース電極２１１とＰウエル２０６のｐ－ｎ接合にかかる順バイアス（－Ｖｂｓ）をビルトインポテンシャル以下になるように設定すると、これらのｐ－ｎ接合を介した基板へのリーク電流は極めて小さく無視することができる。

【００４４】

したがって、ＰＭＯＳ１０１およびＮＭＯＳ１０３は、それぞれスタンバイ状態のときにはバックバイアス効果によりしきい値電圧が高くなり、サブスレッショルド電流からなるリーク電流が減少する。また、ソース－基板間に順バイアスがかかるため空乏層の広がりが小さくなり、微細化に伴って短チャネル効果が現われてもリーク電流が増加することはない。そして、アクティブ状態のときにはソース－基板間にはその絶対値がビルトインポテンシャル以下のバイアスがかかるにすぎないため、基板－ソース間にはわずかな電流しか流れず、動作にほとんど影響を与えることなくしきい値電圧はスタンバイ状態のときと比較してより低くなる。その結果、スタンバイ状態でしきい値電圧が高く、かつ、短チャネル効果によるリーク電流がより少なく消費電力の低減が可能であり、アクティブ状態でしきい値電圧がより低く、低電源電圧で高速動作が可能となる。

【００４５】

（２）　第２実施例

以上述べた例は、ＣＭＯＳ回路１００をＰ型基板上に形成した例であるが、Ｎ型基板の場合でも同様のＣＭＯＳ回路１００′を形成する事ができる。

【００４６】

図４は、本発明の半導体装置により第２実施例のＮ型基板上に形成されたＣＭＯＳ回路１００′の断面構造を示す図である。

【００４７】

図４を参照して、ＣＭＯＳ回路１００′は、Ｎ型基板４０３と、トリプルウエル構造におけるボトム　Ｐウエル４０４と、Ｐウエル４０６と、Ｎウエル４０５，４０７と、ＰＭＯＳ１０１′のソース電極４０８とドレイン電極４０９とゲート電極４１２と、ＮＭＯＳ１０３′のソース電極４１１とドレイン電極４１０とゲート電極４１３と、n^+ 領域４１５とp^+ 領域４１７とを含む。

【００４８】

Ｎ型基板２０３上にボトム　Ｐウエル４０４とＮウエル４０７とＰウエル４０６とが並んで形成され、ボトム　Ｐウエル４０４上にＮウエル４０５が形成されている。Ｎウエル４

０５上にソース電極４０８とドレイン電極４０９とn^+領域４１５とが形成され、ソース電極４０８とドレイン電極４０９との間の領域上にゲート電極４１２が形成されている。Ｐウエル４０６上にドレイン電極４１０とソース電極４１１とp^+領域４１７とが形成され、さらにドレイン電極４１０とソース電極４１１との間の領域上にゲート電極４１３が形成されている。

【００４９】

ソース電極４０８とn^+領域４１５とはＶｃｃ電源に接続されている。ソース電極４１１とp^+領域とは接地電位Ｖｓｓに接続されている。ゲート電極４１２とゲート電極４１３とは制御信号が入力される入力ノードで接続され、ドレイン電極４０９とドレイン電極４１０とは入力された制御信号をもとに生成された信号が出力される出力ノードで接続されている。

【００５０】

ＰＭＯＳ１０１′の基板Ｎウエル４０５には、スタンバイ状態のときにはＶｃｃレベル、アクティブ状態のときにはＶｅｑ１レベルが印加され、ＮＭＯＳ１０３′の基板Ｐウエル４０６には、スタンバイ状態のときにはＶｓｓレベル、アクティブ状態のときにはＶｅｑ２レベルが印加される。その他、Ｎ型基板４０３およびＮウエル４０７にはＶｃｃレベルまたはＶｃｃより高いＶｐｐレベルが印加される。ボトム　Ｐウエル４０４にはＶｓｓレベルまたはＶｓｓより低いＶｂｂレベルが印加される。

【００５１】

（３）　第３実施例

以上述べたトリプルウエル構造のＣＭＯＳ回路以外にも、ＳＯＩ（Ｓｉｌｉｃｏｎ　ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板上のトランジスタでも同様に本発明の半導体装置によるＣＭＯＳ回路を形成することができる。

【００５２】

図５は、本発明の半導体装置による第３実施例のＳＯＩ基板上に形成されたＣＭＯＳ回路１００″の断面構造を示す図である。

【００５３】

図５を参照して、ＣＭＯＳ回路１００″は、基板５０３と、SiO_2 ５０４と、ＰＭＯＳ１０１″のソース電極５０８とドレイン電極５０９とＮ型の活性領域５０５とゲート５１２と、ＮＭＯＳ１０３″のソース電極５１１とドレイン電極５１０とＰ型の活性領域５０６とゲート電極５１３とゲート酸化膜５３８，５３９と、N^+領域２１５と、P^+領域２１７とを含む。

【００５４】

５０３上にSiO_2 ５０４が形成され、SiO_2 ５０４上にソース電極５０８とドレイン電極５０９とがＮ型活性領域５０５を挟んで形成され、ソース電極５１１とドレイン電極５１０とがＰ型活性領域５０６を挟んで形成され、Ｎ型活性領域５０５上にゲート酸化膜５３８およびその上にゲート電極５１２が形成され、Ｐ型活性領域５０６上にゲート酸化膜５３９およびその上にゲート電極５１３が形成されている。ソース電極５０８とn^+領域２１５とはＶｃｃ電源に接続されている。ソース電極５１１とp^+領域２１７とは接地電位Ｖｓｓに接続されている。ゲート電極５１２とゲート電極５１３とは制御信号が入力される入力ノードで接続され、ドレイン電極５０９とドレイン電極５１０とは入力された制御信号をもとに生成された信号が出力される出力ノードで接続されている。

【００５５】

ここで、Ｎ型活性領域５０５およびＰ型活性領域５０６の電位を変えると前述のバックバイアス効果によってトランジスタのしきい値電圧が変化することになる。図２，４に示したようなトリプルウエル構造のＣＭＯＳ回路の場合と同様に、スタンバイ状態ではＮ型活性領域５０５，Ｐ型活性領域５０６の電位をそれぞれＶｃｃレベル，Ｖｓｓレベルにし、アクティブ状態ではＶｅｑ１レベル，Ｖｅｑ２レベルにする。ただし、Ｖｓｓ＜Ｖｅｑ１，Ｖｅｑ２＜Ｖｃｃの関係が成り立っている。このとき、ＰＭＯＳ１００″、ＮＭＯＳ１０３″ともにスタンバイ状態でのソース－基板間にかかるバックバイアスＶｂｓは０［Ｖ

］になる。アクティブ状態ではバックバイアスＶｂｓはＶｂｓ（ＰＭＯＳ）＝Ｖｅｑ１－Ｖｃｃ、Ｖｂｓ（ＮＭＯＳ）＝Ｖｅｑ２－Ｖｓｓとなり、バックバイアス効果によりトランジスタのしきい値電圧が小さくなる。これにより、スタンバイ状態でのリーク電流を小さく保持したままアクティブ状態でのＭＯＳの電流駆動能力を大きくすることができ、高速動作を実現することが可能となる。

【００５６】

ここで、図５に示したＳＯＩ構造では、図２，４のトリプルウエル構造のように基板や周囲を取囲んでいるボトム　Ｐウエルとの接合部分がなく、Ｎ型活性領域５０５およびＰ型活性領域５０６のｐ－ｎ接合部分は、それぞれのソース，ドレイン、５０８，５０９および５１１，５１０との接合部分だけである。したがって、逆バイアスを変動させるときの充放電電流は、ＳＯＩ構造ではトリプルウエル構造の場合よりも小さくなる。ここで、ＳＯＩは部分空乏化トランジスタである。よって、バックバイアスＶｂｓを印加することでしきい値電圧Ｖｔｈを制御することができる。

【００５７】

（４）　第４実施例

第１実施例ではアクティブ状態のときにトランジスタのソースと基板とのｐ－ｎ接合部分にビルトインポテンシャル以下の順バイアスになるようなバックバイアスＶｂｓをかけることによって高速動作を実現することを述べた。図２のトリプルウエル構造でＮウエル２０５の寄生容量をＣ１、Ｐウエル２０６の寄生容量をＣ２とすると、充放電される電荷量はＣ１（Ｖｃｃ－Ｖｅｑ１）＋Ｃ２（Ｖｅｑ２）である。このように逆バイアスを変化させる領域が広くなると寄生容量Ｃ１，Ｃ２が増大し、充放電電流が大きくなってしまう。そこで、第２実施例では、第１実施例での充放電電流の増加を抑制するための構成について述べる。

【００５８】

図６は本発明の半導体装置による第４実施例のＣＭＯＳ回路６００を示す図である。

【００５９】

図６を参照して、ＣＭＯＳ回路６００は、インバータ回路１００ａ，１００ｂと、ＮＭＯＳ６４１，６４２と、ＰＭＯＳ６４０と、Ｎウエルライン６４３と、Ｐウエルライン６４４とを含む。

【００６０】

インバータ回路１００ａ，１００ｂは図１のインバータ回路１００と同様の回路である。

【００６１】

インバータ回路１００ａに含まれているＰＭＯＳ１０１ａの基板とインバータ回路１００ｂに含まれているＰＭＯＳ１０１ｂの基板とはＮウエルライン６４３で接続され、インバータ回路１００ａに含まれているＮＭＯＳ１０３ａの基板とインバータ回路１００ｂに含まれているＮＭＯＳ１０３ｂの基板とはＰウエルライン６４４で接続されている。ＮＭＯＳ６４２のソース電極はＮウエルライン６４３に接続され、ドレイン電極はＰウエルライン６４４に接続され、ゲート電極は制御信号ＷＥＱが入力される入力ノードに接続されている。ＰＭＯＳ６４０のソース電極はＶｃｃ電源に接続され、ドレイン電極はＮウエルライン６４３に接続され、ゲート電極は制御信号ＷＥＱが入力される入力ノードに接続されている。ＮＭＯＳ６４１のソース電極は接地電位Ｖｓｓに接続され、ドレイン電極はＰウエルライン６４４に接続され、ゲート電極は制御信号ＷＥＱの反転信号／ＷＥＱが入力される入力ノードに接続されている。

【００６２】

ここで、図４のＰＭＯＳ１０１ａ，１０１ｂとＮＭＯＳ１０３ａ，１０３ｂとが図２に示したような構造である場合、Ｎウエルライン６４３はＰＭＯＳ１０１ａとＰＭＯＳ１０１ｂのそれぞれのＮウエル２０５同士を電気的に接続する導電性のある配線または正孔ｐが注入された拡散層である。

【００６３】

ＮＭＯＳ６４２およびＰＭＯＳ６４０のゲートには、アクティブ状態では“Ｈ（論理ハイ

）”レベルに、スタンバイ状態では“Ｌ（論理ロー）”レベルになる制御信号ＷＥＱが、ＮＭＯＳ６４１のゲートにはその反転信号／ＷＥＱが入力される。

【００６４】

図７は、図６のＣＭＯＳ回路６００の動作を説明するためのタイミングチャートであり、（ａ）は制御信号ＷＥＱの、（ｂ）はＮウエルライン６４３およびＰウエルライン６４４の電位の変化を示すタイミングチャートである。

【００６５】

図７（ａ），（ｂ）を参照して、時刻t_0から時刻t_1まではアクティブ状態で、それ以外の期間はスタンバイ状態である。時刻t_0までのスタンバイ状態では制御信号ＷＥＱは“Ｌ”である。このときＰＭＯＳ６４０とＮＭＯＳ６４１とがオンし、Ｎウエルライン６４３の電位がＶｃｃレベルに、Ｐウエルライン６４４の電位がＶｓｓレベルになる。時刻t_0に制御信号ＷＥＱが“Ｈ”になってアクティブ状態になると、ＰＭＯＳ６４０とＮＭＯＳ６４１とがオフし、ＮＭＯＳ６４２がオンするので、ＮＭＯＳ６４２を介してＮウエルライン６４３とＰウエルライン６４４の電位が図７（ｂ）に示すように同電位Ｖｅｑレベルになる。スタンバイ状態ではＰＭＯＳ１０１ａ，１０１ｂのバックバイアスＶｂｓ（ＰＭＯＳ）はＶｐｓ（ＰＭＯＳ）＝Ｖｅｑ－Ｖｃｃとなり、ＮＭＯＳ１０３ａ，１０３ｂのバックバイアスＶｂｓ（ＮＭＯＳ）はＶｂｓ（ＮＮＯＳ）＝Ｖｅｑ－Ｖｓｓとなる。したがって、バックバイアス効果によりＰＭＯＳ１０１ａ，１０１ｂおよびＮＭＯＳ１０３ａ，１０３ｂのしきい値電圧がアクティブ状態の方がスタンバイ状態のときより小さくなるので、スタンバイ状態でのリーク電流を抑えたまま、アクティブ状態では高速動作を実現することができる。

【００６６】

ここで、Ｖｂｓを変化させるときの充放電される電荷量はＣ１（Ｖｃｃ－Ｖｅｑ）であり、Ｎウエル２０５をＶｅｑレベルからＶｃｃレベルに充電したときの電荷を、Ｐウエル２０６をＶｓｓレベルからＶｅｑレベルにするときに利用することができる。第１実施例ではＶｅｑ１レベルおよびＶｅｑ２レベルを他の電源回路で発生する必要があるが、第２実施例のＶｅｑレベルはＮウエルライン６４３とＰウエルライン６４４との接続によるイコライズによって生成されるので、Ｖｅｑレベルを発生するための電源回路は不要であり、この電源回路で消費される電流が皆無である。したがって、本実施例のようにＶｅｑレベルをイコライズで発生させることで第１実施例の場合よりもさらに低消費電力化を実現することができる。

【００６７】

これら第２～４実施例でも第１実施例で説明したように、アクティブ状態ではＰＭＯＳ１０１ａ，１０１ｂおよびＮＭＯＳ１０３ａ，１０３ｂのそれぞれのソース電極のｐ－ｎ接合部に順バイアスが加わる。ここでＶｃｃレベルが１Ｖ程度の低電圧では、Ｖｃｃ＝１Ｖ，Ｖｅｑ＝０．５Ｖとすると、上記ＰＭＯＳのｐ－ｎ接合部の順バイアス（Ｖｃｃ－Ｖｅｑ）とＮＭＯＳのｐ－ｎ接合部の順バイアスＶｅｑとがともに０．５Ｖで、ｐ－ｎ接合のビルトインポテンシャルΦＢｕｉｌｄの値０．７～０．８Ｖより小さいため、ｐ－ｎ接合部の順バイアス電流は極めて小さく無視できる。

【００６８】

図６においては、ＰＭＯＳ１０１ａ，１０１ｂおよびＮＭＯＳ１０３ａ，１０３ｂで構成された複数個のインバータ回路の場合を示したが、その他、ＮＡＮＤ，ＮＯＲゲートなどのＣＭＯＳ回路に適用することができる。また、ＭＯＳトランジスタ１個当たりＮウエル２０５，Ｐウエル２０６が独立して存在する場合だけでなく、複数個のＮＭＯＳトランジスタが同一のＮウエル２０５，Ｐウエル２０６上に存在する場合にもこの第２実施例を適用することができる。この第４実施例のＣＭＯＳ回路６００は図２（ａ），（ｂ）および図４に示されるようにバルクの半導体基板だけでなく、図５に示されるようにＳＯＩ基板上に形成されていてもよい。

【００６９】

（５）　第５実施例

第２実施例では、アクティブ状態でのＰＭＯＳおよびＮＭＯＳの基板の電位であるＶｅｑレベルをイコライズすることにより生成した。ここで、図６においてＮウエルライン６４３やＰウエルライン６４４に接続されている各Ｎウエル，Ｐウエルの寄生容量の大きさが異なると、ＶｅｑレベルはＶｃｃ／２から離れてしまう。たとえば、Ｎウエルライン６４３に接続されるＮウエル２０５の寄生容量Ｃ１がウエルライン６４４に接続されるＰウエル２０６の寄生容量Ｃ２の２倍あると仮定すると、ＶｅｑレベルはＶｃｃ／３になる。このとき、アクティブ状態でのＰＭＯＳのソース－基板間にかかる逆バイアスはＶｂｓ（ＰＭＯＳ）＝Ｖｃｃ／３－Ｖｃｃ＝－２Ｖｃｃ／３、ＮＭＯＳのソース－基板間にかかる逆バイアスはＶｂｓ（ＮＭＯＳ）＝Ｖｃｃ／３－Ｖｓｓ＝Ｖｃｃ／３となる。したがって、ＰＭＯＳおよびＮＭＯＳのバックバイアスＶｂｓ（ＰＭＯＳ）およびＶｂｓ（ＮＭＯＳ）がアンバランスになって、この場合ではＰＭＯＳのほうがＮＭＯＳよりスタンバイ状態とアクティブ状態のしきい値電圧の変動が大きくなる。

【００７０】

そこで、ＰＭＯＳおよびＮＭＯＳのバックバイアスＶｂｓ（ＰＭＯＳ）およびＶｂｓ（ＮＭＯＳ）の変化分を同一にするには、イコライズにより生成されたイコライズレベルＶｅｑをＶｃｃ／２にする必要がある。

【００７１】

図８は、本発明の半導体装置による第５実施例のＣＭＯＳ回路８００を示す図である。

【００７２】

図８を参照して、ＣＭＯＳ回路８００は、図６のＣＭＯＳ回路６００のインバータ回路１００ａまたは１００ｂの部分に入れ換え可能な回路であって、図１と同様のインバータ回路１００と、さらにダミーのＮＭＯＳ６５０とを含む。

【００７３】

図８において、インバータ回路１００内部の接続関係は図１で説明したとおりである。ダミーのＮＭＯＳ８５０のソースは接地電位Ｖｓｓに接続され、ドレイン電極はインバータ回路１００の出力ノードに接続され、ゲート電極はＶｃｃ電源に接続され、基板はＰウエルライン６４４に接続されている。インバータ回路１００に含まれているＰＭＯＳ１０１の基板はＮウエルライン６４３に接続され、ＮＭＯＳ１０３はＰウエルライン６４４に接続されている。

【００７４】

ＰＭＯＳ１０１のＮウエル２０５の寄生容量Ｃ１がＮＭＯＳ１０３のＰウエル２０６の寄生容量Ｃ２より大きい場合、図８のようにダミーのＮＭＯＳ８５０のソース電極をインバータ１００の出力ノードに接続し、ドレイン電極を接地電位Ｖｓｓに接続し、ゲート電極をＶｃｃ電源に接続し、基板をＰウエルライン６４４に接続することで、Ｎウエル２０５に接続されているＮウエル６４３とＰウエル２０６に接続されているＰウエルライン６４４の寄生容量とを等しくすることができる。Ｎウエル２０５の寄生容量Ｃ１のほうがウエル２０６の寄生容量Ｃ２より小さい場合は、ダミーのＰＭＯＳのソース電極をＶｃｃ電源に接続し、ドレイン電極をインバータ回路１００の出力ノードに接続し、ゲート電極を接地電位Ｖｓｓに接続し、基板をＮウエルライン６４３に接続することで、Ｎウエルライン６４３の寄生容量とＰウエルライン６４４の寄生容量とを等しくすることができる。この第５実施例のＣＭＯＳ回路８００は図２（ａ），（ｂ）および図４に示されるようにバルクの半導体基板だけでなく、図５に示されるようにＳＯＩ基板上に形成されていてもよい。

【００７５】

（６）　第６実施例

図９は、本発明の半導体装置による第６実施例のＣＭＯＳ回路９００を示す図である。

【００７６】

図９を参照して、ＣＭＯＳ回路９００は、図６のＣＭＯＳ回路６００のインバータ回路１００ａまたは１００ｂの部分に入れ換え可能な回路であって、図１と同様のインバータ回路１００と、さらにキャパシタンス９５１，９５２とを含む。

【００７７】
インバータ回路１００内部の接続関係は図１で示したとおりであり、ＰＭＯＳ１０１の基板はＮウエルライン６４３に接続され、ＮＭＯＳ１０３の基板はＰウエルライン６４４に接続されている。キャパシタンス９５１は一方の電極がＶｃｃ電源に接続され、他方の電極がＮウエルライン６４３に接続されている。キャパシタンス９５２は、一方の電極が接地電位Ｖｓｓに接続され、他方の電極がＰウエルライン６４４に接続されている。
【００７８】
ＭＯＳトランジスタや配線で構成されたキャパシタンス９５１，９５２を図９のように接続することによりＮウエルライン６４３の寄生容量とＰウエルライン６４４の寄生容量とを等しくすることができる。
【００７９】
図９のようにキャパシタンスをＮウエルライン６４３とＰウエルライン６４４とにそれぞれ接続した方が寄生容量の調整は容易であるが、いずれか一方のラインのみにキャパシタンスを接続するだけでもよい。
【００８０】
図８および図９に示したようにダミーのＭＯＳトランジスタやキャパシタンスを接続する以外にも、ＶｅｑレベルをＶｃｃ／２電源から別途供給することによりＮウエルライン６４３の寄生容量とＰウエルライン６４４の寄生容量とを等しくすることもできる。あるいは、これらを組合せて使用し、寄生容量を等しくしてもよい。
この第６実施例のＣＭＯＳ回路９００は図２（ａ），（ｂ）および図４に示されるようにバルクの半導体基板だけでなく、図５に示されるようにＳＯＩ基板上に形成されていてもよい。
【００８１】
（７）　第７実施例
図１０は、本発明の半導体装置による第７実施例の図８，９と異なるＣＭＯＳ回路１０００を示す図である。
【００８２】
図１０を参照して、ＣＭＯＳ回路１０００は、図６に示したＣＭＯＳ回路６００と、ＮＭＯＳ１０４３，１０４４とを含む。
【００８３】
ＮＭＯＳ１０４３，１０４４は、それぞれのソース電極同士およびゲート電極同士が接続され、接続されたソース電極はさらにＶｃｃ／２電源に接続され、接続されたゲート電極はさらにＣＭＯＳ回路６００に含まれているＮＭＯＳ６４２のゲート電極と制御信号ＷＥＱの入力ノードとに接続されている。ＣＭＯＳ回路６００に含まれているＮウエルライン６４３にＮＭＯＳ１０４３のドレイン電極が、ＣＭＯＳ回路６００に含まれているＰウエルライン６４４にＮＭＯＳ１０４４のドレイン電極が接続されている。
【００８４】
図１０において、アクティブ状態のとき“Ｈ”の制御信号ＷＥＱがＮＭＯＳ６４２，１０４３，および１０４４のゲート電極に入力されると、これらＮＭＯＳ６４２，１０４３，１０４４がオンし、ＮＭＯＳ１０４３，１０４４のソース電極の接続されたＶｃｃ／２電源からＮウエルライン６４３およびＰウエルライン６４４にＶｃｃ／２レベルが供給される。したがって、Ｎウエルライン６４３とＰウエルライン６４４との寄生容量が異なっている場合でも、イコライズレベルＶｅｑがＶｃｃ／２からずれた分は、このＶｃｃ／２電源によって補正されイコライズレベルＶｅｑ＝Ｖｃｃ／２となる。
【００８５】
これにより、第１，２実施例と同様の効果に加えて、ＣＭＯＳ回路においてＮＭＯＳとＰＭＯＳの動作速度がほぼ等しくなり、安定した速度で動作する。
この第７実施例のＣＭＯＳ回路１０００は図２（ａ），（ｂ）および図４に示されるようにバルクの半導体基板だけでなく、図５に示されるようにＳＯＩ基板上に形成されていてもよい。

【００８６】
（８）　第８実施例
図１１は、本発明の半導体装置による第８実施例のＣＭＯＳ回路１２００を示す図である。
【００８７】
図１１を参照して、ＣＭＯＳ回路１２００は、回路１２１０，１２１１と、ＰＭＯＳ２００５，２００７と、ＮＭＯＳ２００６，２００８，２００９，２０１０，２０１１とを含む。回路１２１０は、さらに複数のインバータ回路１００ａと、それらインバータ回路１００ａに含まれているＰＭＯＳのＮウエルを接続するＮウエルライン２０００と、ＮＭＯＳ１０３ａのＰウエルを接続するＰウエルライン２００１とを含む。回路１２１１は、複数のインバータ回路１００ｂと、それらインバータ回路１００ｂに含まれているＰＭＯＳ１０１ｂのＮウエルを接続するＮウエルライン２００２と、ＮＭＯＳ１０３ｂのＰウエルを接続するＰウエルライン２００３とを含む。ここで、インバータ１００ａ，１００ｂは、図６のインバータと同様のものである。
【００８８】
ＰＭＯＳ２００５のソース電極は電源電位Ｖｃｃが与えられ、ドレイン電極はＮウエルライン２０００に接続されている。ＮＭＯＳ２００６のソース電極は接地電位Ｖｓｓが与えられ、ドレイン電極はＰウエルライン２００１に接続されている。ＰＭＯＳ２００７のソース電極は電源電位Ｖｃｃが与えられ、ドレイン電極はＮウエルライン２００２に接続されている。ＮＭＯＳ２００８のソース電極はＶｓｓが与えられ、ドレイン電極はＰウエルライン２００３に接続されている。ＮＭＯＳ２００６，２００８のゲート電極にはプリチャージ信号ＰＲＥが入力される。ＰＭＯＳ２００５，２００７のゲート電極にはプリチャージ信号の反転信号／ＰＲＥが入力される。
【００８９】
ＮＭＯＳ２００９のソース電極はＰウエルライン２００１に接続されドレイン電極はＮウエルライン２０００に接続されている。ＮＭＯＳ２０１０のソース－ドレイン電極の一方はＮウエルライン２０００に接続され、他方はＮウエルライン２００２に接続されている。ＮＭＯＳ２０１１のソース－ドレイン電極の一方はＰウエルライン２００１に接続され、他方はＰウエルライン２００３に接続されている。ＮＭＯＳ２００９のゲート電極にはイコライズ信号ＷＥＱ１が入力され、ＮＭＯＳ２０１０，２０１１のゲート電極には共にイコライズ信号ＷＥＱ２が入力される。
【００９０】
図１２は、図１１のＣＭＯＳ回路１２００の動作を説明するためのタイミングチャートであり、（ａ）はスタンバイ状態およびアクティブ状態でのプリチャージ信号ＰＲＥとイコライズ制御信号ＷＥＱ１，ＷＥＱ２との入力を示す図であり、（ｂ）は回路１２１０におけるＮウエルライン２０００およびＰウエルライン２００１の電位の変化を示す図であり、（ｃ）は回路１２１１におけるＮウエルライン２００２およびＰウエルライン２００３の電位の変化を示す図である。
【００９１】
以下、図１２を参照しながら図１１のＣＭＯＳ回路１２００の動作を説明する。
【００９２】
回路１２１０，１２１１が動作していないスタンバイ状態では、イコライズ信号ＷＥＱ１およびイコライズ信号ＷＥＱ２は共にＬレベルである。プリチャージ信号ＰＲＥはＨレベルであって、ＰＭＯＳ２００５，２００７とＮＭＯＳ２００６，２００８とがオンし、それぞれＮウエルライン２０００，２００２を電源電位Ｖｃｃに、Ｐウエルライン２００１，２００３を接地電位Ｖｓｓにプリチャージする。
【００９３】
アクティブ状態になると、時刻t_0にプリチャージ信号はＬレベルになって各Ｎウエルライン，Ｐウエルラインをプリチャージしていたが、ＰＭＯＳ２００５，２００７とＮＭＯＳ２００６，２００８とがオフする。時刻t_1にイコライズ信号ＷＥＱ１がＨレベルになって

回路１２１０のＰウエルライン２０００とＮウエルライン２００１とがイコライズされ、それらの電位が１／２Ｖｃｃになる。次に時刻t_2にイコライズ信号ＷＥＱ１がＬレベルになってＮＭＯＳ２００９がオフする。時刻t_3にイコライズ信号ＷＥＱ２がＨレベルになってＮＭＯＳ２０１０，２０１１がオンする。回路１２１１のＰウエルライン２００２，Ｎウエルライン２００３はそれぞれ電源電位Ｖｃｃ，接地電位Ｖｓｓにプリチャージされていたので、Ｐウエルライン２０００，２００２の電位がＮＭＯＳ２０１０によって３／４Ｖｃｃに、Ｎウエルライン２００１，２００３の電位がＮＭＯＳ２０１１によって１／４Ｖｃｃになる。

【００９４】

このように、スタンバイ状態では回路１２１０に含まれているインバータ１００ａ内のＰＭＯＳ１０１ａ，ＮＭＯＳ１０３ａおよび回路１２１１に含まれているインバータ１００ｂ内のＰＭＯＳ１０１ｂ，ＮＭＯＳ０３ｂにおいてバックバイアスＶｂｓ＝０［Ｖ］で、アクティブ状態ではバックバイアスＶｂｓ（ＮＭＯＳ）＝１／４Ｖｃｃ、Ｖｂｓ（ＰＭＯＳ）＝３／４Ｖｃｃ－Ｖｃｃ＝－１／４Ｖｃｃとなる。よって、バックバイアス効果により、アクティブ状態のときにはスタンバイ状態のときより回路内のＮＭＯＳおよびＰＭＯＳのしきい値電圧が小さくなり、高速動作することが可能である。

【００９５】

ここで、アクティブ状態のときのバックバイアスＶｂｓ（ＮＭＯＳ）＝１／４Ｖｃｃ、バックバイアスＶｂｓ（ＰＭＯＳ）＝－１／４Ｖｃｃであり、ＮＭＯＳ，ＰＭＯＳそれぞれについてそのソースとウエル（基板）間に順方向バイアスの１／４Ｖｃｃが加わっているが、１／４ＶｃｃがビルトインポテンシャルΦｂｕｉｌｄ以下であれば、ｐ－ｎ接合部における順方向バイアスによって流れる電流が無視できるほど小さい。

【００９６】

また、１／４Ｖｃｃ≦Φｂｕｉｌｄの関係より、Ｖｃｃ≦４Φｂｕｉｌｄとなる。よって、ビルトインポテンシャルΦｂｕｉｌｄの４倍までの大きさの電源電圧Ｖｃｃを印加することができる。第４実施例の図６の例では、Ｖｃｃ≦２Φｂｕｉｌｔであったので、本実施例では第４実施例の場合よりもさらに高い電源電圧Ｖｃｃでも適用することが可能である。

【００９７】

以上の例はＮウエルライン２０００，２００２，Ｐウエルライン２００１，２００３のそれぞれの寄生容量が等しい場合の例である。もし、上記各Ｎウエルライン，Ｐウエルラインにおいて寄生容量が異なる場合は、たとえば第５，６実施例の図８，９に示したように、ダミーのトランジスタまたは容量性の素子を付加することで各ウエルの容量を容易に調整することができる。

【００９８】

さらに、以上の例は、第１，２実施例の図２，４に示したトリプルウエルだけでなく、第３実施例の図５に示したＳＯＩにも適用することができる。

【００９９】

（９）　第９実施例

図１３は、本発明の半導体装置による第９実施例のＣＭＯＳ回路１１００を示す図である。

【０１００】

図１３を参照して、ＣＭＯＳ回路１１００は、インバータ回路１１０１，１１０３，１１０５，１１０７，１１０９とＰＭＯＳ１１８０，１１８１と、ＮＭＯＳ１１７０，１１７１，１１８２，１１８３と、Ｎウエルライン１１７２，１１７３とＰウエルライン１１７４，１１７５とを含む。

【０１０１】

インバータ回路１１０１はＰＭＯＳ１１０１ｐとＮＭＯＳ１１０１ｎとを含み、同様にインバータ回路９０３はＰＭＯＳ１１０３ｐとＮＭＯＳ１１０３ｎとを含み、インバータ回路１１０５はＰＭＯＳ１１０５ｐとＮＭＯＳ１１０５ｎとを含み、インバータ回路１１０

７はＰＭＯＳ１１０７ｐとＮＭＯＳ１１０７ｎとを含み、インバータ回路１１０９はＰＭＯＳ１１０９ｐとＮＭＯＳ１１０９ｎとを含む。

【０１０２】

インバータ回路１１０１の出力ノードがインバータ回路１１０３の入力ノードに接続され、インバータ回路１１０３の出力ノードがインバータ回路１１０５の入力ノードに接続され、インバータ回路１１０５の出力ノードはインバータ回路１１０７の入力ノードに接続され、インバータ回路１１０７の出力ノードはインバータ回路１１０９の入力ノードに接続されている。

【０１０３】

インバータ回路１１０１，１１０３，１１０５，１１０７および１１０９の接続関係は図１のインバータ回路（ＣＭＯＳ回路１００）と同様である。

【０１０４】

インバータ回路１１０１のＰＭＯＳ１１０１ｐの基板とインバータ回路１１０５のＰＭＯＳ１１０５ｐの基板とインバータ回路１１０９のＰＭＯＳ１１０９ｐの基板とはＮウエルライン１１７３に接続されている。インバータ回路１１０３のＰＭＯＳ１１０３ｐの基板と基板回路１１０７のＰＭＯＳ１１０７ｐの基板とはＮウエルライン１１７２に接続されている。インバータ回路１１０１のＮＭＯＳ１１０１ｎの基板とインバータ回路１１０５のＮＭＯＳ１１０５ｎの基板とインバータ回路１１０９のＮＭＯＳ１１０９ｎの基板とはＰウエルライン１１７４に接続されている。インバータ回路１１０３のＮＭＯＳ１１０３ｎの基板とインバータ回路１１０７のＮＭＯＳ１１０７ｎの基板とはＰウエルライン１１７５に接続されている。

【０１０５】

ＰＭＯＳ１１８０のソース電極はＶｃｃ電源に接続され、ドレイン電極はＮウエルライン１１７３に接続され、ゲート電極はイコライズ制御信号ＡＣＴ１の入力ノードに接続されている。ＰＭＯＳ１１８１のソース電極はＶｃｃ電源に接続され、ドレイン電極はＮウエルライン１１７２に接続され、ゲート電極はイコライズ制御信号ＡＣＴ２の入力ノードに接続されている。ＮＭＯＳ１１８２のソース電極は接地電位Ｖｓｓに接続され、ドレイン電極はＰウエルライン１１７５に接続され、ゲート電極はイコライズ制御信号ＡＣＴ２の入力ノードに接続されている。ＮＭＯＳ１１８３のソース電極は接地電位Ｖｓｓに接続され、ドレイン電極はＰウエルライン１１７４に接続され、ゲート電極はイコライズ制御信号ＡＣＴ１の入力ノードに接続されている。ＮＭＯＳ１１７０のソース電極はＰウエルライン１１７５に接続され、ドレイン電極はＮウエルライン１１７３に接続され、ゲート電極はイコライズ制御信号ＡＣＴ１の入力ノードに接続されている。ＮＭＯＳ１１７１のソース電極はＰウエルライン１１７４に接続され、ドレイン電極はＮウエルライン１１７２に接続され、ゲート電極はイコライズ制御信号ＡＣＴ２の入力ノードに接続されている。

【０１０６】

ＮＭＯＳ１１０１ースはｎ，１１０３ｎ，１１０５ｎ，１１０７ｎ，１１０９ｎとＰＭＯＳ１１０１ｐ，１１０３ｐ，１１０５ｐ，１１０７ｐ，１１０９ｐとが図２，４に示されたトリプルウエル構造で形成されている場合、Ｎウエルライン１１７２，１１７３は各ＰＭＯＳに含まれているＮウエル２０５、Ｐウエルライン１１７４，１１７５は各ＮＭＯＳに含まれているＰウエル２０６を接続している導電層である。

【０１０７】

図５に示されたＳＯＩ構造で形成されている場合は、Ｎウエルライン１１７２，１１７３はＮ型活性領域５０５を、Ｎウエルライン１１７４，１１７５はＰ型活性領域５０６を接続している導電層である。

【０１０８】

図１４は図１１のＣＭＯＳ回路１１００の動作を説明するためのタイミングチャートであり、（ａ）はイコライズ制御信号ＡＣＴ１，ＡＣＴ２のモードを、（ｂ）はＮウエルライン１１７３およびＰウエルライン１１７５の電位の変化を、（ｃ）はＮウエルライン１１７２およびＰウエルライン１１７４の電位の変化を、（ｄ）はインバータ１への入力信号

のモードを示すタイミングチャートである。
【０１０９】
図１４のタイミングチャートを参照して図１３のＣＭＯＳ回路１１００の動作を説明する。
【０１１０】
まず、インバータ回路１１０１への入力信号が“Ｈ”でスタンバイ状態である場合を考える。
【０１１１】
ＮＭＯＳ１１７１はオンしＮウエルライン１１７２とＰウエルライン１１７４とがイコライズレベルＶｅｑになる。また、ＮＭＯＳ１１７５はオフし、ＮＭＯＳ１１７１はオンしているので、Ｎウエルライン１１７３がＶｃｃレベル、Ｐウエル等１１７５がＶｓｓ（＝０［Ｖ］）レベルになる。したがって、インバータ回路１１０１の入力が“Ｈ”でオンしているＰＭＯＳ１１０３ｐ，１１０７ｐのＮウエル２０５とＮＭＯＳ１１０１ｎ，１１０５ｎ，１１０９ｎのＰウエル２０６とがＶｅｑレベルに、オフしているＰＭＯＳ１１０１ｐ，１１０５ｐ，１１０９ｐのＮウエル２０５がＶｃｃレベルに、オフしているＮＭＯＳ１１０３ｎ，１１０７ｎのＰウエル２０６がＶｓｓレベルになる。その結果、オフしているＭＯＳトランジスタのしきい値電圧がオンしているＭＯＳトランジスタのしきい値電圧より大きくなるので、オフしているＭＯＳトランジスタを介したＶｃｃ－Ｖｓｓ間のリーク電流を抑えることができる。
【０１１２】
以上が、イコライズ制御信号ＡＣＴ１が“Ｌ”でイコライズ制御信号ＡＣＴ２が“Ｈ”である時刻t_0までの動作である。次に時刻t_1にインバータ回路１１０１への入力が“Ｈ”から“Ｌ”に遷移したときに高速出力を実現するため、時刻t_1の前の時刻t_0にイコライズ制御信号ＡＣＴ１を“Ｌ”から“Ｈ”に、イコライズ制御信号ＡＣＴ２を“Ｈ”から“Ｌ”にする。このときＮＭＯＳ１１７０はオンすることによりＮウエルライン１１７３とＰウエルライン１１７５とがイコライズされてＶｅｑレベルに、ＮＭＯＳ１１７１がオフすることによりＮウエルライン１１７２がＶｅｑレベルからＰウエルライン１１７４がＶｃｃレベルからともにＶｓｓ（＝０［Ｖ］）レベルになる。したがって、ウエルはＰウエルライン１１７３またはＰウエルライン１１７５に接続されている側のＭＯＳトランジスタのしきい値電圧が小さくなり、ウエルがＮウエルライン１１７２またはＰウエルライン１１７４に接続されている側のＮＭＯＳトランジスタのしきい値電圧が大きくなる。ここで、時刻t_1にインバータ回路１１０１への入力が“Ｈ”から“Ｌ”に遷移すると、オフからオンに遷移するＮＭＯＳトランジスタのしきい値電圧が小さくなっているので、高速にＮＭＯＳトランジスタがオンして高速出力を示現することができる。一方、オンからオフに遷移するＭＯＳトランジスタのしきい値電圧は大きくなっているので、出力が確定してからのリーク電流が抑えられる。
【０１１３】
インバータ回路１１０１の入力が“Ｌ”から“Ｈ”になるときは、前述の場合と同様に、遷移前の時刻t_2にイコライズ制御信号ＡＣＴ１を“Ｌ”に、イコライズ制御信号ＡＣＴ２を“Ｈ”にすることにより、ＮＭＯＳ１１７０をオフしてＮウエルライン１１７３がＶｃｃレベル、Ｐウエルライン１１７５がＶｓｓレベルに、ＮＭＯＳ１１７１がオンしたＮウエルライン１１７２とＰウエルライン１１７４とがイコライズされてＶｅｑレベルになってから時刻t_3にインバータ回路１１０１への入力を遷移させることで、高速出力を実現し、かつ出力確定後のリーク電流を抑えることができる。しかも、Ｎウエルライン１１７２，１１７３およびＰウエルライン１１７４，１１７５に供給される電位Ｖｃｃ，Ｖｓｓを有効に利用してＮＭＯＳトランジスタのしきい値電圧を変化させることができるので、消費電力を低減することも可能となる。
【０１１４】
図１３のＣＭＯＳ回路１１００においては、Ｎウエルライン１１７２，１１７３およびＰウエルライン１１７４，１１７５に接続されている各ウエルの寄生容量の大きさが異なる

場合は、第３実施例に示したようにダミートランジスタやキャパシタンスを用いてＮウエルラインおよびＰウエルラインの寄生容量を調整するか、または、Ｖｅｑレベルを Ｖｃｃ／２電源から別途供給することによりイコライズレベルＶｅｑをＶｅｑ＝Ｖｃｃ／２とし、ＰＭＯＳとＮＭＯＳについてバックバイアスＶｂｓの変化分を同一にして、しきい値電圧の変動をほぼ等しくなるように調整することができる。

【０１１５】

したがって、ＰＭＯＳとＮＭＯＳの動作速度はほぼ等しくなり、装置全体として、安定した速度で動作することが可能となる。

【０１１６】

図１３のインバータ回路の数は一例であり、５個に限定されるものではない。この第９実施例のＣＭＯＳ回路１１００は図２（ａ），（ｂ）および図４に示されるようにバルクの半導体基板だけでなく、図５に示されるようにＳＯＩ基板上に形成されていてもよい。

【０１１７】

【発明の効果】

請求項１に係る半導体装置においては、半導体装置がスタンバイ状態であるときＰチャネルＭＯＳトランジスタの基板に第１の電位が供給され、半導体装置がスタンバイ状態であるときＮチャネルＭＯＳトランジスタの基板に第１の電位より低い第２の電位が供給され、半導体装置がアクティブ状態のときＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とが短絡されＰチャネルＭＯＳトランジスタおよびＮチャネルＭＯＳトランジスタの基板の電位が第１の電位と第２の電位との間の所定電位にされるので、ＰチャネルＭＯＳトランジスタおよびＮチャネルＭＯＳトランジスタはそれぞれスタンバイ状態のときにはしきい値電圧が高くなり、サブスレッショルド電流からなるリーク電流が減少する。また、ソース－基板間に順方向バイアスがかかるため空乏層の広がりが小さくなる。したがって、この半導体装置が微細化されることにより短チャネル効果が顕著に現れてもリーク電流が増加することはない。アクティブ状態のときにはソース－基板間にはその絶対値がビルトインポテンシャル以下のバイアスがかかるにすぎないためソース－基板間にわずかな電流しか流れず、動作にほとんど影響を与えることなくしきい値電圧がスタンバイ状態のときと比較してより低くなる。

【０１１８】

その結果、スタンバイ状態で、しきい値電圧が高く、かつ、短チャネル効果によるリーク電流がより少なく消費電力の低減が可能であり、アクティブ状態で、しきい値電圧がより低く、低電源電圧で高速動作が可能な半導体装置を提供することができる。

【０１１９】

請求項２の半導体装置においては、半導体装置がスタンバイ状態であるときＰチャネルＭＯＳトランジスタの基板にＰチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位が供給され、半導体装置がスタンバイ状態であるときＮチャネルＭＯＳトランジスタの基板にＮチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位が供給され、半導体装置がアクティブ状態のときＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とが短絡されるので、半導体装置がアクティブ状態のとき、ＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とが、ＰチャネルＭＯＳトランジスタのスタンバイ状態のときの基板の電圧とＮチャネルＭＯＳトランジスタのスタンバイ状態のときの基板の電圧との中間の電圧となる。したがって、ＰチャネルＭＯＳトランジスタおよびＮチャネルＭＯＳトランジスタは、それぞれスタンバイ状態のときにはしきい値電圧が高くなり、サブスレッショルド電流からなるリーク電流が減少する。また、ソース－基板間に順方向バイアスがかかるため空乏層の広がりが小さくなる。したがって、この半導体装置が微細化されることにより短チャネル効果が顕著に現れてもリーク電流が増加することはない。アクティブ状態のときにはしきい値電圧がスタンバイ状態のときと比較してより低くなる。

【０１２０】

その結果、スタンバイ状態でしきい値電圧が高く、かつ、短チャネル効果によるリーク電

流がより少なく消費電力の低減が可能であり、アクティブ状態でしきい値電圧がより低く、低電源電圧で高速動作が可能な半導体装置を提供することができる。しかも、スタンバイ状態のときに供給されていたＰチャネルＭＯＳトランジスタの基板およびＮチャネルＭＯＳトランジスタの基板の電圧を有効に利用して、スタンバイ状態とアクティブ状態との遷移時に消費される消費電力を低減することが可能である。

【０１２１】

請求項３の半導体装置においては、請求項２の効果に加えて、ＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とを短絡するときＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とにスタンバイ状態のときのＰチャネルＭＯＳトランジスタの基板の電位とＮチャネルＭＯＳトランジスタの基板の電位との中間の電位が供給されるので、ＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板の寄生容量の大きさが異なっていても、アクティブ状態のとき各基板の電位はスタンバイ状態のときの各基板の電位の中間の供給された同電位となり、ＰチャネルＭＯＳトランジスタとＮチャネルＭＯＳトランジスタとについて、スタンバイ状態とアクティブ状態とでのしきい値電圧の変動を小さくし、容易にそのバランスを調整することができる。

【０１２２】

その結果、安定した速度で動作することが可能な半導体装置を提供することができる。

【０１２３】

請求項４に係る半導体装置においては、半導体装置がスタンバイ状態であるときＰチャネルＭＯＳトランジスタの基板にＰチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位が供給され、半導体装置がスタンバイ状態であるときＮチャネルＭＯＳトランジスタの基板にＮチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位が供給され、半導体装置がアクティブ状態のときＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とが短絡され、半導体装置がアクティブ状態であるときＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とにスタンバイ状態のときのＰチャネルＭＯＳトランジスタの基板の電位とスタンバイ状態のときのＮチャネルＭＯＳトランジスタの基板の電位との中間の電位が供給されるので、ＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板との寄生容量が異なっていても、アクティブ状態のとき各基板の電位はスタンバイ状態のときの各基板の電位の中間の同電位となり、ＰチャネルＭＯＳトランジスタおよびＮチャネルＭＯＳトランジスタは、それぞれスタンバイ状態のときにはしきい値電圧が高くなり、サブスレッショルド電流からなるリーク電流が減少する。また、ソース－基板間に順方向バイアスがかかるため空乏層の広がりが小さくなる。したがってこの半導体装置が微細化されることにより短チャネル効果が顕著に現れてもリーク電流が増加することはない。アクティブ状態のときにはしきい値電圧がスタンバイ状態のときと比較してより低くなる。

【０１２４】

また、ＰチャネルＭＯＳトランジスタとＮチャネルＭＯＳトランジスタとについて、スタンバイ状態とアクティブ状態とでのしきい値電圧の変動を小さくし、容易にそのバランスを調整することができる。

【０１２５】

その結果、スタンバイ状態でしきい値電圧が高く、かつ、短チャネル効果によるリーク電流がより少なく消費電力の低減が可能であり、アクティブ状態でしきい値電圧がより低く、低電源電圧で高速動作が可能で、しかも安定した速度で動作することが可能な半導体装置を提供することができる。

【０１２６】

請求項５に係る半導体装置においては、請求項２または３の効果に加えて、短絡されるＰチャネルＭＯＳトランジスタの基板の寄生容量とＮチャネルＭＯＳトランジスタの基板の寄生容量とが等しくなるように調整されるので、短絡時に各基板に供給される電位はスタンバイ状態のときのＰチャネルＭＯＳトランジスタの基板およびＮチャネルＭＯＳトラン

ジスタの基板の電位のちょうど中間の電位に近い電位となり、ＰチャネルＭＯＳトランジスタとＮチャネルＭＯＳトランジスタとについて、スタンバイ状態とアクティブ状態とでのしきい値電圧の変動をほぼ等しくすることができる。

【０１２７】

その結果、より安定した速度で動作することが可能な半導体装置を提供することができる。

【０１２８】

請求項６の半導体装置においては、第１の外部信号により、第１の回路の電源電位が与えられた第１のＮウエルと第１の回路の接地電位が与えられた第１のＰウエルとがイコライズされ、第２の外部信号により第１の回路の第１のＮウエルと第２の回路の電源電位が与えられた第２のＮウエルとがイコライズされ、第３の外部信号により第１の回路の第１のＰウエルと第２の回路の接地電位が与えられた第２のＰウエルとがイコライズされるので、もし、第１のＮウエル、第１のＰウエル、第２のＮウエル、および第２のＰウエルの寄生容量がほぼ等しければ、第１の外部信号により、第１のＮウエルと第１のＰウエルとにおいてソース－基板間の電位が電源電位のほぼ１／２の電位となり、第２の外部信号により、第１のＮウエルと第２のＮウエルとにおいてソース－基板間の電位が電源電位のほぼ３／４の電位となり、第３の外部信号により、第１のＰウエルと第２のＰウエルとにおいてソース－基板間の電位が電源電位のほぼ１／４の電位となって、アクティブ状態でソースと基板との間のｐ－ｎ接合部における順方向バイアスが電源電位のほぼ１／４の電位となる。

【０１２９】

その結果、スタンバイ状態ではしきい値電圧が高く、かつ、短チャネル効果によるリーク電流がより少なく消費電力の低減が可能であり、アクティブ状態ではしきい値電圧がより低く高速動作が可能な半導体装置を提供することができる。

【０１３０】

請求項７の半導体装置においては、第１のＰチャネルＭＯＳトランジスタがオフとなるとき第１のＰチャネルＭＯＳトランジスタの基板に第１の電位が供給され、第２のＰチャネルＭＯＳトランジスタがオフとなるとき第２のＰチャネルＭＯＳトランジスタの基板に第２の電位が供給され、第１のＮチャネルＭＯＳトランジスタがオフとなるとき第１のＮチャネルＭＯＳトランジスタの基板に第２の電位より低い第３の電位が供給され、第２のＮチャネルＭＯＳトランジスタがオフとなるとき第２のＮチャネルＭＯＳトランジスタの基板に第１の電位より低い第４の電位が供給され、第２のＰチャネルＭＯＳトランジスタおよび第１のＮチャネルＭＯＳトランジスタがオンになるとき第２のＰチャネルＭＯＳトランジスタの基板と第１のＮチャネルＭＯＳトランジスタの基板とが短絡され第２のＰチャネルＭＯＳトランジスタおよび第１のＮチャネルＭＯＳトランジスタの基板の電位が第２の電位と第３の電位との間の所定電位にされ、第１のＰチャネルＭＯＳトランジスタおよび第２のＮチャネルＭＯＳトランジスタがオンになるとき第１のＰチャネルＭＯＳトランジスタの基板と第２のＮチャネルＭＯＳトランジスタの基板とが短絡され第１のＰチャネルＭＯＳトランジスタおよび第２のＮチャネルＭＯＳトランジスタの基板の電位が第１の電位と第４の電位との間の所定電位にされるので、ＰチャネルＭＯＳトランジスタおよびＮチャネルＭＯＳトランジスタは、それぞれオフのときにはしきい値電圧が高くなり、サブスレッショルド電流からなるリーク電流が減少する。また、ソース－基板間に順方向バイアスがかかるため空乏層の広がりが小さくなる。したがって、この半導体装置が微細化されることにより短チャネル効果が顕著に現われてもリーク電流が増加することはない。オンのときにはしきい値電圧がオフのときと比較してより低くなる。

【０１３１】

その結果、オフのときにはしきい値電圧が高く、かつ、短チャネル効果によるリーク電流がより少なく消費電力の低減が可能であり、オンのときにはしきい値電圧がより低く低電源電圧で高速動作が可能な半導体装置を提供することができる。

【０１３２】

請求項８に係る半導体装置においては、第１のＰチャネルＭＯＳトランジスタがオフとなるとき第１のＰチャネルＭＯＳトランジスタの基板に第１のＰチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位が供給され、第２のＰチャネルＭＯＳトランジスタがオフとなるとき第２のＰチャネルＭＯＳトランジスタの基板に第２のＰチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位が供給され、第１のＮチャネルＭＯＳトランジスタがオフとなるとき第１のＮチャネルＭＯＳトランジスタの基板に第１のＮチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位が供給され、第２のＮチャネルＭＯＳトランジスタがオフとなるとき第２のＮチャネルＭＯＳトランジスタの基板に第２のＮチャネルＭＯＳトランジスタのソース電極の電位を基準にして０の電位が供給され、第２のＰチャネルＭＯＳトランジスタおよび第１のＮチャネルＭＯＳトランジスタがオンになるとき第２のＰチャネルＭＯＳトランジスタの基板と第１のＮチャネルＭＯＳトランジスタの基板とが短絡され、第１のＰチャネルＭＯＳトランジスタおよび第２のＮチャネルＭＯＳトランジスタがオンになるとき第１のＰチャネルＭＯＳトランジスタの基板と第２のＮチャネルＭＯＳトランジスタの基板とが短絡されるので、ＰチャネルＭＯＳトランジスタとＮチャネルＭＯＳトランジスタとがオンのときＰチャネルＭＯＳトランジスタの基板とＮチャネルＭＯＳトランジスタの基板とがＰチャネルＭＯＳトランジスタのオフのときの基板の電位とＮチャネルＭＯＳトランジスタのオフのときの基板の電位との中間の電位となる。そして、ＰチャネルＭＯＳトランジスタおよびＮチャネルＭＯＳトランジスタは、それぞれオフのときにはしきい値電圧が高くなり、サブスレッショルド電流からなるリーク電流が減少する。また、ソース－基板間に順方向バイアスがかかるため空乏層の広がりが小さくなる。したがって、この半導体装置が微細化されることにより短チャネル効果が顕著に現われてもリーク電流が増加することはない。オンのときにはしきい値電圧がスタンバイ状態のときと比較してより低くなる。

【０１３３】

その結果、オフのときにはしきい値電圧が高く、かつ、短チャネル効果によるリーク電流がより少なく消費電力の低減が可能であり、オンのときにはしきい値電圧がより低く低電源電圧で高速動作が可能は半導体装置を提供することができる。しかも、オフのときに供給されていたＰチャネルＭＯＳトランジスタの基板およびＮチャネルＭＯＳトランジスタの基板の電圧を有効に利用してオンとオフとの遷移時に消費される消費電力を低減することができる。

【０１３４】

請求項９に係る半導体装置においては、請求項８の効果に加えて、第２のＰチャネルＭＯＳトランジスタの基板と第１のＮチャネルＭＯＳトランジスタの基板とが短絡されるとき第２のＰチャネルＭＯＳトランジスタの基板の電位と第１のＮチャネルＭＯＳトランジスタの基板とにオフのときの第２のＰチャネルＭＯＳトランジスタの基板の電位とオフのときの第１のＮチャネルＭＯＳトランジスタの基板の電位との中間の電位が供給され、第１のＰチャネルＭＯＳトランジスタの基板と第２のＮチャネルＭＯＳトランジスタの基板とが短絡されるとき第１のＰチャネルＭＯＳトランジスタの基板と第２のＮチャネルＭＯＳトランジスタの基板とにオフのときの第１のＰチャネルＭＯＳトランジスタの基板の電位とオフのときの第２のＮチャネルＭＯＳトランジスタの基板の電位との中間の電位が供給されるので、ＰチャネルＭＯＳトランジスタの基板の寄生容量とＮチャネルＭＯＳトランジスタの基板の寄生容量とが異なっていても、オンのとき各基板の電位はオフのときの各基板の電位の中間の同電位となり、ＰチャネルＭＯＳトランジスタとＮチャネルＭＯＳトランジスタとについて、オフのときとオンのときとのしきい値電圧の変動を小さくし、そのバランスを調整することができる。

【０１３５】

その結果、安定した速度で動作することが可能な半導体装置を提供することができる。

【０１３６】

請求項１０の半導体装置においては、請求項８または９の効果に加えて、短絡されるＰチャネルＭＯＳトランジスタの基板の寄生容量とＮチャネルＭＯＳトランジスタの基板の寄

生容量とが等しくなるように調整されるので、短絡時に各基板に供給される電位はオフのときのＰチャネルＭＯＳトランジスタの基板およびＮチャネルＭＯＳトランジスタの基板の電位のちょうど中間の電位に近い電位となり、ＰチャネルＭＯＳトランジスタとＮチャネルＭＯＳトランジスタについて、オフのときとオンのときとのしきい値電圧の変動のほぼ等しくすることができる。

【０１３７】

その結果、より安定した速度で動作することが可能な半導体装置を提供することができる。

【０１３８】

請求項１０の半導体装置においては、請求項５または１０の効果に加えて、ダミートランジスタにより寄生容量が調整される。

【０１３９】

したがって、比較的容易に寄生容量の調整が可能となる。

【図面の簡単な説明】

【図１】　本発明の半導体装置による第１実施例のＣＭＯＳ回路１００を示す図である。

【図２】　図１のＣＭＯＳ回路１００の断面構造を示す図である。

【図３】　ｐ－ｎ接合における電流Ｉ－電圧Ｖ特性を示す図である。

【図４】　本発明の半導体装置による第２実施例のＮ型基板上に形成されたＣＭＯＳ回路１００′の断面構造を示す図である。

【図５】　本発明の半導体装置による第３実施例のＳＯＩ基板上に形成されたＣＭＯＳ回路１００″の断面構造を示す図である。

【図６】　本発明の半導体装置による第４実施例のＣＭＯＳ回路６００を示す図である。

【図７】　図６のＣＭＯＳ回路６００の動作を説明するためのタイミングチャートである。

【図８】　本発明の半導体装置による第５実施例のＣＭＯＳ回路８００を示す図である。

【図９】　本発明の半導体装置による第８実施例のＣＭＯＳ回路の図である。

【図１０】　本発明の半導体装置による第７実施例のＣＭＯＳ回路１０００の図である。

【図１１】　本発明の半導体装置による第８実施例のＣＭＯＳ回路１２００の図である。

【図１２】　図１１のＣＭＯＳ回路１２００の動作を説明するためのタイミングチャートである。

【図１３】　本発明の半導体装置による第９実施例のＣＭＯＳ回路１１００の図である。

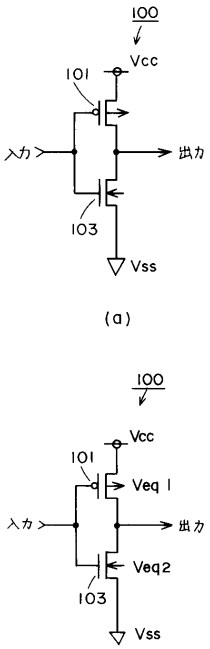
【図１４】　図１１のＣＭＯＳ回路１１００の動作を説明するためのタイミングチャートである。

【図１５】　従来の特開平５－１０８１９４号に記載された低消費電力型半導体集積回路の実施例を示す図である。

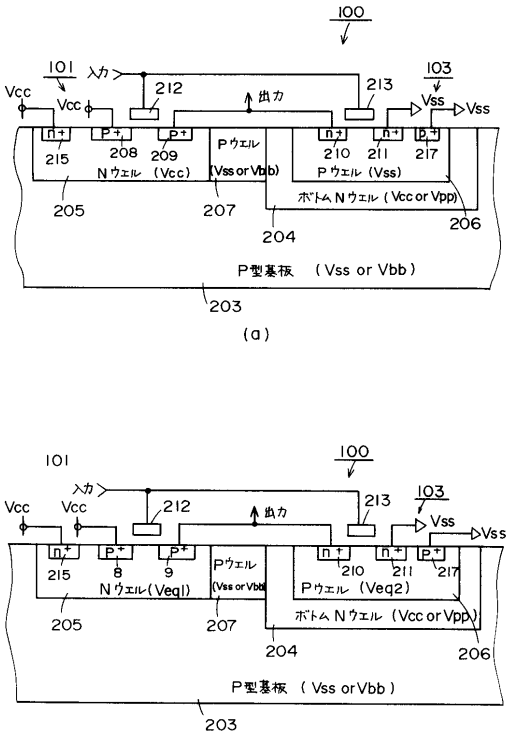
【符号の説明】

１００，１００′，１００″　ＣＭＯＳ回路（インバータ回路）、６００，８００，９００，１０００，１１００，１２００　ＣＭＯＳ回路、１２１０，１２１１　回路、１０１，１０１′，１０１″，１０１ａ，１０１ｂ，６４０，９０１ｐ，９０３ｐ，９０５ｐ，９０７ｐ，９０９ｐ，９８０，９８１　ＰＭＯＳ、１０３，１０３′，１０３″，１０３ａ，１０３ｂ，６４１，６４２，８５０，１０４３，１０４４，１１０１ｎ，１１０３ｎ，１１０５ｎ，１１０７ｎ，１１０９ｎ，１１８２，１１８３，２００５，２００７　ＮＭＯＳ、２０３，２００６，２００８，２００９，２０１０，２０１１　Ｐ型基板、２０４　ボトム　Ｎウエル、２０５　Ｎウエル、２０６，２０７　Ｐウエル、２０８，２１１　ソース電極、２０９，２１１　ドレイン電極、２１２，２１３　ゲート電極、２１５ｎ$^{+}$領域、２１７　ｐ$^{+}$領域、４０３　Ｎ型基板、４０４　ボトム　Ｐウエル、５０５　Ｎ型活性領域、５０６　Ｐ型活性領域、６４３，１１７２，１１７３Ｎウエルライン、６４４，１１７４，１１７５　Ｐウエルライン、９５１，９５２　キャパシタンス、ＷＥＱ，ＷＥＱ１，ＷＥＱ２　イコライズ制御信号、ＡＣＴ１，ＡＣＴ２　制御信号、ＰＲＥ　プリチャージ信号、５０３　基板、５０４　SiO_2、５３８，５３９　ゲート酸化膜。

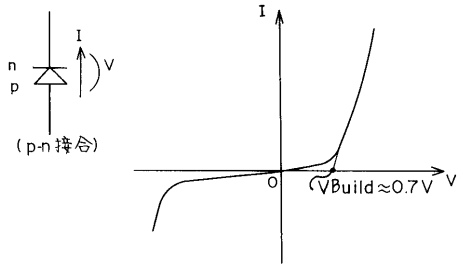
【図１】


100
Vcc
101
入力
出力
103
Vss
(a)
100
Vcc
101
Veq 1
入力
出力
Veq2
103
Vss
(b)

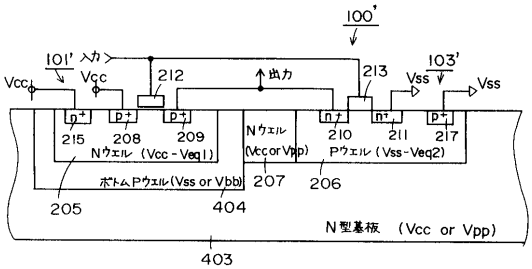
【図２】


100
101
入力
212
出力
213
103
Vcc
Vcc
Vss
Vss
n+
P+
P+
n+
n+
p+
215
208
209
Pウエル
(Vss or Vbb)
210
211
217
Nウエル (Vcc)
Pウエル (Vss)
ボトムNウエル (Vcc or Vpp)
205
207
204
206
P型基板 (Vss or Vbb)
203
(a)
101
100
入力
212
出力
213
103
Vcc
Vcc
Vss
Vss
n+
P+
P+
n+
n+
p+
215
8
9
Pウエル
(Vss or Vbb)
210
211
217
Nウエル(Veq1)
Pウエル (Veq2)
205
207
ボトムNウエル (Vcc or Vpp)
204
206
P型基板 (Vss or Vbb)
203
(b)

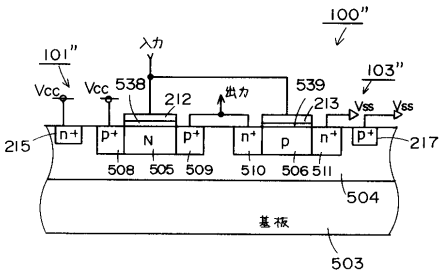
【図３】


I
n
p
V
(p-n 接合)
I
0
VBuild≈0.7 V
V

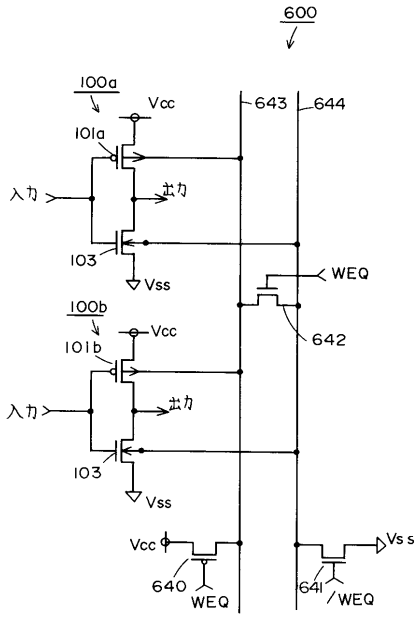
【図４】


100'
101'
入力
103'
Vcc
Vcc
212
出力
213
Vss
Vss
p+
p+
p+
n+
n+
p+
215
208
209
Nウェル
(Vcc or Vpp)
210
211
217
Nウェル (Vcc - Veq1)
Pウェル (Vss - Veq2)
ボトムPウェル(Vss or Vbb)
205
207
206
404
N型基板 (Vcc or Vpp)
403

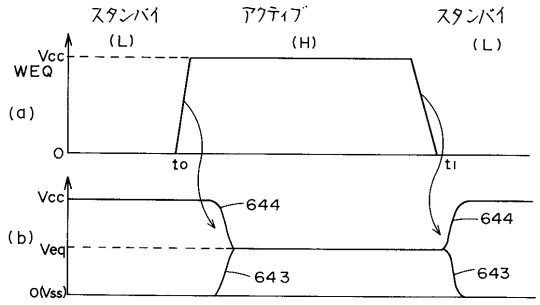
【図５】


100"
101"
入力
103"
Vcc
Vcc
538
212
出力
539
213
Vss
Vss
215
n+
p+
N
p+
n+
p
n+
p+
217
508
505
509
510
506
511
504
基板
503

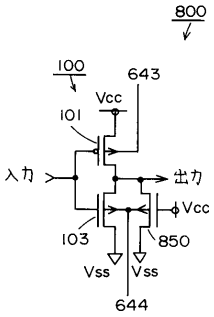
【図６】



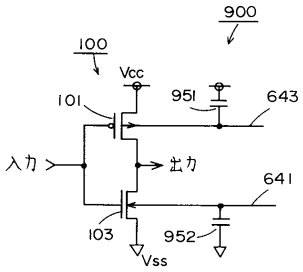
【図７】



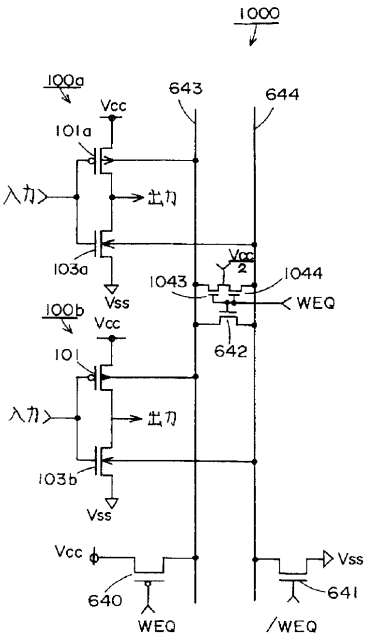
【図８】



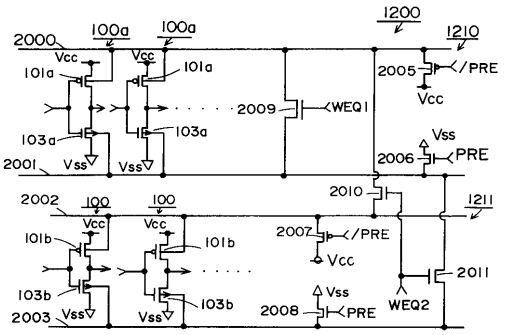
【図９】



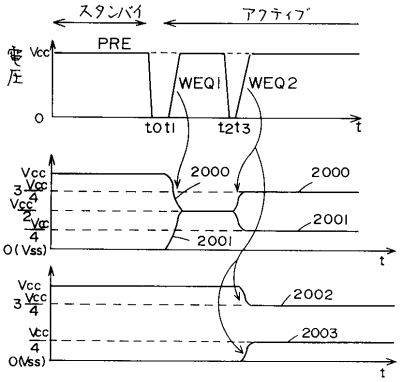
【図１０】



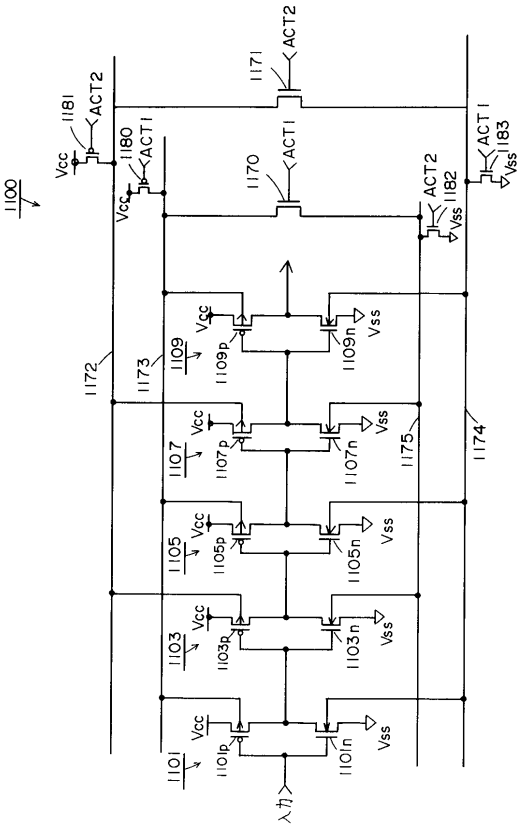
【図１１】



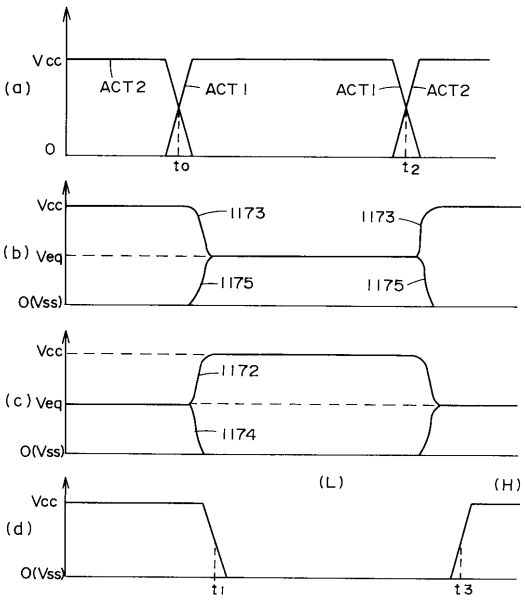
【図１２】



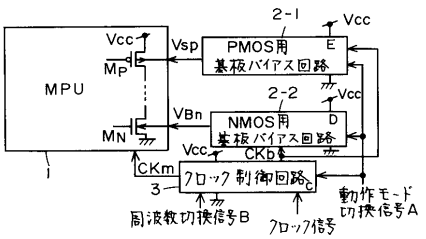
【図１３】



【図１４】



【図１５】



フロントページの続き

(51)Int.Cl.[7]　　ＦＩ
　ＨＯ３Ｋ　19/0175
　ＨＯ３Ｋ　19/0948

(72)発明者　山内　忠昭
　　兵庫県伊丹市瑞原４丁目１番地　三菱電機株式会社　ユー・エル・エス・アイ開発研究所内
(72)発明者　有本　和民
　　兵庫県伊丹市瑞原４丁目１番地　三菱電機株式会社　ユー・エル・エス・アイ開発研究所内

審査官　彦田　克文

(56)参考文献　特開平０６－０２１４４３（ＪＰ，Ａ）
　　特開平０７－１４２５６８（ＪＰ，Ａ）
　　特開昭６３－１７９５７６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
　　H03K 19/094
　　H01L 21/822
　　H01L 21/8238
　　H01L 27/04
　　H01L 27/092
　　H03K 19/0175