公告本

申請日期	90.6.8.
案號	90113967
類別	H01L 29/78

（以上各欄由本局填註）

A4
C4

527728

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	僅以單一通道之電晶體將電壓傳送至所選擇之字線之半導體記憶裝置
	日文	"選択したワード線への電圧の転送を単一チャネルのトランジスタのみで行う半導体記憶装置"
二、發明 ~~創作~~ 人	姓名	1.中村 寬 2.今宮 賢一
	國籍	1-2.均日本
	住、居所	1.日本國神奈川縣藤澤市花木4-18維斯塔麗安花木102 2.日本國東京都大田區池上6-8-11-1302
三、申請人	姓名（名稱）	日商東芝股份有限公司 KABUSHIKI KAISHA TOSHIBA
	國籍	日本
	住、居所（事務所）	日本國神奈川縣川崎市幸區堀川町72番地
	代表人姓名	岡村 正 TADASHI OKAMURA

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210 × 297 公釐）

裝 訂 線

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	2000年06月09日	特願2000-173715	☑有□無主張優先權
日本	2000年10月30日	特願2000-330972	☑有□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 1 ）

發明背景

本發明係關於半導體記憶裝置，詳言之係關於NAND胞、NOR胞、DINOR胞、AND胞型EEPROM等非揮發性半導體記憶裝置。

以往習知半導體記憶裝置之一爲可電性改寫之EEPROM。其中將複數個記憶胞予以串聯構成NAND胞區域之NAND型EEPROM因可高積體化而受到重視。

NAND胞型EEPROM之一個記憶胞具有FET-MOS構造，其係於半導體基板上經絕緣膜，層積浮動閘(電荷蓄積層)及控制閘者。又，複數個記憶胞相鄰者彼此以共用源·汲之形式予以串聯構NAND胞，以其爲一單位連接至位元線。此種NAND胞成矩陣排列構成記憶胞陣列。記憶胞陣列係積體形成於p型半導體基板或p型井區域內。

與記憶胞陣列之行方向平行的NAND胞一端側之汲極，各經選擇閘電晶體共同連接至位元線，另一端側之源極，亦係經選擇閘電晶體連接至共同源線。記憶體電晶體之控制閘及選擇閘電晶體之閘極，係於記憶胞陣列之列方向共同連接各作爲控制閘線(字線)、選擇閘線。

此NAND胞型EEPROM之動作如下。資料寫入動作主要係自離位元線接點(contact)最遠的位置之記憶胞開始依序進行。首先，資料寫入動作開始後，對應於寫入資料，對位元線供給0V("1"資料寫入位元線)或電源電壓Vcc("0"資料寫入位元線)，對所選擇之位元線接點側之選擇閘線供給Vcc。此情況下，"1"資料寫入位元線所連接之選擇

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 2 ）

NAND胞中，NAND胞內之通道部係經選擇閘電晶體固定於0V。另一方面，"0"資料寫入位元線所連接之選擇NAND胞中，NAND胞內之通道部係經選擇閘電晶體之充電至[Vcc-Vtsg](其中Vtsg爲選擇閘電晶體之臨限值電壓)爲止後，成爲浮動狀態。接著，選擇NAND胞內之選擇記憶胞的控制閘線係由0V成爲Vpp (=約20V：寫入用高電壓)，選擇NAND胞內之其他控制閘線係由0V成爲Vmg (=約10V：中間電壓)。

"1"資料寫入位元線所連接之選擇NAND胞中，NAND胞內之通道部係固定於0V之故，選擇NAND胞內之選擇記憶胞之控制閘線(=Vpp電位)與通道部(=0V)產生大的電位差(=約20V)，造成電子自通道部注入浮動閘。依此，該所選擇之記憶胞之臨限值電壓向正方向移位(shift)，"1"資料之寫入結束。

相對於此，"0"資料寫入位元線所連接之選擇NAND胞中，NAND胞內之通道部爲浮動狀態之故，依選擇NAND胞內之控制閘線與通道部間之電容耦合的影響，隨著控制閘線之電壓上升(0V→Vpp、Vmg)，通道部之電位由所維持之浮動狀態[Vcc-Vtsg)上升至Vmch (=約8V)。於此時，因選擇NAND胞內之選擇記憶胞的控制閘線(=Vpp電位)與通道部(=Vmch)之間的電位差爲約12V較小之故，不會發生電子注入，故，選擇記憶胞之臨限值電壓不會發生變化，而係維持於負的狀態。

資料消去，係對所選擇之NAND胞區塊內全部的記憶胞

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 3 ）

同時進行。即，使所選擇之NAND胞區塊內全部的控制閘線爲0V，對非選擇NAND胞區域中之控制閘線之全部的選擇閘線施加約20V之高電壓。依此，於選擇NAND胞區塊中全部的記憶胞，浮動閘中之電子被放出至p型井區域(或p型半導體基板)，臨限值電壓向負方向移位(shift)。

另一方面，資料讀出動作，係設所選擇之記憶胞的控制閘線爲0V，將其以外之記憶胞的控制閘線及選擇閘線設定爲讀出用之中間電壓Vread (約4V)，藉由檢測電流是否於選擇記憶胞流動而予以進行。

依以上動作說明可知，NAND胞型EEPROM於資料寫入動作時，必須要對選擇區塊內之所選擇之控制閘線施加Vpp (約20V)、對選擇區域內之非選擇之控制閘線施加Vmg (約10V)、即需傳送比電源電壓高的電壓。

爲了傳送上述電壓Vpp、Vmg，於列譯碼電路內，控制閘線極性相異的2種元件NMOS電晶體(n通道型MOS電晶體)與PMOS電晶體(p通道型MOS電晶體)之電流通路係並聯，並控制使得：於選擇區塊中，NMOS電晶體與PMOS電晶體兩者係爲"開"(接通、ON)狀態，於非選擇區塊中兩者係爲"關"(切斷、OFF)狀態。

圖1爲此習知半導體記憶裝置之列譯碼電路的一部分的構造例之電路圖。

圖1所示之電路中，對各控制閘線1條，連接[NMOS電晶體1個(Qn1~Qn8)+PMOS電晶體1個(Qp1~Qp8)]。該等電晶體Qn1~Qn8、Qp1~Qp8各由節點N1、N2供給互補的控制信

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 4 ）

號。

於資料寫入時，如電源節點VPPRW=[所選擇之控制閘線電壓]=20V般，電源節點VPPRW與所選擇之控制閘線電壓係成相同電平。於此情況下，對各控制閘線1條，連接[NMOS電晶體1個+PMOS電晶體]之故，即使在電源節點VPPRW爲20V之情況下，亦可對控制閘線傳送20V。故，不需要將電源節點VPPRW升高至(20V+Vth)爲止，選擇區塊可進行0V、Vpp兩者之電壓傳送。

又，圖1所示之電路中，記憶胞M_1~M_8之電流通路係爲串聯，構成1個NAND胞。上述各NAND胞之一端係經由選擇閘電晶體S_1之電流通路，連接至位元線BL1~BLm，另一端係經由選擇閘電晶體S_2之電流通路，共同連接至源線(Cell-Source)。控制閘線CG(1)~CG(8)各共同連接至各NAND胞中之記憶胞M_1~M_8之控制閘，選擇閘線SG(1)、SG(2)各共同連接至選擇閘電晶體S_1、S_2之閘極。各信號輸入節點CGD1~CGD8、SGD、SGS、SGDS，各被供給譯碼信號。又，列譯碼器啓動信號RDEC於一般資料寫入·讀出·消去動作中爲Vcc，而於非動作中係爲0V。區位址信號RA1、RA2、RA3於選擇區塊中全部爲Vcc、而於非選擇區塊中則至少有1個係爲0V。

此處，於虛線所示區域HV內所設之全部的PMOS電晶體，係形成於被施加寫入用高電壓Vpp之n-井區域內，於上述節點N1、N2之任一者在寫入動作時，必須與Vpp爲相同電位。又，節點SGDS之電位於寫入動作時係爲0V。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 5 ）

惟，上述構造，對於各控制閘線CG(1)~CG(8)各需要2個電晶體Qp1~Qp8、Qn1~Qn8之故，列譯碼電路內之元件數增加、列譯碼電路之圖案占用面積增加，使得晶片成本增加而造成問題。

另一方面爲了防止列譯碼電路內之元件數增加，如圖2所示使用：於1條控制閘線連接之電晶體數爲1個(例如僅有NMOS電晶體QN1~QN8)之電路。圖2所示之電路中，記憶胞區塊2係與圖1相同的構造，惟於列譯碼電路之一部分(控制閘線CG(1)~CG(8)、及將電壓傳送至選擇閘電晶體S_1、S_2之電晶體部)5a、5b之電路構造，及設置了泵電路PUMP等方面係相異。

此電路構造之情況，爲了對制閘線CG(1)~CG(8)傳送寫入用高電壓Vpp，對該等控制閘線CG(1)~CG(8)所連接之NMOS電晶體QN1~QN8的閘極所施加之電壓，必須爲[Vpp+Vtn](其中，Vtn爲控制閘線CG(1)~CG(8)所連接之NMOS電晶體QN1~QN8之臨限值電壓)。因此，於列譯碼電路內設置泵電路PUMP.

此泵電路PUMP之構造包含：電容C1、C2、NMOS電晶體QN21~QN23、反相器6、NAND閘7、及空乏型NMOS電晶體QN24、QN25等。

於圖2所示之電路中，信號OSCRD於資料寫入．讀出動作中成爲振盪信號，於泵電路PUMP內被升壓的電壓被輸出至節點N1，電壓被經由電晶體QN1~QN8之電流通路傳送至控制閘線CG(1)~CG(8)。又，信號TRAN通常係被固定

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 6 ）

於0V。

惟，上述泵電路PUMP因包含複數之元件或電容C1、C2而使得電路面積變大。特別是2個電容C1、C2通常需要比其他元件大的圖案面積，故雖可減少電壓傳送用電晶體數量，但仍無法使列譯碼電路之圖案面積充分的減小，而造成問題。

如此，於習知NAND胞型等EEPROM中，必須具備將高電壓送至字線之功能之故，於列譯碼電路內字線所連接之電晶體，必須爲1條字線連接複數個。因此，造成列譯碼電路之圖案面積增加之問題。

又，爲了解決此問題，若將列譯碼電路內字線所連接之電晶體，設爲1條字線連接1個，則列譯碼電路內需要有泵電路，此泵電路之圖案面積變大，仍造成列譯碼電路之圖案面積增加之問題。

又，於列譯碼電路內，設字線所連接之電晶體爲1條字線連接1個，且於列譯碼電路內不設泵電路之情況下，無法將寫入用高電壓降低電位傳送至字線，無法實現充分的資料寫入動作之危險性增高，而造成問題。

發明要點

故，本發明之目的在提供一半導體記憶裝置，其不必降低電位而可將高電壓傳送至字線，且可減少列譯碼電路之圖案面積。

又，本發明之其他目的在提供一半導體記憶裝置，其可實現價廉且可靠性高的晶片。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 7 ）

本發明之另一目的在提供一半導體記憶裝置，其不必降低電位而可將高電壓傳送至字線，可實現充分的資料寫入動作。

本發明之目的係藉由一種半導體裝置，予以達成，其係具備：記憶胞陣列，其係記憶胞被排列成矩陣狀者；及列譯碼電路，其係選擇前述記憶胞陣列之字線，除此之外並且將電壓在傳送至字線者；前述列譯碼電路具有：第1導電型之複數之第1電晶體，其係電流通路之一端各直接連接至各字線者；及第2導電型之第2電晶體，其係在對所選擇之字線進行電壓傳送動作時，將電壓傳送至與所選擇之字線相連接之前述第1電晶體之閘極，並與第1導電型成相反極性者；其特徵在於：對所選擇之字線所進之電壓傳送，僅係於第1導電型之第1電晶體進行。

本發明之目的係藉由一種半導體裝置予以達成，其係具備：記憶胞陣列，其係記憶胞被排列成矩陣狀者；及列譯碼電路，其係選擇前述記憶胞陣列之字線，除此之外並且將電壓傳送至字線者；前述列譯碼電路具有：第1導電型之複數之第1電晶體，其係電流通路之一端各直接連接至各字線者；及第2導電型之第2電晶體，其係在對所選擇之字線進行電壓傳送動作時，將電壓傳送至與所選擇之字線相連接之前述第1電晶體之閘極，並與第1導電型成相反極性者；其特徵在於：對前述所選擇之字線進行之電壓傳送，僅係於第1導電型之第1電晶體進行，且具有一動作，其係使施加至非選擇區塊中之前述第2電晶體之閘極的電

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 8 ）

壓，成爲比電源電壓高的電壓者。

又，本發明之上述目的係藉由一種半導體裝置予以達成，其係具備：記憶胞陣列，其係記憶胞被排列成矩陣狀者；及列譯碼電路，其係選擇前述記憶胞陣列之字線，除此之外並且將電壓傳送至字線者；前述列譯碼電路具有：第1導電型之複數之第1電晶體，其係電流通路之一端各直接連接至各字線者；第1電壓切換電路，其含有第2導電型之第2電晶體，其係於對所選擇之字線進行電壓傳送動作時，將電壓傳送至與所選擇之字線相連接之前述第1電晶體的閘極，與第1導電型成相反極性者，並將電壓施加至前述第1電晶體之閘極者；邏輯電路，其係接收列位址信號，將區塊之選擇·非選擇的判別結果予以輸出者；及第2電壓切換電路，其係接收前述邏輯電路之輸出信號，將信號輸出至前述第1電壓切換電路者；其特徵在於：向前述所選擇之字線進行之電壓傳送，僅係於第1導電型之第1電晶體進行，且前述第2電壓切換電路中之最高電壓電平，係比前述第1電壓切換電路中之最高電壓電平低。

依上述構造，對所選擇之字線所進行之電壓傳送，僅係於第1導電型之第1電晶體進行之故，於列譯碼電路內字線所連接之電晶體爲1條字線連接1個，可減少列譯碼電路之圖案面積。又，經第2導電型之第2電晶體對上述第1電晶體之閘極傳送電壓之故，例如第1導電型用n通道型，第2導電型用p通道型之電晶體，則可防止依據第2電晶體之臨限值電壓之傳送電壓的電位降低，不必設泵電路而可將第

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 9 ）

1電晶體之閘極設定於高電壓。於是，可不將高電壓降低電位而可傳送至字線。

故，可不必降低電位而可將高電壓傳送至字線，且可減少列譯碼電路之圖案面積。

又，可實現圖案面積小的列譯碼電路之故，可實現價廉且可靠性高的晶片。

又，可不必降低電位而可傳送高電壓至字線，可實現充分的資料寫入動作。

圖式說明

圖1爲習知半導體記憶裝置之列譯碼電路及記憶胞陣列之一部分的構造例的電路圖，

圖2爲習知半導體記憶裝置之列譯碼電路及記憶胞陣列之一部分的其他構造例的電路圖，

圖3爲本發明之實施形態之半導體記憶裝置的說明圖係NAND胞型EEPROM之概略構造之方塊圖，

圖4A爲圖3所示記憶胞陣列之1個NAND胞部分的圖案之平面圖，

圖4B爲圖3所示記憶胞陣列之1個NAND胞部分的等效電路圖，

圖5A爲圖4A之5A-5A線之剖面圖，

圖5B爲圖4A之5B-5B線之剖面圖，

圖6爲上述NAND胞配列成矩陣狀之記憶胞陣列之等效電路圖，

圖7爲本發明之第1實施形態之半導體記憶裝置之列譯碼

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 10 ）

電路及記憶胞陣列之一部分的構造例的電路圖，

圖8爲本發明之第1實施形態之半導體記憶裝置之資料寫入動作的時序圖，

圖9爲本發明之第1實施形態之半導體記憶裝置之資料讀出動作的時序圖，

圖10爲本發明之第1實施形態之半導體記憶裝置之資料消去動作的時序圖，

圖11爲本發明之第2實施形態之半導體記憶裝置之列譯碼電路及記憶胞陣列之一部分的構造例的電路圖，

圖12A及12B各爲第1、第2實施形態之半導體記憶裝置之列譯碼電路內之n-井區域形狀的說明圖，

圖13爲本發明之第3實施形態之半導體記憶裝置之列譯碼電路及記憶胞陣列之一部分的構造例的電路圖，

圖14爲本發明之第4實施形態之半導體記憶裝置之列譯碼電路及記憶胞陣列之一部分的構造例的電路圖，

圖15爲本發明之實施形態之半導體記憶裝置之記憶胞陣列及列譯碼電路之第1區塊配置例表示圖，

圖16爲本發明之實施形態之半導體記憶裝置之記憶胞陣列及列譯碼電路之第2區塊配置例表示圖，

圖17爲本發明之實施形態之半導體記憶裝置之記憶胞陣列及列譯碼電路之第3區塊配置例表示圖，

圖18爲本發明之實施形態之半導體記憶裝置之記憶胞陣列及列譯碼電路之區塊配置，及n-井區域之形狀的第1例表示圖，

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 11 ）

圖19爲本發明之實施形態之半導體記憶裝置之記憶胞陣列及列譯碼電路之區塊配置，及n-井區域之形狀的第2例表示圖，

圖20爲本發明之實施形態之半導體記憶裝置之記憶胞陣列及列譯碼電路之區塊配置，及n-井區域之形狀的第3例表示圖，

圖21A至21E各爲，本發明第1至第4實施形態之半導體記憶裝置、及其他複數實施形態之半導體記憶裝置之列譯碼電路之區塊配置、及n-井區域的形狀的說明圖，

圖22爲本發明之第1至第4實施形態之半導體記憶裝置、及其他複數實施形態之半導體記憶裝置之列譯碼電路內之區塊位址譯碼部及電壓切換電路之第1構造的電路圖，

圖23爲本發明之第1至第4實施形態之半導體記憶裝置、及其他複數實施形態之半導體記憶裝置之列譯碼電路內之區塊位址譯碼部及電壓切換電路之第2構造的電路圖，

圖24爲本發明之第1至第4實施形態之半導體記憶裝置、及其他複數實施形態之半導體記憶裝置之列譯碼電路內之區塊位址譯碼部及電壓切換電路之第3構造的電路圖，

圖25爲本發明之第1至第4實施形態之半導體記憶裝置、及其他複數實施形態之半導體記憶裝置之列譯碼電路內之區塊位址譯碼部及電壓切換電路之第4構造的電路圖，

圖26爲其他多數實施形態之半導體記憶裝置之列譯碼電路之區塊配置、及n-井區域形狀的說明圖，

圖27爲其他多數實施形態之半導體記憶裝置之列譯碼電

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 12 ）

路之區塊配置、及n-井區域形狀的說明圖，

圖28爲其他多數實施形態之半導體記憶裝置之列譯碼電路之區塊配置、及n-井區域形狀的說明圖，

圖29A及29B各爲、其他多數實施形態之半導體記憶裝置之列譯碼電路之區塊配置、及n-井區域形狀的說明圖，

圖30爲本發明之第5實施形態之半導體記憶裝置之列譯碼電路之其他構造例的電路圖，

圖31A至31D各爲、圖30所示電路之電壓切換電路的具體的構造例的電路圖，

圖32爲本發明之第6實施形態之半導體記憶裝置之列譯碼電路之其他構造例的電路圖，

圖33A至33D各爲、圖32所示電路之電壓切換電路之具體的構造例的電路圖，

圖34爲本發明之其他實施形態之半導體記憶裝置的說明圖，其係將對前述各實施形態之電壓切換電路供給高電壓之電路部予以抽出表示的電路圖，

圖35爲本發明之其他實施形態之半導體記憶裝置的說明圖，其係將對前述各實施形態之電壓切換電路供給高電壓之電路部予以抽出表示的電路圖，

圖36爲NOR胞型EEPROM之記憶胞陣列的等效電路圖，

圖37爲DINOR胞型EEPROM之記憶胞陣列的等效電路圖，

圖38爲AND胞型EEPROM之記憶胞陣列的等效電路圖，

圖39爲附有選擇電晶體之NOR胞型EEPROM之記憶胞陣

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 13 ）

列的等效電路圖。

發明之詳細說明

圖3係用以說明本發明之實施形態之半導體記憶裝置，係NAND胞型EEPROM之概略構造的方塊圖。於記憶胞陣列101連接位元線控制電路(感測放大兼資料閂鎖) 102，其係用以進行資料寫入·讀出·再寫入及判別(verify)讀出者。此位元線控制電路102連接於資料輸出入緩衝器106，將行譯碼電路103之輸出作爲輸入予以接收，該行譯碼器103係接收來自位址緩衝器104之位址信號者。

又，於上述記憶胞陣列101連接：列譯碼電路105，其係用以控制控制閘及選擇閘者；及基板電位控制電路107，其係用以控制形成有該記憶胞陣列101之p型矽基板(或p型井區域)之電位者。又，於資料寫入動作時，爲了各產生寫入用電高壓Vpp (約20 V)及中間電壓Vmg (約10 V)，設置寫入用高電壓產生電路109及寫入用中間電壓產生電路110。又，於資料讀出時，爲了產生讀出用中間電壓Vread，設置讀出用中間電壓產生電路111。又，於消去動作時，爲了產生消去用高電壓Vpp (約20 V)，設置消去用高電壓產生電路112」

位元線制電路102主要包含CMOS正反器(flip-flop)，進行寫入用之資料閂鎖、或位元線電位讀出用之感測動作、或寫入後判別讀出用之感測動作、及再寫入資料之閂鎖。

圖4A及4B各爲上述記憶胞陣列101之一個NAND胞部分之圖案平面圖及等效電路圖。圖5A、5B各爲圖4A之5A-

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 14 ）

5A線、及5B-5B線的剖面圖。於由元件分離氧化膜12所包圍之p型矽基板(或p型井區域)11，形成包含複數NAND胞之記憶胞陣列。若著眼於1個NAND胞予以說明，本實施樣態係由8個記憶胞M_1~M_8串聯構成1個NAND胞。

記憶胞M_1~M_8各於基板11上隔著閘絕緣膜13，形成浮動閘14(14_1、14_2、…、14_8)，於其上隔著絕緣膜15，形成控制閘16(=字線：16_1、16_2、…、16_8)。該等記憶胞之源·汲之n型擴散層19(19_0、19_1、…、19_{10})係以相鄰者彼此共用之形式予以連接，依此，記憶胞被串聯。

NAND胞之汲側、源側各設有選擇閘14_9、16_9及14_{10}、16_{10}，其係與記憶胞之浮動閘、控制閘同時形成者。形成有元件之基板11上被CVD氧化膜17覆蓋，於其上配設位元線18。位元線18係與NAND胞之一端的汲側擴散層19接觸(contact)。於列方向平行之NAND胞之控制閘16係共同的配設作爲控制閘線CG(1)、CG(2)、…CG(8)。該等控制閘係成爲字線。選擇閘14_9、16_9及14_{10}、16_{10}各係配設作爲於列方向連續的選擇閘線SG(1)、SG(2)。

圖6表示此種NAND胞成矩陣配列之記憶胞陣列之等效電路。共有同一字線或選擇閘線之NAND胞群稱爲區塊。圖6中之虛線所圍住之區域定義爲1個區塊。於一般的讀出·寫入動作時，複數區塊中只選擇1個(稱爲「選擇區塊」)。

圖7表示本發明之第1實施形態之半導體記憶裝置之列譯碼電路及記憶胞陣列之一部分的構造例。圖7表示在將1區塊分之電路內的元件配置於記憶胞區塊2之兩側的情況之

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 15 ）

構造。圖7所示電路之特徵爲：控制閘線CG(1)~CG(8)及選擇閘線SG(1)、SG(2)上所連接之電晶體QN0~QN10僅有n通道型；控制閘線CG(1)~CG(8)所連接之電晶體QN0~QN8，係爲1條控制閘線連接1個；於電壓切換電路54A之輸出節點N1及電源節點VPPRW之間，設置PMOS電晶體QP11、QP12，其中該電壓切換電路54A係設定控制閘線CG(1)~CG(8)或選擇閘線SG(1)、SG(2)所連接之電晶體QN0~QN10之閘電壓者。

即，控制閘線CG(1)~CG(8)及信號輸入節點CGD1~CGD8之間，各連接NMOS電晶體QN1~QN8之電流路徑。又，選擇閘線SG(1)及信號輸入節點SGD、SGDS間各連接NMOS電晶體QN0、QN9之電流路徑。又，於選擇閘線SG(2)及信號輸入節點SGS間連接NMOS電晶體QN10之電流路徑。

上述電壓切換電路54A之構造包含：PMOS電晶體QP11、QP12、NMOS電晶體QN11、QN12及反相器55。上述PMOS電晶體QP11、QP12、NMOS電晶體QN11、QN12係被連接作爲正反器56，上述PMOS電晶體QP11、QP12之電流路徑之一端及背閘各共同連接於一方之電源節點VPPRW。上述NMOS電晶體QN11、QN12之電流通路連接於上述PMOS電晶體QP11、QP12之電流通路之另一端及另一方之電源節點，例如連接於接地點間。上述PMOS電晶體QP11之閘連接至上述PMOS電晶體QP12之電流路徑之另一端及節點N1，上述PMOS電晶體QP12之閘連接至上述PMOS電晶體QP11之電流通路之另一端。又，反相器55之

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 16 ）

輸出端連接至NMOS電晶體QN12之閘，輸入端連接至NMOS電晶體QN11之閘。

NAND閘57之第1輸入端被供給信RDEC，第2至第4輸入端各被供給信號RA1、RA2、RA3。此NAND閘57之輸出端連接反相器58之輸入端及節點N2。又，上述反相器58之輸出端(節點N0)連接上述反相器55之輸入端及NMOS電晶體QN11之閘。

又，圖7中之信號RDEC係爲列譯碼啓動信號，於一般資料寫入·讀出·消去動作中爲Vcc，於非動作中爲0V。又，信號RA1、RA2、RA3各爲區塊位址信號，於選擇區塊中全部爲Vcc，於非選擇區塊中則至少有1個爲0V。故，只有動作中之選擇區塊之節點N0爲Vcc，於非動作中或非選擇區塊中，則節點N0經常保持爲0V。

表示使用圖7之電路之情況的資料寫入、資料讀出、及資料消去動作的時序表各示於圖8至10。以下簡單說明各動作之時序。又，圖8及9以後之資料寫入·讀出動作，雖係以於選擇區塊中之8條控制閘線CG(1)~CG(8)中選擇控制閘線CG(2)之情況爲例予以說明，但在選擇其他控制閘線之情況亦相同。

圖8所示之資料寫入動作中，動作開始後，首先，選擇區塊之列譯碼電路成選擇狀態，節點N0、N1或Vcc，節點N2成0V。又，寫入資料爲"0"資料之位元線被自0V充電至Vcc，並且選擇區塊內之SG(1)成爲[Vcc-Vtsg]。接著，電源節點VPPRW係Vcc成爲(20V+Vtn)(其中，Vth爲

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 17 ）

直接連接於控制閘線CG(1)~CG(8)之NMOS電晶體QN1~QN8之臨阻值電壓），藉此，電壓切換電路54A之輸出節點N1亦自Vcc成爲(20V+Vtn)。

接著，信號輸入節點CGD2自0V成爲20V，信號輸入節點CGD1、CGD3~CGD8自0V成爲10V後，控制閘線所連接之NMOS電晶體之閘電壓於此時爲(20V+Vtn)之故，電壓自信號輸入節點CGDi傳送至控制閘線CG(i)，而電位並不會下降，控制閘線CG(2)自0V成爲20V，控制閘線CG(1)、CG(3)~CG(8)自0V成爲10V。此時，"1"寫入位元線所連接之選擇區塊內之NAND胞之通道路電壓Vchannel被固定於0V，"0"寫入位元線所連接之選擇區塊內之NAND胞之通道部電壓Vchannel因與控制閘線電容耦合之影響而上升至約8 V。藉由保持於此狀態一段時間，對資料寫入爲"1"之記憶胞的浮動閘進行電子注入，執行資料寫入。接著，選擇區塊內之控制閘線CG(1)~CG(8)全部成0V後，"0"資料寫入位元線或選擇閘線SG(1)成0V，除此之外，電源節點VPPRW亦成0V。最後，源線(Cell-Source)成0V，並且節點N0、N1、N2各成0V、0V、Vcc，資料寫入動作結束。

圖9所示之資料讀出動作中，動作開始後，首先，選擇區塊之列譯碼電路成選擇狀態，節點N0、N1或Vcc，節點N2成0V。又，將進行資料讀出之位元線予以預充電(pre-charge)至Vcc。接著，電節節點VPPRW或節點N1成(4V+Vtn)，除此之外，信號輸入節點CGD1、CGD3~CGD8

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 18 ）

或信號輸入節點SGD、SGS自0V成爲4V，信號輸入節點CGD2被固定於0V後，控制閘線或選擇閘線所連接之NMOS電晶體之閘極被施加4V加臨阻值電壓之高電壓之故，電壓被傳送至控制閘線或選擇閘線而電位不會降低。故，於此時，選擇區塊內之非選擇之控制閘線CG(1)、CG(3)~CG(8)、選擇閘線SG(1)、SG(2)自0V成爲4V，被選擇之控制閘線係固定於0V。藉由保持於此狀態一段時間，所選擇之記憶胞之資料被讀出。接著，所選擇之區塊內之控制閘線CG(1)~CG(8)及選擇閘線SG(1)、SG(2)全部成爲0V，除此之外，電源節點VPPRW自(4V+Vtn)成爲Vcc，位元線成爲0V，又節點N0、N1、N2各成爲0V、0V、Vcc，依此，資料讀出動作結束。

圖10所示之資料消去動作中，動作開始後，首先，選擇區塊之列譯碼電路成選擇狀態，節點N0、N1成Vcc，節點N2成0V。又，信號輸入節點SGD、SGS、SGDS全部成Vcc之故，選擇區塊·非選擇區塊兩者之選擇閘線SG(1)、選擇區塊之選擇閘線(2)全部被充電至(Vcc-Vtn)爲止後，成爲浮動狀態。又，於此時，非選擇區塊中之控制閘線或選擇閘線SG(2)全部保持於約0V之原狀直接成爲浮動狀態。接著，構成記憶胞陣列之p型井區塊(Cell-pwell)自0V成爲20V後，浮動狀態中之選擇區塊·非選擇區塊兩者之選擇閘線SG(1)、SG(2)或非選擇區塊中之控制閘線全部因與p型井區塊電容耦合之影響而上升至約20V，僅有選擇區塊中之控制閘線被固定於0V。藉由保持於此狀態一段

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 19 ）

時間，進行自選擇區塊中之記憶胞浮動閘向p型井區域之電子放出，執行資料之消去。接著，依p型井區域成爲0V，浮動狀態中之選擇區塊·非選擇區塊兩者之選擇閘線SG(1)、SG(2)或非選擇區塊中之控制閘線全部因與p型井區塊電容耦合之影響，降低至約0V~Vcc之電壓，其係固定於0V。最後，節點N0、N1、N2各成0V、0V、Vcc，資料消去動作結束。

如上所述，圖7所示之列譯碼電路中，於資料寫入動作時或資料讀出動作時，藉由對電源節點VPPRW施加比施加至控制閘線·選擇閘線之最高電壓高Vtn（傳送電壓之電晶體QN0~QN10之臨限值電壓）以上之高電壓，即使1條控制閘線·選擇閘線所連接之電晶體僅爲NMOS電晶體，亦可不會降低電位而可將寫入用高電壓或讀出用高電壓施加至控制閘線，可實現可靠性高的動作。

又，藉由將1條控制閘線所連接之電晶體設爲1個NMOS電晶體，可實現元件數少的列譯碼電路，因列譯碼電路之圖案面積縮小使得晶片尺寸縮小，即可降低晶片成本。

藉由使用電壓切換電路54A（其係經由與控制閘線或選擇閘線所連接之電晶體成相反極性之PMOS電晶體OP11、OP12，輸出"高"(High)電平電壓者），可構成元件數少且圖案5用面積小的電壓切換電路54，可實現元件數少且圖案5用面積小的列譯碼電路，因列譯碼電路之圖案面積縮小使得晶片尺寸縮小，即可減低晶片成本。

圖11表示本發明之第2實施形態之半導體記憶裝置的列

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 20 ）

譯碼電路的其他部分的構造例。圖11之電路與圖7相異之部分爲電壓切換電路54B之電路構造，電源節點VPPRW與電晶體QP11、QP12間設空乏型NMOS電晶體QD1。表示使用圖11之電路之情況的資料寫入·讀出·消去之各動作之時序表，係與圖8至10相同。

以下說明設置上述電晶體QP1所得之優點。

圖7之電路中，對PMOS電晶體QP11、QP12之源極或對構成QP11、QP12之n井區域，施加直接電源節點VPPRW之電位電平之故，與選擇區塊·非選擇區塊無關，必須將全部的區塊中之電晶體QP11、QP12之源極·n井區域充電至電源節點VPPRW之電位電平。通常，1個晶片內之區塊數約有數自個至數千個之故，將數百至數千個元件之源極或n井區域予以同時充電，使電源節點VPPRW之電容值變爲非常大的值。資料寫入動作或讀出動作係對電源節點VPPRW施加(20V+Vtn)或(4V+Vtn)之升壓電壓之故，電源節點VPPRW之電容值若變大，會產生升壓電壓產生電路之面積增加、耗電增加、升壓電壓之充電所需時間變長導致動作時間變長等問題。

另一方面，圖11之電路中，選擇區塊中之節點N0之電壓爲"高"(High)電平(=Vcc)之故，被輸入至電晶體QP1之閘極的節點N1之電壓成爲"高"電平(=VPPRW電位電平)、電晶體QP11、QP12之源·n井電位即N3之電位成爲"高"電平(=VPPRW電位電平)，故與有無電晶體QP1無關，可實現圖8至圖10之動作。圖11之電路使用時之非選擇區塊中，

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 21 ）

節點N0之電壓爲"低" (Low)電平即0V之故，被輸入至電晶體QP1之閘極之節點N1之電壓被固定於0V，故節點N3爲Vtd (其中，Vtd爲電晶體QD1之閘電壓=0V時，可經電晶體QD1傳送之電壓的最大值，通常爲Vcc以下之電壓)。

如此，藉由使用圖11之電路，於選擇區塊與非選擇區塊，可改電晶體QP11、QP12之源．n井電位。

圖12A及12B表示構成前述電晶體QP11、QP12之n井區域的形狀。圖12A及圖12B各表示使用圖7及圖11之電路構造之情況之n井區塊的形成例。於圖7之電路中，於全區塊中n井電壓爲同電位之故，如圖12A所示，通常係使用涵蓋全部區塊Block1~BlockN形成1個n井區域，於此區域NW形成PMOS電晶體QP11、QP12之方式。

另一方面，圖11之電路中，於選擇區塊．非選擇區塊間n井電壓相異之故，如圖12B所示，對各區塊Block至BlockN各形成1個n井區塊NW1~NWN，於該等區域NW1~NWN形成PMOS電晶體QP11、QP12之方式較有效。對各區塊分割n井區域，僅對選擇n井區域以比電源電壓高之升壓電壓(20V或4V等)進行充電，藉此可大幅減少升壓電壓之負載電容值。故，可實現升壓電壓產生電路之面積削減、耦電降低、升壓電壓之充電荷需時間縮短所造成之動作高速化等。

圖13表示本發明之第3實施形態之半導體記憶裝置之列譯碼電路之其他部分的構造例。圖13之電路與圖7B圖11之電路的相異處僅係電壓切換電路54C之構造。此電壓切

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 22 ）

換電路54C之構造包含：空乏型NMOS電晶體QD2、PMOS電晶體QP13及空乏型NMOS電晶體QD3、QD4。上述NMOS電晶體QD2之電流路徑之一端係連接於電源節點VPPRW，閘極係連接於節點N1。上述PMOS電晶體QP13之電流路徑之一端及背閘(back gate)係連接於上述NMOS電晶體QD2之電流路徑之另一端，電流路徑之另一端係連接於節點N1，閘極係連接於NAND（反及）閘57之輸出端。上述NMOS電晶體QD3之電流通路之一端係連接於節點N1，閘極被施加電源電壓Vcc。，上述NMOS電晶體QD4之電流通路之一端係連接於上述NMOS電晶體QD3之電流路徑之另一端，電流路徑之另一端係連接於反相器58之輸出端，閘極被供給信號TRAN。

圖13之電路的動作波形係與圖8至圖10所示之波形相同，又，圖13中之節點N4之電壓係與圖11中之節點N3相同。故，於使用圖13之電路之情況下，亦與使用圖11之電路之情況相同，於選擇區塊。非選擇區塊間，節點N4之電壓相異，即對節點N1傳送"高"電平(=升壓電壓)之PMOS電晶體QP13之源或n井區域之電壓，於選擇．非選擇區塊間相異。故，可使用如圖12B之n井構造，於是可減少升壓電壓之負載電容。又，信號TRAN通常係使用作爲0V固定，於非選擇區塊中節點N0爲0V之故，經空乏型NMOS電晶體QD4、QD3將0V傳送至節點N1。又，選擇區塊中，節點N0=Vcc、節點N1≧Vcc之故、NMOS電晶體QD4成爲"關"狀態，保持節點N1之"高"電平。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 23 ）

上述圖13之電路之其他優點在於：第1，構成電壓切換電路54C之元件數比圖11之電路少(圖11爲7個→圖13爲4個)；第2，PMOS電晶體QP13之源・汲・n井區域間之電位差變小。關於後者，在電晶體QP13爲"開"之情況下一直係源＝汲＝n井區域，於"關"之情況下，爲源＝n井區域＝Vtd(惟，Vtd係於QD2之閘電壓＝0V時，可經電晶體QP2傳送之電壓的最高值，通常爲Vcc以下之電壓)，且汲＝0V之故，無論有沒有施加寫入用高電壓(約20V)之動作，源・汲・n井區域間之電位差即使最高亦只會達到約Vcc。

又，上述實施形態中，如圖7、11及13所示，雖係以將驅動1區塊內之控制閘線・選擇閘線之列譯碼電路配置於記憶胞陣列兩側之情況爲例說明本發明，但在其他情況，例如圖14所示，在將與1個區塊對應之列譯碼電路配置於記憶胞陣列單側之情況下，本發明亦有效。圖14中雖未具體表示電壓切換電路54D之電路構造，但如圖7、11及13之電路，可使用各種電路構造。

次之，將列譯碼電路之配置例示於圖15至17。圖15表示將驅動1個區塊內之控制閘線・選擇閘線之列譯碼電路配置於記憶胞陣列兩側之情況，與圖11及13之實施形態相當。圖16及17皆表示將與1個區塊對應之列譯碼電路配置於記憶胞陣列單側之情況，與圖14相當。作爲1區塊分之列譯碼器圖案之寬度(間距)，在使用圖15之方式之情況下係爲1個NAND胞長(1個NAND胞之位元線方向的長度)，而在使用圖16及17之方式之情況下係爲2個NAND胞

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 24 ）

長，故可確保寬間距。

於上述圖15至圖17加上PMOS電晶體形成用n井區域者係示於圖18至20。圖15至17各對應於圖18至20。由圖18至20可知，在使用圖14之方式之情況下，與使用圖11及圖13之情況相比，列譯碼電路之圖案形成用間距成爲2倍，此情況下之PMOS電晶體形成用n井區域之間距亦成2倍。因此，可緩和設計規則，可實現可靠性更高、良品率亦更高之晶片。又，將來即可設計規則再縮小，在使用圖14之方式之情況下，比使圖11及圖13之方式之情況，對每一區塊將n區域予以分割形成之可能性高(或準確率高)。

惟，上述n井區域之配置亦可有上述方式之外之配置法，例如可配置成圖21A至21E所示。圖21A至21E爲列譯碼區域之表示圖。僅示出與列譯碼器之圖案形成區域相鄰接之區塊。

圖21A係表示圖18、19及20之方式(即等於將圖21A之方式適用於圖15至17之區塊配置之方式)，於相鄰接之Block-i、Block-j之各區域內，形成n井區域NWi、NWj。

圖21B、21C及21D係對各區塊所對應之列譯碼器區域，n井區域NWi、NWj跨複數區塊Block-i、Block-j而形成之情況，在n井區域NWi、NWj周邊之設計規則無法納入列譯碼器形成用之1區塊分的間距內之情況下，如圖21B、21C及21D所示，於2區塊分之區域內形成1個n井區域之方法爲有效。

將來在設計規則變更嚴時，如圖21E，只要在4個區塊

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 25 ）

Block-i~Block-L分之區域內形成1個井區域NWi~NWl即可，又如於3個或5個以上之區塊分之區域內形成1個n井區域等，可應用各種方式。

如此，將圖21B至21E之方式使用於圖15至17之區域配置之方式，在設計規則縮小時非常有效。特別是如上述PMOS電晶體QP11、QP12、QP13等，被施加比電源電壓高的電壓(升壓電壓等)之n井區域係難以縮小設計規則，故依上述方式之間距增加、設計規則緩和係爲效果極大之方法。

又，圖11、12A、12B、13、14及圖18及20、、圖21A至21E，說明對1區塊分之列譯碼電路以1個之比例設置PMOS電晶體形成用n井區域之情況的實施樣態。惟，本發明在其他情況，例如於相鄰接之區塊間共有1個n井區域之情況等亦爲有效。

圖22至25係表示上述電路之情況、及於相鄰接之區塊間共有1個n井區域之情況之相鄰的2個分的列譯碼電路中，位址譯碼部．電壓切換電路部54 (54A、54B、54C、54D)之電路構造例。圖22相當於圖11之電路，圖23相當於圖13之電路。圖24係爲於相鄰接之區塊間共有1個n井區域之情況的電路構造例，係以圖11之電路爲基本者。圖25係於相鄰接之區塊間共有1個n井區域之情況的電路構造例，係以圖13之電路爲基本者。圖24係依圖22，元件數雖未增加，圖25係對圖23，對每1區塊追加1個空乏型NMOS電晶體者。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 26 ）

在使用圖24及25所示之電路時，在選擇共有n井區域之2區塊中之任一者或兩者之情況下，n井區域成爲選擇時電壓(寫入時爲20V+Vtn、讀出時爲4V+Vtn、消去時爲Vcc)，於其他情況下，n井區域係設定爲非選擇時電壓Vtd。此情況下，被施加升壓電壓之n井區域亦僅包含選擇區塊之故，升壓電壓之負載電容與習知情況(相當於圖12A)相比，大幅降低。

又，圖22至25之相鄰區塊，係以Block-i及Block-(i+1)之連續位址的區塊在列譯碼電路區域中相鄰接之情況爲例，說明本發明，但即使在非連續位址之區塊之情況下，在列譯碼電路區域相鄰接的區塊間將n井區域共通化的情況，本發明即爲有效自不在話下。

圖26至28表示使用圖24及25所示電路構造時之n井區域的形成例，係於相鄰接之區塊間共有1個n井區域之構造。依使用圖24、25及26至28之方式，可比使用圖22、23及18至20之情況，加寬n井區域之間距，故，可緩和n井區域周邊之設計規則，而可提升可靠性及良品率。特別是如上述PMOS電晶體QP11、QP12、QP13等，被施加比電源電壓高的電壓(升壓電壓等)之n井區域，因設計規則難以縮小，依上述方法增加間距、緩和設計規則極爲有效。

又，若使用圖24、25及26至28之方法，n井區域減半之故，具有可縮小列譯碼電路之圖案面積之優點。又，緩和設計規則之方法如圖29A及29B，有將2區塊共通之n井區域於3~4區塊間距設置1個的方法，此係與圖18與20對應

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 27 ）

之圖21B至21D之方式相同之想法。圖29A及29B之方法亦非常有效。

於圖30表示本發明之第5實施形態之半導體記憶裝置之列譯碼電路的其他部分之構造例。此圖30所示之電路係於圖14所示之電路上附加電壓切換電路54E之構造。即，於NAND（反及）閘57之第1輸入端供給列譯碼器啓動信號RDEC，對第2及第4輸入端各供給區域位址信號RA1、RA2、RA3。此NAND閘57之輸出端連接反相器58之輸入端，此反相器58之輸出信號in1被供給至電壓切換電路54D、54E。上述電壓切換電路54E被施加電壓Vm作爲動作電源電壓。又，上述電壓切換電路54E之輸出信號out 1被供給至電壓切換電路54D。其他電路部與圖14所示電路相同之故，對相同部分註以相同符號而省略其詳細說明。

圖31A至31D各表示上述圖30所示電路之電壓切換電路54E之具體構造例之電路圖。於任一電壓切換電路54E皆被輸入反相器58之輸出信號in1，於此信號in1爲高電平時輸出0V，於信號in1爲低電平時輸出Vm電平之信號out 1。

圖31A所示之電路構造包含反相器INVa、NMOS電晶體QN13、QN14及PMOS電晶體QP14、QP15。反相器58之輸出信號in1各被供給反相器INVa之輸入端及NMOS電晶體QN14之閘極。上述反相器INVa之輸出端連接NMOS電晶體QN13之閘極。NMOS電晶體QN13、QN14之源極連接於另一方之電源節點例如接地點，於各汲極與電壓節點Vm之間，PMOS電晶體QP14、QP15之汲極、源極間各被連接。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 28 ）

上述PMOS電晶體QP14之閘極連接於PMOS電晶體QP15與NMOS電晶體QN14之汲極共通連接點，上述PMOS電晶體QP15之閘極，連接於PMOS電晶體QP14與NMOS電晶體QN13之汲極共通連接點。又，上述電晶體QP15、QP14之汲極共通連接點所得之輸出信號out 1被供給至電壓切換電路54D之輸入端。

又，圖31B所示之電路之構造包含：反相器INVb、NMOS電晶體QN15、QN16、PMOS電晶體QP16、QP17及空乏型NMOS電晶體QD5。反相器58之輸出信號in1各被供給至反相器INVb之輸入端及NMOS電晶體QN16之閘極。上述反相器INVb之輸出端連接NMOS電晶體QN15之閘極。NMOS電晶體QN15、QN16之源極共同連接至接地點，各汲極各連接於PMOS電晶體QP16、QP17之汲極。上述PMOS電晶體QP16之閘極連接至PMOS電晶體QP17及NMOS電晶體QN16之汲極共通連接點，上述PMOS電晶體QP17之閘極連接至PMOS電晶體QP16及NMOS電晶體QN15之汲極共通連接點。上述PMOS電晶體QP16、QP17之源極與電壓節點Vm之間，空乏型NMOS電晶體QD5之汲極、源極間被連接，其閘極連接至電晶體QP17、QP16之汲極共通連接點。又，自上述電晶體QP17、QP16之汲極共通連接點所得之輸出信號out 1，被供給至電壓切換電路54D之輸入端。

圖31C所示之電路之構造包含：NMOS電晶體QN17、PMOS電晶體QP18、及空乏型NMOS電晶體QD6。上述各電晶體QN17、QN18、QD6之電流通路係在接地點而與電壓

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 29 ）

節點Vm間串聯，上述反相器58之輸出信號in1係被供給至上述電晶體QN17、QN18之閘極。又，上述電晶體QD6之閘極連接至上述電晶體QN17、QN18之汲極共通連接點。又，自上述電晶體QN17、QN18之汲極共通連接點所得之輸出信號out 1，被供給至電壓切換電路54D之輸入端。

又，圖31D所示之電路之構造包含：反相器INVd、NMOS電晶體QN18、PMOS電晶體QP19及空乏型NMOS電晶體QD7。反相器58之輸出信號in1被供給至反相器INVd之輸入端及PMOS電晶體QN19之閘極。上述反相器INVd之輸出端連接NMOS電晶體QN18之電流通路之一端，此電晶體QN18之閘極被施加電源電壓Vcc。上述電晶體QN18之電流通路之另一端與電壓節點Vm之間，串聯PMOS電晶體QN19及空乏型NMOS電晶體QD7之電流通路。上述電晶體QD7之閘極連接至上述電晶體QN18與QN19之電流通路之連接點。又，自上述電晶體QN18、QN19之電流通路之連接點所得之輸出信號out 1，被供給至電壓切換電路54D之輸入端。

又，上述電壓切換電路54D之電路構造可爲以下任一電路：圖7所示電路中之電壓切換電路54A、圖11所示電路中之電壓切換電路54B、圖13所示電路中之電壓切換電路54C、或圖22至25所示方式中之任一電路。

上述圖30所示電路之電壓節點Vm之電壓可任用例如比電源電壓(或NAND閘57或反相器58之電源電壓)高、比電源節點VPPRW之最高電壓電平(通常爲寫入用高電壓Vpp

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 30 ）

之電平)低的電壓。在使用圖30之方式之情況，被輸入至電壓切換電路54D之2個信號中之一者(相當於圖30中之out 1之信號)之"高"狀態時之電壓電平自電源電壓升高至電壓Vm。即，非選擇區塊所對應之列譯碼電路內，NAND閘57之輸出成爲"高"之故，反相器58所輸出之信號in1成爲"低"電平之故，信號out 1成爲Vm電平。於是，Vm電平之信號被輸入至電壓切換電路54D。

使用上述圖30之電路方式之情況中特別有效者係爲電壓切換電路54D係使用圖13所示電路中之電壓切換電路54C或圖23及25所示電路構造之情況。

次之說明上述電壓切換電路54D使用圖13所示電路中之電壓切換電路54C之情況之例的效果。在使用如圖30之電路構造之情況下，非選擇區塊所對應之列譯碼器中，被輸入至電晶體QP13之閘極的電壓自電源電壓升高至Vm電平之故，具有可減低經電晶體QP13之漏電流之優點。通常在晶片中設有約數百~數萬個列譯碼電路之故，即使1個列譯碼電路內之漏電流不大，但晶片整體而言則成爲很大的漏電流。因此，使用圖30所示電路之漏電流減低方式可得極大的效果。此效果不僅係在將圖13所示電路中之電壓切換電路54C使用於圖30之電壓切換電路54D之情況，在使用於圖23及25之電路方式之情況亦可得相同之效果。

且圖31B至31D所示之電路使用空乏型NMOS電晶體QD5~QD7。被施加至該等電晶體QD5~QD7之電壓電平的最高值Vm，係比施加至圖11及13、圖22至25所示電路中

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 31 ）

之空乏型NMOS電晶體QD1~QD4之電壓電平的最高值VPPRW的最高電平（通常爲Vpp）低。因此，電晶體QD5~QD7之閘氧化膜厚可做成比電晶體QD1~QD4之閘氧化膜厚薄。故，與閘氧化膜厚較厚之情況相比，電晶體QD5~QD7之面積可縮小（因施加最高電壓越低，閘氧化膜厚之薄膜化導致單位面積的電晶體的電流量增加之故，電晶體之圖案占有面積可縮小）。

依相同之理由，電晶體QP14~QP19、QN13~QN18之閘氧化膜厚亦可做成比電晶體QP11~QP13、QN13~QN18薄。故，於此情況下，電晶體之圖案占有面積可做成比閘氧化膜厚薄的情況小。

至此爲止雖係說明使用圖30及圖31A至31D之第5實施形態，但本發明可有各種變更，例如在使用圖32及圖33A至33D之電路構造之情況下，本發明亦具效果。

圖32表示本發明之第6實施形態之半導體記憶裝置的列譯碼電路的一部分之構造例。此圖32所示電路係將上述圖30所示電路之反相器58之輸出信號in1及NAND閘57之輸出信號in2，各供給至電壓切換電路54F，將此電壓切換電路54F之輸出信號out 1、out 2供給至電壓切換電路54D。

圖33A至33D各爲上述圖32所示電路之電壓切換電路54F之具體構造例的電路圖。於該等電壓切換電路54F，輸入反相器58之輸出信號in1及NAND閘57之輸出信號in2，圖33A及33B所示電路中，信號in1爲"高"電平（信

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 32 ）

號in2爲"低"電平)時，信號out 1爲0V、信號out 2爲Vm電平，於信號in1爲"低"電平信號in2爲"高"電平)時，信號out 1爲Vm電平、信號out 2爲0V。又，圖33C及33D所示電路中，信號in1爲"高"電平(信號in2爲"低"電平)時，信號out 1爲0V、信號out 2爲Vcc電平，於信號in1爲"低"電平(信號in2爲"高"電平)時，信號out 1爲Vm電平、信號out 2爲0V。

圖33A所示電路之構造包含：NMOS電晶體QN13、QN14及PMOS電晶體QP14、QP15。反相器58之輸出信號in1被供給至NMOS電晶體QN14之閘極，NAND閘57之輸出信號in2被供給至NMOS電晶體QN13之閘極。上述NMOS電晶體QN13、QN14之源極連接至接地點，於汲極與電壓節點Vm之間，PMOS電晶體QP14、QP15之汲極、源極間各被連接。上述PMOS電晶體QP14之閘極連接至PMOS電晶體QP15與NMOS電晶體QN14之汲極共通連接點。又，自上述電晶體QP15、QN14之汲極共通連接點所得之輸出信號out 1、自上述電晶體QP14、QN13之汲極共通連接點所得之輸出信號out 2，各被供給至電壓切換電路54D之輸入端。

又，圖33B所示電路之構造包含：NMOS電晶體QN15、QN16、PMOS電晶體QP16、QP17、及空乏型NMOS電晶體QD5。反相器58之輸出信號in1被供給至NMOS電晶體QN16之閘極、NAND閘57之輸出信號in2被供給至NMOS電晶體QN15之閘極。上述NMOS電晶體QN15、QN16之源極連接至接地點，汲極各連接PMOS電晶體QP16、QP17之

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 33 ）

汲極。上述PMOS電晶體QP16之閘極連接至PMOS電晶體QP17與NMOS電晶體QN16之汲極共通連接點，上述PMOS電晶體QP17之閘極連接至PMOS電晶體QP16與NMOS電晶體QN15之汲極於上述PMOS電晶體QP16、QP17之源極與電壓節點Vm之間，空乏型NMOS電晶體QD5之汲極、源極間被連接，其閘極連接至電晶體QP17、QN16之汲極共通連接點。又，自上述電晶體QP17、QN16之汲極共通連接點所得之輸出信號out 1、及自上述電晶體QP16、QN15之汲極共通連接點所得之輸出信號out 2，各被供給至電壓切換電路54D之輸入端。

圖33C所示電路之構造包含：反相器INVe、NMOS電晶體QN17、PMOS電晶體QP18及空乏型NMOS電晶體QD6。上述各電晶體QN17、QP18、QD6之電流通路，係於接地與電壓節點Vm間串聯，上述反相器58之輸出信號in1係被供給至上述電晶體QN17、QP18之閘極。又，上述電晶體OD6之閘極連接至上述電晶體QN17、QP18之汲極共通連接點。又，上述NAND閘57之輸出信號in2係被供給至反相器INVe之輸入端。又，自上述電晶體QN17、QP18之汲極共通連接點所得之輸出信號out 1、及自上述反相器INVe之輸出端所得之輸出信號out 2，各被供給至電壓切換電路54D之輸入端。

又，圖33D所示電路之構造包含：反相器INVf、NMOS電晶體QP18、PMOS電晶體QP19及空乏型NMOS電晶體QD7。反相器58之輸出信號in1係被供至PMOS電晶體

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 34 ）

QP19之閘極，NAND閘57之輸出信號in2各被供給至NMOS電晶體QN18之電流通路之一端及反相器INVf之輸入端。上述電晶體QN18之閘極被施加電源電壓Vcc，此電晶體QN18之電流通路之另一端與電壓節點Vm之間，PMOS電晶體QP19與空乏型NMOS電晶體OD7之電流通路被串聯。上述電晶體QD7之閘極連接上述電晶體QN18與QP19之電流通路之連接點。又，自上述電晶體QN18、QP19之汲極共通點所得之輸出信號out 1、及自上述反相器INVf之輸出端所輸出之信號out 2，各被供給至電壓切換電路54D之輸入端。

於使用上述圖32及圖33A至33D之電路構造的情況，亦具有與前述圖30及圖31A至31D之前述電路構造相同之特點，可獲實質上相同之作用效果。

又，用以構成上述圖31A至31D及圖33A至33D所示電路之PMOS電晶體QP14~QP19的n井區域，於圖31A及33A所示電路之情況係於各區塊間對n井區域施加電壓VPPRW之故，可使用前述圖12A之構造。另一方面，圖31B至31D及圖33B至33D所示構造中，n井電壓並非共通者之故，可使用圖12B、18、19、20、21A至21E、26、27、28、29A及29B所示之構造。

圖34及35係用以說明本發明之其他實施形態之半導體記憶裝置者，係將對前述第1至第5實施形態之電壓切換電路54(54A~54D)施加電壓VPPRW之電路部予以抽出表示者。該等電路係依信號Active，於預備(stand-by)時及活性化時

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 35 ）

切換電源節點VPPRW之狀態者。

即，圖34所示電路部之構造包含：高電壓產生電路60、反相器61、PMOS電晶體QP20及空乏型NMOS電晶體QD8。上述高電壓產生電路60之輸出端，連接電壓切換電路54之電源節點VPPRW，於此節點VPPRW與電源電壓Vcc間，前述電晶體QD8、QP20之電流通路係串聯。上述PMOS電晶體QP20之閘極，經反相器61被供給信號Active，上述空乏型NMOS電晶體QD8之閘極，被供給信號Active。

於上述構造中，信號Active係於預備時爲0V、於活性化時爲Vcc電平之信號，係基於由例如/CE接腳(pin)輸入之晶片致能信號而產生。又，上述高電壓產生電路60之構造係於預備時成爲非動作狀態者。

於預備時，依上述信號Active之0V，電晶體QP20成爲"關"(OFF)狀態之故，電源節點VPPRW成爲浮動狀態。相對於此，於活性化時信號Active成爲Vcc電平，電晶體QP20成爲"開"(ON)狀態之故，節點VPPRW被充電爲電源電壓Vcc。其後，依高電壓產生電路60，節點VPPRW被設定爲高電壓，除此之外，信號Active成爲0V、電晶體QD8成爲"關"狀態，電源節點VPPRW被自電源Vcc切離。

故，於預備時，可抑制漏電流之產生，且於活性化時(可高速充電至Vcc之故)，可加速電源節點VPPRW之電壓上升。

另一方面，圖35所示電路之構造包含：高電壓產生電路60與空乏型NMOS電晶體QD9。於高電壓產生電路60之輸

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 36 ）

出端，連接電壓切換電路54之電源節點VPPRW，此節點VPPRW與電源Vcc間，連接電晶體QD9之電流通路。又，對上述空乏型NMOS電晶體QD9之閘極，供給信號Active。

即使於此種構造中，亦進行與上述圖34之電路相同的動作，可得同樣的作用效果。

以上雖使用實施形態說明本發明，但本發明並不限定於前述實施形態，而可有各種變更。

例如於上述實施形態中，係以對選擇字元線傳送0V以上之電壓的情況爲例說明本發明，但在極性相反之情況，即在對選擇字元線傳送0V以下之電壓的情況下，本發明亦有效。於此情況下，藉由將上述電壓切換電路內之NMOS電晶體變更爲PMOS電晶體，又對上述電壓切換電路內之PMOS電晶體變更爲NMOS電晶體，並且將與字元線串聯之電晶體由NMOS電晶體變更爲PMOS電晶體，以使其極性相反之方法，便可使用本發明。

又，上述實施形態中，雖係以於列譯碼電路使用本發明之情況爲例說明本發明，但於其他情況，例如於其他周邊電路中，使用上述實施形態中之電壓切換電路或字元線連接電晶體之構造、連接關係，進行電壓傳送之情況等，可有各種變更。

又，上述實施形態雖係對於1個NAND胞中串聯的記憶胞數爲8個之情況予以說明，但即使於串聯的記憶胞並非8個而爲例如2、4、16、32、64個等情況下，同樣可使用本發明。又，於選擇閘電晶體間之記憶胞數爲1個之情況，

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 37 ）

亦同樣可使用本發明。又，於上實施形態中，雖係以NAND胞型EEPROM爲例說明本發明，但本發明並不限於上述實施形態，亦可使用於其他裝置如NOR胞型EEPROM、DINOR胞型EEPROM、AND胞型EEPROM、附有選擇電晶體之NOR胞型EEPROM等。

圖36表示NOR胞型EEPROM之記憶胞陣列的等效電路圖。此記憶胞陣列係於字元線WLj、WLj+1、WLj+2、…與位元線BL0、BL1、…、BLm之各交叉位置上，設置NOR胞Mj0~Mj+2m，各NOR胞Mj0~Mj+2m之控制閘於每一列各連接至字元線WLj、WLj+1、WLj+2、…，汲極於每一行各連接至位元線BL0，BL1、…、BLm，源極共同連接至源線SL。

又，圖37表示DINOR胞型EEPROM之記憶胞陣列的等效電路圖。DINOR胞型之記憶胞陣列設置與各主位元線D0、D1、…、Dn對應之DINOR胞。各DINOR胞的構造包含：選擇閘電晶體SQ0、SQ0、…、SQn與記憶胞M00~M31n。上述選擇閘記憶胞SQ0、SQ0、…、SQn之汲極各連接至各主位元線D0、D1、…、Dn，閘極連接至選擇閘線ST，源極各連接至局部(local)位元線LB0、LB1、…、LBn。各記憶胞M00~M31n之汲極於每一行連接至上述局部位元線LB0、LB1、…、LBn，控制閘於每一列連接至字元線W0~W31，源極共同連接至源線SL。

圖38表示AND胞型EEPROM之記憶胞陣列的等效電路圖。於AND胞型記憶胞陣列設置各主位元線D0、D1、…、

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 38 ）

Dn對應之AND胞。各AND胞之構造包含：第1選擇閘電晶體SQ10、SQ11、…、SQ1n；記憶胞M00~M31n；及第2選擇閘電晶體SQ20、SQ21、…、SQ2n。上述第1選擇閘電晶體SQ10、SQ11、…、SQ1n之汲極連接至各主位元線D0、D1、…、Dn，閘極連接至第1選擇閘線ST1，源極連接至局部位元線LB0、LB1、…、LBn。各記憶胞M00~M31n之汲極於每一行連接至局部位元線LB0、LB1、…、LBn，控制閘於每一列連接至字元線W0~W31，源極連接至局部源線LS0、LS1、…、LSn。上述第2選擇閘電晶體SQ20、SQ21、…、SQ2n之汲極各連接至各局部源線LS0、LS1、…、LSn，閘極共同連接至第2選擇閘線ST2，源極共同連接至主源線MSL。

又，圖39表示附有選擇電晶體之NOR胞型EEPROM之記憶胞陣列的等效電路圖。此記憶胞陣列係將選擇電晶體SQ與記憶胞電晶體M所成之記憶胞MC配列成矩陣狀而構成者。各選擇電晶體SQ之汲極係於每一行連接至位元線BL0、BL1、…、BLn，閘極係於每一列連接至選擇閘線ST，源極係連接至對應的記憶胞電晶體M的汲極。上述記憶胞電晶體M之控制閘係於每一列連接至字元線WL，源極係共同連接至源線SL。

又，DINOR胞型EEPROM之詳細說明請參照"H. Onoda et al., IEDM Tech. Digest, 1992, pp. 599-602"，上述AND胞型EEPROM之詳細說明請參照"H. Kume et al., IEDM Tech. Digest, 1992, pp. 991-993"。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 39 ）

又，上述各實施形態雖係以可電性改寫之非揮發性半導體記憶裝置爲例說明本發明，但本發明亦可使用於其他裝置，例如亦可使用於其他非揮發性記憶裝置或DRAM、SRAM等裝置。

雖使用以上實施形態說明本發明，但本發明並不限定於上述實施形態，於其實施階段，在不脫離其要旨之範圍內可有各種變形。又，上述實施形態包含各種階段之發明，將所揭示之複數構成要件予以適宜的組合可得到各種發明。例如即使自實施形態所示之全部構成要件中刪除若干構成要件，亦可解決本發明所欲解決之課題欄中所記載之至少1個課題，可獲得發明之效果欄中所記載之至少1個效果之情況下，可將此構成要被刪除之構造作爲發明予以抽出。

如上，依本發明，藉由在列譯碼電路內設置包含PMOS電晶體之電壓切換電路，即使於列譯碼電路內將字元線所連接之電晶體設爲1條字元線僅於1個NMOS電晶體之情況下，亦可不設置泵電路而可將NMOS電晶體之閘極設定於高電壓。

故，可不降低電位而可將高電壓傳送至字元線，且可得一能減少列譯碼電路之圖案面積之半導體記憶裝置。

又，可實現圖案面積小的列譯碼電路之故，可得一能實現價廉且可靠性高的晶片之半導體記憶裝置。

又，可不降低電位而可將高電壓傳送至字元線，可得一能實現充分的資料寫入動作之半導體記憶裝置。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

A5
B5

四、中文發明摘要（發明之名稱：僅以單一通道之電晶體將電壓傳送至所選擇之字線之半導體記憶裝置）

本發明之半導體記憶裝置具備：記憶胞陣列，其係記憶胞排列成矩陣狀者；及列記碼電路，其係選擇上述記憶胞陣列之字線，並且將電壓傳送至字線者。上述列譯碼電路具備：第1導電型之複數之第1電晶體，其係電流通路之一端各直接連接至各字線者；及第2導電型之第2電晶體，其係於對所選擇之字線進行電壓傳送之動作時，將電壓傳送至所選擇之字線上所連接之上述第1電晶體的閘極，與第一導電型成相反極性者。對上述所選擇之字線所進行之電壓傳送，僅係於第1導電型之第1電晶體進行。

日文發明摘要（發明之名稱："選択したワード線への電圧の転送を単一チャネルのトランジスタのみで行う半導体記憶装置"）

半導体記憶装置は、メモリセルがマトリクス配列されたメモリセルアレイと、上記メモリセルアレイのワード線を選択するとともに、ワード線に電圧を転送するロウデコーダ回路とを備えている。上記ロウデコーダ回路は、電流通路の一端が各々のワード線にそれぞれ直接的に接続された第１導電型の複数の第１トランジスタと、選択したワード線に電圧を転送する動作時に、選択したワード線に接続された上記第１トランジスタのゲートに電圧を転送する、第１導電型とは逆極性の第２導電型の第２トランジスタとを備えている。上記選択したワード線への電圧の転送は、第１導電型の第１トランジスタのみで行われる。

（請先閱讀背面之注意事項再填寫本頁各欄）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A8
B8
C8
D8

六、申請專利範圍

1. 一種半導體記憶裝置，其具備：記憶胞陣列，其係記憶胞被排列成矩陣狀者；及列譯碼電路，其係選擇前述記憶胞陣列之字線，除此之外並且將電壓在傳送至字線者；

前述列譯碼電路具有：第1導電型之複數之第1電晶體，其係電流通路之一端各直接連接至各字線者；及第2導電型之第2電晶體，其係在對所選擇之字線進行電壓傳送動作時，將電壓傳送至與所選擇之字線相連接之前述第1電晶體之閘極，並與第1導電型成相反極性者；

其特徵在於：對所選擇之字線所進行之電壓傳送，僅係於第1導電型之第1電晶體進行。

2. 如申請專利範圍第1項之半導體記憶裝置，其中於對前述所選擇之字線進行電壓傳送動作時，對前述第1電晶體之閘極，經由前述第2電晶體，傳送比所選擇之字線高的電壓。

3. 如申請專利範圍第1項之半導體記憶裝置，其中更具備電壓切換電路，其係設於前述列譯碼電路內，對前述第1電晶體之閘極施加電壓者；

前述第2電晶體係設於前述電壓切換電路內，於對前述所選擇之字線進行電壓傳送動作時，將比所選擇之字線的電壓高的電壓輸入至前述電壓切換電路，經由前述第2電晶體，傳送至與所選擇之字線相連接之前述第1電晶體之閘極。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

4. 如申請專利範圍第3項之半導體記憶裝置，其中前述電壓切換電路更具備第1導電型之第3電晶體，其係連接於前述第2電晶體與比前述所選擇之字線的電壓高的電壓節點之間，將前述第3電晶體之閘極設定爲與前述第1電晶體之閘極相同電位。

5. 如申請專利範圍第1項之半導體記憶裝置，其中前述記憶胞陣列係由複數之區塊所構成，各區塊係由連接於1條或複數條字線之記憶胞所構成，除此之外，前述列譯碼電路係設於每一區塊。

6. 如申請專利範圍第5項之半導體記憶裝置，其中前述第2電晶體所形成之井區域係爲第1導電型，前述井區域係分離形成於前述每一區塊。

7. 如申請專利範圍第5項之半導體記憶裝置，其中前述第2電晶體所形成之井區域係爲第1導電型，以對前述列譯碼電路之圖案區域所鄰接的2個區塊分配1個之比例形成前述井區域，僅前述2個區塊所對應之列譯碼電路內元件係形成於前述井區域。

8. 如申請專利範圍第5項之半導體記憶體裝置，其中構成前述各區塊所對應之前述列譯碼電路之元件，係匯集配置於前述各區塊之字線的一端側。

9. 如申請專利範圍第1項之半導體記憶裝置，其中直接連接至前述字線之電晶體，僅有第1導電型。

10. 如申請專利範圍第1項之半導體記憶裝置，其中直接連接至前述字線之電晶體，僅係第1導電型之1個電晶體。

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

11. 如申請專利範圍第1項之半導體記憶裝置，其中於對前述所選擇之字線進行電壓傳送動作時之前述第1電晶體之閘電壓，係爲所選擇之字線之電壓與前述第1電晶體之臨限值電壓之和以上的電壓。
12. 如申請專利範圍第1項之半導體記憶裝置，其中對前述所選擇之字線進行之電壓傳送動作，係爲資料寫入動作。
13. 如申請專利範圍第1項之半導體記憶裝置，其中前述記憶胞係爲具有選擇閘電晶體之非揮發性半導體記憶裝置之記憶胞。
14. 如申請專利範圍第1項之半導體記憶裝置，其中前述記憶胞係爲反及(NAND)型EEPROM之記憶胞。
15. 一種半導體裝置，其具備：記憶胞陣列，其係記憶胞被排列成矩陣狀者；及列譯碼電路，其係選擇前述記憶胞陣列之字線，除此之外並且將電壓在傳送至字線者；

前述列譯碼電路具有：第1導電型之複數之第1電晶體，其係電流通路之一端各直接連接至各字線者；及第2導電型之第2電晶體，其係在對所選擇之字線進行電壓傳送動作時，將電壓傳送至與所選擇之字線相連接之前述第1電晶體之閘極，並與第1導電型成相反極性者；

其特徵在於：對前述所選擇之字線進行之電壓傳送，僅係於第1導電型之第1電晶體進行，且具有一動作，

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

其係使施加至非選擇區塊中之前述第2電晶體之閘極的電壓，成爲比電源電壓高的電壓者。

16. 如申請專利範圍第15項之半導體記憶裝置，其中更具備：邏輯電路，其係接收區位址信號，將與區塊之選擇·非選擇之判別結果相對應的判別信號予以輸出者；第1電壓切換電路，其係包含前述第2電晶體，接收由上述邏輯電路所輸出之判別信號，各別設定前述第1電晶體之閘電壓者；及第2電壓切換電路，其係接收由上述邏輯電路所輸出之判別信號，將上述判別信號之電平予以變換、供給至上述第1電壓切換電路者；施加至前述非選擇區塊中之前述第2電晶體之閘極的電壓，係爲由上述第2電壓切換電路所輸出之判別信號之電壓電平。

17. 如申請專利範圍第16項之半導體記憶裝置，其中於使施加至前述非選擇區塊中之前述第2電晶體的閘極之施加電壓，成爲比前述電源電壓高的電壓之動作時，前述施加電壓係成爲比前述邏輯電路內之最高電壓高的電壓。

18. 如申請專利範圍第15項之半導體記憶裝置，其中更具備：邏輯電路，其係接收區位址信號，將與區塊之選擇·非選擇之判別結果相對應的判別信號予以輸出者；第1電壓切換電路，其係包含前述第2電晶體，各別設定前述第1電晶體之閘電壓者；及第2電壓切換電路，其係接收由上述邏輯電路所輸出之判別信號，將上述判別信號之電平予以變換、供給至上述第1電壓切換電路者；施加至前述非選擇區塊中之前述第2電晶體之閘極的電

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

壓，係爲由上述第2電壓切換電路所輸出之判別信號之電壓電平。

19. 如申請專利範圍第18項之半導體記憶裝置，其中於使施加至前述非選擇區塊中之前述第2電晶體的閘極之施加電壓，成爲比前述電源電壓高的電壓之動作時，前述施加電壓係成爲比前述邏輯電路內之最高電壓高的電壓。

20. 如申請專利範圍第15項之半導體記憶裝置，其中成爲比前述電源電壓高的電壓之動作，係爲資料寫入動作。

21. 如申請專利範圍第15項之半導體記憶裝置，其中於使施加至前述非選擇區塊中之前述第2電晶體之閘極的施加電壓成爲比前述電源電壓高的電壓之動作時，前述施加電壓之電平係比選擇區塊中之前述第1電晶體之電壓電平低。

22. 一種半導體裝置，其具備：記憶胞陣列，其係記憶胞被排列成矩陣狀者；及列譯碼電路，其係選擇前述記憶胞陣列之字線，除此之外並且將電壓傳送至字線者；

前述列譯碼電路具有：第1導電型之複數之第1電晶體，其係電流通路之一端各直接連接至各字線者；第1電壓切換電路，其含有第2導電型之第2電晶體，其係於對所選擇之字線進行電壓傳送動作時，將電壓傳送至與所選擇之字線相連接之前述第1電晶體之閘極，與第1導電型成相反極性者，並將電壓施加至前述第1電晶體之閘極者；邏輯電路，其係接收列位址信號，將

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

區塊之選擇，非選擇的判別結果予以輸出者；及第2電壓切換電路，其係接收前述邏輯電路之輸出信號，將信號輸出至前述第1電壓切換電路者；

其特徵在於：向前述所選擇之字線進行之電壓傳送，僅係於第1導電型之第1電晶體進行，且前述第2電壓切換電路中之最高電壓電平，係比前述第1電壓切換電路中之最高電壓電平低。

23. 如申請專利範圍第22項之半導體記憶裝置，其中更具備：第1空乏型電晶體，其係設於前述第1電壓切換電路中者；及第2空乏型電晶體，其係設於前述第2電壓切換電路中者；前述第1空乏型電晶體之閘氧化膜，係比前述第2空乏型電晶體之閘氧化膜厚。

24. 如申請專利範圍第22項之半導體記憶裝置，其中前述第2電壓切換電路更具備第2導電型之第3電晶體，前述第2電晶體之閘氧化膜，係比前述第3電晶體之閘氧化膜厚。

25. 如申請專利範圍第22項之半導體記憶裝置，其中具有：第1動作，其係對前述第1空乏型電晶體施加前述第1電壓切換電路之最高電壓者；及第2動作，其係對前述第2空乏電晶體施加前述第2電壓切換電路之最高電壓者。

26. 如申請專利範圍第25項之半導體記憶裝置，其中前述第1動作及第2動作皆係資料寫入動作。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

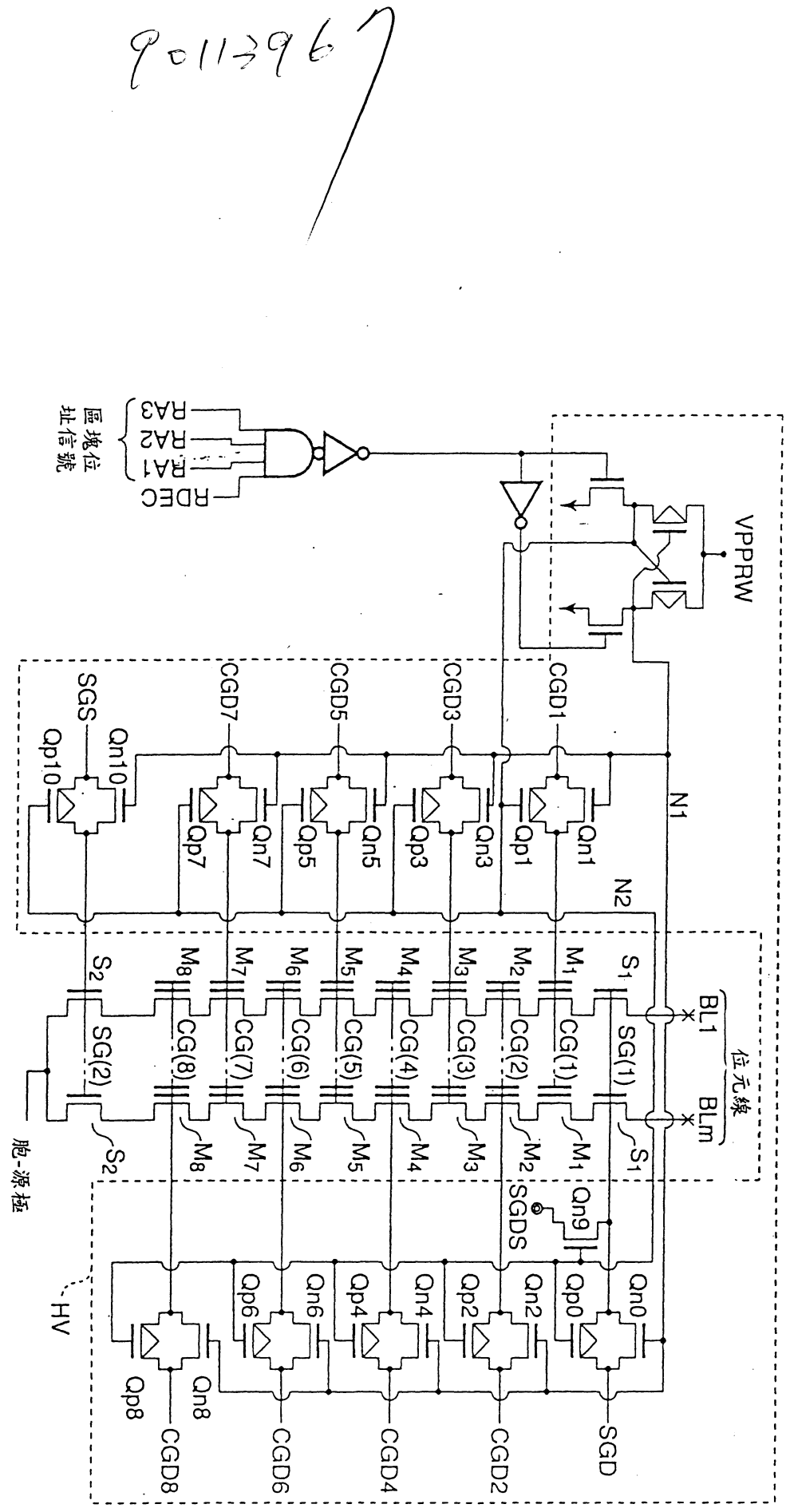

VPPRW
區塊位址信號
RDEC
RA3
RA2
RA1
RA0
位元線
BL1
BLm
N1
N2
CGD1
CGD3
CGD5
CGD7
SGS
SGD
SGDS
Qp10
Qn10
Qp7
Qn7
Qp5
Qn5
Qp3
Qn3
Qp1
Qn1
Qn9
Qp0
Qn0
Qp2
Qn2
Qp4
Qn4
Qp6
Qn6
Qp8
Qn8
S1
S2
M1
M2
M3
M4
M5
M6
M7
M8
SG(1)
SG(2)
CG(1)
CG(2)
CG(3)
CG(4)
CG(5)
CG(6)
CG(7)
CG(8)
CGD2
CGD4
CGD6
CGD8
HV
胞-源極

圖 1 （先前技藝）

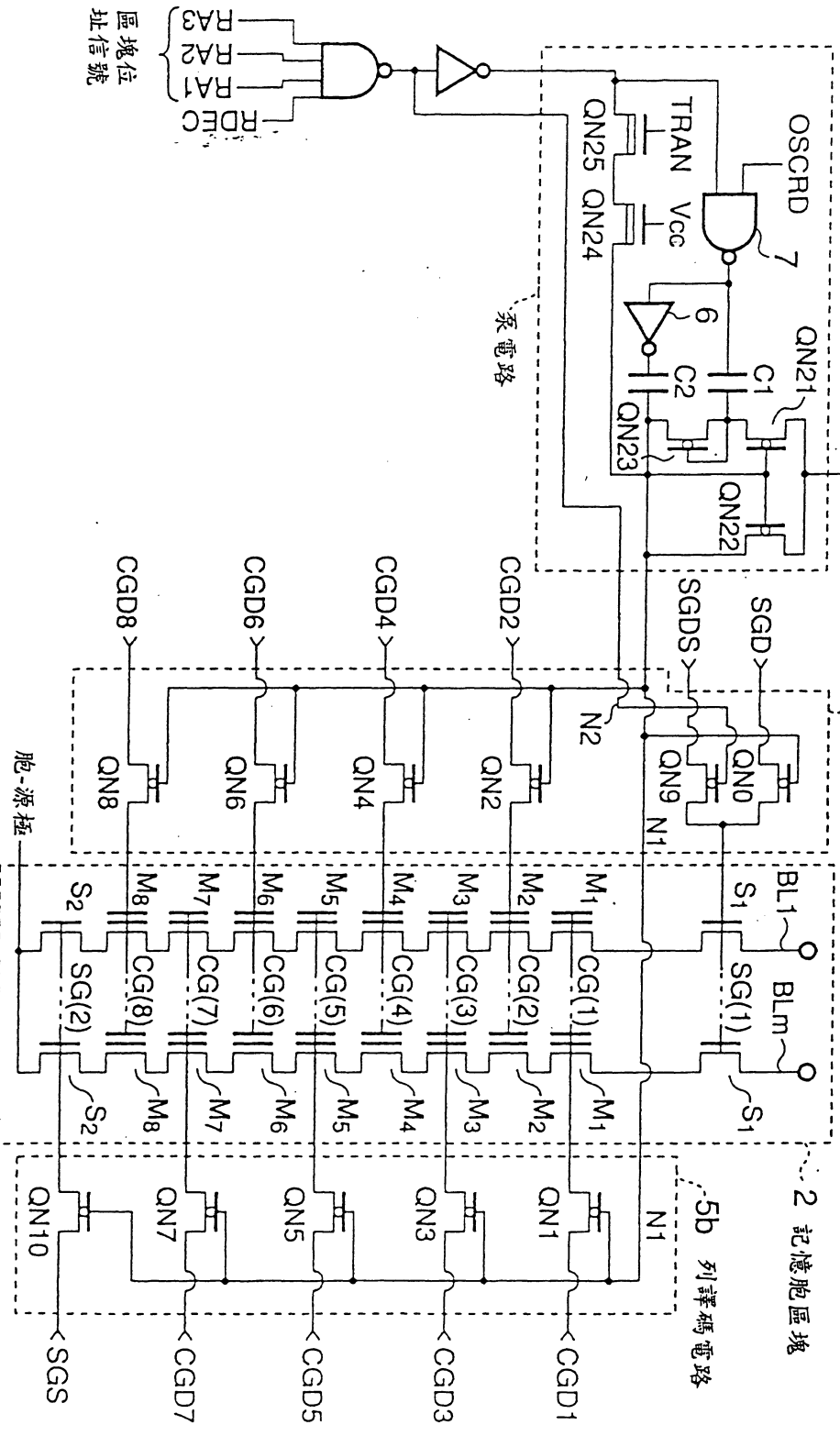

VPPRW
5a 列譯碼電路
2 記憶胞區塊
5b 列譯碼電路
泵電路
區塊位址信號
OSCRD
TRAN
Vcc
QN25
QN24
QN21
QN22
QN23
C1
C2
SGD
SGDS
N1
N2
BL1
BLm
SG(1)
SG(2)
胞-源極
SGS
CGD1
CGD2
CGD3
CGD4
CGD5
CGD6
CGD7
CGD8
QN0
QN1
QN2
QN3
QN4
QN5
QN6
QN7
QN8
QN9
QN10

圖 2 （先前技藝）

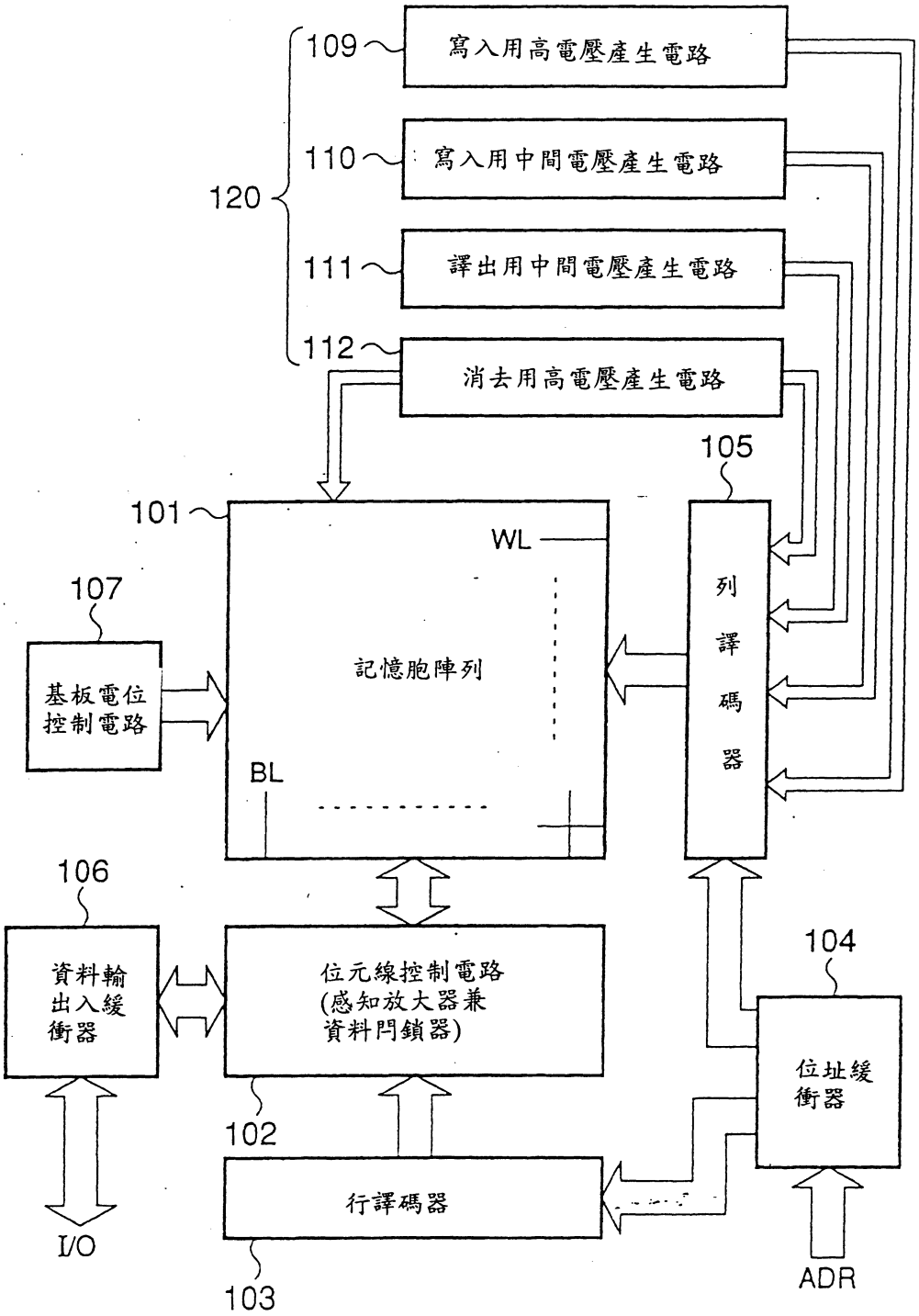

109
寫入用高電壓產生電路
110
寫入用中間電壓產生電路
120
111
譯出用中間電壓產生電路
112
消去用高電壓產生電路
105
101
WL
107
列譯碼器
記憶胞陣列
基板電位控制電路
BL
106
104
資料輸出入緩衝器
位元線控制電路(感知放大器兼資料閂鎖器)
位址緩衝器
102
行譯碼器
I/O
ADR
103

圖 3

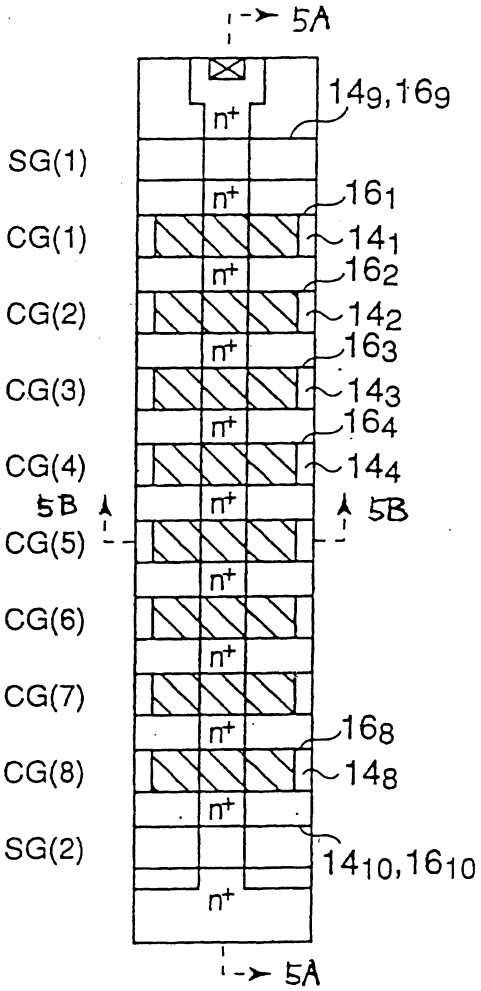

5A
14_9,16_9
SG(1)
16_1
CG(1)
14_1
16_2
CG(2)
14_2
16_3
CG(3)
14_3
16_4
CG(4)
14_4
5B
5B
CG(5)
CG(6)
CG(7)
16_8
CG(8)
14_8
SG(2)
14_{10},16_{10}
n+
5A

圖 4A

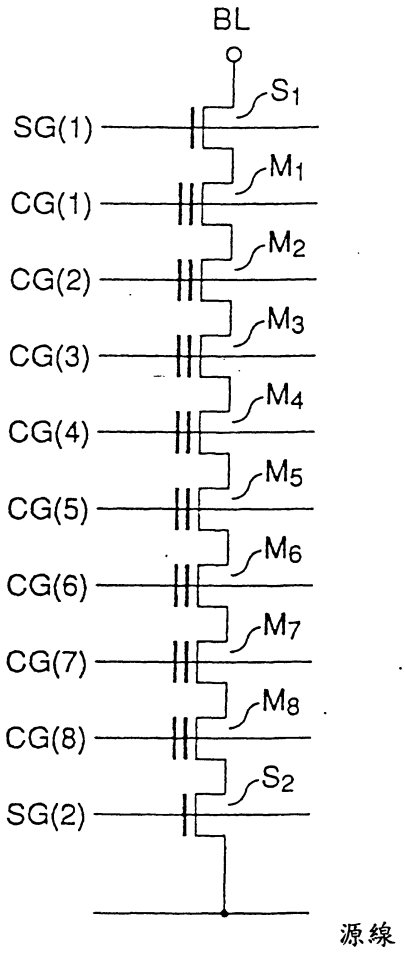

BL
S_1
SG(1)
M_1
CG(1)
M_2
CG(2)
M_3
CG(3)
M_4
CG(4)
M_5
CG(5)
M_6
CG(6)
M_7
CG(7)
M_8
CG(8)
S_2
SG(2)
源線

圖 4B

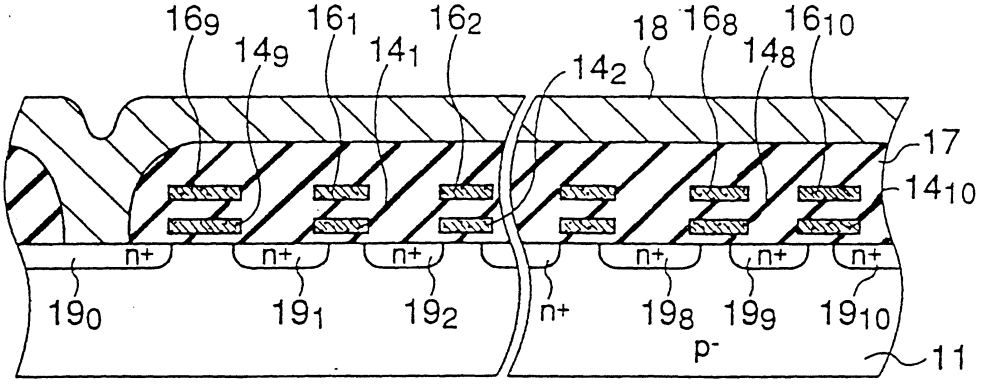

16₉
14₉
16₁
14₁
16₂
18
14₂
16₈
14₈
16₁₀
17
14₁₀
n+
n+
n+
n+
n+
n+
19₀
19₁
19₂
19₈
19₉
19₁₀
p⁻
11

圖 5 A

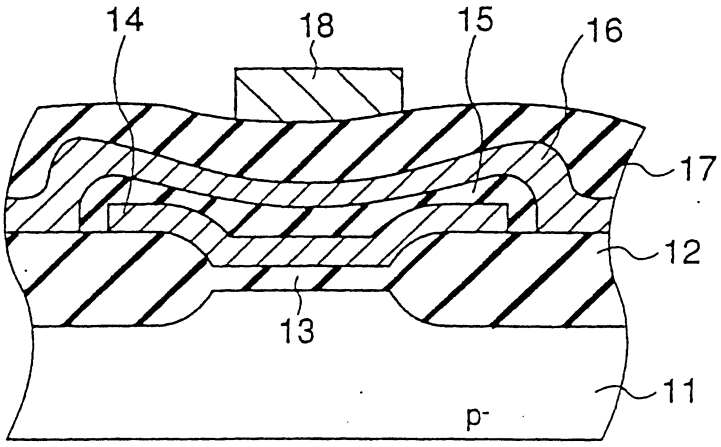

14
18
15
16
17
12
13
11
p⁻

圖 5 B

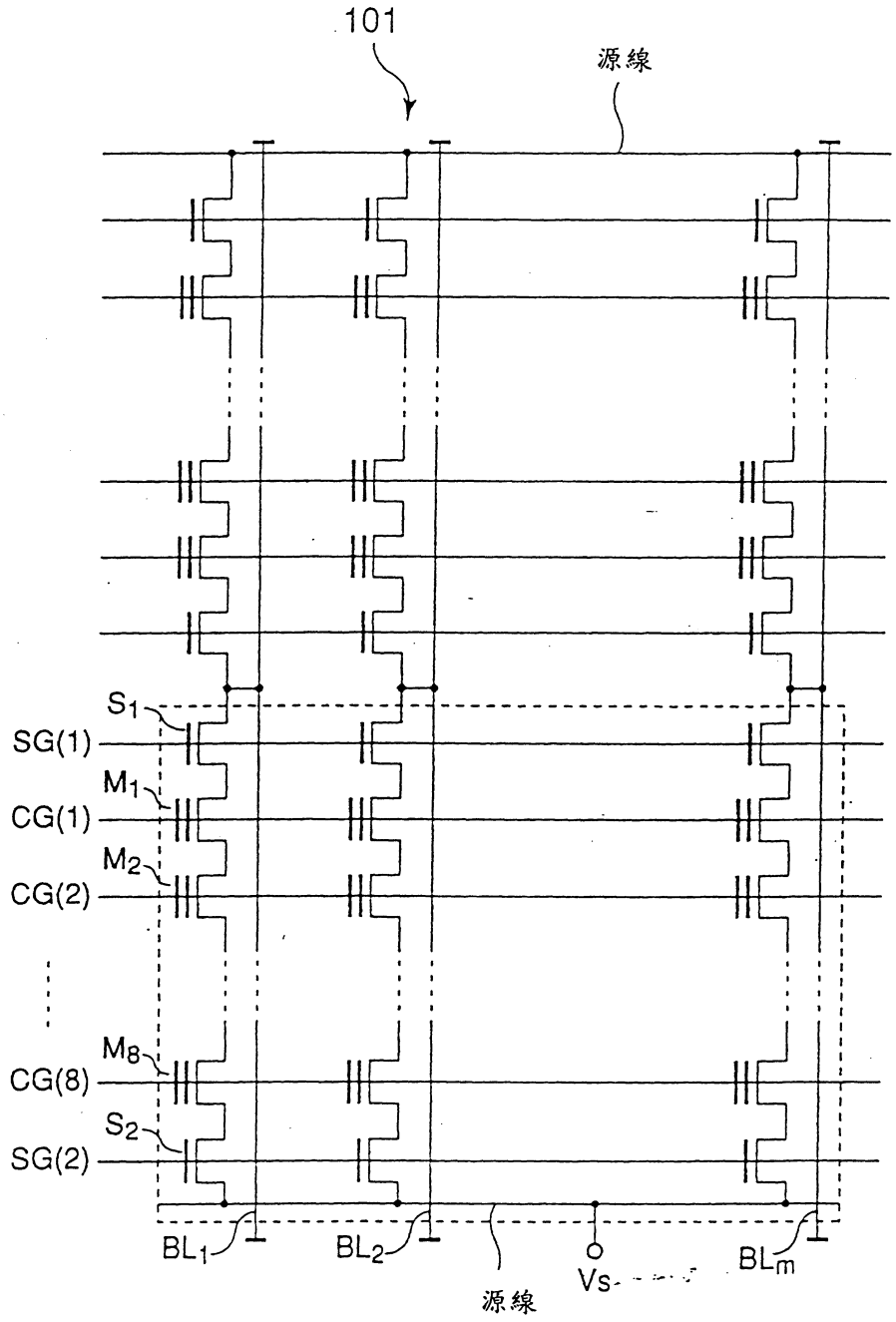


圖 6

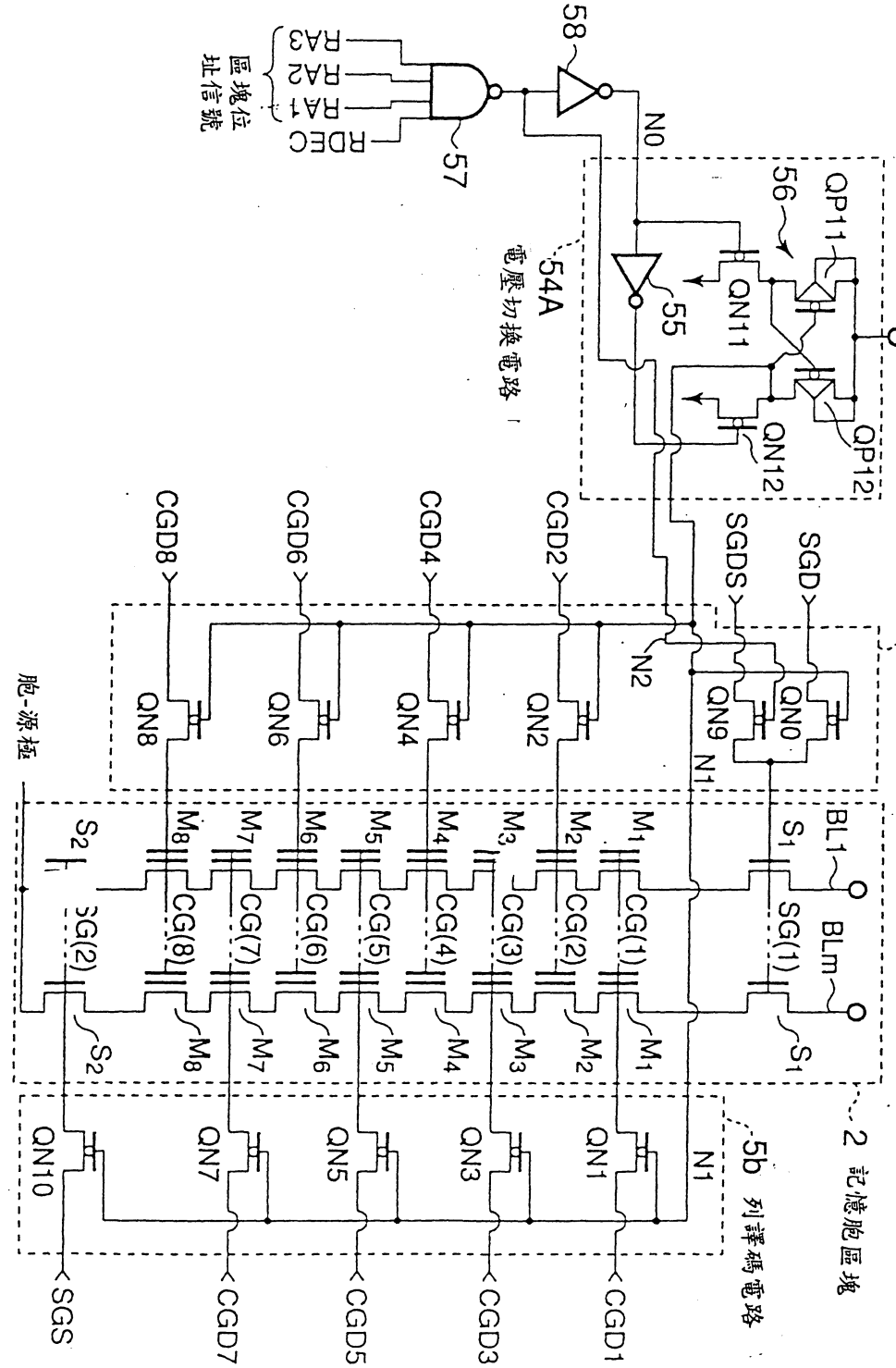

VPPRW
QP11
QP12
QN11
QN12
56
55
54A
電壓切換電路
58
57
N0
區塊位址信號
5a 列譯碼電路
SGD
SGDS
N2
N1
QN0
QN9
BL1
BLm
S1
SG(1)
M1
CG(1)
CGD1
CGD2
CGD4
CGD6
CGD8
QN1
QN2
QN4
QN6
QN8
M2
M3
M4
M5
M6
M7
M8
CG(2)
CG(3)
CG(4)
CG(5)
CG(6)
CG(7)
CG(8)
SG(2)
S2
施-源極
2 記憶胞區塊
5b 列譯碼電路
QN3
QN5
QN7
QN10
CGD3
CGD5
CGD7
SGS

圖 7

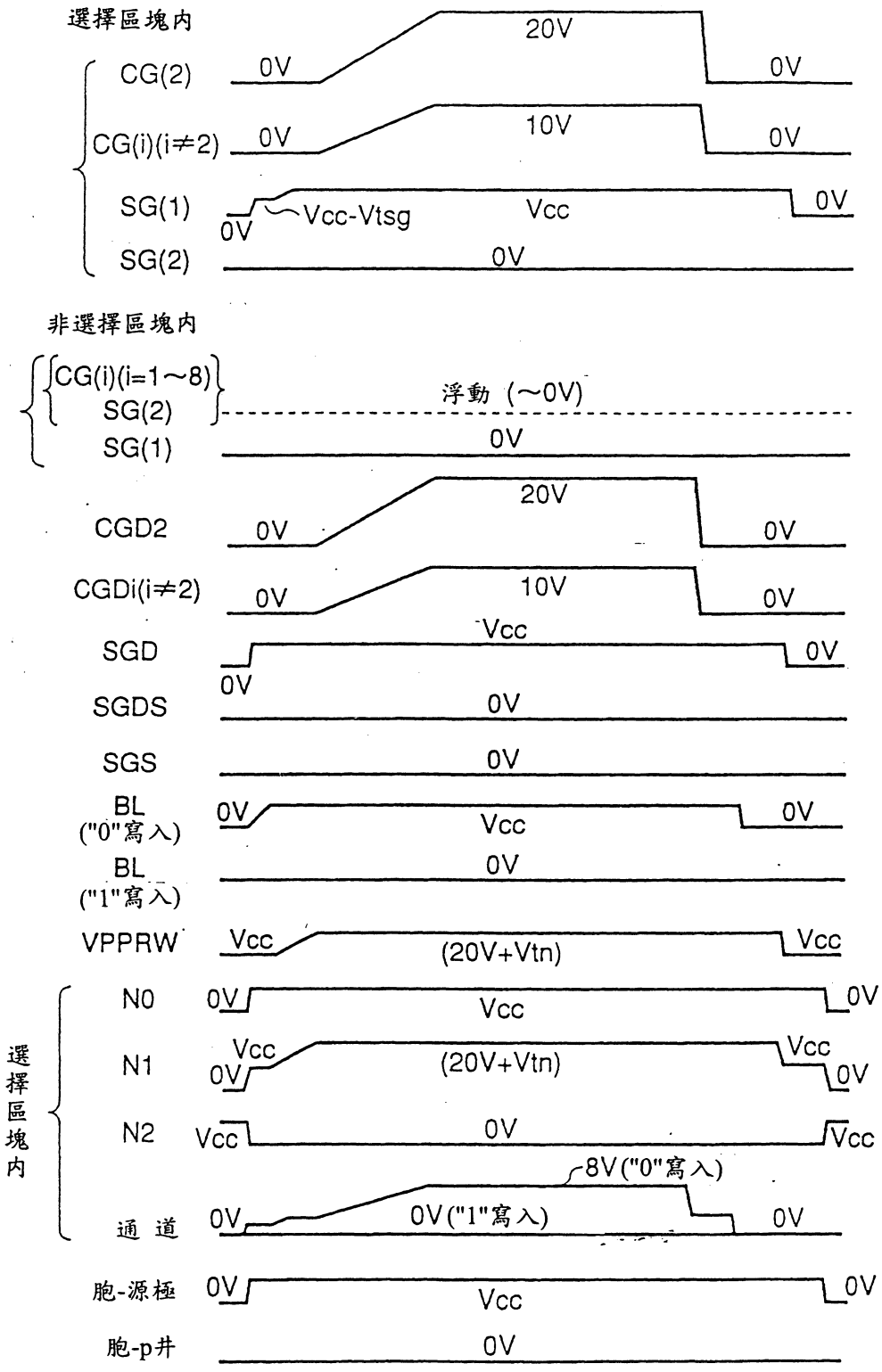

選擇區塊內
CG(2)
0V
20V
0V
CG(i)(i≠2)
0V
10V
0V
SG(1)
0V
Vcc-Vtsg
Vcc
0V
SG(2)
0V
非選擇區塊內
CG(i)(i=1～8)
SG(2)
浮動 (～0V)
SG(1)
0V
CGD2
0V
20V
0V
CGDi(i≠2)
0V
10V
0V
SGD
Vcc
0V
0V
SGDS
0V
SGS
0V
BL
("0"寫入)
0V
Vcc
0V
BL
("1"寫入)
0V
VPPRW
Vcc
(20V+Vtn)
Vcc
選擇區塊內
N0
0V
Vcc
0V
N1
Vcc
0V
(20V+Vtn)
Vcc
0V
N2
Vcc
0V
Vcc
8V("0"寫入)
通 道
0V
0V("1"寫入)
0V
胞-源極
0V
Vcc
0V
胞-p井
0V

圖 8

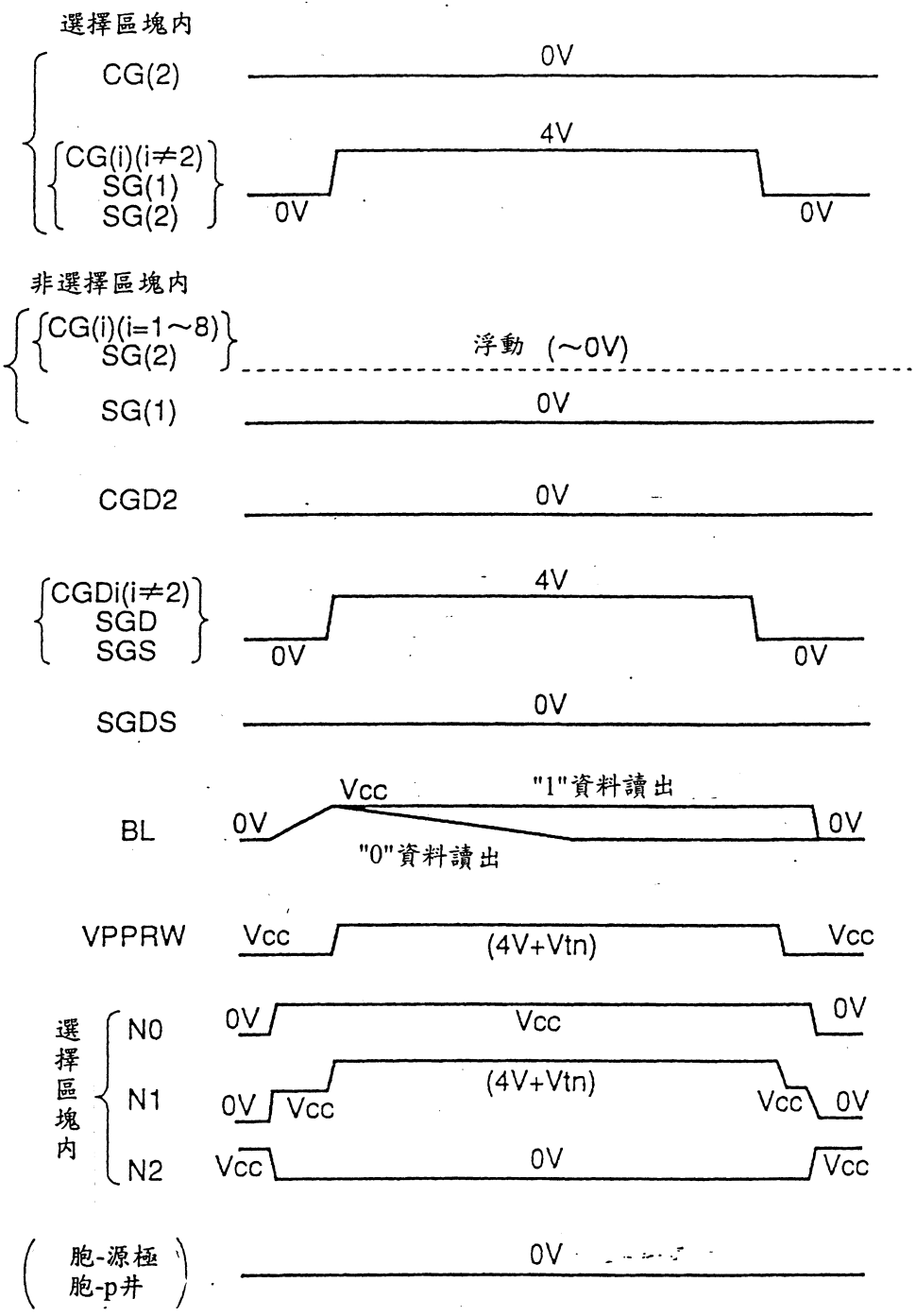

選擇區塊內
CG(2)
0V
CG(i)(i≠2)
SG(1)
SG(2)
4V
0V
0V
非選擇區塊內
CG(i)(i=1～8)
SG(2)
浮動 (～0V)
SG(1)
0V
CGD2
0V
CGDi(i≠2)
SGD
SGS
4V
0V
0V
SGDS
0V
BL
Vcc
"1"資料讀出
0V
0V
"0"資料讀出
VPPRW
Vcc
(4V+Vtn)
Vcc
選擇區塊內
N0
0V
Vcc
0V
N1
0V
Vcc
(4V+Vtn)
Vcc
0V
N2
Vcc
0V
Vcc
胞-源極
胞-p井
0V

圖 9

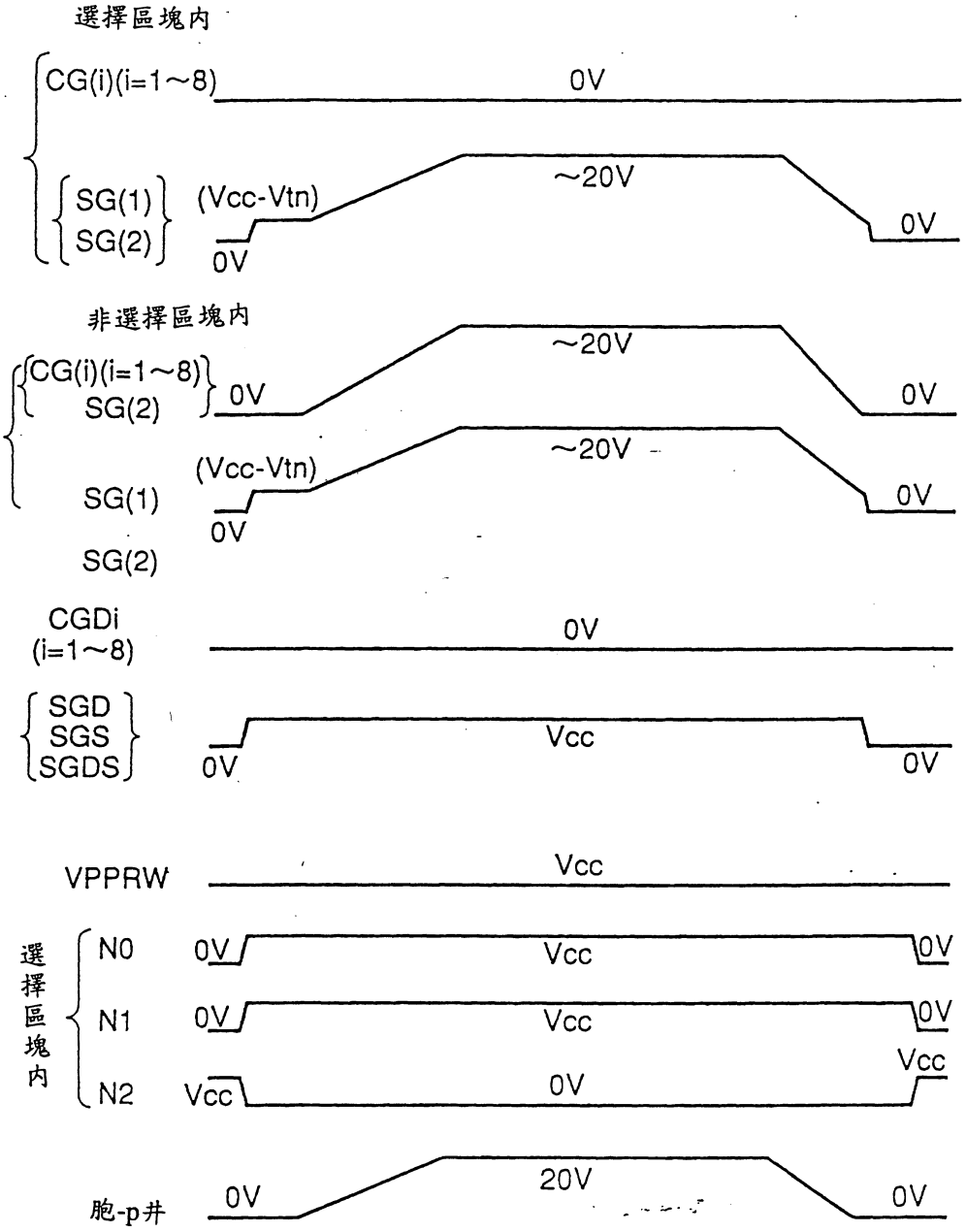

選擇區塊內
CG(i)(i=1～8)
0V
SG(1)
SG(2)
(Vcc-Vtn)
0V
～20V
0V
非選擇區塊內
CG(i)(i=1～8)
SG(2)
0V
～20V
0V
(Vcc-Vtn)
SG(1)
0V
～20V
0V
SG(2)
CGDi
(i=1～8)
0V
SGD
SGS
SGDS
0V
Vcc
0V
VPPRW
Vcc
選擇區塊內
N0
0V
Vcc
0V
N1
0V
Vcc
0V
N2
Vcc
0V
Vcc
胞-p井
0V
20V
0V

圖 10

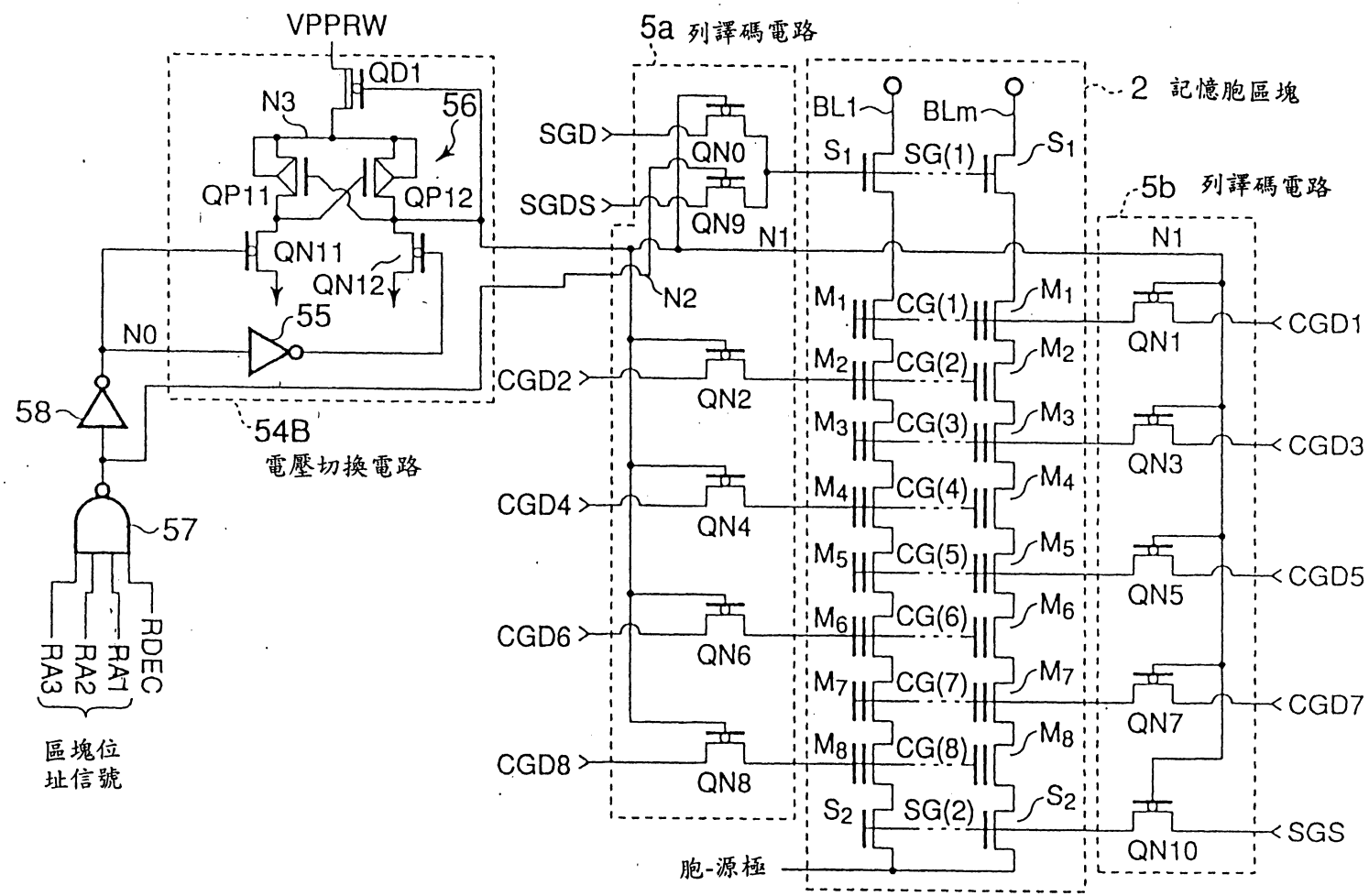

VPPRW
QD1
N3
56
QP11
QP12
QN11
QN12
55
N0
58
54B
電壓切換電路
57
RA3
RA2
RA1
RDEC
區塊位
址信號
5a 列譯碼電路
SGD
SGDS
QN0
QN9
N1
N2
CGD2
QN2
CGD4
QN4
CGD6
QN6
CGD8
QN8
BL1
BLm
S1
SG(1)
M1
CG(1)
M2
CG(2)
M3
CG(3)
M4
CG(4)
M5
CG(5)
M6
CG(6)
M7
CG(7)
M8
CG(8)
S2
SG(2)
胞-源極
2 記憶胞區塊
5b 列譯碼電路
QN1
QN3
QN5
QN7
QN10
CGD1
CGD3
CGD5
CGD7
SGS

圖 11

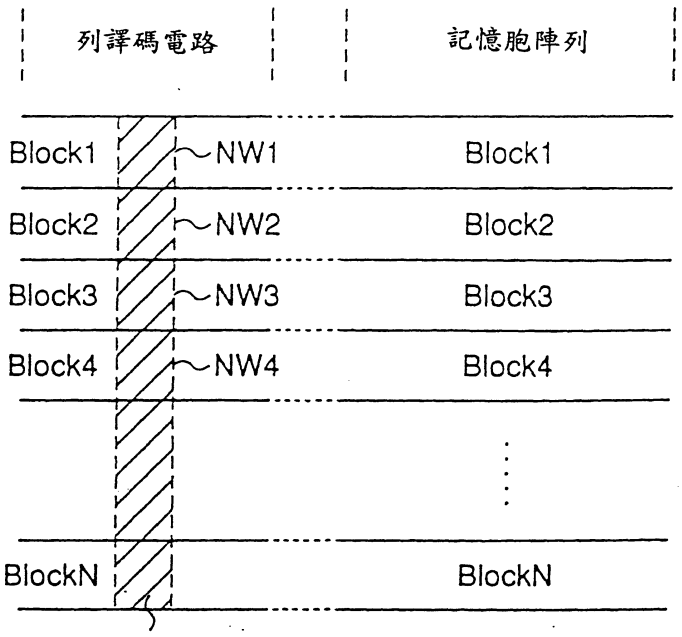

列譯碼電路
記憶胞陣列
Block1
NW1
Block1
Block2
NW2
Block2
Block3
NW3
Block3
Block4
NW4
Block4
BlockN
BlockN
NW：用以形成PMOS電晶體之n型井區域

圖 12A

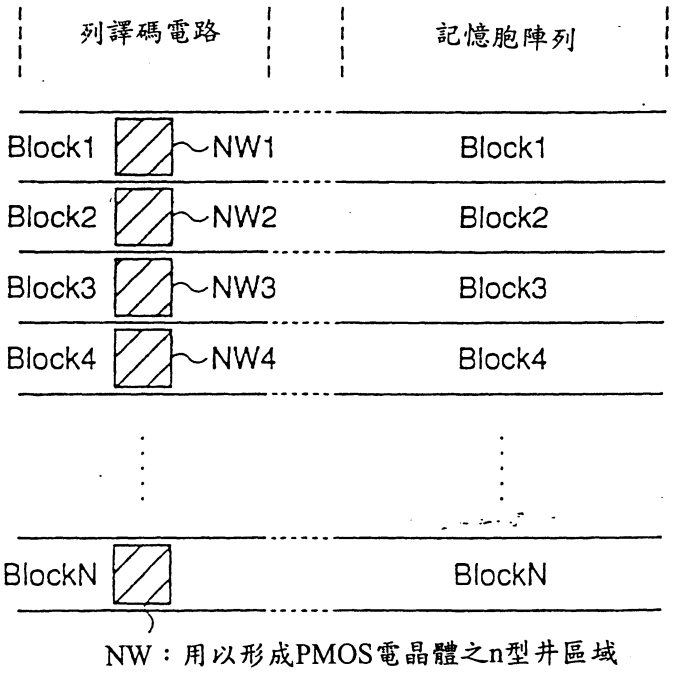

列譯碼電路
記憶胞陣列
Block1
NW1
Block1
Block2
NW2
Block2
Block3
NW3
Block3
Block4
NW4
Block4
BlockN
BlockN
NW：用以形成PMOS電晶體之n型井區域

圖 12B

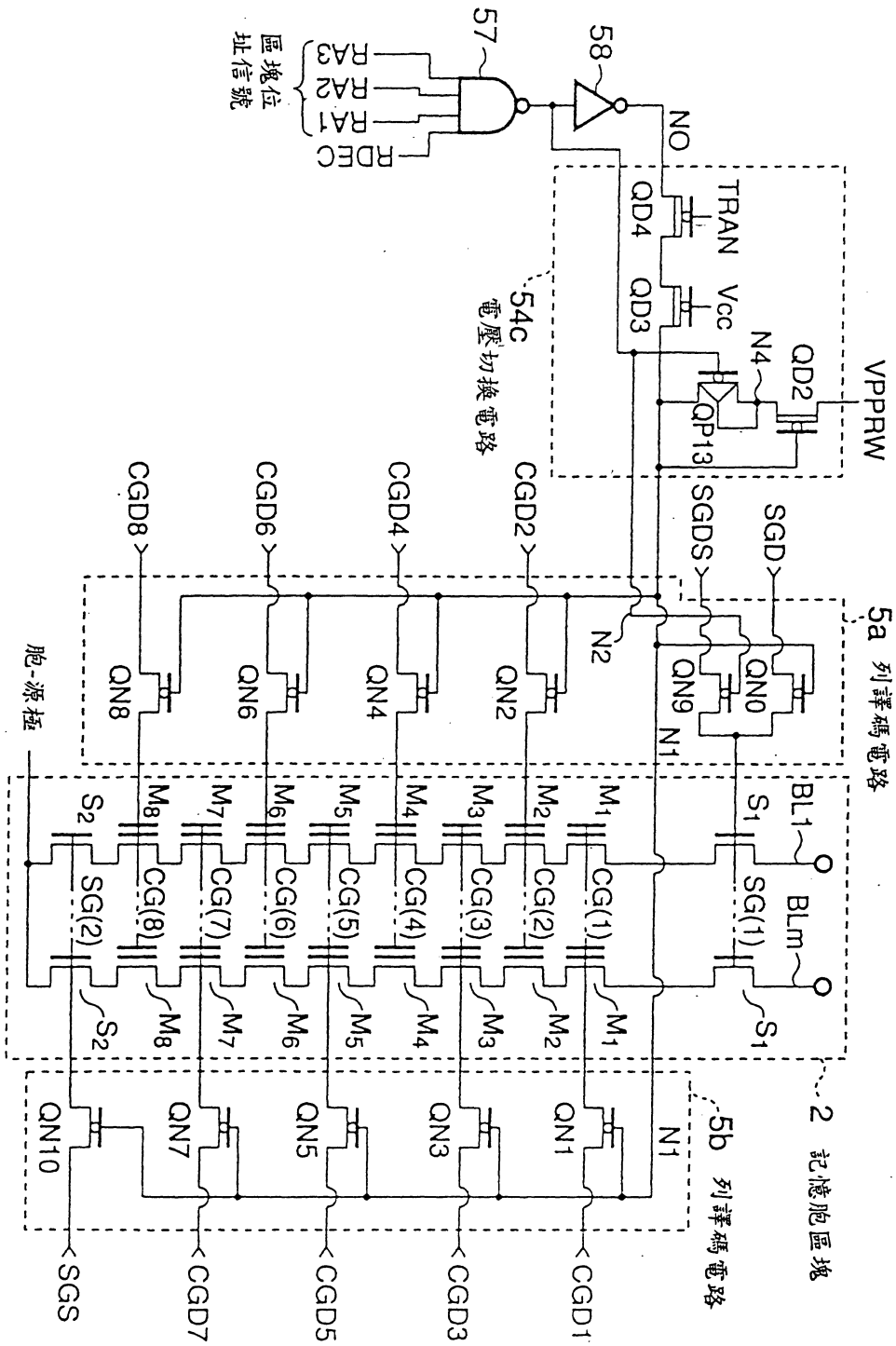

VPPRW
QD2
N4
QP13
TRAN
Vcc
QD4
QD3
54c
電壓切換電路
NO
58
57
區塊位址信號
RDEC
RA1
RA2
RA3
SGD
SGDS
5a 列譯碼電路
N2
QN0
QN9
N1
BL1
BLm
S1
SG(1)
CGD8
CGD6
CGD4
CGD2
QN8
QN6
QN4
QN2
胞-源極
M8
M7
M6
M5
M4
M3
M2
M1
S2
SG(2)
CG(8)
CG(7)
CG(6)
CG(5)
CG(4)
CG(3)
CG(2)
CG(1)
2 記憶胞區塊
5b 列譯碼電路
QN10
QN7
QN5
QN3
QN1
CGD7
CGD5
CGD3
CGD1
SGS

圖 13

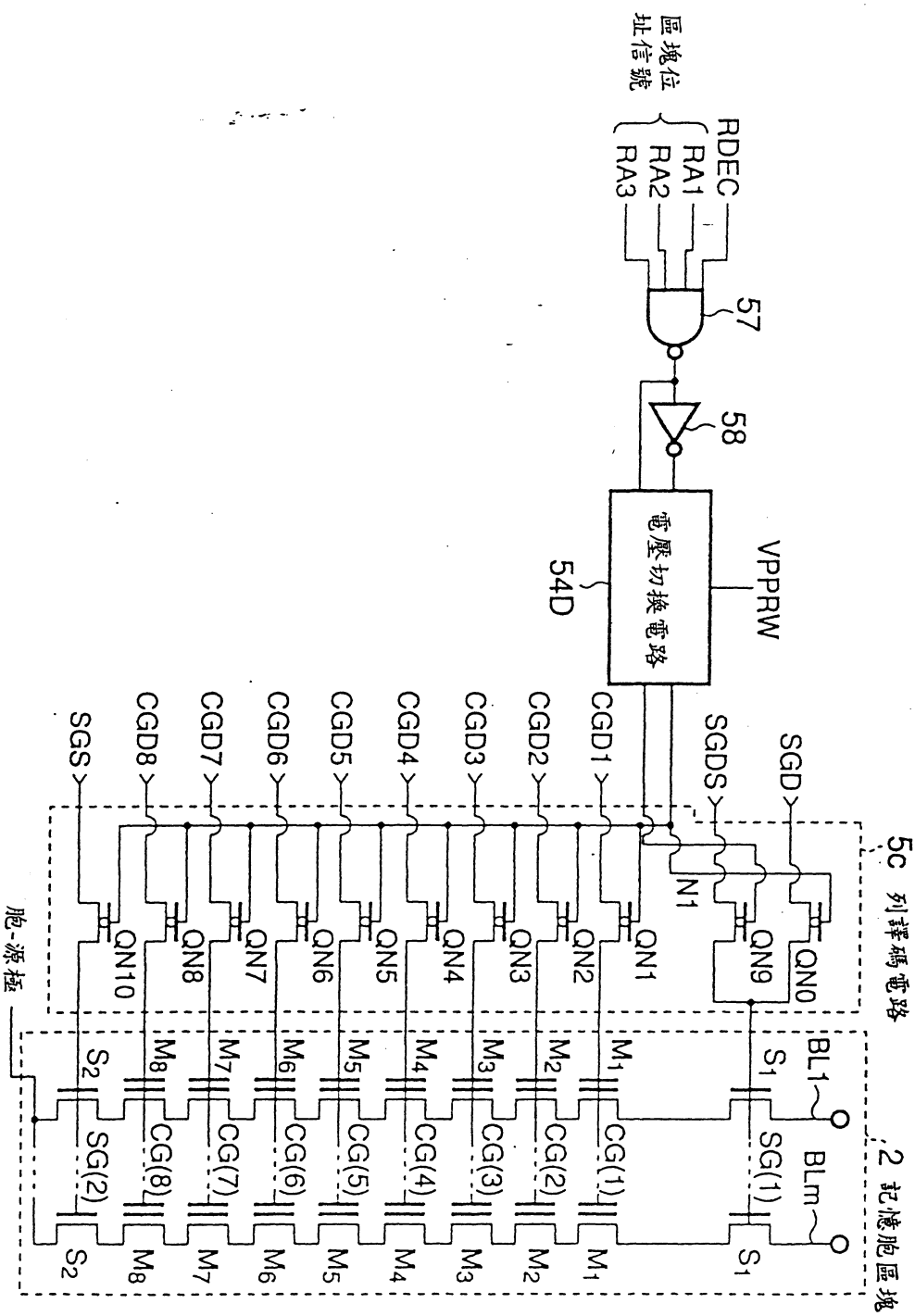

區塊位址信號
RDEC
RA1
RA2
RA3
57
58
電壓切換電路
54D
VPPRW
5C 列譯碼電路
2 記憶胞區塊
SGD
SGDS
CGD1
CGD2
CGD3
CGD4
CGD5
CGD6
CGD7
CGD8
SGS
N1
QN0
QN1
QN2
QN3
QN4
QN5
QN6
QN7
QN8
QN9
QN10
BL1
BLm
S1
SG(1)
M1
CG(1)
CG(2)
CG(3)
CG(4)
CG(5)
CG(6)
CG(7)
CG(8)
M2
M3
M4
M5
M6
M7
M8
S2
SG(2)
胞-源極

圖 14

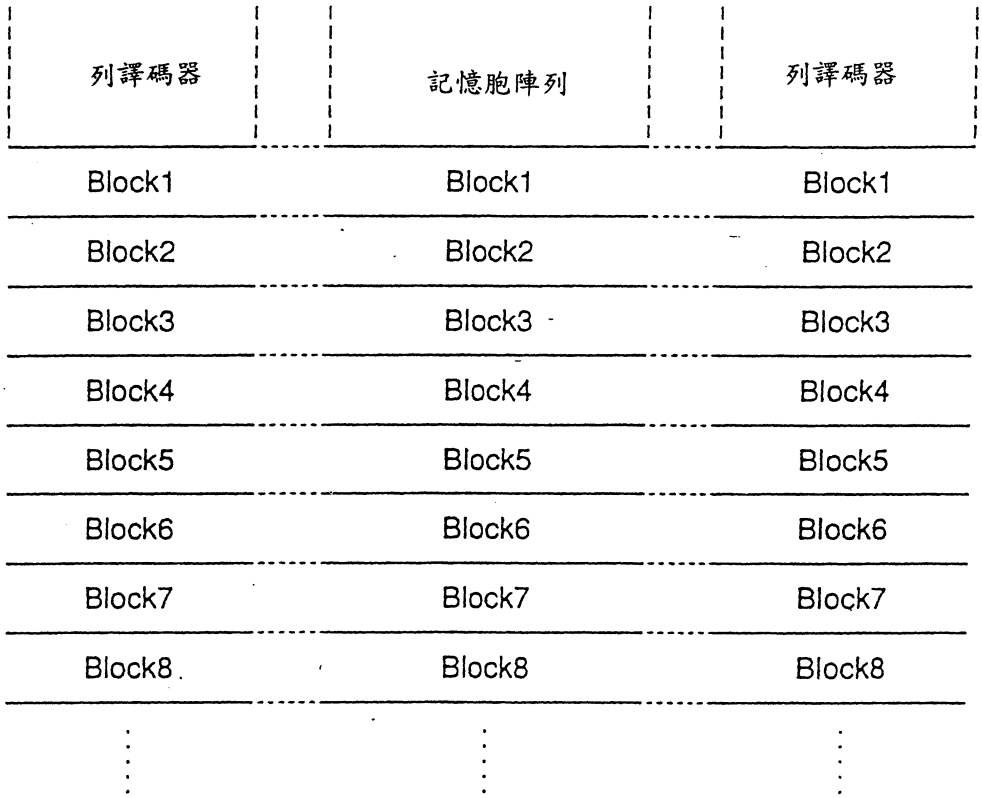

列譯碼器
記憶胞陣列
列譯碼器
Block1
Block1
Block1
Block2
Block2
Block2
Block3
Block3
Block3
Block4
Block4
Block4
Block5
Block5
Block5
Block6
Block6
Block6
Block7
Block7
Block7
Block8
Block8
Block8

圖 15

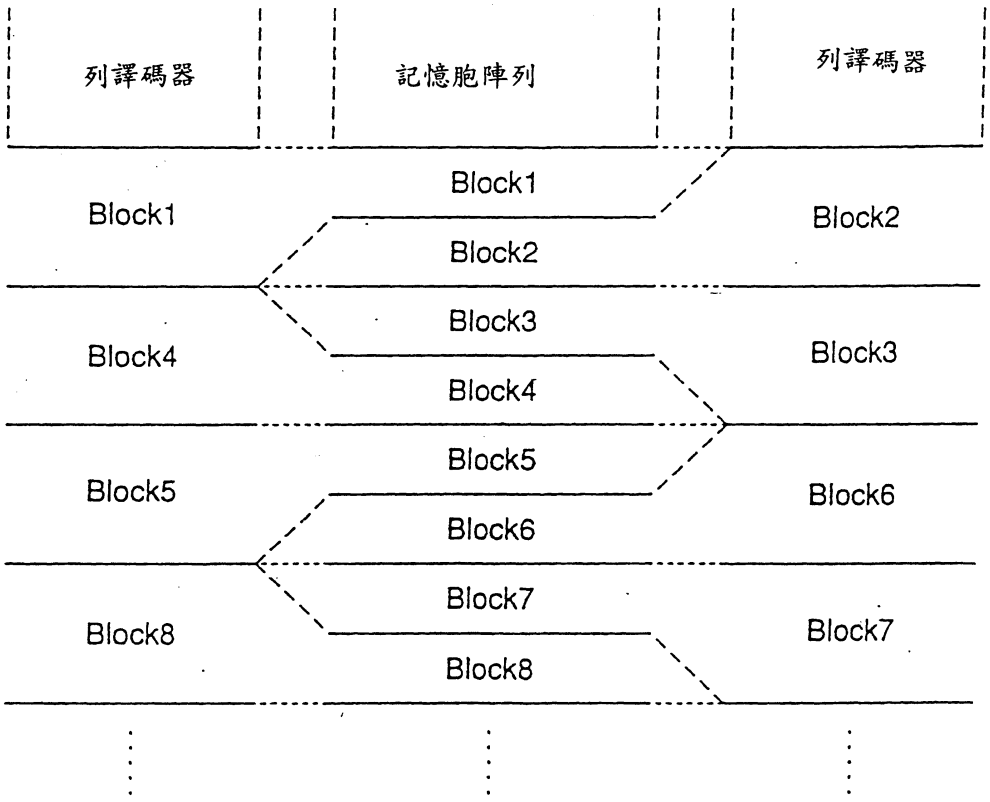

列譯碼器
記憶胞陣列
列譯碼器
Block1
Block1
Block2
Block2
Block4
Block3
Block3
Block4
Block5
Block5
Block6
Block6
Block8
Block7
Block7
Block8

圖 16

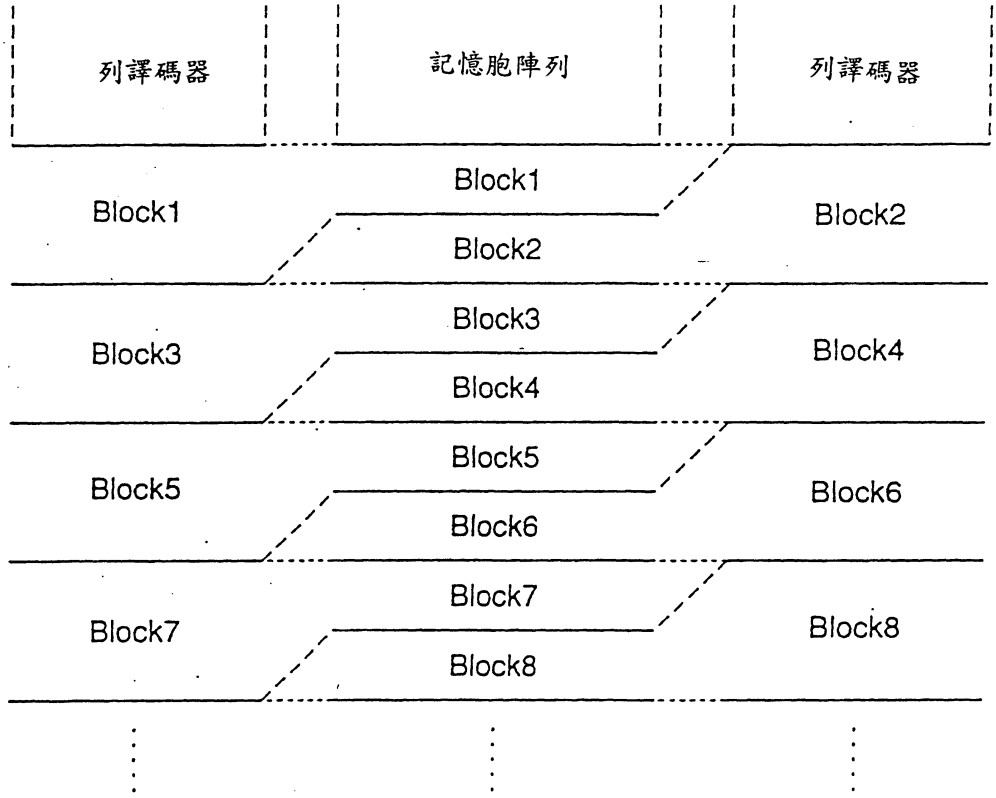

列譯碼器
記憶胞陣列
列譯碼器
Block1
Block1
Block2
Block2
Block3
Block3
Block4
Block4
Block5
Block5
Block6
Block6
Block7
Block7
Block8
Block8

圖 17

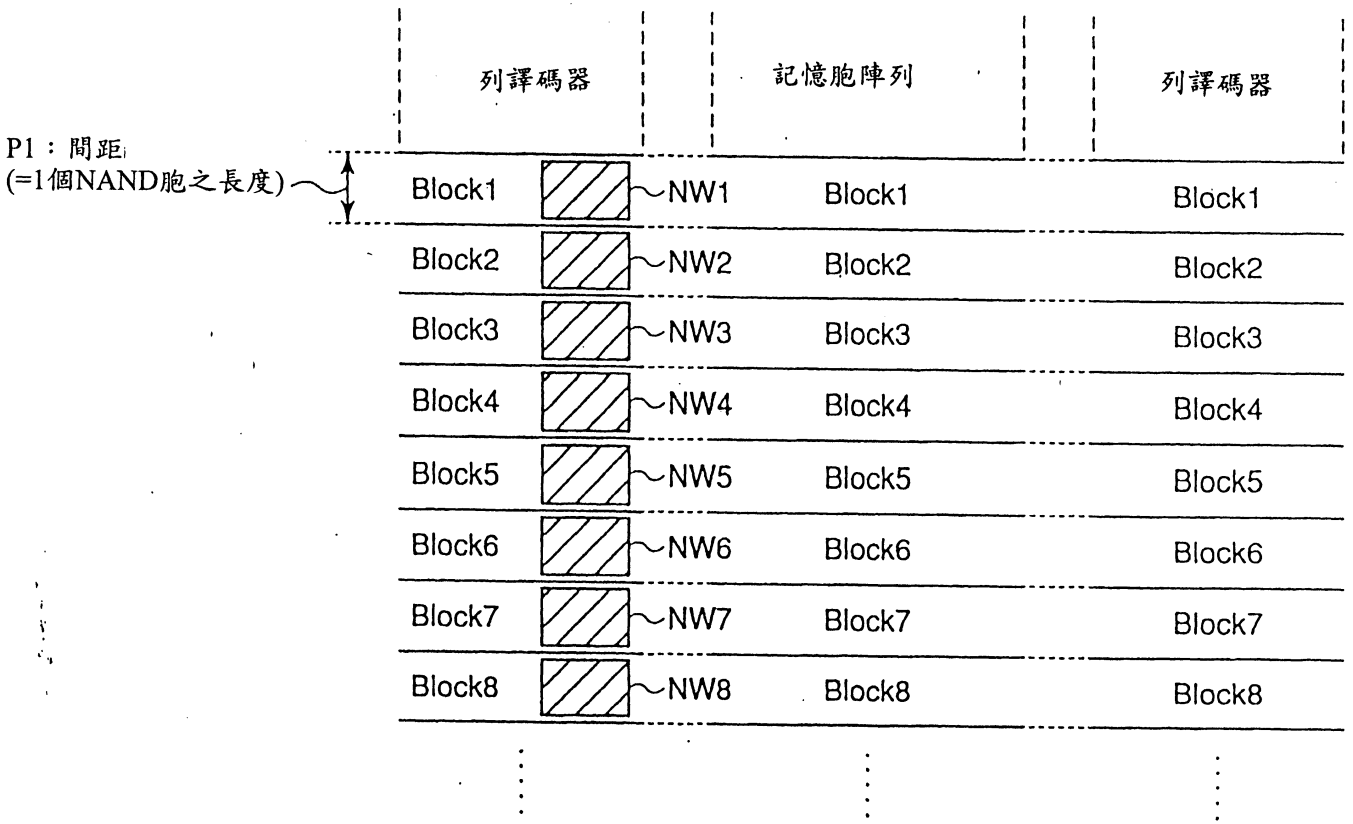

列譯碼器
記憶胞陣列
列譯碼器
P1：間距
(=1個NAND胞之長度)
Block1
NW1
Block1
Block1
Block2
NW2
Block2
Block2
Block3
NW3
Block3
Block3
Block4
NW4
Block4
Block4
Block5
NW5
Block5
Block5
Block6
NW6
Block6
Block6
Block7
NW7
Block7
Block7
Block8
NW8
Block8
Block8

圖 18

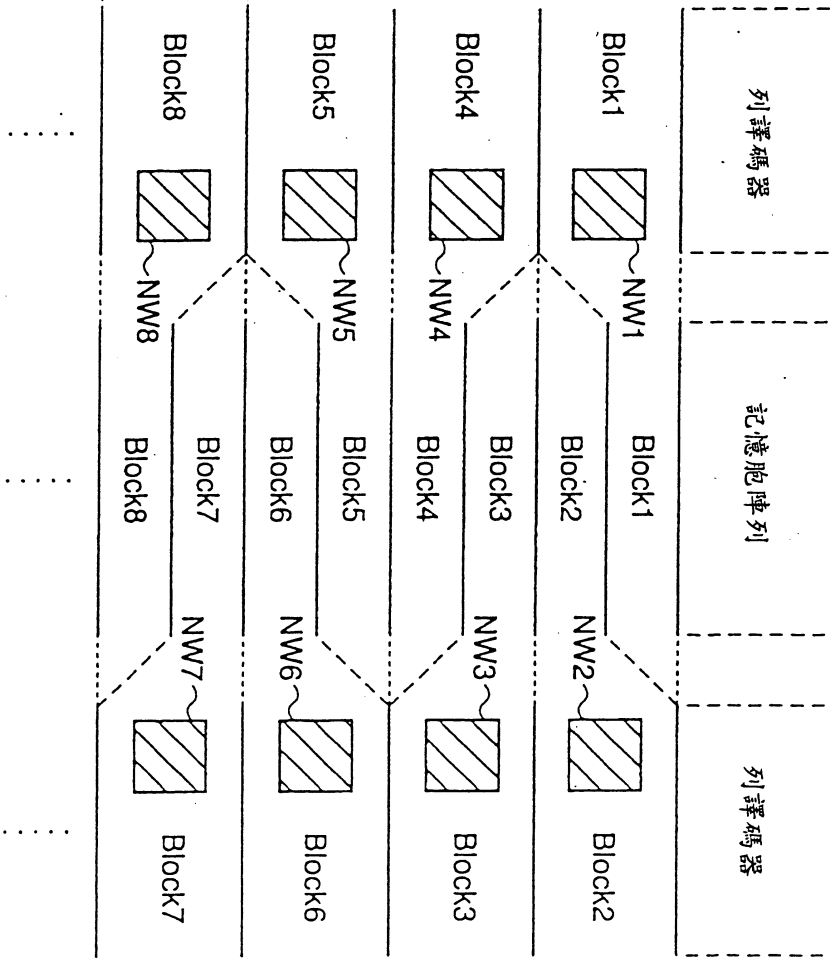

列譯碼器
記憶胞陣列
列譯碼器
Block1
NW1
Block1
Block2
NW2
Block2
Block4
NW4
Block4
Block3
NW3
Block3
Block5
NW5
Block5
Block6
NW6
Block6
Block8
NW8
Block8
Block7
NW7
Block7
P2：間距
(=2個NAND胞之長度)

圖 19

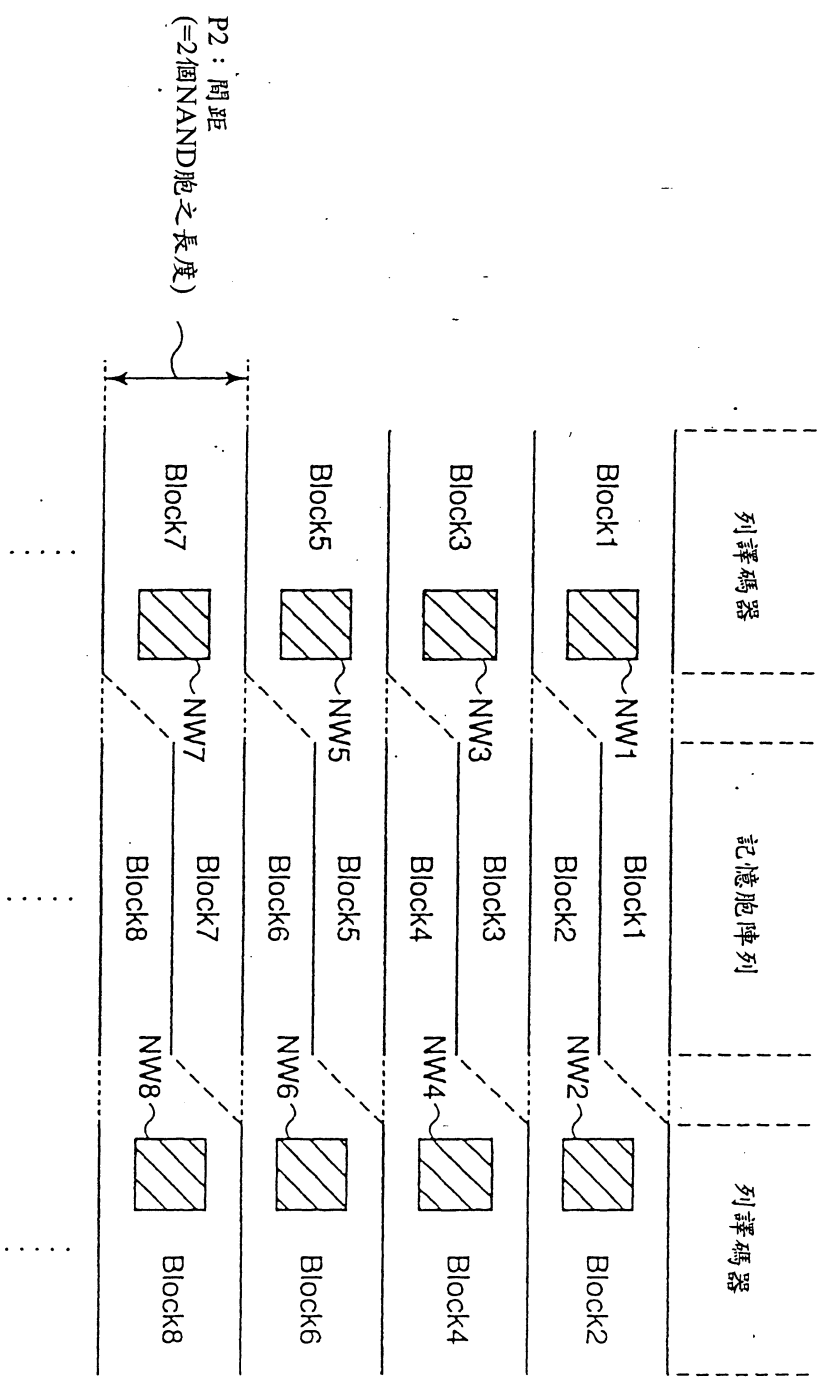

列譯碼器
記憶胞陣列
列譯碼器
Block1
NW1
Block1
Block2
NW2
Block2
Block3
NW3
Block3
Block4
NW4
Block4
Block5
NW5
Block5
Block6
NW6
Block6
Block7
NW7
Block7
Block8
NW8
Block8
P2：間距
(=2個NAND胞之長度)

圖 20

圖21A

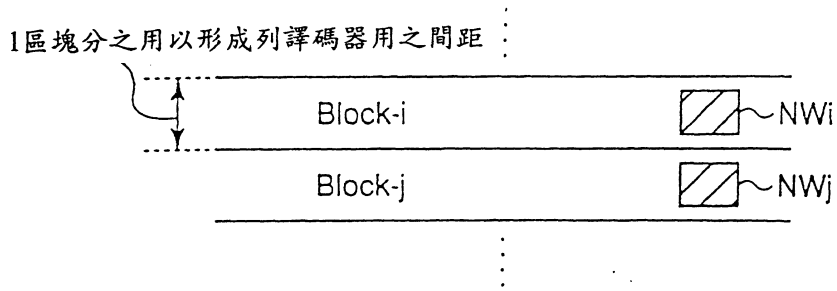


圖21B

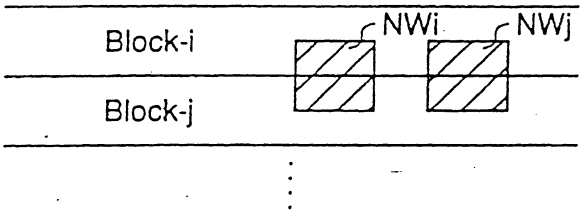


圖21C

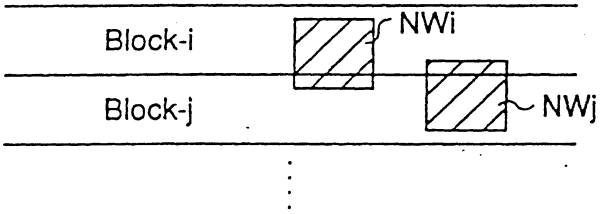


圖21D

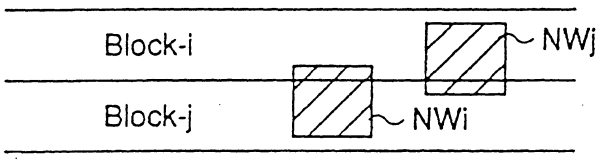
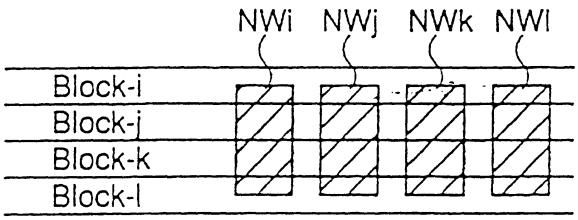


圖21E



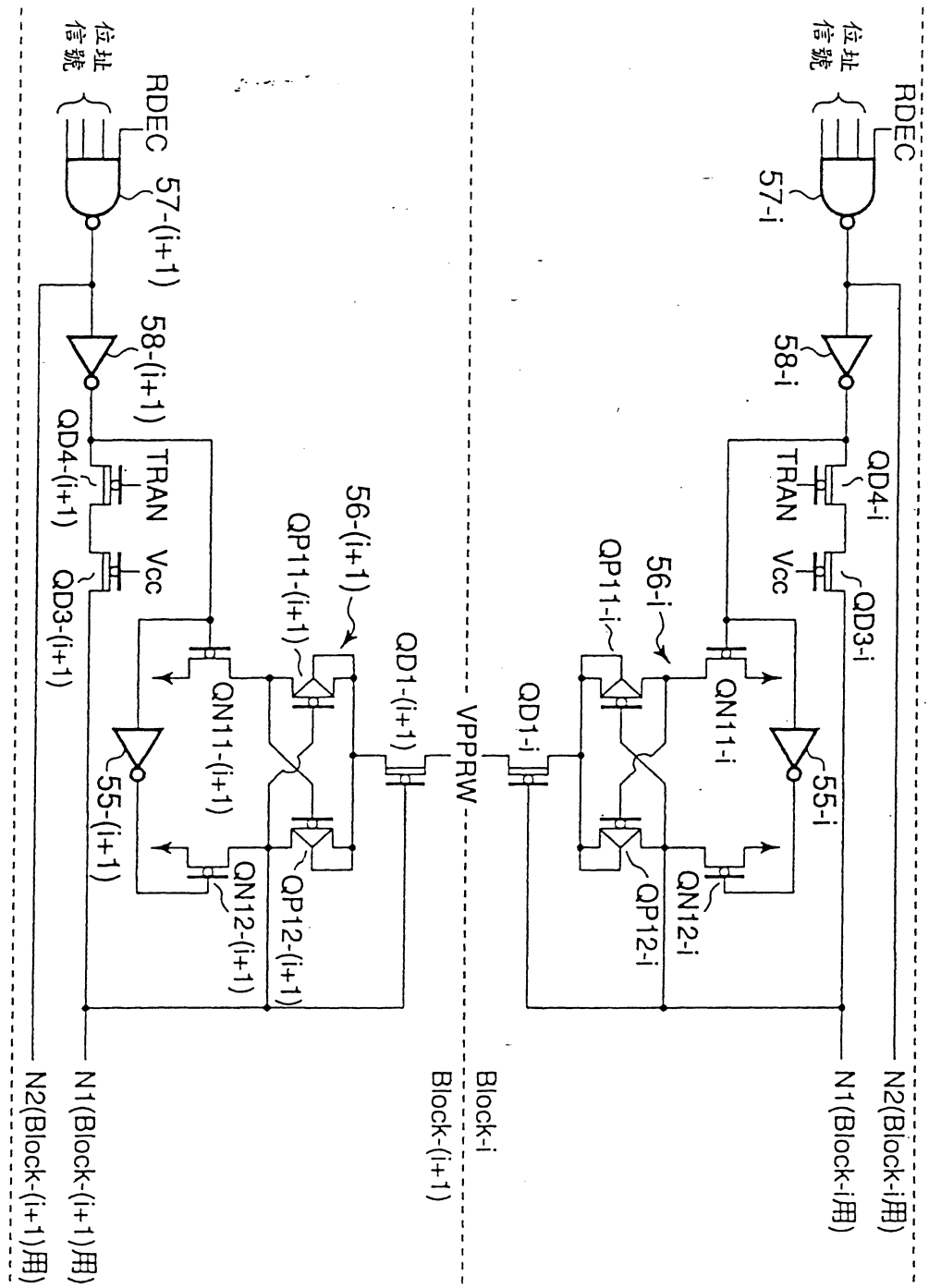

RDEC
位址信號
57-i
58-i
QD4-i
TRAN
Vcc
QD3-i
56-i
QP11-i
QN11-i
55-i
QD1-i
QP12-i
QN12-i
N2(Block-i用)
N1(Block-i用)
Block-i
VPPRW
Block-(i+1)
QD1-(i+1)
56-(i+1)
QP11-(i+1)
QN11-(i+1)
55-(i+1)
QP12-(i+1)
QN12-(i+1)
RDEC
位址信號
57-(i+1)
58-(i+1)
QD4-(i+1)
TRAN
Vcc
QD3-(i+1)
N1(Block-(i+1)用)
N2(Block-(i+1)用)

圖 22

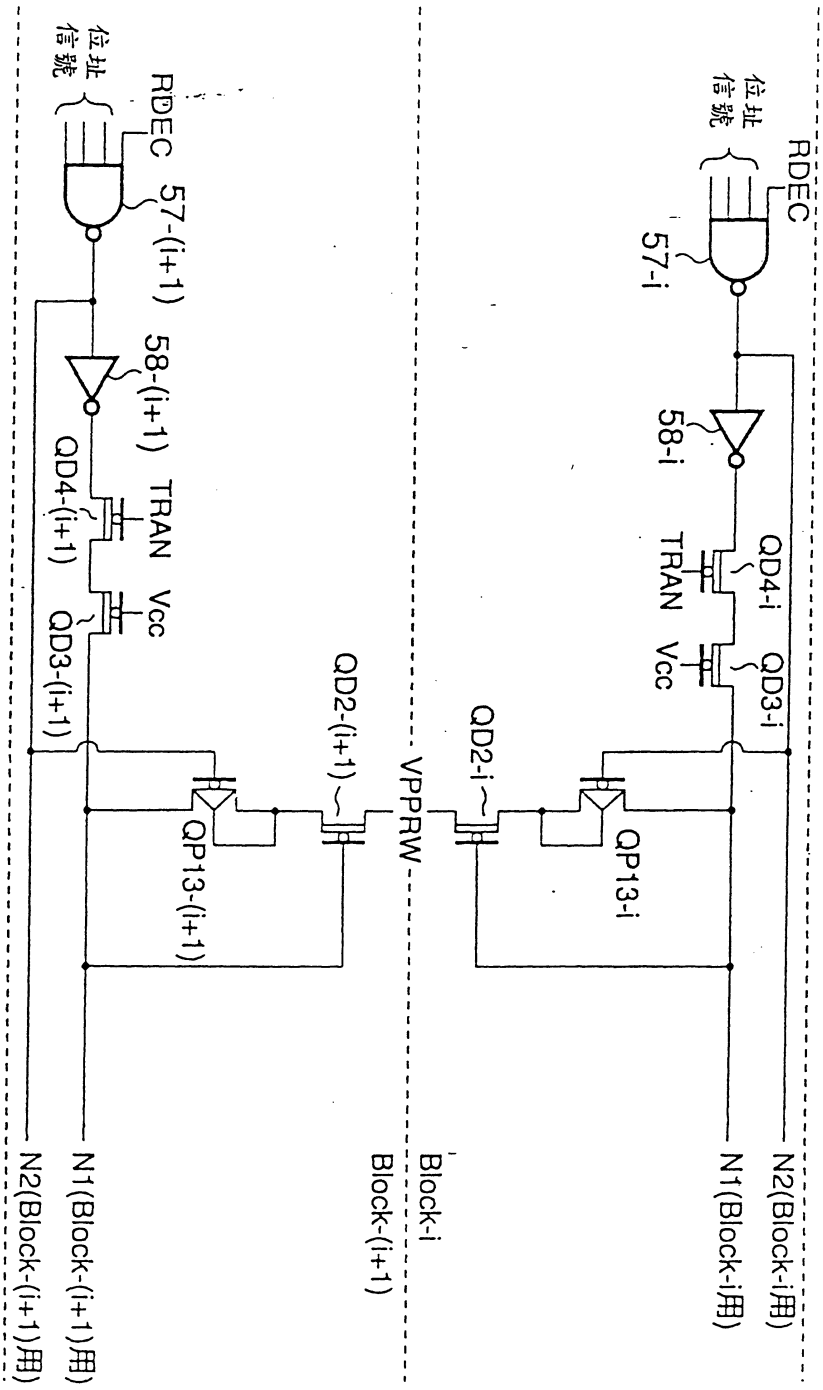

位址信號
RDEC
57-i
58-i
TRAN
QD4-i
QD3-i
Vcc
QD2-i～
QP13-i
N2(Block-i用)
N1(Block-i用)
Block-i
VPPRW
Block-(i+1)
QD2-(i+1)～
QP13-(i+1)
位址信號
RDEC
57-(i+1)
58-(i+1)
QD4-(i+1)
TRAN
Vcc
QD3-(i+1)
N1(Block-(i+1)用)
N2(Block-(i+1)用)

圖 2 3

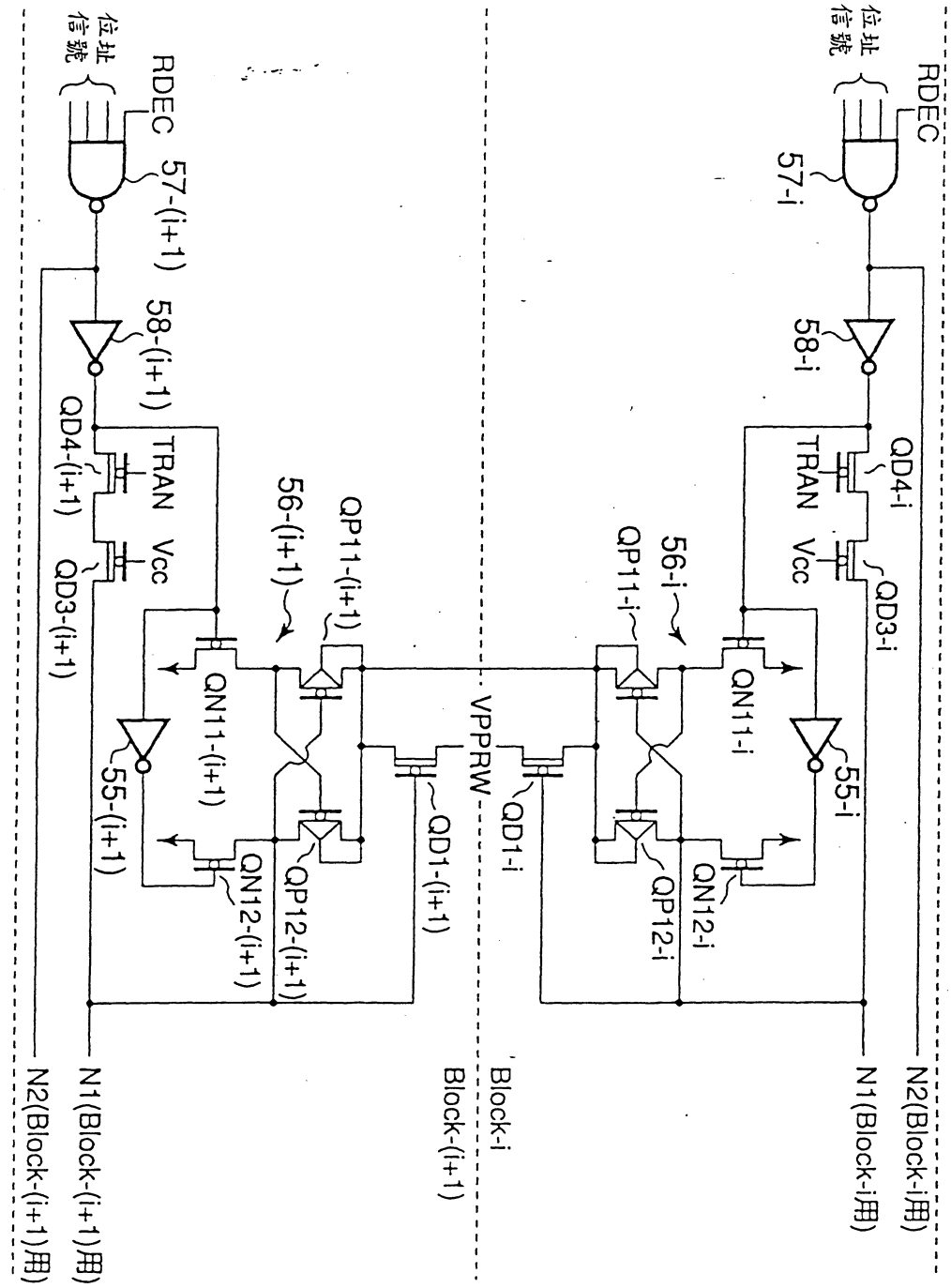

RDEC
位址信號
57-i
58-i
QD4-i
TRAN
Vcc
QD3-i
56-i
QP11-i
QN11-i
55-i
QN12-i
QP12-i
QD1-i
VPPRW
QD1-(i+1)
Block-i
Block-(i+1)
N2(Block-i用)
N1(Block-i用)
RDEC
位址信號
57-(i+1)
58-(i+1)
QD4-(i+1)
TRAN
Vcc
QD3-(i+1)
56-(i+1)
QP11-(i+1)
QN11-(i+1)
55-(i+1)
QN12-(i+1)
QP12-(i+1)
N1(Block-(i+1)用)
N2(Block-(i+1)用)

圖 2 4

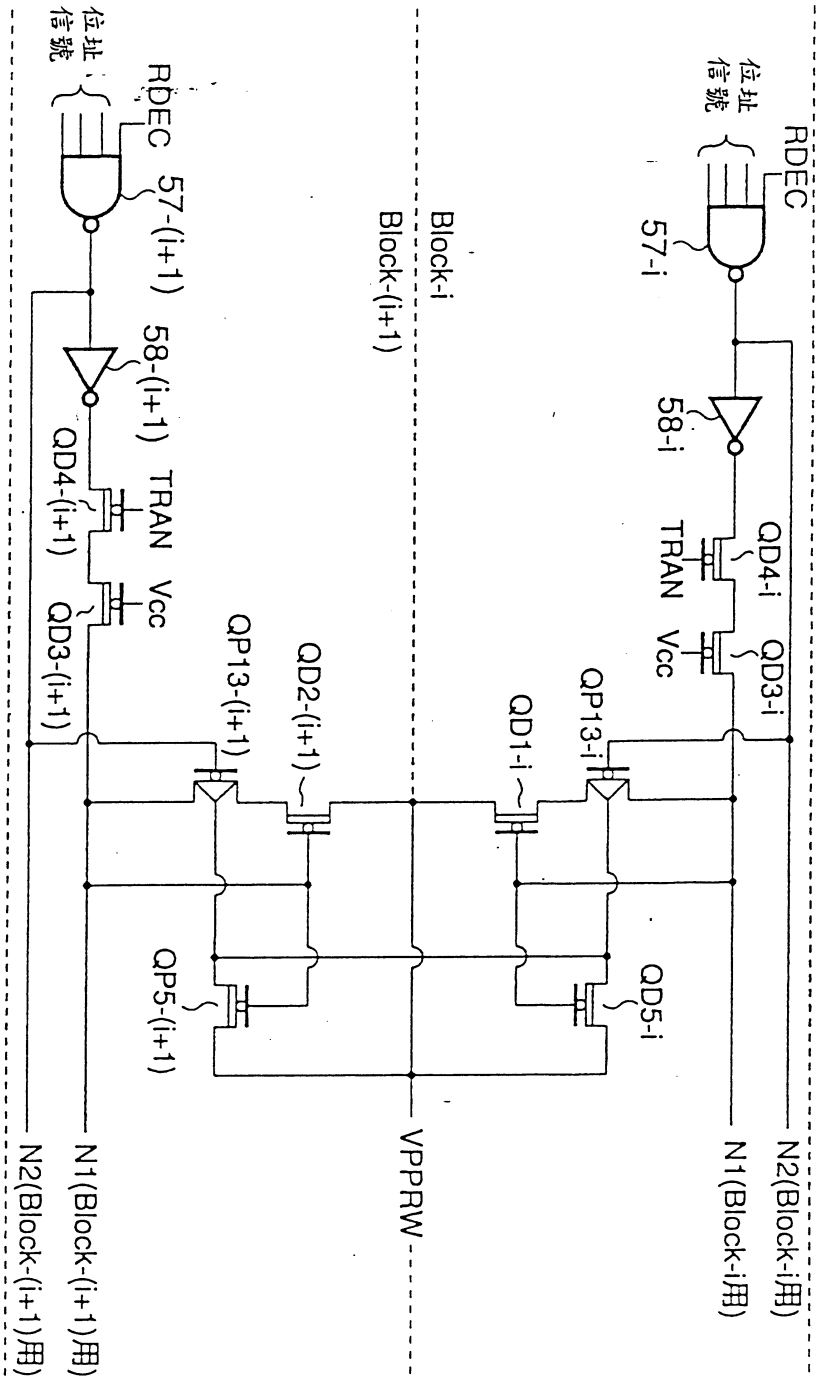

RDEC
位址信號
57-i
58-i
QD4-i
TRAN
Vcc
QD3-i
N2(Block-i用)
N1(Block-i用)
QP13-i
QD1-i
QD5-i
Block-i
Block-(i+1)
QD2-(i+1)
QP13-(i+1)
QP5-(i+1)
VPPRW
RDEC
57-(i+1)
58-(i+1)
QD4-(i+1)
TRAN
Vcc
QD3-(i+1)
位址信號
N1(Block-(i+1)用)
N2(Block-(i+1)用)

圖 2 5

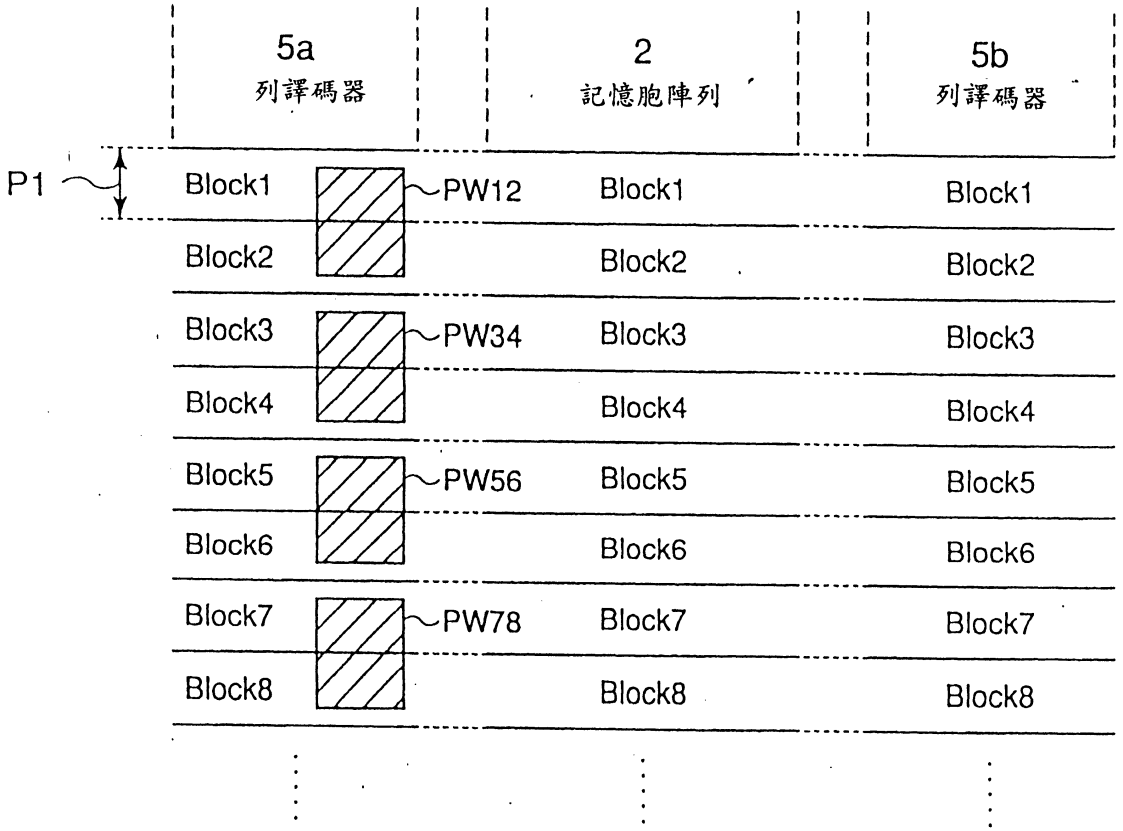

5a
列譯碼器
2
記憶胞陣列
5b
列譯碼器
P1
Block1
PW12
Block1
Block1
Block2
Block2
Block2
Block3
PW34
Block3
Block3
Block4
Block4
Block4
Block5
PW56
Block5
Block5
Block6
Block6
Block6
Block7
PW78
Block7
Block7
Block8
Block8
Block8

圖 26

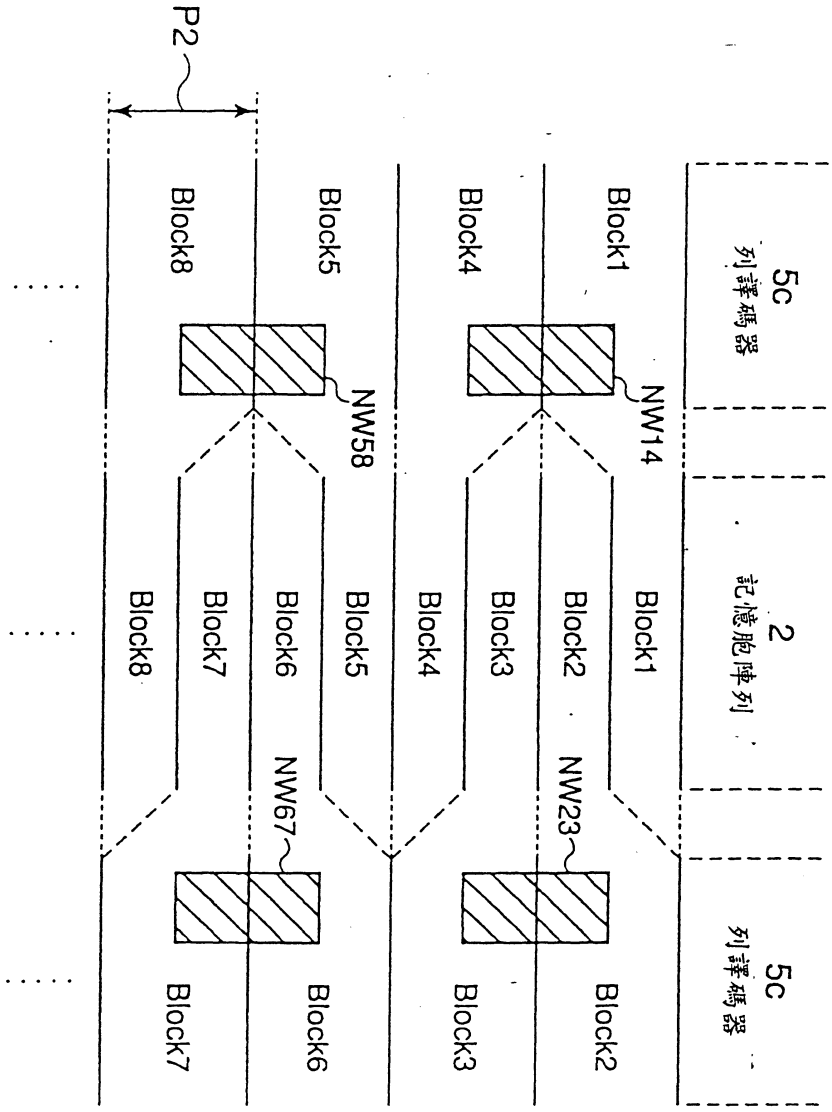

5c
列譯碼器
2
記憶胞陣列
5c
列譯碼器
Block1
Block4
Block5
Block8
NW14
NW58
P2
Block1
Block2
Block3
Block4
Block5
Block6
Block7
Block8
NW23
NW67
Block2
Block3
Block6
Block7

圖 27

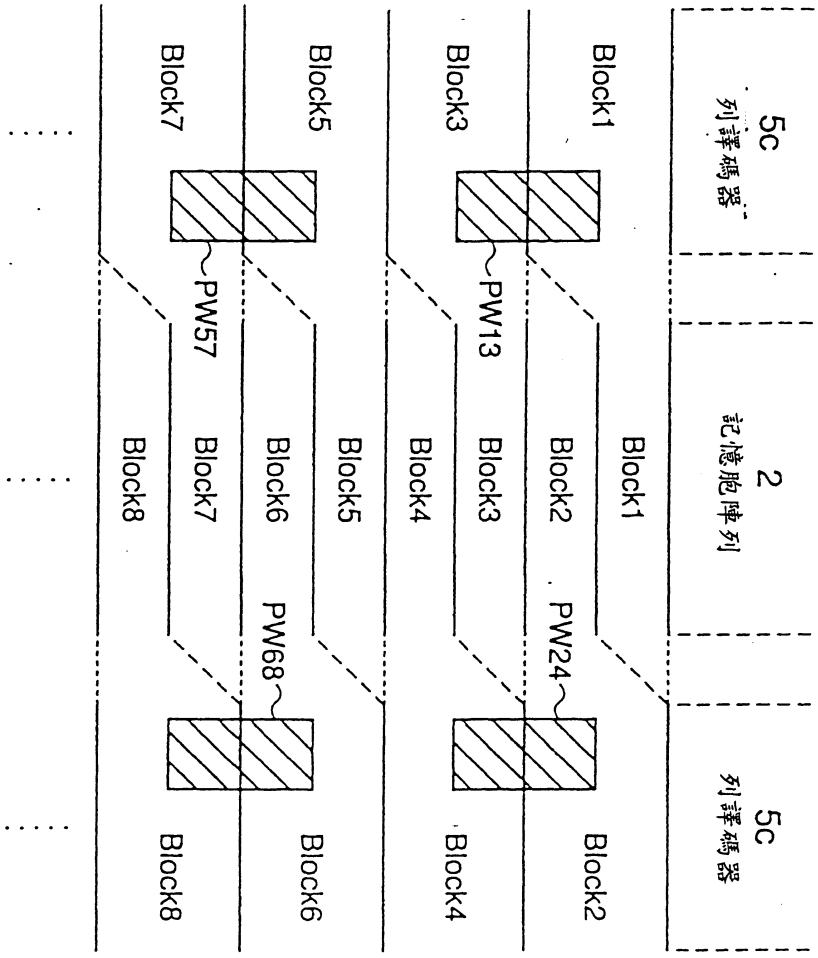

5c
列譯碼器
2
記憶胞陣列
5c
列譯碼器
Block1
Block1
Block2
Block2
PW24
Block3
Block3
PW13
Block4
Block4
Block5
Block5
Block6
Block6
PW68
Block7
Block7
PW57
Block8
Block8
P2

圖 28

圖 29A

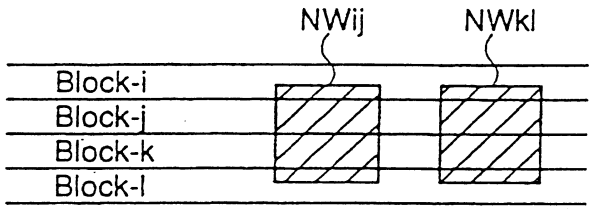
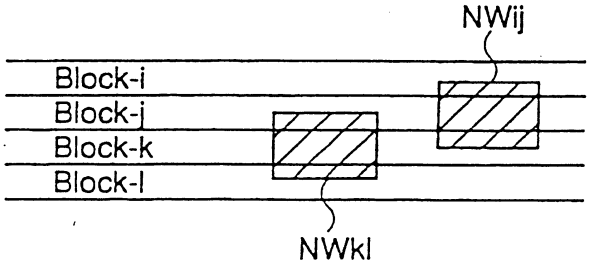

NWij
NWkl
Block-i
Block-j
Block-k
Block-l

圖 29B


NWij
Block-i
Block-j
Block-k
Block-l
NWkl

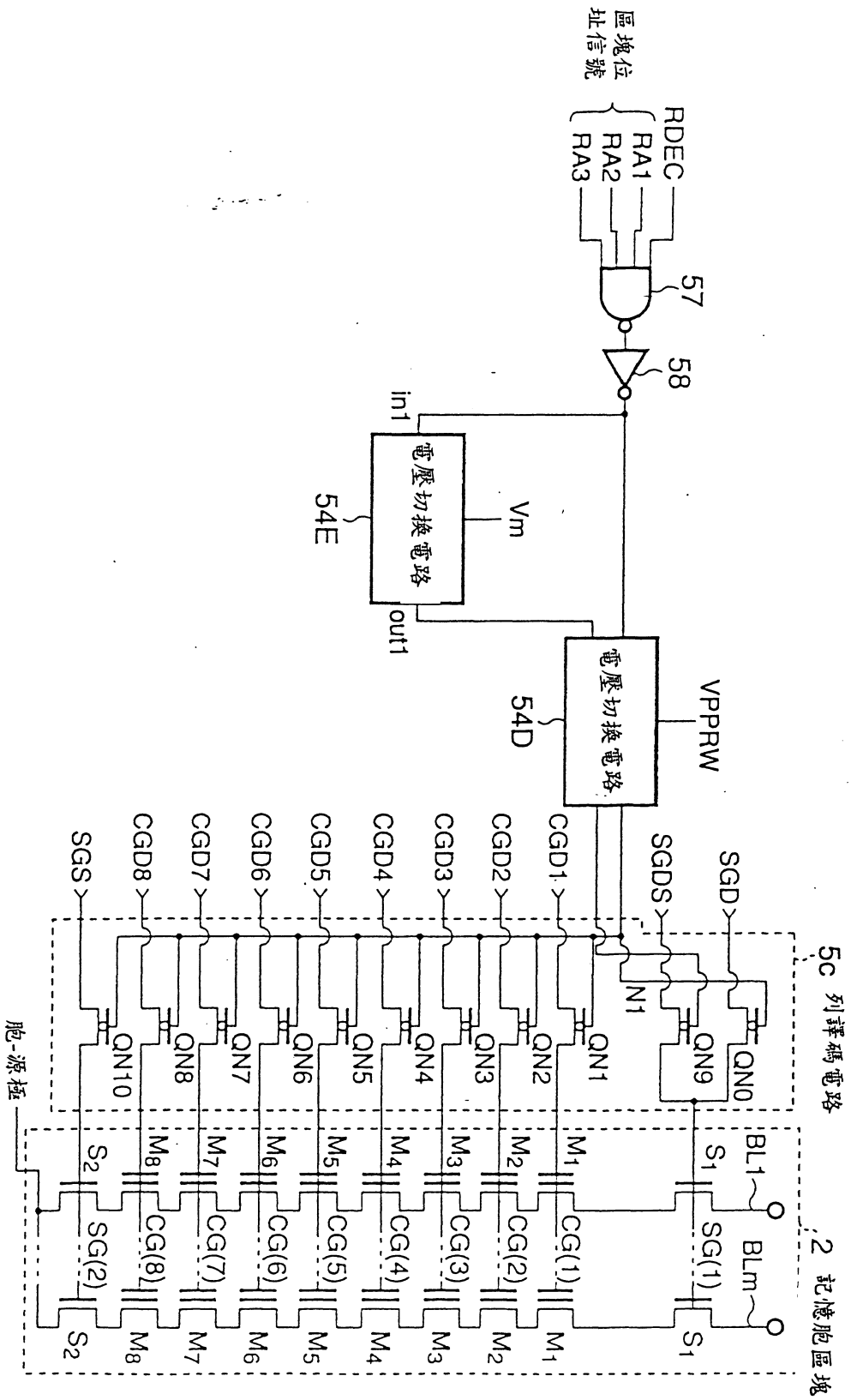

區塊位址信號
RDEC
RA1
RA2
RA3
57
58
in1
電壓切換電路
54E
Vm
out1
電壓切換電路
54D
VPPRW
SGD
SGDS
N1
CGD1
CGD2
CGD3
CGD4
CGD5
CGD6
CGD7
CGD8
SGS
5C 列譯碼電路
QN0
QN9
QN1
QN2
QN3
QN4
QN5
QN6
QN7
QN8
QN10
BL1
BLm
S1
SG(1)
M1
CG(1)
M2
CG(2)
M3
CG(3)
M4
CG(4)
M5
CG(5)
M6
CG(6)
M7
CG(7)
M8
CG(8)
S2
SG(2)
2 記憶胞區塊
胞-源極

圖 3 0

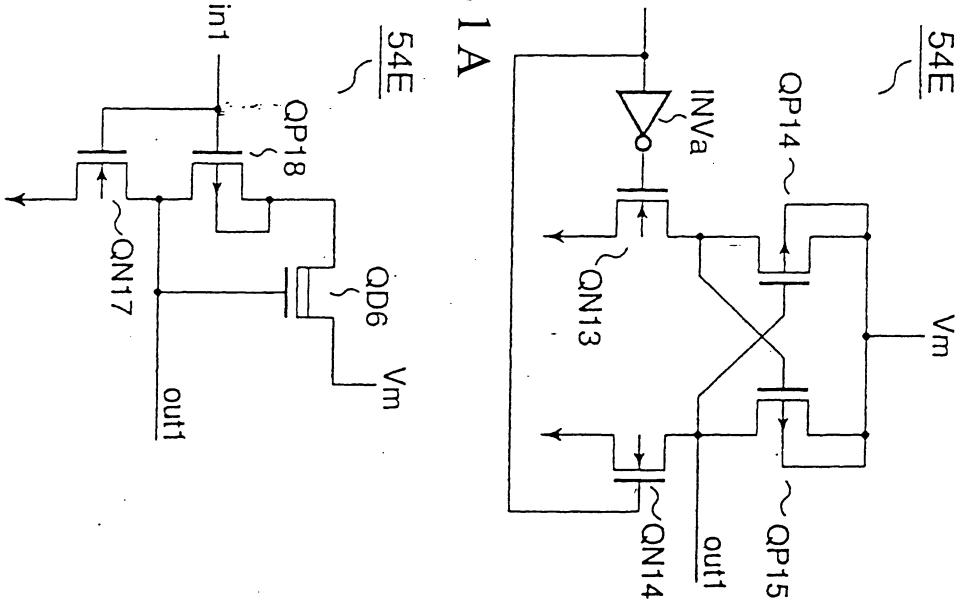


圖 31A

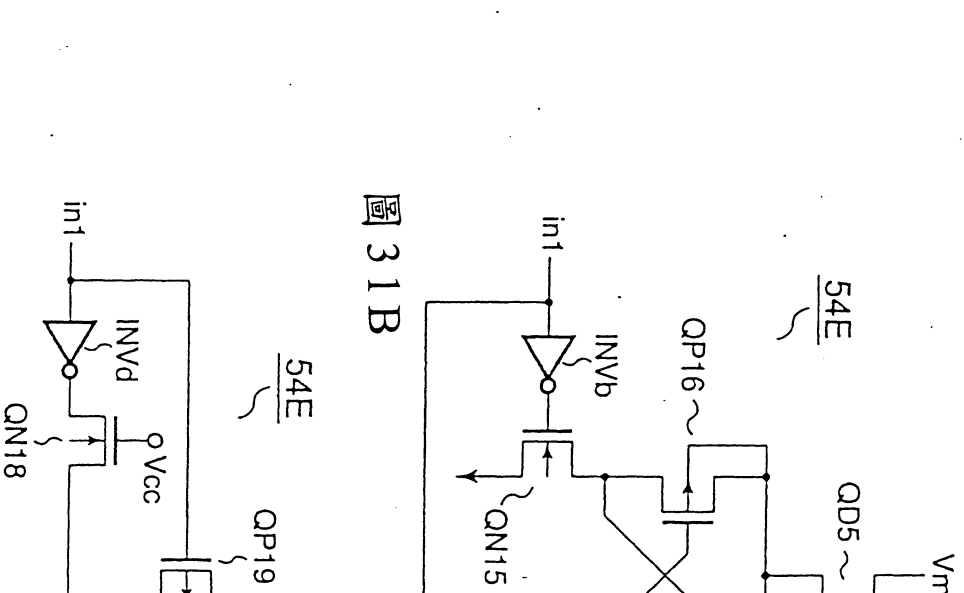


圖 31B

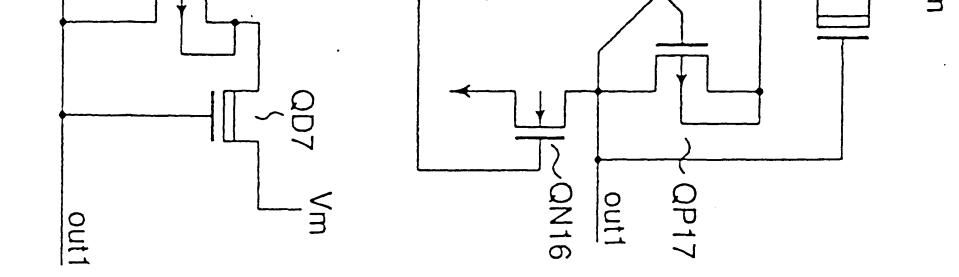


圖 31C

圖 31D

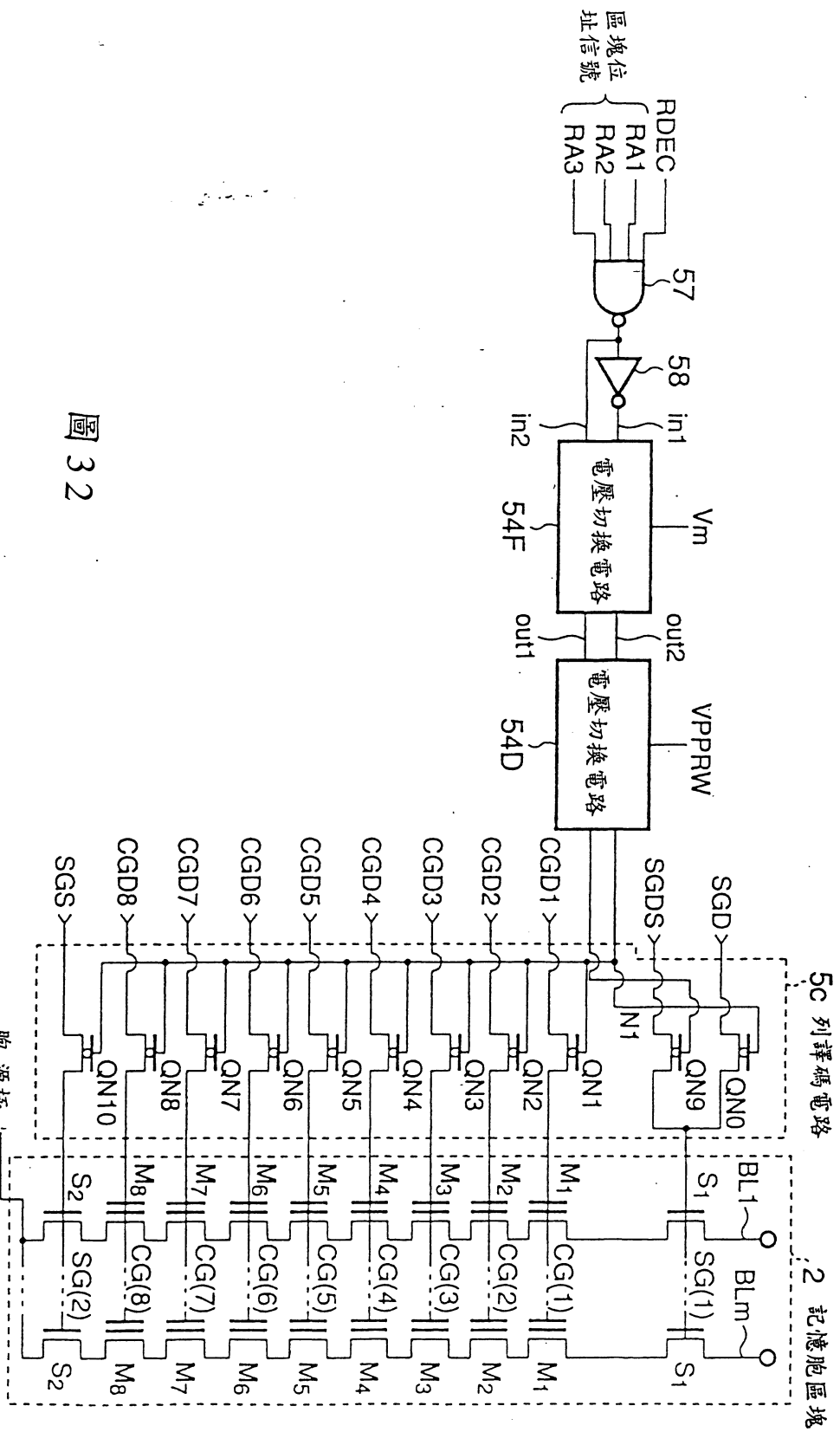

區塊位址信號
RDEC
RA1
RA2
RA3
57
58
in1
in2
電壓切換電路
54F
Vm
out1
out2
電壓切換電路
54D
VPPRW
CGD1
CGD2
CGD3
CGD4
CGD5
CGD6
CGD7
CGD8
SGS
SGDS
SGD
N1
QN0
QN9
QN1
QN2
QN3
QN4
QN5
QN6
QN7
QN8
QN10
5c 列譯碼電路
2 記憶胞區塊
BL1
BLm
S1
SG(1)
M1
CG(1)
M2
CG(2)
M3
CG(3)
M4
CG(4)
M5
CG(5)
M6
CG(6)
M7
CG(7)
M8
CG(8)
SG(2)
S2
胞-源極

圖 3 2

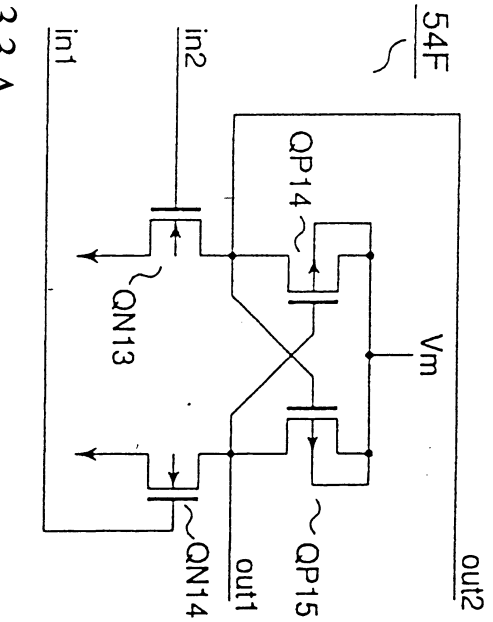


圖 3 3 A

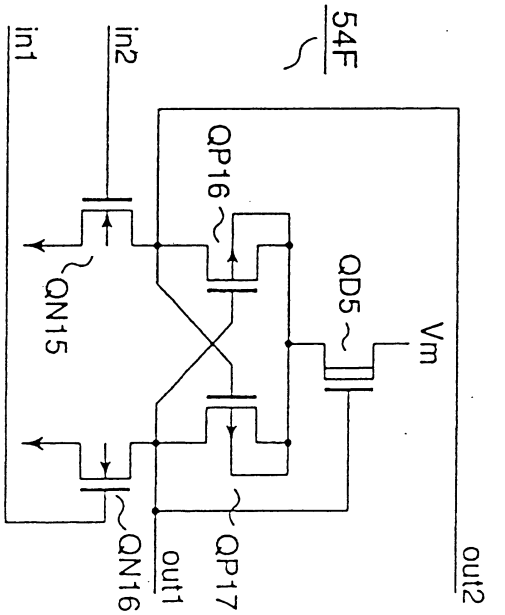


圖 3 3 B

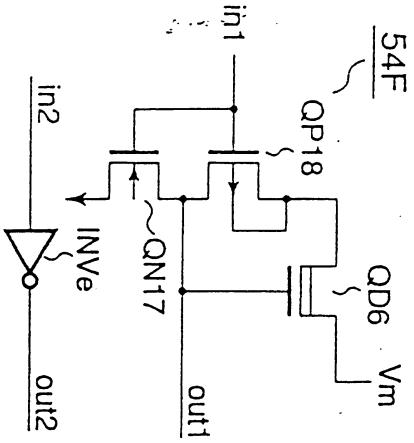


圖 3 3 C

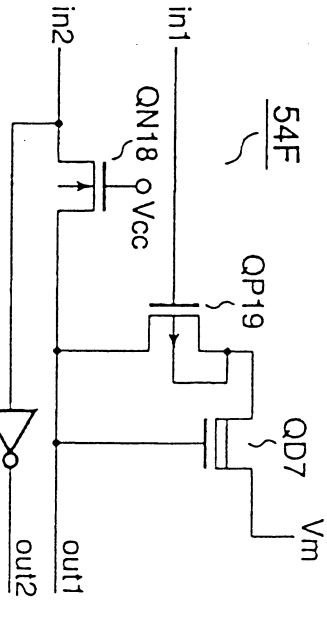


圖 3 3 D

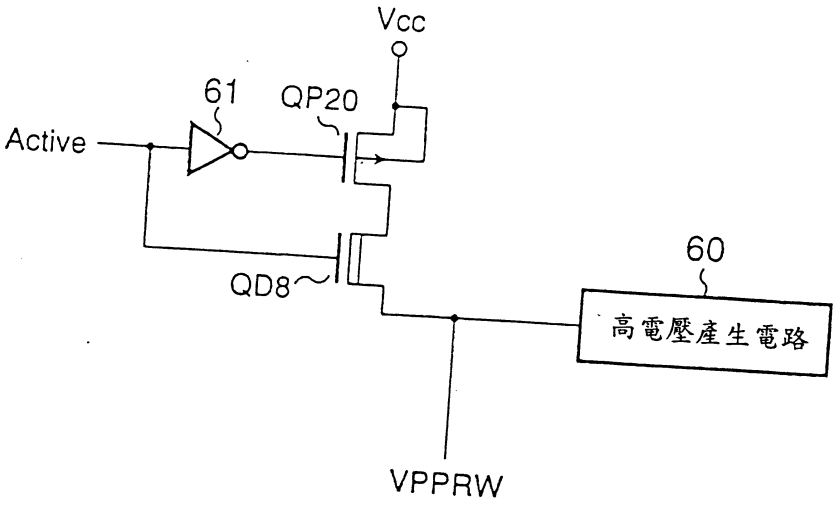

Vcc
61
QP20
Active
60
QD8
高電壓產生電路
VPPRW

圖 3 4

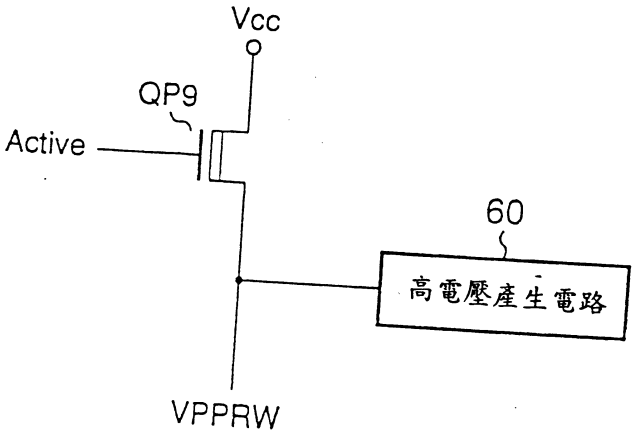

Vcc
QP9
Active
60
高電壓產生電路
VPPRW

圖 3 5

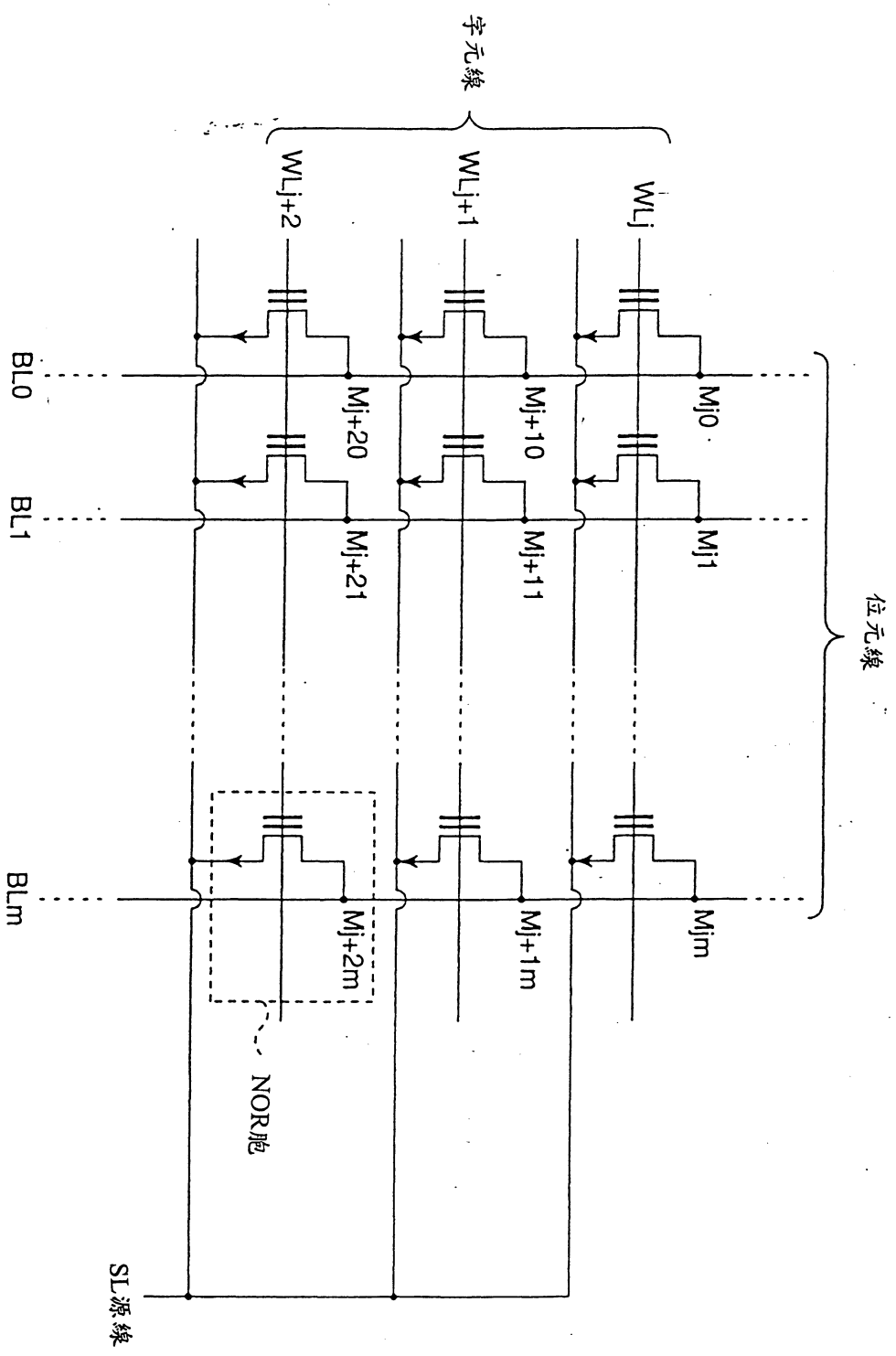

字元線
WLj
WLj+1
WLj+2
位元線
BL0
BL1
BLm
Mj0
Mj1
Mjm
Mj+10
Mj+11
Mj+1m
Mj+20
Mj+21
Mj+2m
NOR胞
SL源線

圖 3 6

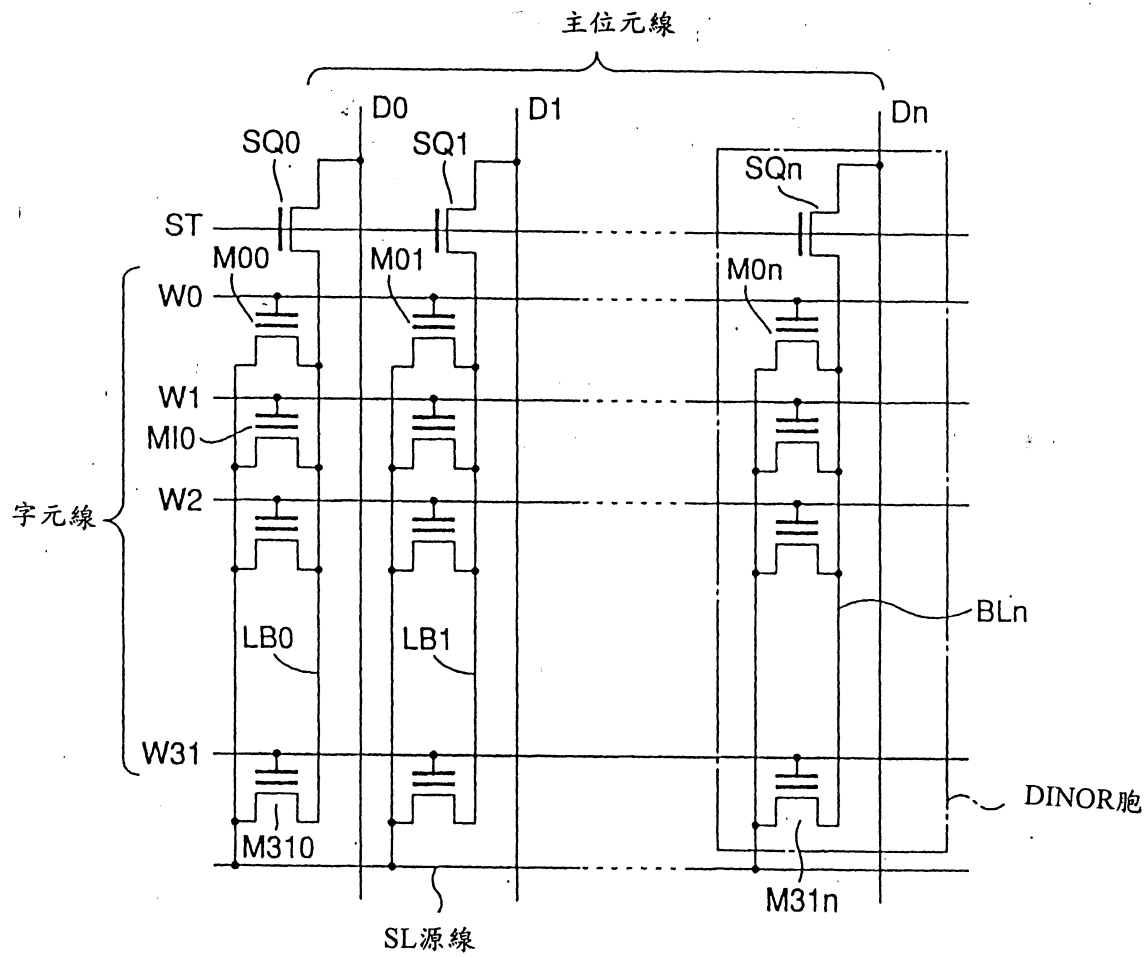

主位元線
D0
D1
Dn
SQ0
SQ1
SQn
ST
M00
M01
M0n
W0
W1
MI0
W2
字元線
LB0
LB1
BLn
W31
DINOR胞
M310
M31n
SL源線

圖37

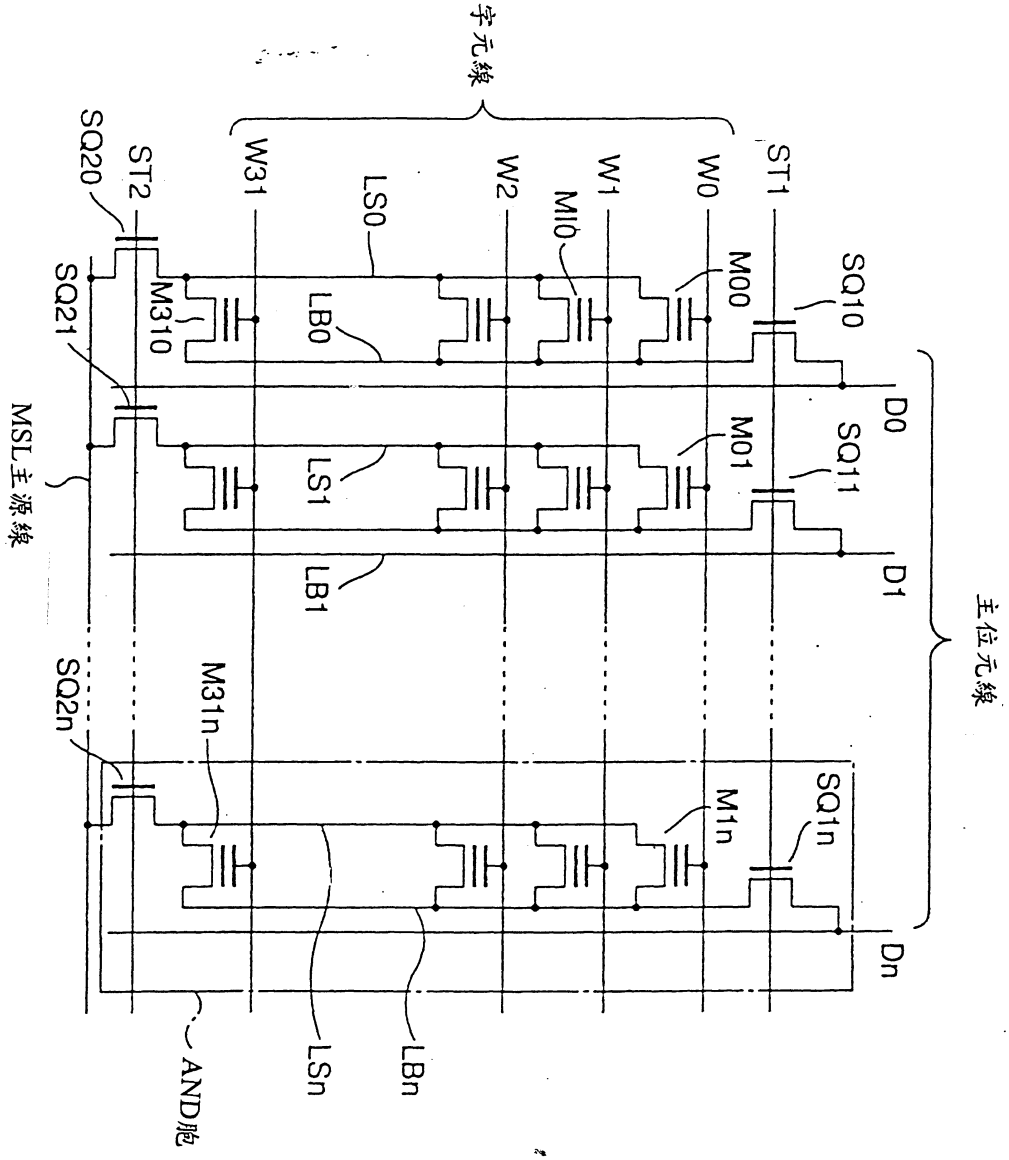

字元線
主位元線
W0
W1
W2
W31
ST1
ST2
SQ10
SQ11
SQ1n
SQ20
SQ21
SQ2n
M00
M10
M01
M1n
M310
M31n
LS0
LS1
LSn
LB0
LB1
LBn
D0
D1
Dn
MSL主源線
AND胞

圖 3 8

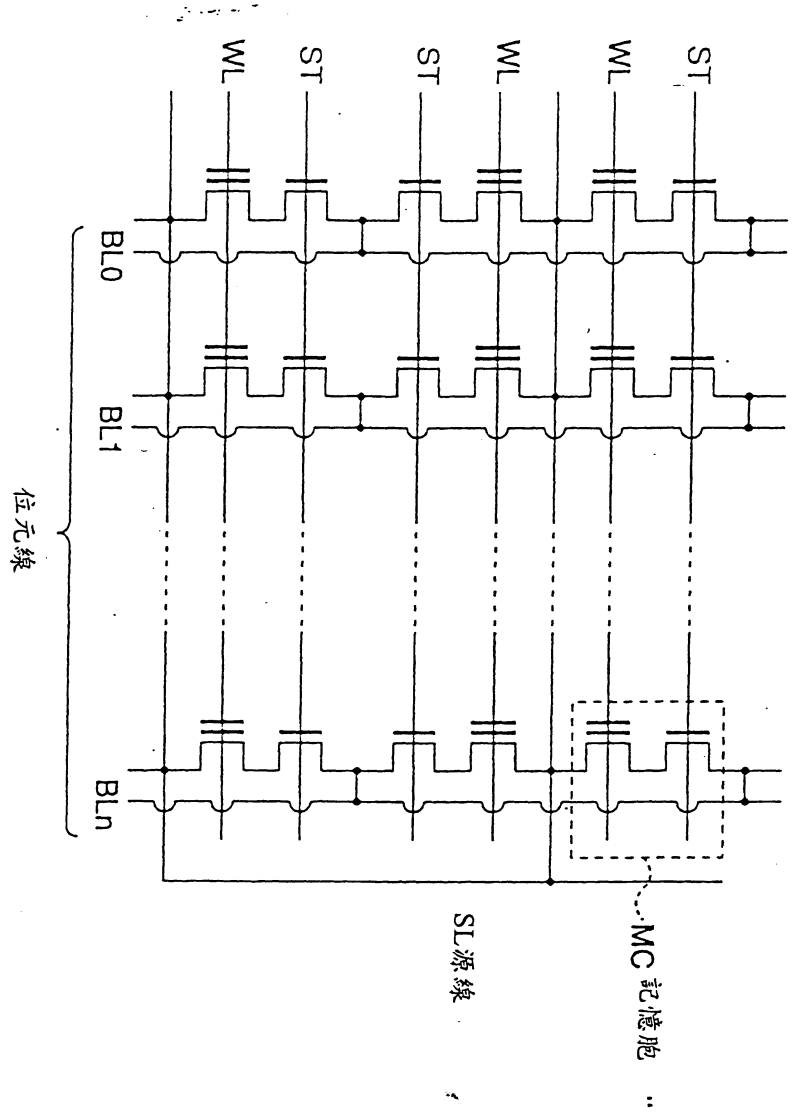


圖 39