

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007年9月27日 (27.09.2007)

PCT

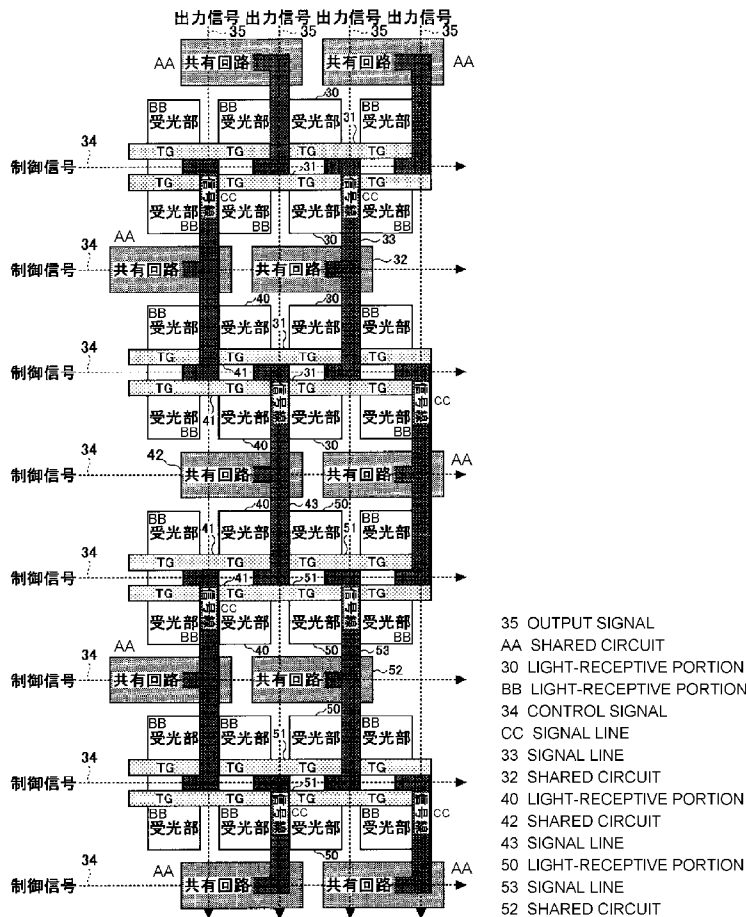
(10) 国際公開番号
WO 2007/108129 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/335 (2006.01)
- (21) 国際出願番号: PCT/JP2006/305861
- (22) 国際出願日: 2006年3月23日 (23.03.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 樋口 剛 (HIGUCHI, Tsuyoshi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 伊東 忠彦 (ITO, Tadahiko); 〒1506032 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) Title: SOLID-STATE IMAGE SENSOR

(54) 発明の名称: 固体撮像素子



(57) Abstract: A solid-state image sensor comprises: a plurality of first light-receptive portions arranged in one or more rows; a plurality of second light-receptive portions arranged in one or more rows different from the aforementioned one or more rows; a first shared circuit which is one-to-one connected to each of pixel groups formed by combining a predetermined number of first light-receptive portions; and a second shared circuit which is one-to-one connected to each of pixel groups formed by combining a predetermined number of second light-receptive portions. The solid-state image sensor is characterized in that the second shared circuit is arranged between the two adjacent pixel groups composed of the first light-receptive portions.

(57) 要約: 固体撮像素子は、一又は複数の列に配置された複数の第1の受光部と、前記一又は複数の列とは異なる一又は複数の列に配置された複数の第2の受光部と、複数の第1の受光部を所定個数ずつ纏めて複数の画素群を形成し、各画素群に一对一に結合される第1の共有回路と、複数の第2の受光部を所定個数ずつ纏めて複数の画素群を形成し、各画素群に一对一に結合される第2の共有回路を含み、第1の受光部から構成される2つの隣接する画素群の間には第2の共有回路が配置されることを特徴とする。

WO 2007/108129 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類：
— 国際調査報告書

明 細 書

固体撮像素子

技術分野

[0001] 本発明は、一般に固体撮像素子に関し、詳しくは、CMOS型固体撮像素子のレイアウトに関する。

背景技術

[0002] CMOS型固体撮像素子においては、フォトダイオードからなる受光素子を縦横に配置することで画素配列を形成してあり、光電変換で蓄積された電荷を、行及び列の指定により選択した画素から読み出すことができる。一般に、各画素には例えばソースフォロワ回路を構成する読み出し用トランジスタ(増幅器)やトランスファーゲートが付随して設けられている。選択信号によりトランスファーゲートを開き、読み出し用トランジスタで画素信号を増幅し、列方向に延びる出力信号線を介して増幅後の画素信号を読み出す。また各画素には、受光素子をリセットするためのリセット用トランジスタが設けられている。

[0003] 画素間隔を狭めるとともに回路規模を削減するためには、上記読み出し用トランジスタ及びリセット用トランジスタ等を各画素に対して一対一に設けるのではなく、複数の画素からなる画素群に対して1セットの増幅器及びリセット用トランジスタ等を設けることが好ましい。このように複数の画素で共有される回路部分を、本願では共有回路と呼ぶ。この場合、各画素に一対一に対応するトランスファーゲートは1つの画素群のなかで1つの画素を選択するために使用し、複数の画素群の中から1つの画素群を選択するために、共有回路の一部として選択用トランジスタを設ける構成としてよい。

[0004] 図1は、4つの画素で共有回路を共有するCMOS型固体撮像素子の従来のレイアウトの一例を示す図である。図1の固体撮像素子は、受光部10、トランスファーゲート11、共有回路12、共有接続用信号線13、制御信号線14、及び出力信号線15を含む。

[0005] 受光部10は、フォトダイオードからなり、光電変換により入力光に応じた強さの電荷

を蓄積する。受光部10は、トランスファーゲート11及び共有接続用信号線13を介して、共有回路12に結合される。図1の構成では、縦一列に並ぶ4つの連続する受光部10が1つの画素群を形成し、1つの画素群の全ての受光部10が1つの共有回路12に結合される。共有回路12は、読み出し用トランジスタ、リセット用トランジスタ、選択用トランジスタ等を含む。

- [0006] トランスファーゲート11及び共有接続用信号線13を介して受光部10から読み出された画素信号は、共有回路12の読み出し用トランジスタにより増幅され、その後出力信号線15を介して画素配列外部に読み出される。制御信号線14は、トランスファーゲート11を選択するための信号、共有回路12を選択するための信号、共有回路12のリセット用トランジスタにより受光部10をリセットするための信号等を伝送する。
- [0007] 図2は、4つの画素で共有回路を共有するCMOS型固体撮像素子の従来のレイアウトの別の一例を示す図である。図2において、図1と同一の構成要素は同一の番号で参照し、その説明は省略する。図2のレイアウトでは、2つの縦に連続する画素及び2つの横に連続する画素を纏めて1つの画素群を形成し、1つの画素群の全ての受光部10が1つの共有回路12に結合される。
- [0008] 図1及び図2のレイアウトでは、受光部10の縦方向の間隔が等間隔でなく、配置が空間的に均一でないという問題がある。一般に、画素が等間隔で均一な配置の方が、入射光を効率的に検出することができる。図1及び図2のように画素間隔が等しくなく不均一な配置の場合、入射光を検出する感度が劣化してしまう。
- [0009] 図3は、4つの画素で共有回路を共有するCMOS型固体撮像素子の従来のレイアウトの更に別の一例を示す図である。図3において、図1と同一の構成要素は同一の番号で参照し、その説明は省略する。
- [0010] 図3の構成では、縦一列に並ぶ4つの連続する受光部10が1つの画素群を形成し、1つの画素群の全ての受光部10が一对の共有回路12-1及び12-2に結合される。即ち、図1の構成における1つの共有回路12が、図3の構成では、2つの共有回路12-1及び12-2に分割されている。このように2つの共有回路12-1及び12-2に回路を分割して、共有回路に使用するスペースを分散することにより、図3の構成では、図1及び図2の構成と比較して受光部10の間隔をより等間隔に近づけている。

[0011] 図3のレイアウトにより、入射光の検出感度が劣化してしまうという問題はある程度回避することができる。しかし共有回路を効率的に2等分できるとは限らず、共有回路に使用する面積が増大してしまう。また共有回路12-2から結合先の受光部までの距離のばらつきが、図1及び図2の場合と比較して、図3の構成では大きくなってしまふ。このように受光部から共有回路までの距離にばらつきがあると、画素毎に電気特性が異なってしまう、撮像画像の画質に悪影響をもたらすことになる。

[0012] なお関連技術の一例として、特許文献1には、信号を増幅し転送するトランジスタを2つの画素で共有する構成が示される。

(特許文献1) 特開2004-14802号公報

発明の開示

発明が解決しようとする課題

[0013] 以上を鑑みて本発明では、撮像画像の画質に悪影響をもたらすことなく画素を均等に配置したレイアウトを有する固体撮像素子を提供することを目的とする。

課題を解決するための手段

[0014] 固体撮像素子は、一又は複数の列に配置された複数の第1の受光部と、前記一又は複数の列とは異なる一又は複数の列に配置された複数の第2の受光部と、複数の第1の受光部を所定個数ずつ纏めて複数の画素群を形成し、各画素群に一对一に結合される第1の共有回路と、複数の第2の受光部を所定個数ずつ纏めて複数の画素群を形成し、各画素群に一对一に結合される第2の共有回路を含み、第1の受光部から構成される2つの隣接する画素群の間には第2の共有回路が配置されることを特徴とする。

発明の効果

[0015] 本発明による少なくとも1つの実施例においては、固体撮像素子を上記のような構成とすることで、画素間隔を略等間隔として均一な配置を実現しながらも、共有回路から各受光部までの距離を略一定とすることができる。これにより、撮像画像の画質に悪影響をもたらすことなく画素を均等に配置したレイアウトを実現し、入射光の検出に関して高感度な固体撮像素子を提供することができる。

図面の簡単な説明

- [0016] [図1]4つの画素で共有回路を共有するCMOS型固体撮像素子の従来のレイアウトの一例を示す図である。
- [図2]4つの画素で共有回路を共有するCMOS型固体撮像素子の従来のレイアウトの別の一例を示す図である。
- [図3]4つの画素で共有回路を共有するCMOS型固体撮像素子の従来のレイアウトの更に別の一例を示す図である。
- [図4]本発明を適用する固体撮像素子の構成の一例を示す図である。
- [図5]本発明による画素配列のレイアウトの第1の実施例を示す図である。
- [図6]図5の画素配列と同一のレイアウトを断面図示用の切断線とともに示す図である。
- [図7]図6の切断線A-A'で切断した画素配列の断面図である。
- [図8]図6の切断線B-B'で切断した画素配列の断面図である。
- [図9]図6の切断線C-C'で切断した画素配列の断面図である。
- [図10]図6の切断線D-D'で切断した画素配列の断面図である。
- [図11]図6の切断線E-E'で切断した画素配列の断面図である。
- [図12]図5に示す画素配列における1つの画素群に対応する回路の等価回路の一例を示す図である。
- [図13]図5に示す画素配列における1つの画素群に対応する回路の等価回路の別の一例を示す図である。
- [図14]本発明による画素配列のレイアウトの第2の実施例を示す図である。
- [図15]図14に示す画素配列における1つの画素群に対応する回路の等価回路の一例を示す図である。
- [図16]図14に示す画素配列における1つの画素群に対応する回路の等価回路の別の一例を示す図である。
- [図17]本発明による画素配列のレイアウトの第3の実施例を示す図である。
- [図18A]本発明による画素配列のレイアウトの第4の実施例を示す図である。
- [図18B]本発明による画素配列のレイアウトの第4の実施例を示す図である。

符号の説明

- [0017] 20 画素配列
- 21 制御回路
- 22 シフトレジスタ
- 23 画素制御信号ドライバ
- 24 制御信号線
- 25 出力信号線
- 26 画素読出回路
- 27 バス回路
- 30, 40, 50 受光部
- 31, 41, 51 トランスファークゲート
- 32, 42, 52 共有回路
- 33, 43, 53 共有接続用信号線
- 34 制御信号線
- 35 出力信号線

発明を実施するための最良の形態

- [0018] 以下に、本発明の実施例を添付の図面を用いて詳細に説明する。
- [0019] 図4は、本発明を適用する固体撮像素子の構成の一例を示す図である。図4の固体撮像素子は、画素配列20、制御回路21、シフトレジスタ22、画素制御信号ドライバ23、制御信号線24、出力信号線25、画素読出回路26、及びバス回路27を含む。
- [0020] 画素配列20は、フォトダイオードからなる受光素子を縦横に配置することで画素配列を形成したものである。画素配列20には、各画素に一对一に対応したトランスファークゲートが設けられるとともに、複数の画素間で共有される読み出し用トランジスタやリセット用トランジスタ等を含む共有回路が設けられる。
- [0021] 制御回路21は、固体撮像素子の各部を制御して、画素配列20から画像データを読み出すよう機能する。シフトレジスタ22は、画素配列20の複数の行に一对一に対応する複数の内部レジスタを含み、この内部レジスタを直列に接続してシフトレジスタ

を構成したものである。シフトレジスタ22は、制御回路21の制御の下で動作してレジスタ格納データを順次シフトさせることにより、画素配列20の行を順次選択するよう機能する。

- [0022] 画素制御信号ドライバ23は、シフトレジスタ22が指定する行に対応する制御信号線24を駆動して、画素配列20中の指定する行に対応する画素から1行分の画素信号を読み出す。読み出された画素信号は、出力信号線25を介して画素読出回路26に供給される。画素読出回路26は、例えばノイズキャンセル回路等により、ノイズを軽減しつつ画像信号を読み出すよう機能する。画素読出回路26により読み出された1行分の画像信号は、水平方向に順次画素を選択するようにしながら、バス回路27を介して制御回路21に供給される。
- [0023] 図5は、本発明による画素配列のレイアウトの第1の実施例を示す図である。図5の画素配列20は、受光部30、トランスファーゲート31、共有回路32、共有接続用信号線33、制御信号線34、及び出力信号線35を含む。
- [0024] 受光部30は、フォトダイオードからなり、光電変換により入力光に応じた強さの電荷を蓄積する。受光部30は、トランスファーゲート31及び共有接続用信号線33を介して、共有回路32に結合される。図5の構成では、縦一列に並ぶ4つの連続する受光部30が1つの画素群を形成し、1つの画素群の全ての受光部30が1つの共有回路32に結合される。共有回路32は、読み出し用トランジスタ及びリセット用トランジスタを含み、また更に選択用トランジスタを含んでよい。
- [0025] トランスファーゲート31及び共有接続用信号線33を介して受光部30から読み出された画素信号は、共有回路32の読み出し用トランジスタにより増幅され、その後出力信号線35を介して画素配列外部に読み出される。制御信号線34は、トランスファーゲート31を選択するための信号、共有回路32を選択するための信号、共有回路32のリセット用トランジスタにより受光部30をリセットするための信号等を伝送する。
- [0026] 図5の画素配列20は、また更に受光部40、トランスファーゲート41、共有回路42、及び共有接続用信号線43を含む。受光部40、トランスファーゲート41、共有回路42、及び共有接続用信号線43は、それぞれ受光部30、トランスファーゲート31、共有回路32、及び共有接続用信号線33と同等の回路素子である。4つの受光部40が

1つの画素群を形成し、1つの共有回路42に結合される。

[0027] 図5の画素配列20は、また更に受光部50、トランスファークゲート51、共有回路52、及び共有接続用信号線53を含む。受光部50、トランスファークゲート51、共有回路52、及び共有接続用信号線53は、それぞれ受光部30、トランスファークゲート31、共有回路32、及び共有接続用信号線33と同等の回路素子である。4つの受光部50が1つの画素群を形成し、1つの共有回路52に結合される。

[0028] 図5に示されるように、本発明の第1の実施例においては、所定の列に並ぶ受光部(30、50)を所定個数(4つ)ずつ纏めて複数の画素群を形成し、各画素群を対応する共有回路(32、52)に結合する。また隣り合う2つの画素群(即ち受光部30からなる画素群と受光部50からなる画素群)の間には、他の列に並ぶ受光部(40)を所定個数(4つ)ずつ纏めて形成した画素群に結合される共有回路(42)が配置される。このような構成とすることで、画素間隔を略等間隔として均一な配置を実現しながらも、共有回路から各受光部までの距離を略一定とすることができる。

[0029] 図6は、図5の画素配列と同一のレイアウトを断面図示用の切断線とともに示す図である。図6において、図5と同一の構成要素は同一の番号で参照し、その説明は省略する。図6において、奇数列の画素列に対応する各回路要素は、受光部30、トランスファークゲート31、共有回路32、及び共有接続用信号線33として示し、偶数列の画素列に対応する各回路要素は、受光部40、トランスファークゲート41、共有回路42、及び共有接続用信号線43として示してある。

[0030] 図7は、図6の切断線A-A'で切断した画素配列の断面図である。図7において、図6と同一の構成要素は同一の番号で参照し、その説明は省略する。図7に示されるように、半導体基板60の拡散層に受光部30及び共有回路32が形成される。

[0031] 半導体基板60の上のポリシリコン層には、トランスファークゲート31が形成され、その上のメタル第1層に制御信号線34が形成される。図6には、制御信号線34の大まかな位置と方向が示されているだけであり、実際には、図7に示されるように1つのトランスファークゲート31(図面上では1つであるが実際には同一行上にある複数のトランスファークゲート31)に対して1つの制御信号線が設けられる。またメタル第1層の上のメタル第2層には、共有接続用信号線33が形成される。共有接続用信号線33と共通

回路32との間、及び共有接続用信号線33とトランスファークロウ31の拡散層62(トランスファークロウを構成するトランジスタのドレイン端)との間は、それぞれコンタクトホール61を介して接続される。

- [0032] 図8は、図6の切断線B-B'で切断した画素配列の断面図である。図8において、図6及び図7と同一の構成要素は同一の番号で参照し、その説明は省略する。
- [0033] 図8に示されるように、制御信号線34とトランスファークロウ31(トランスファークロウを構成するトランジスタのゲート端)との間、及び制御信号線34と共有回路32との間は、それぞれコンタクトホール63を介して接続される。またメタル第1層の上のメタル第2層には、共有接続用信号線33が形成される。
- [0034] 図9は、図6の切断線C-C'で切断した画素配列の断面図である。図9において、図6乃至図8と同一の構成要素は同一の番号で参照し、その説明は省略する。
- [0035] 図9に示されるように、メタル第2層には、出力信号線35が形成される。出力信号線35と共有回路32との間は、コンタクトホール64を介して接続される。
- [0036] 図10は、図6の切断線D-D'で切断した画素配列の断面図である。図10において、図6乃至図9と同一の構成要素は同一の番号で参照し、その説明は省略する。
- [0037] 図10に示されるように、半導体基板60には受光部30及び受光部40が形成される。メタル第2層には、出力信号線35と受光部40用の共有接続用信号線43とが形成されている。
- [0038] 図11は、図6の切断線E-E'で切断した画素配列の断面図である。図11において、図6乃至図10と同一の構成要素は同一の番号で参照し、その説明は省略する。
- [0039] ポリシリコン層にはトランスファークロウ31及び41が形成される。この場合切断面とトランスファークロウ31及び41の延展方向とは同一であり、図面の端から端までトランスファークロウ31及び41が連続して一本のポリシリコン電極として設けられている。ポリシリコン層の上のメタル第1層には制御信号線34が形成される。制御信号線34とトランスファークロウ31及び41とは、各トランスファークロウの位置においてコンタクトホール65により結合されている。
- [0040] 図12は、図5に示す画素配列における1つの画素群に対応する回路の等価回路の一例を示す図である。図12に示すように、フォトダイオードである4つの受光部30

が、トランジスタであるトランスファークラップ31を介して共有回路32に結合される。このトランスファークラップ31は、各受光部30に一对一に対応して設けられる。4つのトランスファークラップ31のゲート端には、制御信号TG1乃至TG4が供給される。

[0041] 共有回路32は、読み出し用トランジスタ71とリセット用トランジスタ72を含む。読み出し用トランジスタ71は、ソース端が参照電位VRに結合され、ドレイン端が出力信号線35に結合される。制御信号TG1乃至TG4のうち1つがHIGHになると対応するトランスファークラップ31が導通し、対応する受光部30の電荷が読み出し用トランジスタ71のゲート端に供給される。これにより、受光部30の電荷量に依存した電圧が出力信号線35に現れる。このようにして、選択された画素の画素信号を読み出すことができる。

[0042] なおリセット用トランジスタ72は、リセット信号RSTがHIGHになると導通し、選択した受光部30を参照電圧VRにリセットする。このようなリセット動作により、画素配列20の各画素を同一の初期状態に設定することができる。

[0043] 図13は、図5に示す画素配列における1つの画素群に対応する回路の等価回路の別の一例を示す図である。図13において、図12と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0044] 図13の構成においては、共有回路32は、読み出し用トランジスタ71及びリセット用トランジスタ72に加え、更に選択用トランジスタ73を含む。選択用トランジスタ73は、読み出し用トランジスタ71に直列に接続するように挿入されており、そのゲート端には選択信号SELが印加される。選択信号SELがHIGHになると、共有回路32の読出し画素信号が出力信号線35に供給される。

[0045] 図14は、本発明による画素配列のレイアウトの第2の実施例を示す図である。図14の画素配列は、受光部130、トランスファークラップ131、共有回路132、制御信号線134、及び出力信号線135を含む。

[0046] 受光部130は、フォトダイオードからなり、光電変換により入力光に応じた強さの電荷を蓄積する。受光部130は、トランスファークラップ131を介して共有回路132に結合される。図14の構成では、縦に2つ及び横に2つ隣接して並ぶ4つの受光部130が1つの画素群を形成し、1つの画素群の全ての受光部130が1つの共有回路132

に結合される。共有回路132は、読み出し用トランジスタ及びリセット用トランジスタを含み、また更に選択用トランジスタを含んでよい。

[0047] トランスファークゲート131を介して受光部130から読み出された画素信号は、共有回路132の読み出し用トランジスタにより増幅され、その後出力信号線135を介して画素配列外部に読み出される。制御信号線134は、トランスファークゲート131を選択するための信号、共有回路132を選択するための信号、共有回路132のリセット用トランジスタにより受光部130をリセットするための信号等を伝送する。

[0048] 図14の画素配列は、また更に受光部140、トランスファークゲート141、及び共有回路142を含む。受光部140、トランスファークゲート141、及び共有回路142は、それぞれ受光部130、トランスファークゲート131、及び共有回路132と同等の回路素子である。4つの受光部140が1つの画素群を形成し、1つの共有回路142に結合される。

[0049] 図14の画素配列は、また更に受光部150、トランスファークゲート151、及び共有回路152を含む。受光部150、トランスファークゲート151、及び共有回路152は、それぞれ受光部130、トランスファークゲート131、及び共有回路132と同等の回路素子である。4つの受光部150が1つの画素群を形成し、1つの共有回路152に結合される。

[0050] 図14に示されるように、本発明の第2の実施例においては、所定の列(所定の2列)に並ぶ受光部(130、150)を所定個数(4つ)ずつ纏めて複数の画素群を形成し、各画素群を対応する共有回路(132、152)に結合する。また隣り合う2つの画素群(即ち受光部130からなる画素群と受光部150からなる画素群)の間には、他の列(他の2列)に並ぶ受光部(140)を所定個数(4つ)ずつ纏めて形成した画素群に結合される共有回路(142)が配置される。このような構成とすることで、画素間隔を略等間隔として均一な配置を実現しながらも、共有回路から各受光部までの距離を略一定とすることができる。なお図14の第2の実施例の構成では、共有接続用信号線を削減できるので、第1の実施例の構成と比較して、画素間隔を短くすることが可能である。

[0051] 図15は、図14に示す画素配列における1つの画素群に対応する回路の等価回路の一例を示す図である。図15に示すように、フォトダイオードである4つの受光部130が、トランジスタであるトランスファークゲート131を介して共有回路132に結合される。このトランスファークゲート131は、各受光部130に一对一に対応して設けられる。4つ

のトランスファークラップ131のゲート端には、制御信号TG1乃至TG4が供給される。

[0052] 共有回路132は、読み出し用トランジスタ171とリセット用トランジスタ172とを含む。読み出し用トランジスタ171は、ソース端が参照電位VRに結合され、ドレイン端が出力信号線135に結合される。制御信号TG1乃至TG4のうち1つがHIGHになると対応するトランスファークラップ131が導通し、対応する受光部130の電荷が読み出し用トランジスタ171のゲート端に供給される。これにより、受光部130の電荷量に依存した電圧が出力信号線135に現れる。このようにして、選択された画素の画素信号を読み出すことができる。

[0053] なおリセット用トランジスタ172は、リセット信号RSTがHIGHになると導通し、選択した受光部130を参照電圧VRにリセットする。このようなリセット動作により、画素配列の各画素を同一の初期状態に設定することができる。

[0054] 図16は、図14に示す画素配列における1つの画素群に対応する回路の等価回路の別の一例を示す図である。図16において、図15と同一の構成要素は同一の番号で参照し、その説明は省略する。

[0055] 図16の構成においては、共有回路132は、読み出し用トランジスタ171及びリセット用トランジスタ172に加え、更に選択用トランジスタ173を含む。選択用トランジスタ173は、読み出し用トランジスタ171に直列に接続するように挿入されており、そのゲート端には選択信号SELが印加される。選択信号SELがHIGHになると、共有回路132の読み出し画素信号が出力信号線135に供給される。

[0056] 図17は、本発明による画素配列のレイアウトの第3の実施例を示す図である。第3の実施例においては、2つの画素を纏めて1つの画素群とし、各画素群に対して一対一に1つの共有回路を割り当てる。

[0057] 図17の画素配列は、受光部230、トランスファークラップ231、共有回路232、制御信号線234、及び出力信号線235を含む。個々の回路要素の構成及び機能は、第1及び第2の実施例の場合と同様であり、その説明は省略する。

[0058] この構成では、縦に2つ連続して並ぶ2つの受光部230が1つの画素群を形成し、1つの画素群の全ての受光部230が1つの共有回路232に結合される。共有回路232は、読み出し用トランジスタ及びリセット用トランジスタを含み、また更に選択用トラン

ンジスタを含んでよい。

- [0059] 図17の画素配列は、また更に受光部240、トランスファーゲート241、及び共有回路242を含む。受光部240、トランスファーゲート241、及び共有回路242は、それぞれ受光部230、トランスファーゲート231、及び共有回路232と同等の回路素子である。2つの受光部240が1つの画素群を形成し、1つの共有回路242に結合される。
- [0060] 図17の画素配列は、また更に受光部250、トランスファーゲート251、及び共有回路252を含む。受光部250、トランスファーゲート251、及び共有回路252は、それぞれ受光部230、トランスファーゲート231、及び共有回路232と同等の回路素子である。2つの受光部250が1つの画素群を形成し、1つの共有回路252に結合される。
- [0061] 図17に示されるように、本発明の第3の実施例においては、所定の列に並ぶ受光部(230、250)を所定個数(2つ)ずつ纏めて複数の画素群を形成し、各画素群を対応する共有回路(232、252)に結合する。また隣り合う2つの画素群(即ち受光部230からなる画素群と受光部250からなる画素群)の間には、他の列に並ぶ受光部(240)を所定個数(2つ)ずつ纏めて形成した画素群に結合される共有回路(242)が配置される。このような構成とすることで、画素間隔を略等間隔として均一な配置を実現しながらも、共有回路から各受光部までの距離を略一定とすることができる。
- [0062] 図18A及び図18Bは、本発明による画素配列のレイアウトの第4の実施例を示す図である。図18Aの画素配列レイアウトと図18Bの画素配列レイアウトとは、図示の都合上2つに分割して示すものであり、実際には点線I-I'において互いに接続することで1つの画素配列レイアウトを構成する。第4の実施例においては、8つの画素を纏めて1つの画素群とし、各画素群に対して一対一に1つの共有回路を割り当てる。
- [0063] 図18A及び図18Bの画素配列は、受光部330、トランスファーゲート331、共有回路332、共有接続用信号線333、制御信号線334、及び出力信号線335を含む。個々の回路要素の構成及び機能は、第1乃至第3の実施例の場合と同様であり、その説明は省略する。
- [0064] この構成では、縦一列に並ぶ8つの連続する受光部330が1つの画素群を形成し、1つの画素群の全ての受光部330が1つの共有回路332に結合される。共有回路332は、読み出し用トランジスタ及びリセット用トランジスタを含み、また更に選択用トラ

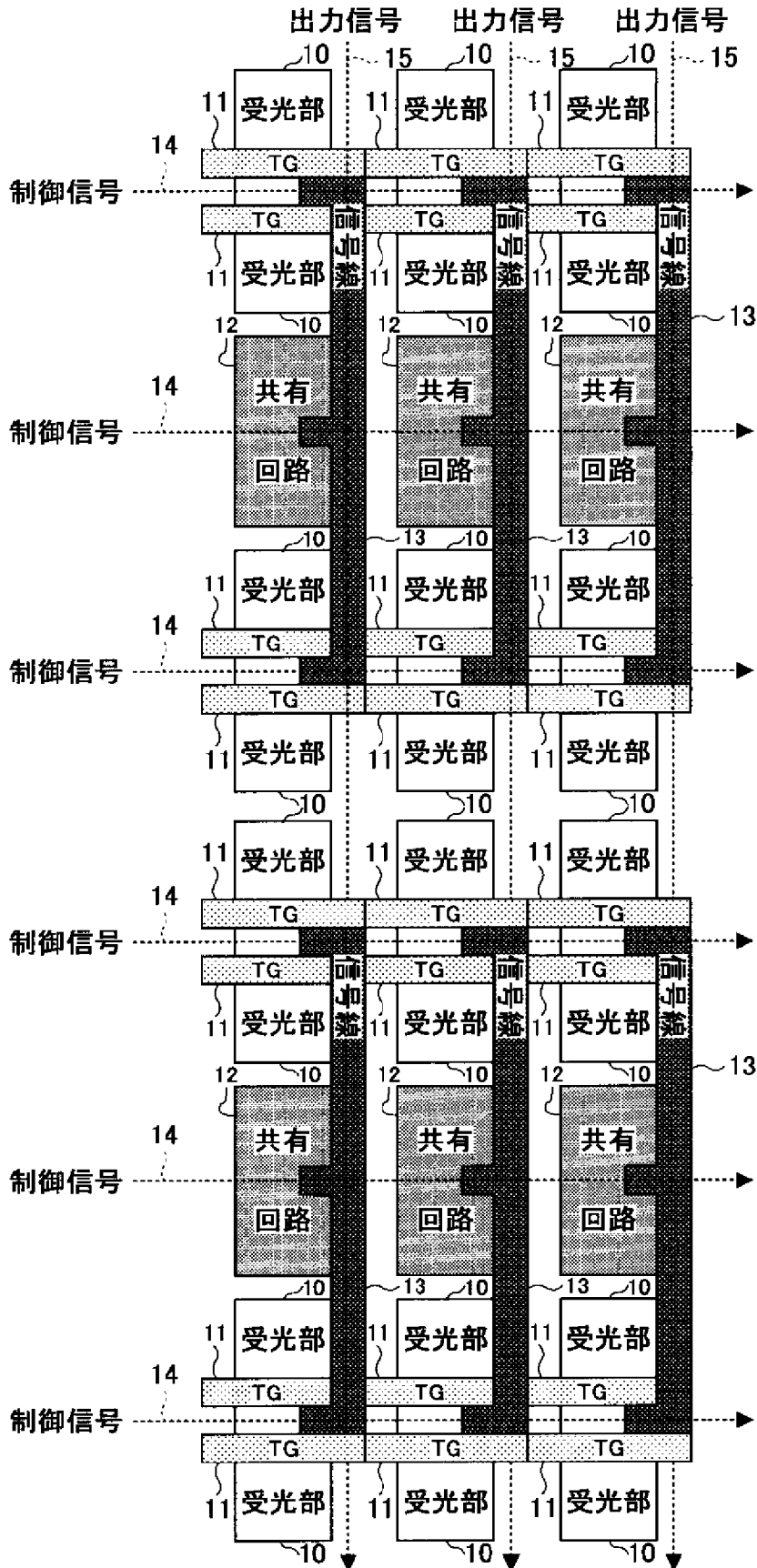
ンジスタを含んでよい。

- [0065] 図18A及び図18Bの画素配列は、また更に、縦一列に連続して並ぶ8つの受光部340、トランスファーゲート341、共有回路342、及び共有接続用信号線343を含む。受光部340、トランスファーゲート341、共有回路342、及び共有接続用信号線343は、それぞれ受光部330、トランスファーゲート331、共有回路332、及び共有接続用信号線333と同等の回路素子である。これら8つの受光部340が1つの画素群を形成し、1つの共有回路342に結合される。
- [0066] 図18A及び図18Bの画素配列は、また更に、縦一列に連続して並ぶ受光部350、トランスファーゲート351、共有回路352、及び共有接続用信号線353を含む。受光部350、トランスファーゲート351、共有回路352、及び共有接続用信号線353は、それぞれ受光部330、トランスファーゲート331、共有回路332、及び共有接続用信号線333と同等の回路素子である。これら8つの受光部350が1つの画素群を形成し、1つの共有回路352に結合される。
- [0067] 図18A及び図18Bに示されるように、本発明の第4の実施例においては、所定の列に並ぶ受光部(330、350)を所定個数(8つ)ずつ纏めて複数の画素群を形成し、各画素群を対応する共有回路(332、352)に結合する。また隣り合う2つの画素群(即ち受光部330からなる画素群と受光部350からなる画素群)の間には、他の列に並ぶ受光部(340)を所定個数(8つ)ずつ纏めて形成した画素群に結合される共有回路(342)が配置される。このような構成とすることで、画素間隔を略等間隔として均一な配置を実現しながらも、共有回路から各受光部までの距離を略一定とすることができる。
- [0068] 以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

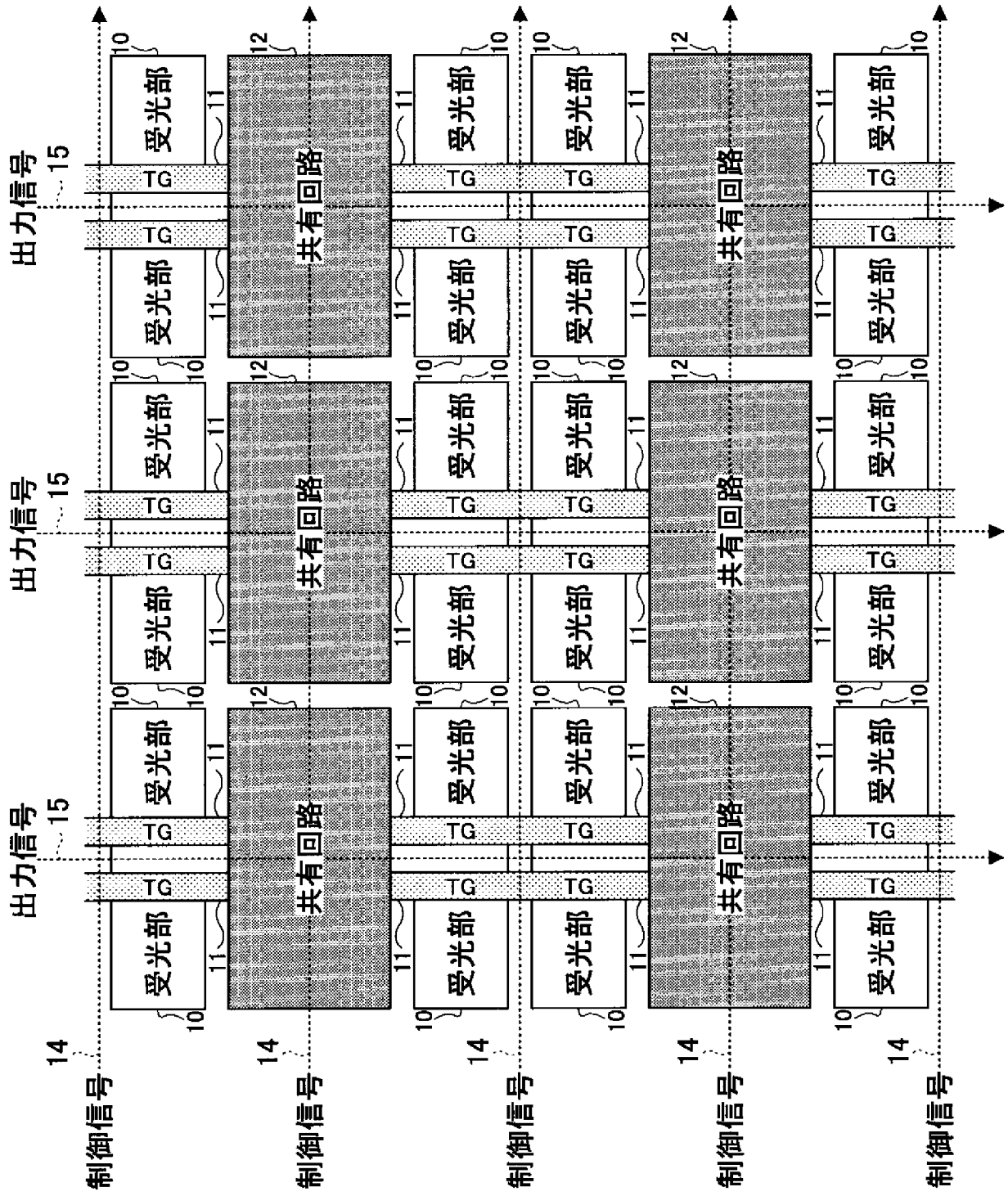
請求の範囲

- [1] 一又は複数の列に配置された複数の第1の受光部と、
該一又は複数の列とは異なる一又は複数の列に配置された複数の第2の受光部と、
、
該複数の第1の受光部を所定個数ずつ纏めて複数の画素群を形成し、各画素群
に一对一に結合される第1の共有回路と、
該複数の第2の受光部を所定個数ずつ纏めて複数の画素群を形成し、各画素群
に一对一に結合される第2の共有回路
を含み、該第1の受光部から構成される2つの隣接する画素群の間には該第2の共
有回路が配置されることを特徴とする固体撮像素子。
- [2] 該一又は複数の列の数は1であり、該第1の受光部は1つの列に直線上に配置さ
れ、且つ該第2の受光部は1つの列に直線上に配置されることを特徴とする請求項1
記載の固体撮像素子。
- [3] 出力信号線を更に含み、該第1及び第2の共有回路は、対応する該第1及び第2の
受光部からの信号に応じた出力信号を該出力信号線に供給する読み出し用トランジ
スタを含むことを特徴とする請求項1記載の固体撮像素子。
- [4] 該第1及び第2の共有回路は、対応する該第1及び第2の受光部をリセットするリセ
ット用トランジスタを含むことを特徴とする請求項1記載の固体撮像素子。
- [5] 該第1及び第2の共有回路は、当該共有回路を選択するための選択用トランジスタ
を含むことを特徴とする請求項1記載の固体撮像素子。

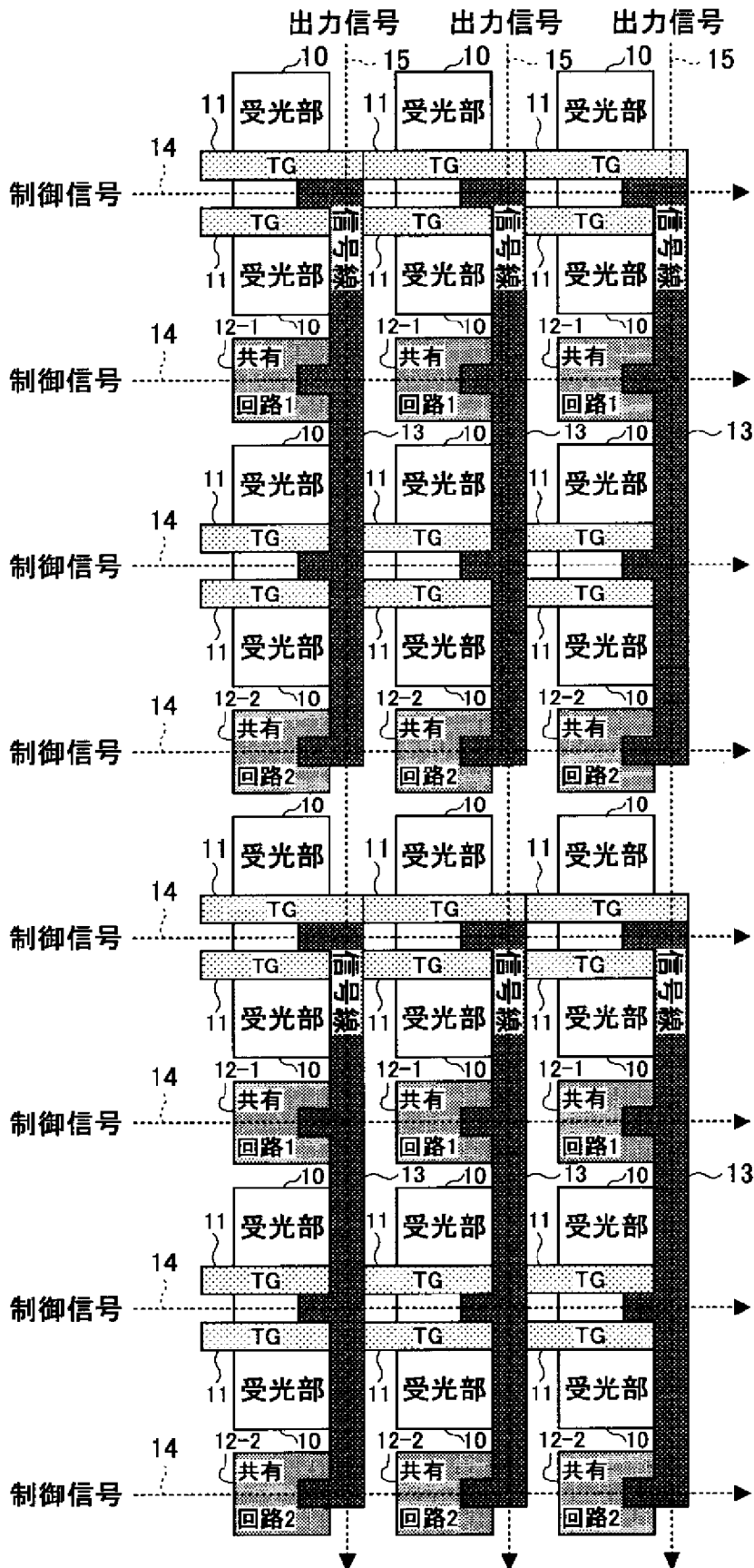
[図1]



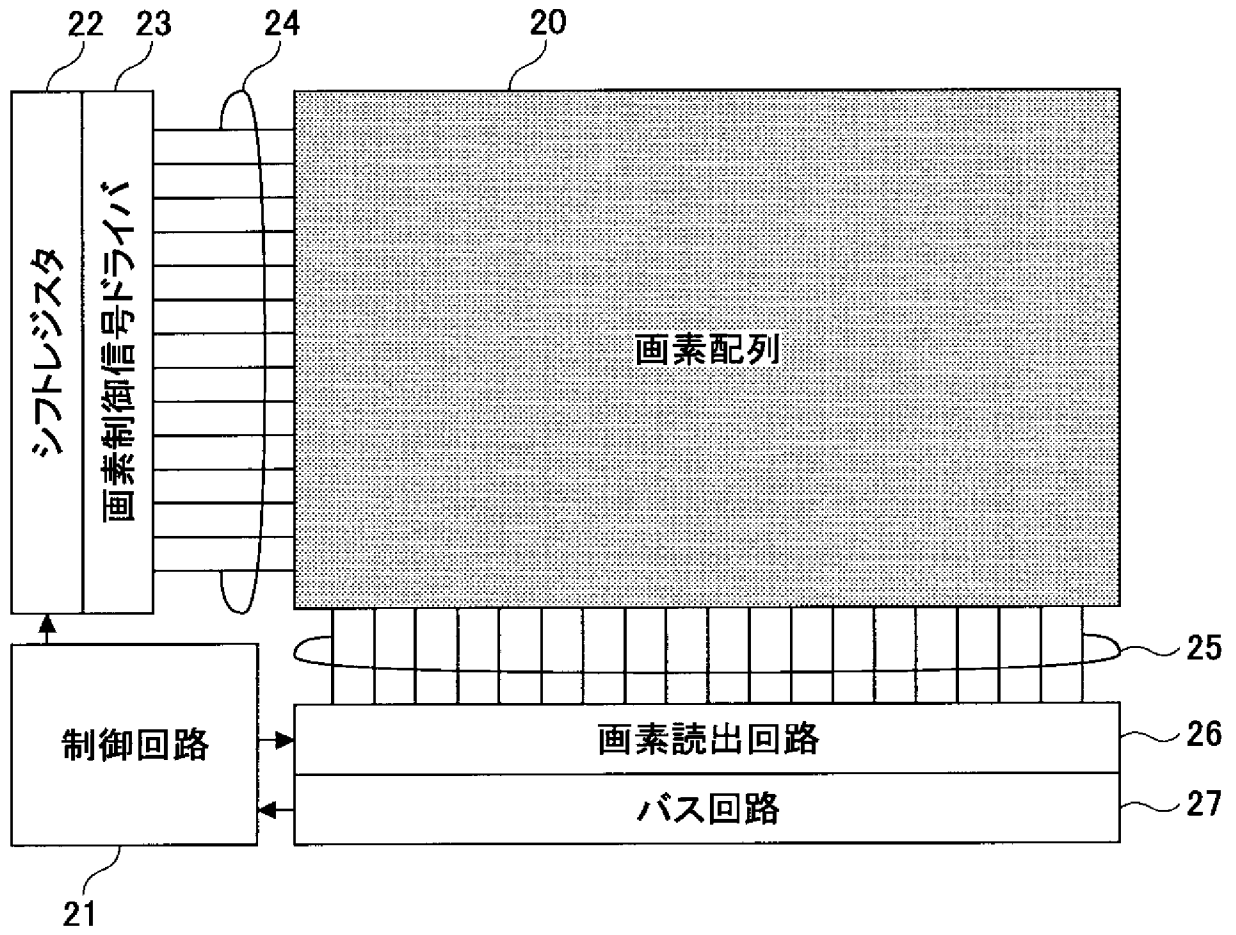
[図2]



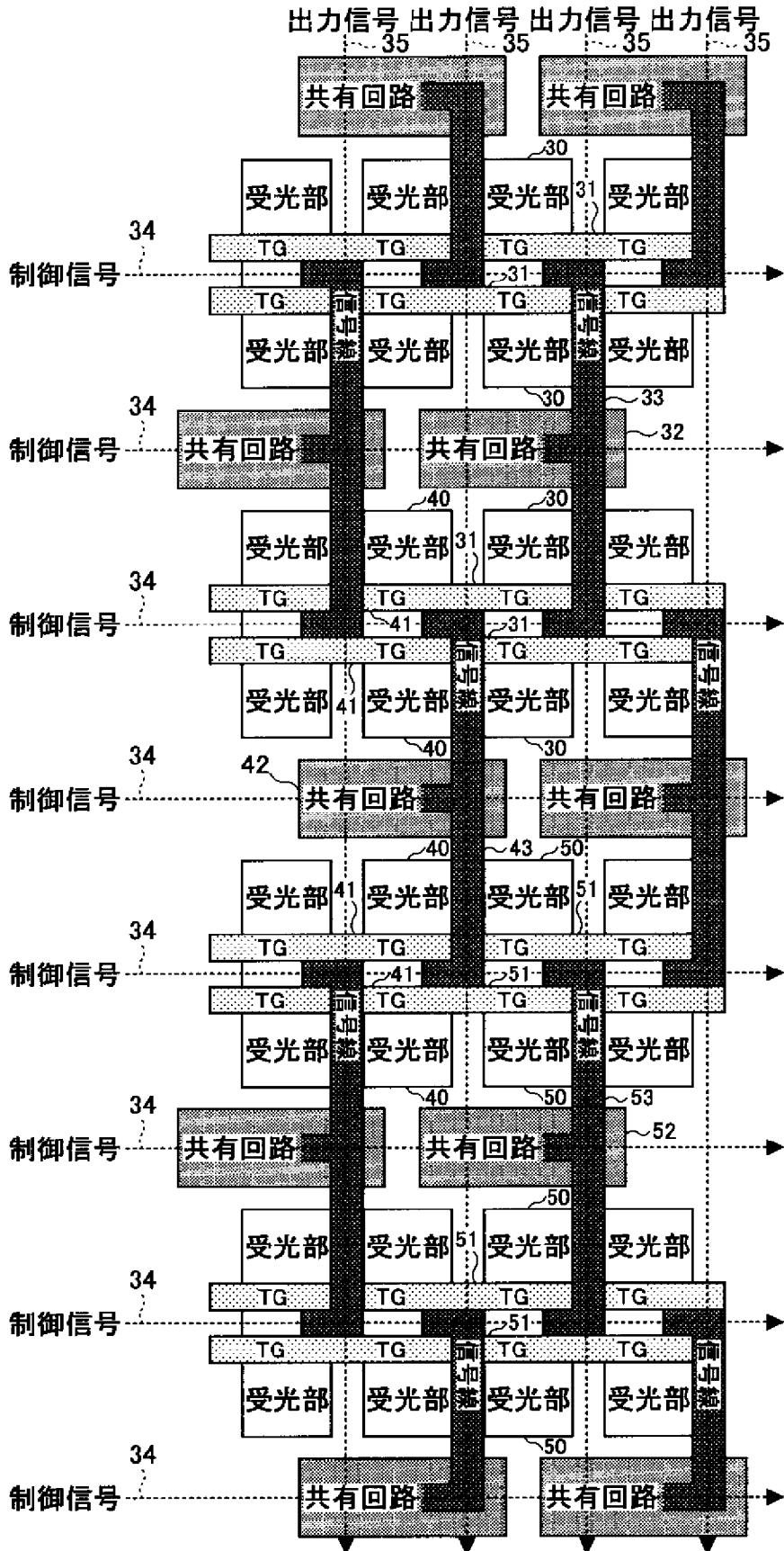
[図3]



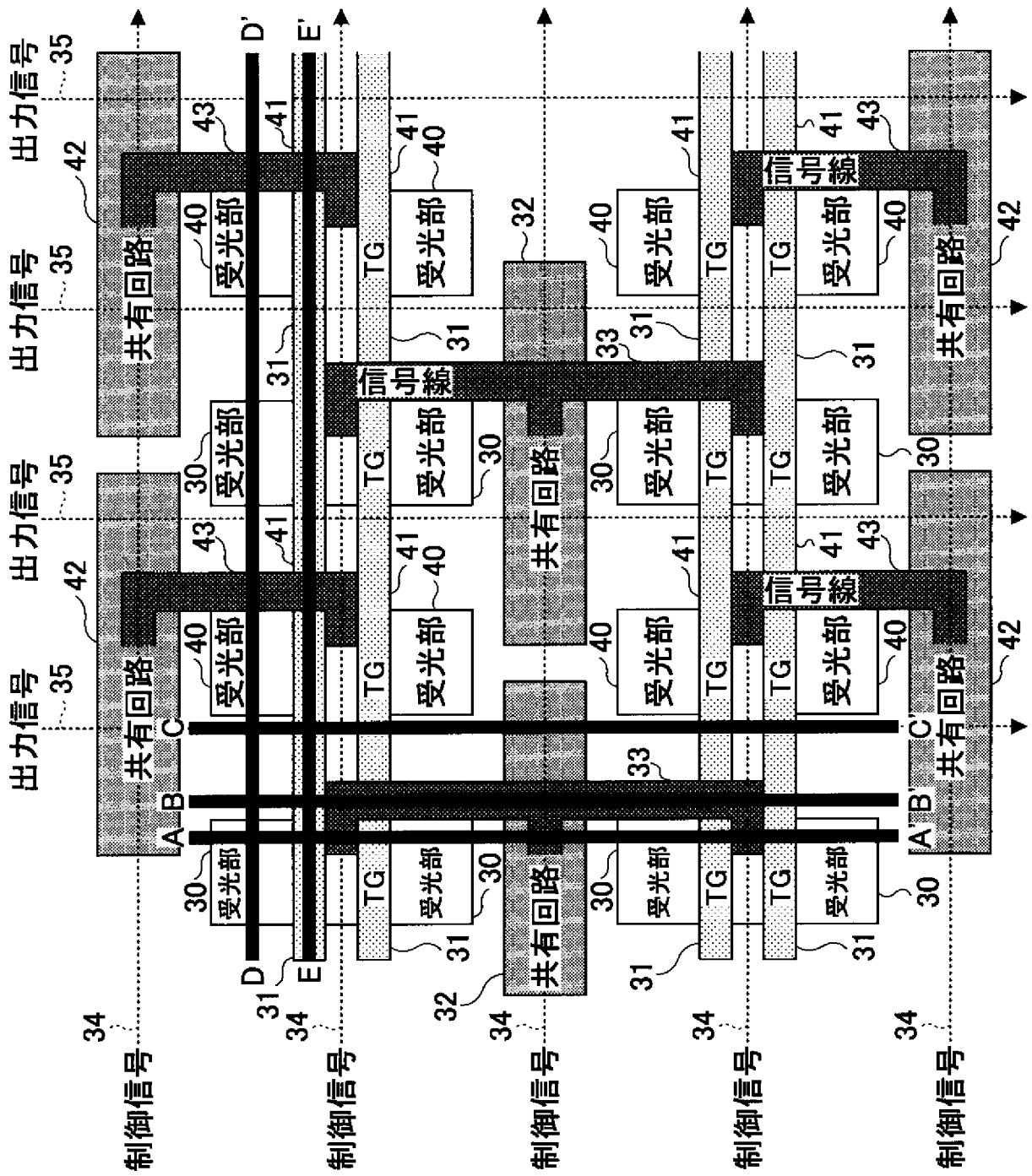
[図4]



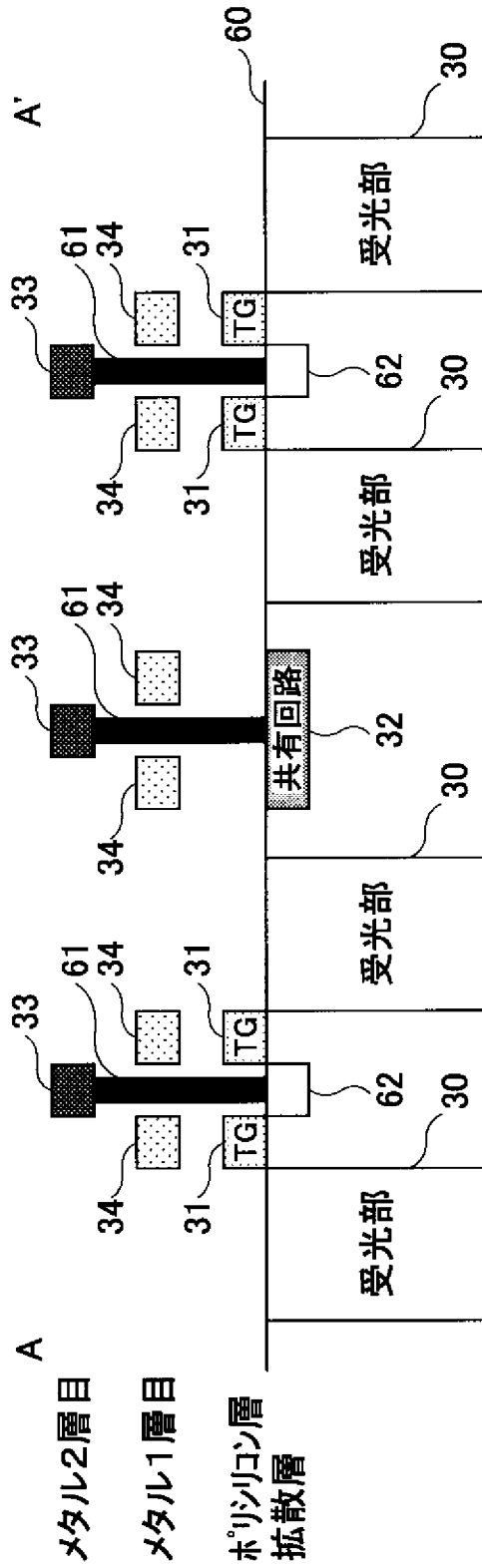
[图5]



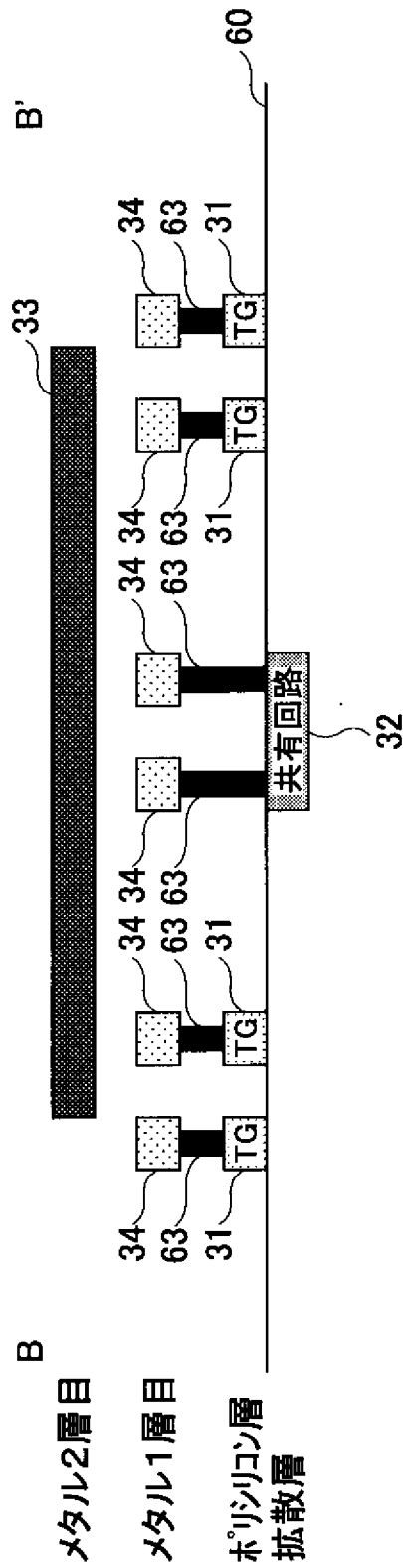
[図6]



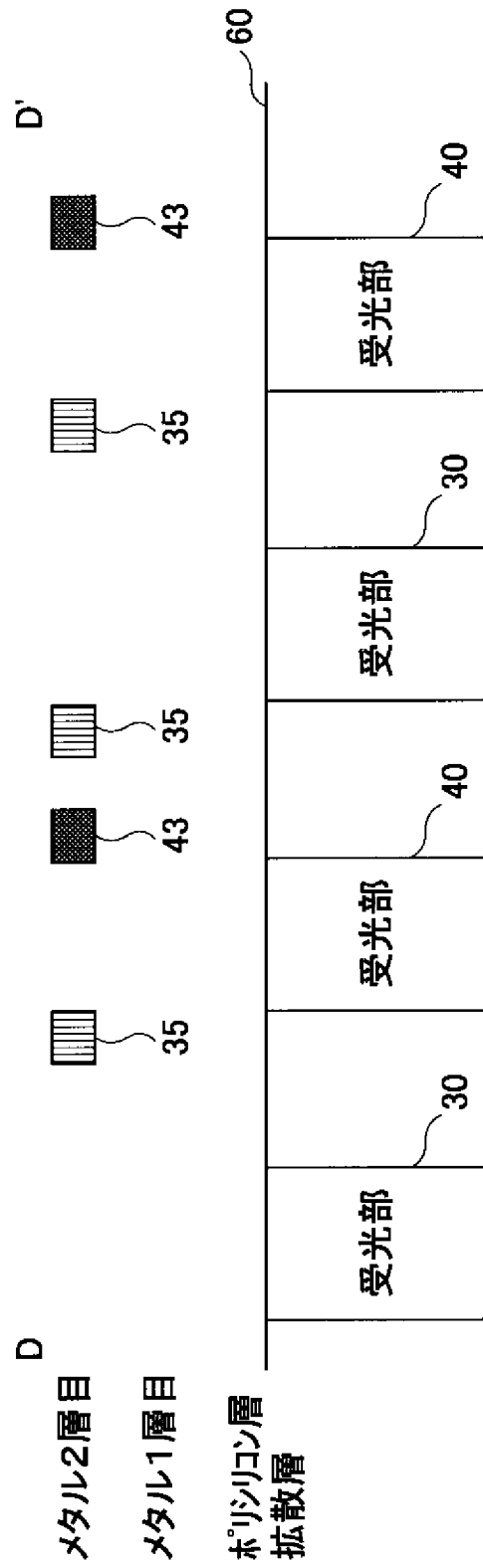
[図7]



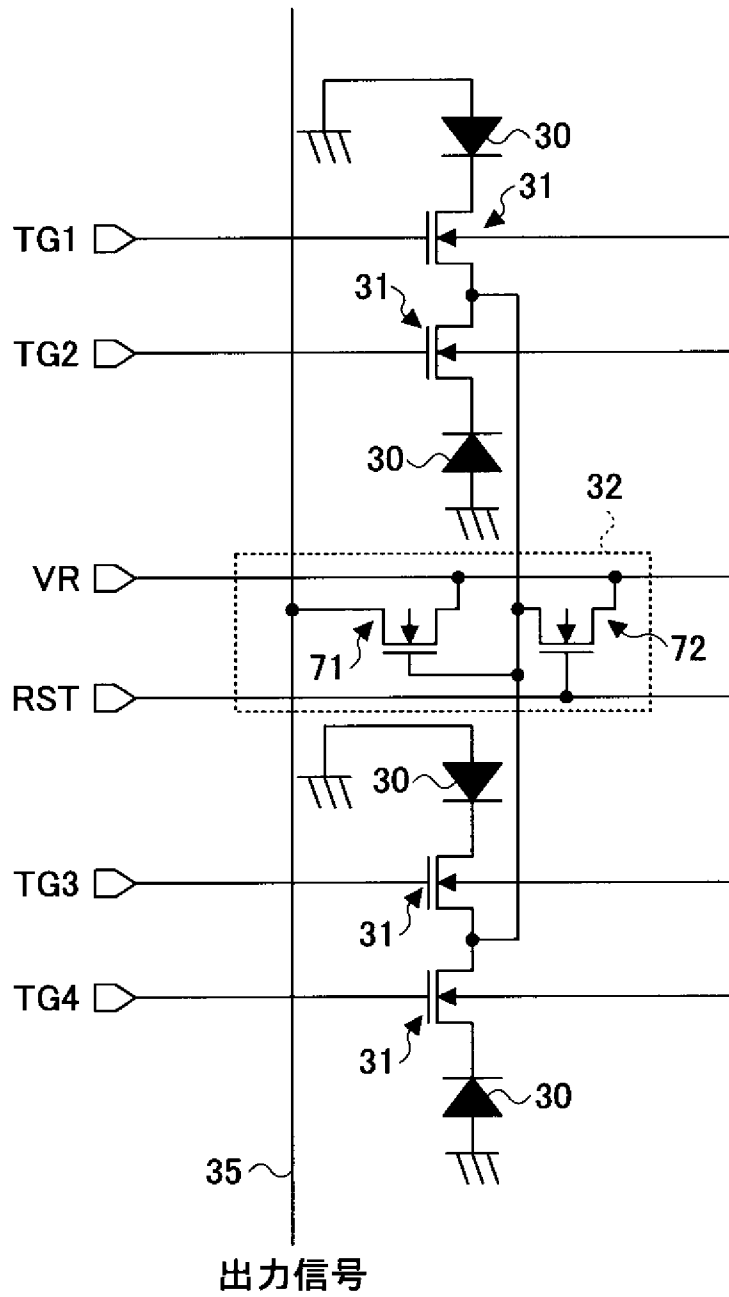
[図8]



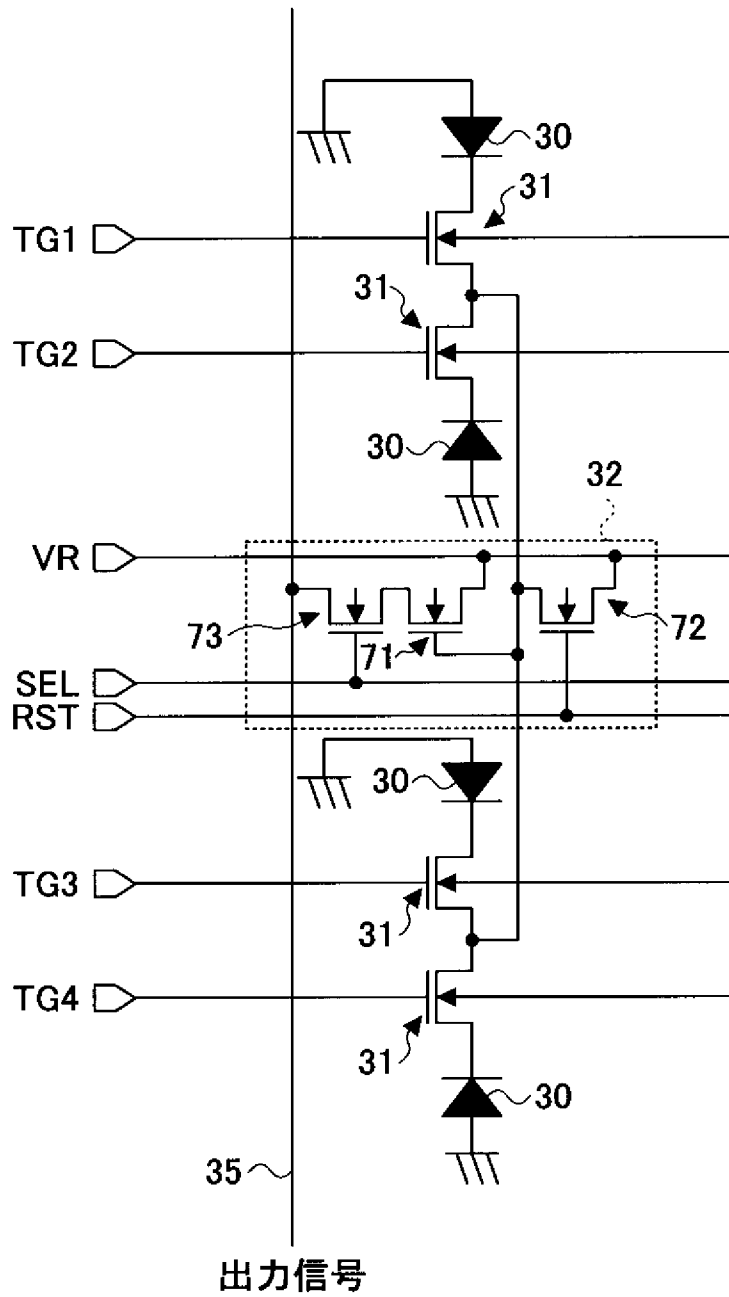
[図10]



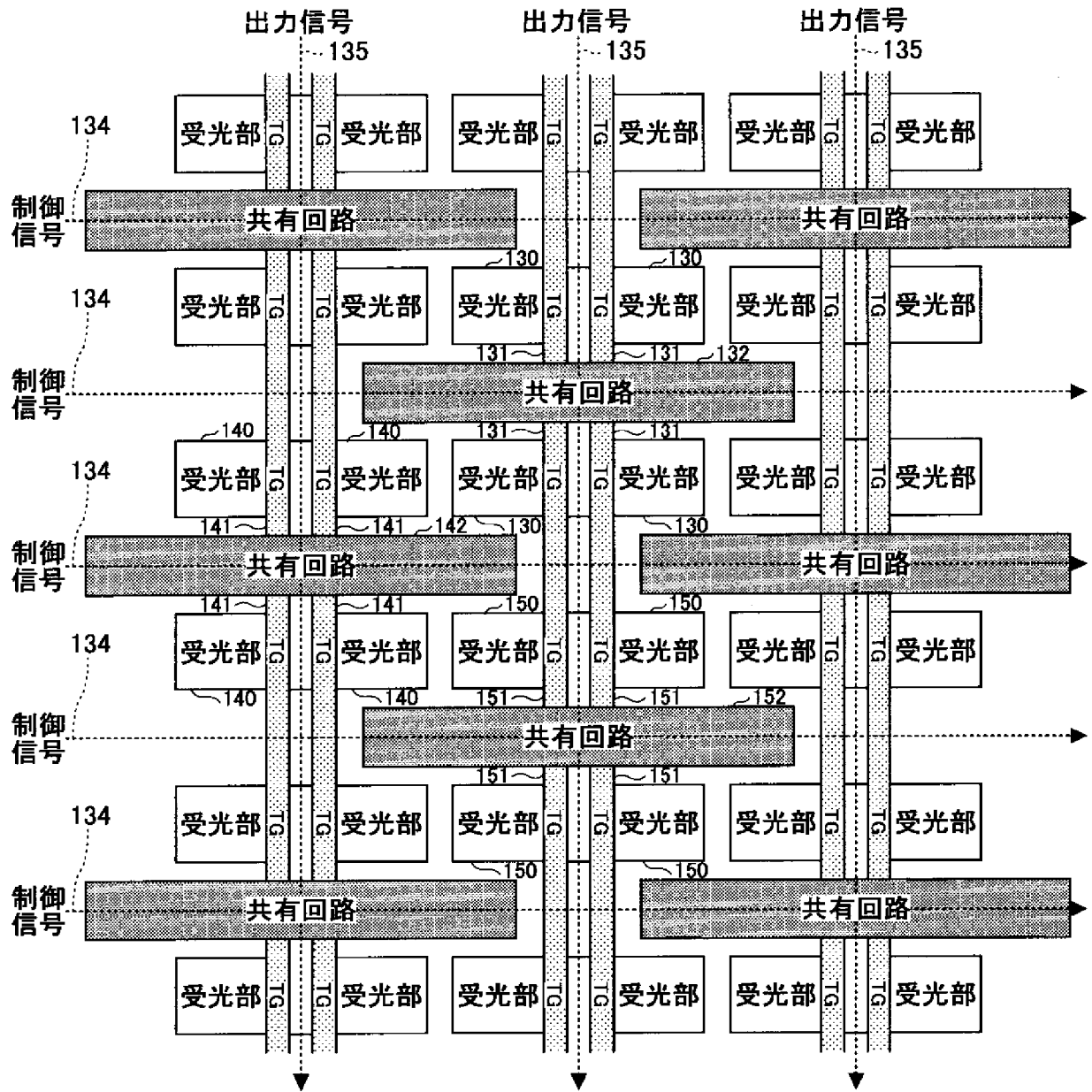
[図12]



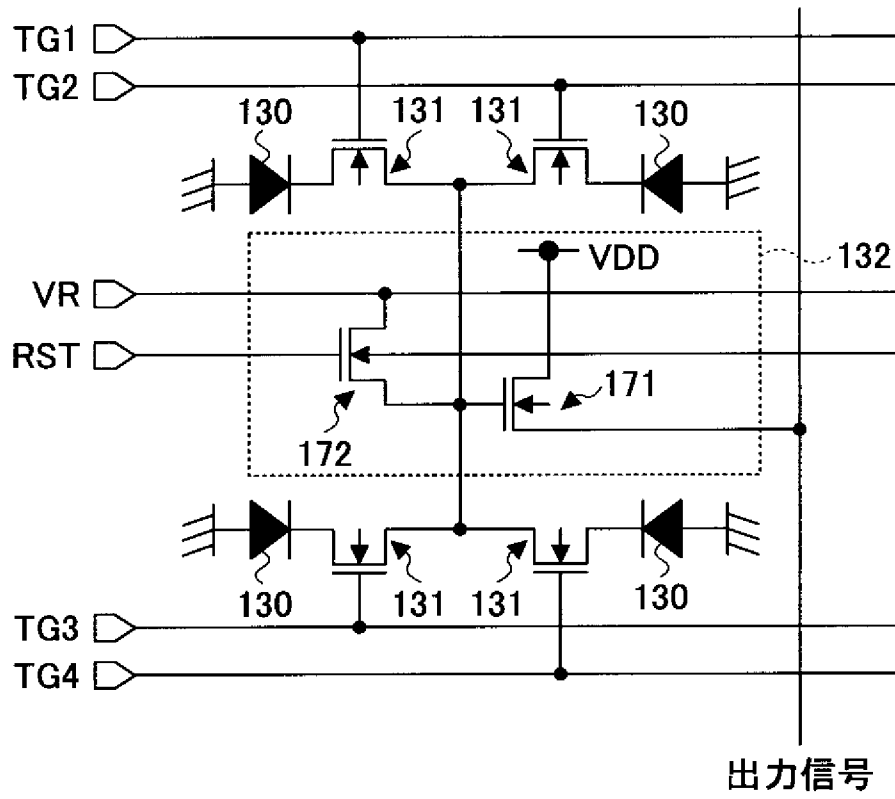
[図13]



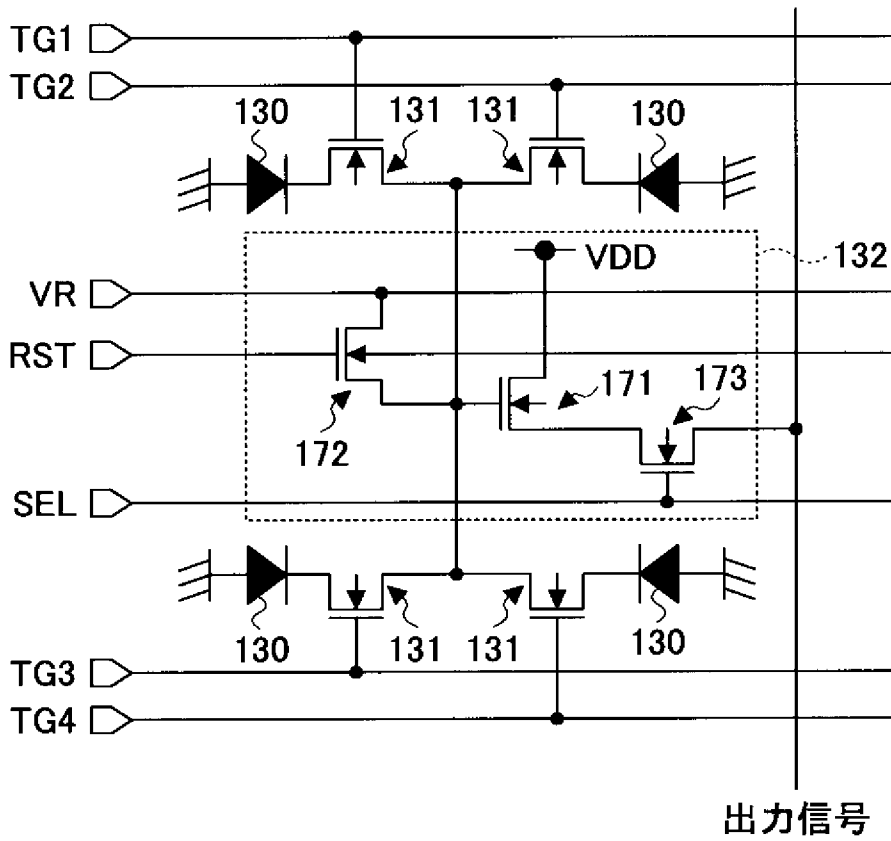
[図14]



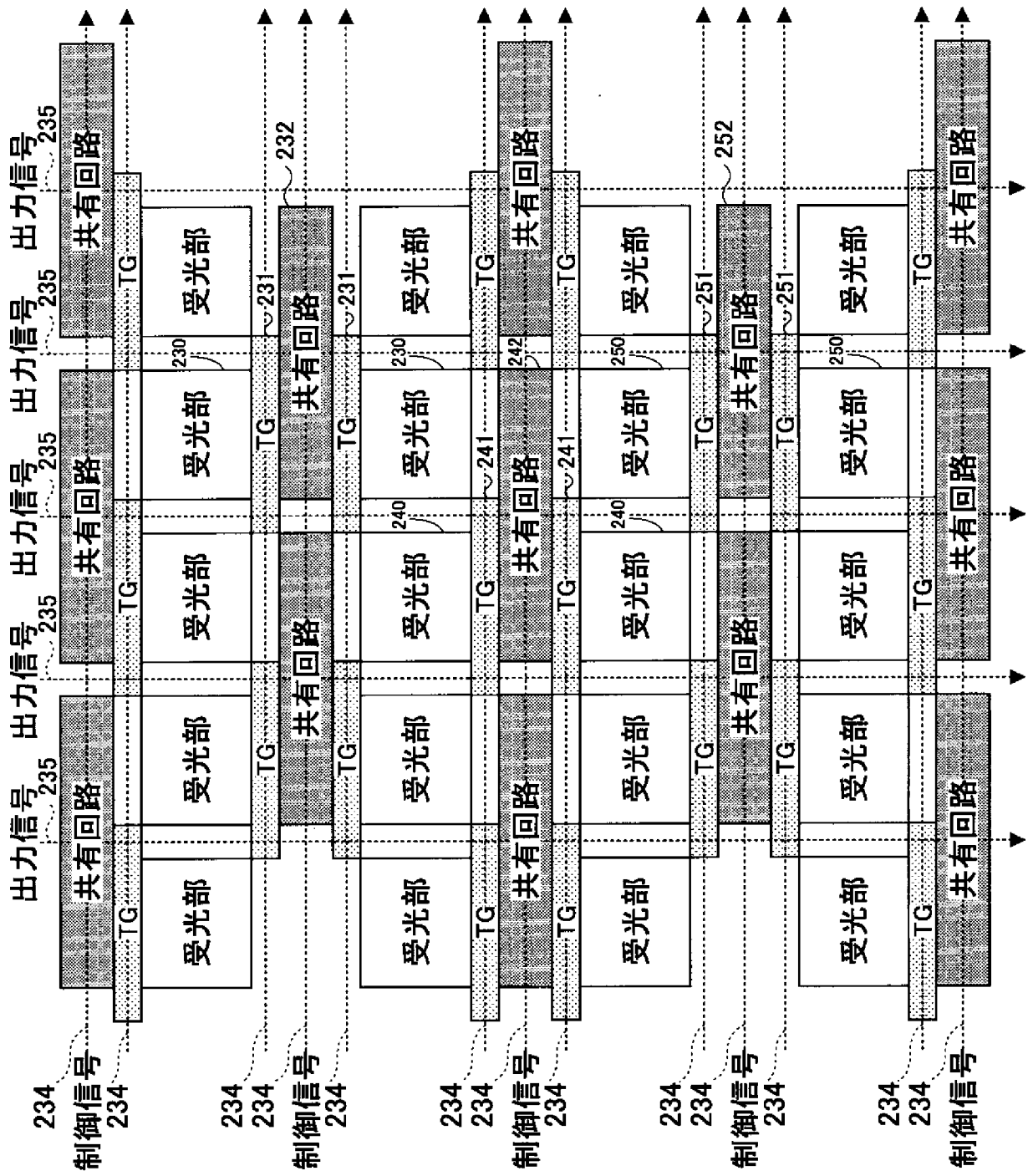
[图15]



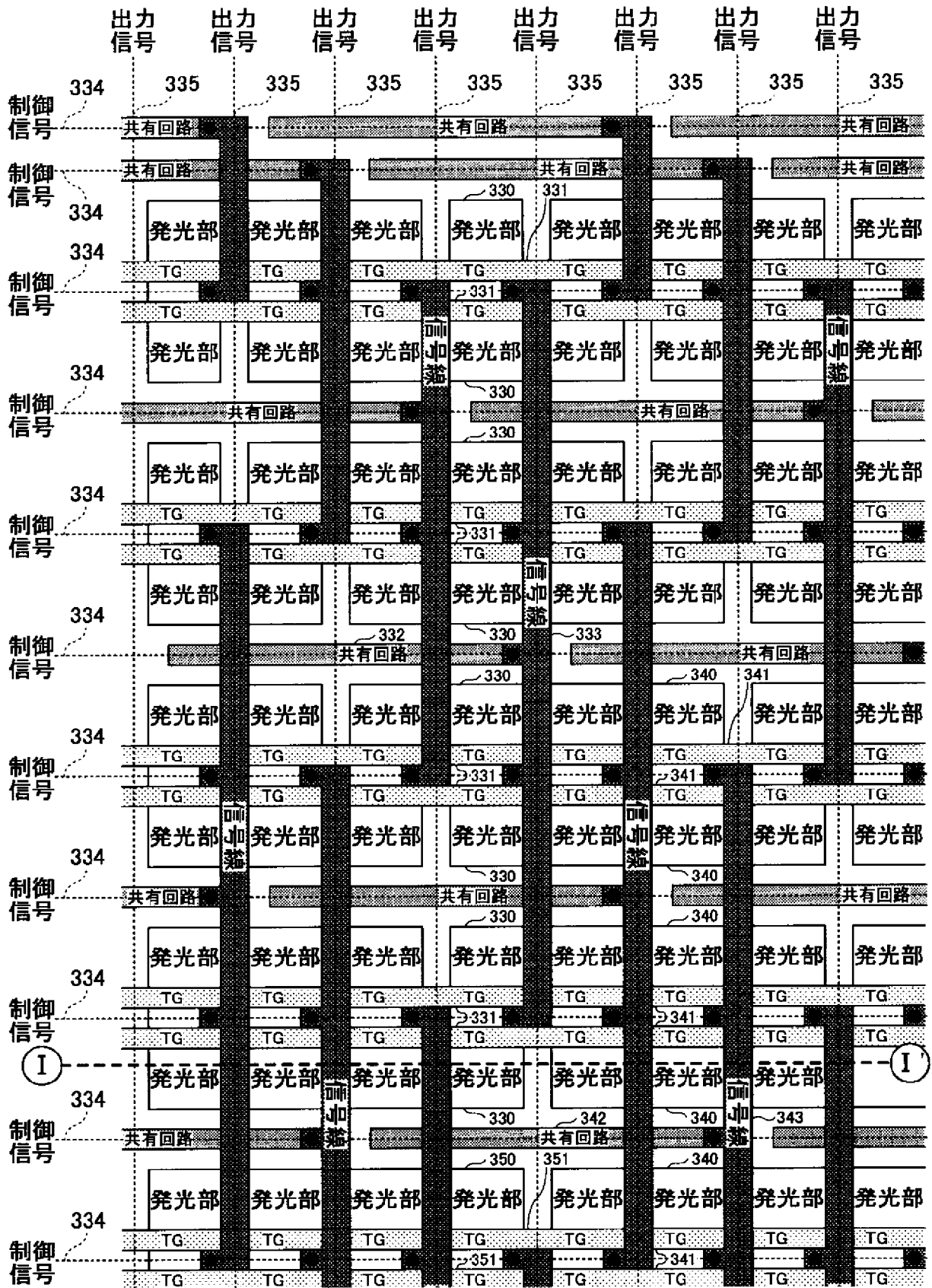
[图16]



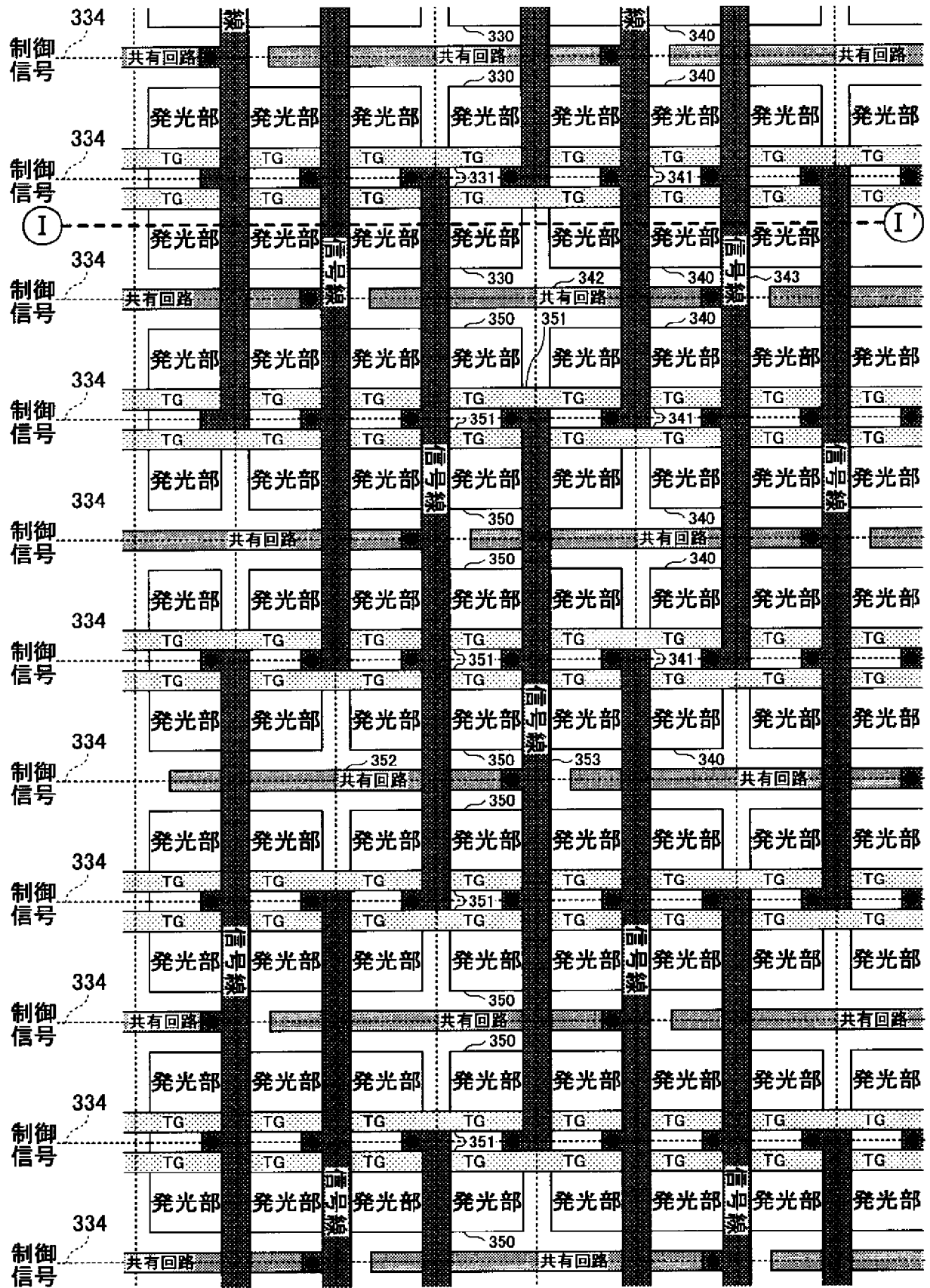
[図17]



[図18A]



[図18B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/305861

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/146(2006.01), **H04N5/335**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/146(2006.01), **H04N5/335**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006
 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | JP 2001-24948 A (Canon Inc.), 26 January, 2001 (26.01.01), Full text (Family: none) | 1-5 |
| A | JP 2006-73733 A (Canon Inc.), 16 March, 2006 (16.03.06), Full text & US 2006/0043440 A1 | 1-5 |
| A | JP 2005-317581 A (Fujitsu Ltd.), 10 November, 2005 (10.11.05), Full text & US 2005/0237405 A1 & EP 1592066 A2 & CN 1691345 A | 1-5 |

Further documents are listed in the continuation of Box C. See patent family annex.

| | |
|---|--|
| * Special categories of cited documents: | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention |
| "A" document defining the general state of the art which is not considered to be of particular relevance | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone |
| "E" earlier application or patent but published on or after the international filing date | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "&" document member of the same patent family |
| "O" document referring to an oral disclosure, use, exhibition or other means | |
| "P" document published prior to the international filing date but later than the priority date claimed | |

Date of the actual completion of the international search
 06 June, 2006 (06.06.06)

Date of mailing of the international search report
 13 June, 2006 (13.06.06)

Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

| | | |
|--|--|------------------|
| A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L27/146(2006.01), H04N5/335(2006.01) | | |
| B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L27/146(2006.01), H04N5/335(2006.01) | | |
| 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2006年 日本国実用新案登録公報 1996-2006年 日本国登録実用新案公報 1994-2006年 | | |
| 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) | | |
| C. 関連すると認められる文献 | | |
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| A | J P 2 0 0 1 - 2 4 9 4 8 A (キヤノン株式会社) 2 0 0 1 . 0 1 . 2 6 , 全文 (ファミリーなし) | 1 - 5 |
| A | J P 2 0 0 6 - 7 3 7 3 3 A (キヤノン株式会社) 2 0 0 6 . 0 3 . 1 6 , 全文 & U S 2 0 0 6 / 0 0 4 3 4 4 0 A 1 | 1 - 5 |
| A | J P 2 0 0 5 - 3 1 7 5 8 1 A (富士通株式会社) 2 0 0 5 . 1 1 . 1 0 , 全文 & U S 2 0 0 5 / 0 2 3 7 4 0 5 A 1 & E P 1 5 9 2 0 6 6 A 2 & C N 1 6 9 1 3 4 5 A | 1 - 5 |
| <input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。 | | |
| * 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献 | | |
| 国際調査を完了した日 06.06.2006 | 国際調査報告の発送日 13.06.2006 | |
| 国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号 | 特許庁審査官 (権限のある職員) 恩田 春香 電話番号 03-3581-1101 内線 3498 | 4L 8934 |