(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/108

(45) 공고일자 2000년08월01일
(11) 등록번호 10-0263720
(24) 등록일자 2000년05월19일

(21) 출원번호 10-1996-0029464
(65) 공개번호 특1997-0008611
(22) 출원일자 1996년07월20일
(43) 공개일자 1997년02월24일
(30) 우선권주장 95-185257 1995년07월21일 일본(JP)
95-262633 1995년10월11일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 호소따니 게이지
일본 가나가와껭 가와사끼시 사이와이꾸 고무까이 도시바쪼 1 가부시끼가이샤 도시바 리서치 앤드 디벨롭먼트 센터 내
고야마 유스께
일본 가나가와껭 가와사끼시 사이와이꾸 고무까이 도시바쪼 1 가부시끼가이샤 도시바 리서치 앤드 디벨롭먼트 센터 내
(74) 대리인 구영창, 장수길

심사관 : 신양환

(54) 반도체 기억 장치 및 그 제조 방법

요약

COB형 DRAM셀의 형성시에 캐패시터 컨택트 및 비트선 컨택트의 종횡비를 저감할 수 있고, 또 접속 어긋남의 영향을 받기 어렵고, 또한 여분 공정수의 증가를 초래하지 않는 메모리셀의 구조 및 제조 방법을 제공한다. COB형 DRAM셀에 있어서, MOS 트랜지스터의 소스·드레인의 한 쪽 상부 및 소자 분리용 절연막 상부에 걸쳐 층간 절연막에 개구하여 형성된 제1플러그와, 소스·드레인의 다른 쪽 상부에 층간 절연막에 개구하여 제1플러그와 동일층에 형성된 제2플러그와, 층간 절연막 상에 형성되고 제1플러그에 접속된 비트선과, 비트선보다 더 위에 형성되고 제2플러그에 접속된 용량 소자를 구비한다.

대표도

도1

명세서

도면의 간단한 설명

도1은 본 발명의 실시예를 도시한 평면도.

도2는 본 발명 실시예의 제조 공정 중의 평면도.

도3은 본 발명 실시예의 제조 공정 중의 단면도.

도4는 본 발명 실시예의 제조 공정 중의 단면도.

도5는 본 발명 실시예의 제조 공정 중의 평면도.

도6은 본 발명 실시예의 제조 공정 중의 단면도.

도7은 본 발명 실시예의 제조 공정 중의 단면도.

도8은 본 발명 실시예의 제조 공정 중의 단면도.

도9는 본 발명 실시예의 제조 공정 중의 단면도.

도10은 본 발명 실시예의 제조 공정 중의 평면도.

도11은 본 발명 실시예의 제조 공정 중의 단면도.

도12는 본 발명 실시예의 제조 공정 중의 단면도.

도13은 본 발명 실시예의 제조 공정 중의 단면도.

도14는 본 발명 실시예의 제조 공정 중의 단면도.

도15는 본 발명 실시예의 제조 공정 중의 평면도.

도16은 본 발명 실시예의 제조 공정 중의 단면도.
도17은 본 발명 실시예의 제조 공정 중의 단면도.
도18은 본 발명 실시예의 제조 공정 중의 평면도.
도19는 본 발명 실시예의 제조 공정 중의 단면도.
도20은 본 발명 실시예의 제조 공정 중의 단면도.
도21은 본 발명 실시예의 제조 공정 중의 평면도.
도22는 본 발명 실시예의 제조 공정 중의 단면도.
도23은 본 발명 실시예의 제조 공정 중의 단면도.
도24는 본 발명 실시예의 제조 공정 중의 평면도.
도25는 본 발명 실시예의 제조 공정 중의 단면도.
도26은 본 발명 실시예의 제조 공정 중의 단면도.
도27은 종래 COB셀의 평면도.
도28은 종래 COB셀의 사시도.
도29는 종래 COB셀의 제조 공정 중의 단면도.
도30은 종래 COB셀의 제조 공정 중의 단면도.
도31은 종래 COB셀의 제조 공정 중의 단면도.
도32는 종래 COB셀의 제조 공정 중의 단면도.
도33은 본 발명 실시예의 제조 공정 중의 단면도.
도34는 본 발명 실시예의 제조 공정 중의 평면도.
도35는 본 발명 실시예의 제조 공정 중의 단면도.

* 도면의 주요부분에 대한 부호의 설명

11 : 반도체 기판	12 : 소자 영역 패턴
13 : 소자 분리 산화막	14 : 소자 영역
15 : 제1폴리실리콘막	16 : 텅스텐 실리사이드막
17 : 제1질화실리콘막	18 : 게이트 전극 패턴
19 : 게이트 전극	20 : 소스·드레인 확산층 영역
21 : 제2질화실리콘막	22 : 제1BPSG막
23 : 포토레지스트 마스크	24 : 플러그 패턴
25 : 제2폴리실리콘막	26 : 제2BPSG막
27 : 비트선 컨택트 패턴	28 : 제1텅스텐막
29 : 제2텅스텐막	30 : 제3질화실리콘막
31 : 비트선 패턴	32 : 제4질화실리콘막
33 : 비트선	34 : 제3BPSG막
35 : 스토리지 노드 컨택트 패턴	36 : 제3텅스텐막
37 : 제1질화텅스텐막	38 : 스토리지 노드 패턴
39 : BST0막	40 : 제2질화텅스텐막
41 : 스토리지 캐패시터	42 : 플러그 패턴
50 : 인터커넥트	51 : 제1층간 절연막
52 : 비트선 컨택트	53 : 비트선 컨택트홀
54 : 불순물 함유 폴리실리콘	55 : 비트선
56 : 제2층간 절연막	57 : 스토리지 노드 컨택트
58 : HSG 스토리지 노드	59 : 플레이트 전극
60 : 제3층간 절연막	61 : 메탈 배선

62 : 인접 소자 영역의 비트선 컨택트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 DRAM셀에 관한 것으로, 특히 비트선을 먼저 형성하고 뒤에 메모리셀 캐패시터를 비트선보다 상부에 형성하는 COB(Capacitor Over Bit-line)형 메모리 장치 및 그 제조 방법에 관한 것이다.

반도체 기억 장치, 특히 다이나믹 RAM은 해마다 대규모 집적화가 진행되고 있다. 그것에 수반하여 단위 기억 소자가 점유하는 면적이 더욱 더 축소되는 경향이 있고, 리드·라이트에 충분한 메모리셀 캐패시터 용량(20fF 이상)을 얻기 위하여 셀의 3차원화는 필수적이며, 트렌치형 캐패시터 및 스택형 캐패시터를 이용한 셀 구조가 일반화되고 있다.

종래의 스택형 캐패시터의 제조 방법으로서, 예를 들면 M. Sakao et al., "A CAPACITOR-OVER-BIT-LINE(COB) CELL WITH A HEMISPHERICAL-GRAIN STORAGE NODE FOR 64Mb DRAMs", IEDM Technical Digest, pp. 655-658,1990에 기재된 COB(Capacitor Over Bit-Line)형 메모리셀이 제안되어 있다.

이하, 도면을 이용하여 상세히 설명한다.

도27에 COB형 메모리셀의 평면도를, 도28에 도27의 메모리셀의 경사 상측에서 본 조감도를, 도29, 30, 32에 COB형 메모리셀 제조의 각 공정에 있어서의 도27의 절단선 A-A'의 단면도를, 도31에 COB형 메모리셀 제조의 한 공정에 있어서의 도27의 절단선 B-B'의 단면도를 각각 도시하였다.

먼저, 실리콘 기판(11) 상에 LOCOS법을 이용하여 소자 분리 산화막(13)을 형성하고, 동시에 소자 영역(14)이 형성된다. 다음에, 게이트 산화막(도시하지 않음)을 형성하고, 이 게이트 산화막 상에 상부 및 측벽이 산화 실리콘막으르 피복된 폴리실리콘 게이트 전극(19)을 형성한다. 다음에, 소자 영역(14) 상에 게이트 전극(19)에 대하여 자기 정합적으로 컨택트홀을 개구하고 폴리실리콘막을 퇴적하여 인터커넥트(50)를 형성한다.

다음에, 제1층간 절연막(51)을 전면에 퇴적하고, 비트선 컨택트 패턴(52)을 이용하여 제1층간 절연막(51)을 패터닝하여 비트선 컨택트홀(53)을 형성하고, 비트선 컨택트홀(53) 내부에 불순물을 도입한 폴리실리콘(54)을 충전한다. 다음에, 텅스텐 폴리사이드를 이용하여 비트선(55)을 형성한다(도30).

다음에, 비트선(55) 상의 전면에 제2층간 절연막(56)을 퇴적하여 평탄화한다. 다음에, 스토리지 노드 컨택트(57)를 개구하여 인터커넥트(50)와 접속하는 HSG(HemiSpherical-Grain)스토리지 노드(58)를 형성한다(도31).

다음에, 전면에 산화 실리콘 박막 및 질화 실리콘 박막으로 이루어기는 캐패시터 절연막(도시하지 않음)을 형성하고, 다음에 폴리실리콘을 퇴적하여 플레이트전극(59)을 형성한다. 다음에, 전면에 제3층간 절연막(60)을 퇴적하고 메탈 배선(61)을 형성한다(도32).

발명이 이루고자 하는 기술적 과제

종래 기술을 이용한 DRAM 메모리셀에 있어서, 이하의 5가지 문제점을 들수 있다.

① 인터커넥트(50)를 비트선(55)의 하부에 삽입함으로써 비트선 컨택트(52)의 높이가 증대하여 종횡비(aspect ratio)가 증대한다.

② 비트선 컨택트(52)가 비트선으로부터 확산층까지에 이르고 있고, 그 때문에 비트선 컨택트의 종횡비가 증대한다.

③ 인터커넥트(50)는 인접하는 소자 영역의 비트선 컨택트(62)와 근접하여 형성되어 있고, 접속 어긋남에 의해 인터 커넥트(50)와 비트선 컨택트 내부의 폴리실리콘(54)이 쇼트될 가능성이 있다.

④ 비트선 컨택트(52)가 게이트 전극(19)에 대하여 자기 정합적으로 형성되어 있지 않고, 비트선과 게이트 전극의 쇼트를 일으킬 가능성이 있다.

⑤ 인터커넥트(50)를 형성하기 위한 새로운 리소그래피 공정을 필요로 하고, 공정수 증가에 결부된다.

본 발명의 목적은 이상과 같은 종래 기술의 문제점에 입각하여 COB형 DRAM셀의 형성에 있어서, 캐패시터 컨택트 및 비트선 컨택트의 종횡비를 저감할 수 있고, 또 접속 어긋남의 영양을 받기 어렵고, 또한 여분의 공정수 증가를 초래하지 않는 메모리셀의 구조 및 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

이상과 같은 목적을 달성하기 위한 본 발명에 따른 COB형 DRAM셀은 반도체 기판과, 반도체 기판 상에 형성된 소자 영역을 정의하는 소자 분리 산화막과, 소자 영역상에 형성되고 게이트 전극이 워드선에 접속된 데이타 전송용 MOSFET와, 소자 분리 산화막 및 MOSFET를 덮는 제1층간 절연막과, 소자 영역 및 소자 분리 산화막 상에 연장하여 MOSFET의 한쪽 소스/드레인 확산층에 이르는 제1컨택트홀과, 소자 영역 상에서 MOSFET의 다른쪽 소스/드레인 확산층에 이르는 제2컨택트홀과, 제1컨택트홀을 충전하는 제1도전체 플러그와, 제2컨택트홀을 충전하는 제2도전체 플러그와, 제1층간 절연막과 제1도전체 플러그와 제2도전체 플러그를 덮는 제2층간 절연막과, 제2층간 절연막에 형성되고 소자 분리 산화막의 상측에서 제1도전체 플러그

에 이르는 비트선 컨택트홀과, 비트선 컨택트홀을 충전하는 제3도전체 플러그와, 제2층간 절연막 및 제3도전체 플러그 상에 형성되는 비트선과, 제2층간 절연막 및 비트선 상에 형성된 제3층간 절연막과, 제3층간 절연막 및 제2층간 절연막을 관통하여 형성되어 제2도전체 플러그에 이르는 스토리지 노드 컨택트와, 제3층간 절연막 및 스토리지 노드 컨택트 상에 순차적으로 형성된 스토리지 노드 전극과, 캐패시터 전극과, 플레이트 전극을 구비하는 것이다.

또한, 본 발명의 COB형 DRAM셀의 제조 방법으로서는, 반도체 기판 상에 소자 분리 산화막을 형성하는 공정과, 소자 분리 산화막에 의해 정의된 소자 영역상에 게이트 전극이 워드선에 접속된 데이타 전송용 MOSFET를 형성하는 공정과, MOSFET 및 소자 분리 산화막 상에 제1층간 절연막을 형성하는 공정과, 소자 영역 및 소자 분리 산화막 상에 연장하여 MOSFET의 한쪽 소스/드레인 확산층에 이르는 제1컨택트홀 및 소자 영역 상에서 MOSFET의 다른쪽 소스/드레인 확산층에 이르는 제2컨택트홀을 제1층간 절연막에 동시에 형성하는 공정과, 제1컨택트홀을 충전하는 제1도전체 플러그를 형성하는 공정과, 제2컨택트홀을 충전하는 제2도전체 플러그를 형성하는 공정과, 제1층간 절연막 및 제1도전체 플러그 및 제2도전체 플러그 상에 제2층간 절연막을 형성하는 공정과, 제2층간 절연막에 소자 분리 산화막의 상측에서 제1도전체 플러그에 이르는 비트선 컨택트홀을 형성하는 공정과, 비트선 컨택트홀을 제3도전체 플러그로 충전하는 공정과, 제2층간 절연막 및 제3도전체 플러그 상에 비트선을 형성하는 공정과, 제2층간 절연막 및 비트선 상에 제3층간 절연막을 형성하는 공정과, 제3층간 절연막 및 제2층간 절연막을 관통하여 제2도전체 플러그에 이르는 스토리지 노드 컨택트를 형성하는 공정과, 제3층간 절연막 및 스토리지 노드 컨택트 상에 스토리지 노드 전극, 캐패시터 절연막, 플레이트 전극을 순차적으로 형성하여 캐패시터를 형성하는 공정을 구비하는 것을 특징으로 하고 있다.

상술한 바와 같이, COB형 DRAM셀에 있어서 본 발명을 이용함으로써, 소스 및 드레인 상에 자기 정합적으로 폴리실리콘 플러그를 형성할 수 있다. 이 폴리실리콘 플러그 상에 비트선 컨택트 및 스토리지 전극 컨택트를 형성함으로써, 양자의 종횡비를 모두 저감시킬 수 있다.

또한, 본 발명의 폴리실리콘 플러그는 게이트 전극에 대하여 자기 정합적으로 형성되어 있고, 인접하는 소자 영역 상의 컨택트와 쇼트되거나, 소스 및 드레인의 플러그끼리 쇼트되는 일은 일어나지 않으므로 접속 어긋남에 강하다고 할 수 있다.

또한, 본 발명의 폴리실리콘 플러그의 형성은 독립된 리소그래피 공정을 필요로 하지 않고, 공정수를 삭감하는 효과가 있다.

계속하여, 본 발명의 바람직한 실시 형태를 도1 내지 도26을 참조하여 설명한다.

도1은 본 발명의 반도체 기억 장치의 평면도이다. 즉, 반도체 기판(11) 상에 소자 영역(14)이 소자 분리 산화막(13)으로 정의되어 있다. 복수의 MOS 트랜지스터의 게이트 전극에 상당하는 워드선(19)은 도면 중에서 종방향으로 연장하고 있고, 비트선(33)은 도면 중에서 횡방향으로 연장하고 있다. 비트선(33)보다 더 윗층에는 스토리지 캐패시터(41)가 형성되어 있다. 비트선(33)과 MOS 트랜지스터의 소스·드레인과는 플러그(28)로 접속되어 있고, 스토리지 캐패시터(41)와 MOS 트랜지스터의 소스, 드레인과는 플러그(28)와 같은 층의 플러그(도시하지 않음) 및 그 플러그에 이르는 플러그(36)로 접속되어 있다.

계속하여, 본 발명의 제조 공정을 나타낸다.

반도체 기판(11) 상에 STI(Shallow Trench Isolation) 기술을 이용하여 도2의 소자 영역 패턴(12)을 이용하여 소자 분리 산화막(13)을 형성하고, 소자 분리 산화막(13)으로 정의되는 소가 영역(14)이 형성된다. 또 도3, 도4는 각각 도2에서의 절단선 A-A', C-C'의 단면도이다.

다음에, 소자 영역(14) 상에 6nm 정도의 게이트 산화막(도시되지 않음)을 형성하고, 50nm 정도의 P 도프된 제1폴리실리콘막(15), 100nm 정도의 텅스텐 실리사이드막(16), 100nm 정도의 제1질화실리콘막(17)을 순차적으로 퇴적한다. 다음에 도5에 도시된 게이트 전극 패턴(18)을 이용하여 제1질화실리콘막(17), 텅스텐 실리사이드막(16), P 도프된 제1폴리실리콘막(15)을 패터닝하여 MOSFET의 게이트 전극(19)을 형성한다. 다음에, As를 예를 들면 20keV, 5E13cm^{-2}정도 이온 주입하여 소스·드레인 확산층 영역(20)을 형성한다. 다음에, 30nm 정도의 제2질화실리콘막(21)을 전면에 퇴적하고, 에치백법을 이용하여 게이트 전극(19)의 측벽부에 측벽을 형성한다. 또, 도6, 도7은 각각 도5에서의 절단선 A-A', C-C'의 단면도이다.

다음에, 도8, 도9에 도시한 바와 같이, 전면에 250nm 정도의 제1BPSG막(22)을 퇴적하여 제1질화실리큰막(17)을 스토퍼로서 CMP(Chemical Mechanical Polishing)법을 이용하여 표면을 평탄화한다.

다음에, 도10의 플러그 패턴(24)을 이용하여 전면에 포토 레지스트 마스크(23)를 형성한 후, BPSG/SiN의 에칭 레이트 비가 20 이상의 선택 RIE(Reactive Ion Etching) 기술을 이용하여 게이트 전극에 대하여 자기 정합적으로 제1BPSG막(22)을 패터닝한다. 또한, 도11, 도12는 각각 도10에서의 절단선 A-A', C-C'의 단면도이다.

다음에, 도13, 도14에 도시한 바와 같이, 포토레지스트 마스크(23)를 제거하고 전면에 250nm 정도의 P를 도핑한 제2폴리실리콘막(25)을 퇴적하고, 제1질화실리콘막(17) 및 제1BPSG막(22)을 스토퍼로서 CMP법을 이용하여 표면을 평탄화한다.

다음에, 전면에 150nm 정도의 제2BPSG막(26)을 퇴적하고, 도15에 도시한 비트선 컨택트 패턴(27)을 이용하여 제2BPSG막(26)의 개구부에 노출된 제2폴리실리콘막(25) 상에 200nm 정도의 제1텅스텐막(28)을 선택 성장시킨다. 다음에, 제2BPSG막(26)을 스토퍼로서 CMP법을 이용하여 제1텅스텐막(28)과 제2BPSG막(26)의 상단이 같은 높이가 될 때까지 평탄화한다. 또, 도16, 도17은 각각 도15에서의 절단선 B-B', C-C'의 단면도이다.

다음에, 전면에 20nm 정도의 배리어 메탈(도시되지 않음), 100nm 정도의 제2텅스텐막(29), 150nm 정도의 제3질화실리콘막(30)을 순차적으로 퇴적하고, 도18에 도시한 비트선 패턴(31)을 이용하여 제3질화실리콘막(30), 제2텅스텐막(29)을 패터닝하여 비트선(33)을 형성한다. 다음에, 전면에 30nm 정도의 제4 질화실리콘막(32)을 퇴적하고 에치백법을 이용하여 비트선(33)의 측벽부에 측벽을 형성한다. 또, 도19, 도20은

각각 도18에서의 절단선 B-B', C-C'의 단면도이다.

다음에, 400nm 정도의 제3BPSG막(34)을 전면에 퇴적하고 CMP법을 이용하여 비트선(33) 상의 제3BPSG막(34)이 150nm 정도의 두께가 되도록 평탄화를 행한다. 다음에, BPSG/SiN의 에칭 레이트 비가 20 이상인 선택 RIE(Reactive Ion Etching) 기술을 이용하고, 도21에 도시한 스토리지 노드 컨택트 패턴(35)을 이용하여 비트선(33)에 대하여 자기 정합적으로 제3BPSG막(34), 제2BPSG막(26)음 패터닝하고, 제3BPSG막(34), 제2BPSG막(26)의 개구부에 노출된 제2폴리실리콘막(25)상에 CVD법을 이용하여 550nm 정도의 제3텅스텐막(36)을 선택 성장시킨다. 다음에, 제3BPSG막(34)을 스토퍼로 하여 CMP법을 이용하여 제3텅스텐막(36)을 제3BPSG막(34)이 같은 높이로 될 때까지 평탄화한다. 또, 도22, 도23은 각각 도21에서의 절단선 A-A', C-C'의 단면도이다.

다음에, 전면에 200nm 정도의 제1질화 텅스텐막(37)을 퇴적하고, 도24에 도시한 스토리지 노드 패턴(38)을 이용하여 패터닝한다. 다음에 산화막 환산으로 0.4nm 정도의 BST0막(39), 100nm 정도의 제2질화 텅스텐막(40)을 전면에 순차적으로 퇴적하여 스토리지 캐패시터(41)를 완성한다. 또, 도25, 도26은 각각 도24에서의 절단선 A-A', C-C'의 단면도이다.

다음에, 본 발명의 제2실시예를 이하에 나타낸다.

제2실시예에서의 비트선 형성 후의 C-C'선의 단면도를 도33에 도시하였다. 도33은 본 발명의 제1실시예에 있어서의 도20에 대응하고 있다. 이 구조는 도10의 플러그 패턴(24) 대신에 도34에 도시한 플러그 패턴(42)을 이용하여 게이트 전극에 대하여 자기 정합적으로 제1BPSG막(22)을 패터닝한다. 따라서, 제1실시예보다도 작은 폴리실리콘 플러그를 형성할 수 있다. 이에 따라, 비트선 용량을 저감할 수 있다. 또한, 컨택트홀의 패터닝에 있어서, 개구부에 노출된 STI 소자 분리 산화막을 예를 들면 50nm 정도 오버에칭한다. 따라서, 폴리실리콘 플러그와 반도체 기판은 기판 표면 뿐만 아니라, 기판 측면에서도 컨택트하고 있기 때문에, 작은 플러그를 이용해서도 컨택트 저항을 감소시킬 수 있다. 그 이외의 공정은 본 발명의 제1실시예와 같기 때문에, 여기에서는 생략한다.

다음에, 본 발명의 제3실시예를 이하에 나타낸다.

제3실시예에서의 비트선 형성 후의 C-C'선의 단면도를 도35에 도시하였다. 도35는 본 발명의 제1실시예에 있어서의 도20에 대응하고 있다. 폴리실리콘 플러그를 형성하는 제2폴리실리콘막(25)이 소자 영역에 인접한 위치에서 소자 분리 산확막의 일부를 제거하고 거기에 매립되어 있다. 이 구조는 STI 형성시에 이 오목부를 형성하고, 그 후 도10의 플로그 패턴 대신에 도34에 도시한 플러그 패턴(42)을 이용함으로써 얻을 수 있다. 또, 이 오목부는 STI 형성시에 특별한 공정을 필요로 하지 않고 형성할 수 있다. 그 이외의 공정은 본 발명의 제1실시예와 동일하므로 여기에서는 생략한다.

상술한 바와 같이, COB형 DRAM셀에서 본 발명을 이용함으로써, 소스 및 드레인 상에 자기 정합적으로 폴리실리콘 플러그를 형성할 수 있다. 이 폴리실리콘 플러그 상에 비트선 컨택트 및 스토리지 전극 컨택트를 형성함으로써, 양자의 종횡비를 모두 저감시킬 수 있다.

또한, 본 발명의 폴리실리콘 플러그는 게이트 전극에 대하여 자기 정합적으로 형성되어 있고, 인접하는 소자 영역상의 컨택트와 쇼트되거나, 소스 및 드레인의 플러그끼리 쇼트되는 일은 발생하지 않으므로, 접속 어긋남에 강하다고 할 수 있다.

또한, 본 발명의 폴리실리콘 플러그의 형성은 독립된 리소그래피 공정을 필요로 하지 않으므로 공정수를 삭감하는 효과가 있다.

또한, 제2실시예 및 제3실시예를 이용함으로써, 비트선과 소자 영역을 접속하는 폴리실리콘 플러그를 짧게 할 수 있어서 그 정도만큼 비트선 용량을 저감할 수 있는 효과가 있다. 또한, 폴리실리콘 플러그와 기판 표면에서 컨택트하고 있기때문에 컨택트 저항을 낮출 수 있다.

또한, 제3실시예를 이용함으로써, 컨택트 기저부에서 소자 영역과의 경계에만 폴리실리콘 플러그가 매립되고; 그 이외의 소자 분리 영역에는 매립되어 있지 않기 때문에 제2실시예보다 더 비트선 용량을 저감할 수 있다.

발명의 효과

본 발명을 이용함으로써, COB형 DRAM셀의 형성시에 캐패시터 컨택트 및 비트선 컨택트의 종횡비를 저감할 수 있고, 또 접속 어긋남의 영향을 받기 어렵고, 또 여분의 공정수의 증가를 초래하지 않는 메모리셀의 구조 및 제조 방법을 제공할 수 있다.

또, 본원 청구 범위의 각 구성 요소에 병기된 도면 참조 번호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예로 한정할 의도로 병기한 것은 아니다.

(57) 청구의 범위

청구항 1

(정정) 반도체 기억 장치에 있어서, 반도체 기판의 표면에 형성되어 소자 영역을 정의하는 소자 분리막; 상기 소자 영역에 형성되고, 게이트 전극과 소스 및 드레인 영역을 구비한 트랜지스터; 상기 소자 영역 및 상기 소자 분리막 상에 형성된 제1층간 절연막; 상기 제1층간 절연막에 형성되고, 상기 소스 및 드레인 영역 중 어느 한 영역과 상기 소자 분리막의 일부에 걸쳐서 개구가 형성되어 있으며, 한 쪽 측면이 상기 트랜지스터의 게이트 전극에 인접하는 제1컨택트 홀; 상기 제1컨택트 홀 내에 형성되고, 상기 소스 및 드레인 영역 중 상기 어느 한 영역과 상기 소자 분리막의 일부에 접촉하며, 상기 트랜지스터의 게이트 전극에 인접하는 제1도전막; 상기 제1층간 절연막, 상기 게이트 전극 및 상기 제1도전막 상에 형성된 제2층간 절연막; 상기 제2층간 절연막에 형성되고, 상기 소자 분리막의 상부에 위치한 상기 제1도전막의 일부에 개구가 형성되어 있는 비트선 컨택트 홀;및 상기 제2층간 절연막 상에 형성되어, 상기 비트선 컨택트

홀을 통해 상기 제1도전막의 상기 일부에 전기적으로 접속된 비트선 층을 포함하고, 상기 제1컨택트 홀 및 상기 제1도전막은 상기 비트선 층에 형성되는 비트선의 연장 방향과 실질적으로 수직 방향으로 연장되는 것을 특징으로 하는 반도체 기억 장치.

청구항 2

반도체 기판과, 상기 반도체 기판 상에 형성된 소자 영역을 정의하는 소자 분리 산화막과, 상기 소자 영역상에 형성되고 게이트 전극이 워드선에 접속된 데이타 전송용 MOSFET와, 상기 소자 분리 산화막 및 상기 MOSFET를 덮는 제1층간 절연막과, 상기 제1층간 절연막에 형성되고 상기 소자 영역 및 상기 소자 분리 산화막상에 연장하여 상기 MOSFET의 한쪽 소스/드레인 확산층에 이르는 제1컨택트홀과, 상기 제1층간 절연막에 형성되고 상기 소자 영역 상에서 상기 MOSFET의 다른 쪽 소스/드레인 확산층에 이르는 제2컨택트홀과, 상기 제1컨택트홀을 충전하는 제1도전체 플러그와, 상기 제2컨택트홀을 충전하는 제2도전체 플러그와, 상기 제1층간 절연막과 상기 제1도전체 플러그와 제2도전체 플러그를 덮는 제2층간 절연막과, 상기 제2층간 절연막에 형성되고 소자 분리 산화막의 상측에서 제1도전체 플러그에 이르는 비트선 컨택트홀과, 상기 비트선 컨택트홀을 충전하는 제3도전체 플러그와, 상기 제2층간 절연막 및 제3도전체 플러그 상에 형성되는 비트선과, 상기 제2층간 절연막 및 상기 비트선 상에 형성된 제3층간 절연막과, 상기 제3층간 절연막 및 제2층간 절연막을 관통하여 형성되어 제2도전체 플러그에 이르는 스토리지 노드 컨택트와, 상기 제3층간 절연막 및 스토리지 노드 컨택트 상에 순차적으로 형성된 스토리지 노드 전극과, 캐패시터 절연막 및 플레이트 전극을 구비하는 것을 특징으로 하는 반도체 기억 장치.

청구항 3

반도체 기판과, 상기 반도체 기판 표면에 형성되고 복수의 소자 영역을 정의하는 소자 분리용 절연막과, 상기 소자 영역 내에 형성된 MOS 트랜지스터와, 상기 MOS 트랜지스터 상에 형성된 제1층간 절연막과, 상기 MOS 트랜지스터의 소스·드레인의 한쪽 상부 및 상기 소자 분리용 절연막 상부에 걸쳐 상기 제1층간 절연막에 개구하여 형성된 제1플러그와, 상기 MOS 트랜지스터의 소스·드레인의 다른 쪽 상부에 상기 제1층간 절연막에 개구하여 형성된 상기 제1플러그와 동일층에서 형성된 제2플러그와, 상기 제1층간 절연막 상에 형성되고 제1플러그에 접속된 비트선과, 상기 비트선 및 상기 제1층간 절연막 상에 형성된 제2층간 절연막과, 상기 제2층간 절연막 상에 형성되고 상기 제2층간 절연막에 형성된 개구를 통하여 상기 제2플러그에 접속된 용량 소자로 구성되는 메모리셀을 갖는 것을 특징으로 하는 반도체 기억 장치.

청구항 4

제3항에 있어서, 상기 반도체 기판과 상기 제1플러그가 상기 반도체 기판의 표면 및 측면에서 접하고 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 5

제4항에 있어서, 상기 제1층간 절연막과 상기 제1플러그 및 제2플러그를 덮는 제2층간 절연막과, 상기 제2층간 절연막에 형성되고, 상기 제1플러그에 이르는 비트선 컨택트 홀과, 상기 비트선 컨택트 홀을 충전하는 제3플러그를 더 포함하고, 상기 비트선은 상기 제3플러그에 접속되고, 상기 제3플러그와 상기 제1플러그가 상기 제1플러그 상면 및 측면에서 접하고 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 6

제4항에 있어서, 상기 제1플러그의 상기 게이트 전극에 연하는 방향의 치수가 상기 소자 영역의 상기 게이트 전극에 연하는 방향의 치수와 거의 같은 것을 특징으로 하는 반도체 기억 장치.

청구항 7

제4항에 있어서, 상기 제1플러그가 소자 분리 영역과 상기 소자 영역과의 경계 근방에서만 상기 소자 분리 영역 상에서 기판 표면보다 깊은 위치까지 연장되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 8

반도체 기억 장치에 있어서, 반도체 기판의 표면에 형성되어 소자 영역을 정의하는 소자 분리막; 상기 소자 영역에 형성되고, 게이트 전극과 소스 및 드레인 영역을 구비한 트랜지스터; 상기 소자 영역 및 상기 소자 분리막 상에 형성된 제1층간 절연막; 상기 제1층간 절연막에 형성되고, 상기 소스 및 드레인 영역 중 한 영역과 상기 소자 분리막의 일부에 개구가 형성되어 있으며, 한 쪽 측면이 상기 트랜지스터의 게이트 전극에 인접하는 제1컨택트 홀; 상기 제1컨택트 홀 내에 형성되어 상기 소스 및 드레인 영역 중 상기 한 영역과 상기 소자 분리막의 일부에 접촉하고, 상기 트랜지스터의 게이트 전극에 인접하는 제1도전막; 상기 제1층간 절연막, 상기 게이트 전극 및 상기 제1도전막 상에 형성된 제2층간 절연막; 상기 제2층간 절연막에 형성되고, 상기 소자 분리막 상부에 위치한 상기 제1도전막의 일부에 개구가 형성되어 있는 비트선 컨택트 홀; 및 상기 제2층간 절연막 상에 형성되어, 상기 비트선 컨택트 홀을 통해 상기 제1도전막의 상기 일부에 전기적으로 접속된 비트선 층을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 9

제8항에 있어서, 상기 제1층간 절연막에 형성된 제2컨택트 홀을 통해 상기 소자 영역의 제3부분에 접촉하는 제2도전막을 더 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 10

제9항에 있어서, 상기 제2층간 절연막 및 상기 비트선 층 상에 형성된 제3층간 절연막; 상기 제2 및 제3층간 절연막에 형성되고 상기 제2도전막에 개구가 형성된 제3컨택트 홀;및 상기 제3층간 절연막 상에 형성되고, 상기 제3컨택트 홀을 통해 상기 제2도전막에 접촉하는 전극층을 더 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 11

제10항에 있어서, 상기 전극층 상에 형성된 캐패시터 절연막;및 상기 캐패시터 절연막 상에 형성된 플레이트 전극층을 더 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 12

제8항에 있어서, 상기 게이트 전극은 상기 소자 영역 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 연장된 게이트 도전층, 상기 게이트 도전층의 상면 상에 형성된 보호막, 및 상기 게이트 도전층의 측면 상에 형성된 보호막을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 13

제8항에 있어서, 상기 소자 분리막은 상기 반도체 기판에 형성된 얕은 트렌치(shallow trench)내에 제공된 산화막을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 14

제8항에 있어서, 상기 제1도전막은 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 15

제9항에 있어서, 상기 제2도전막은 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 16

제8항에 있어서, 상기 제1도전막의 상면, 상기 게이트 전극의 상면 및 상기 제1층간 절연막의 상면이 동일 평면을 이루는 것을 특징으로 하는 반도체 기억 장치.

청구항 17

반도체 기억 장치에 있어서, 반도체 기판의 표면에 형성되어 소자 영역을 정의하는 소자 분리막; 상기 소자 영역에 형성되고, 게이트 전극과 소스 및 드레인 영역을 구비한 트랜지스터; 상기 소자 영역 및 상기 소자 분리막 상에 형성된 제1층간 절연막; 상기 제1층간 절연막에 형성되고, 또한 상기 트랜지스터의 소스 및 드레인 영역 중 한 영역 및 상기 소자 분리막의 일부 상에 형성되며, 한 쪽 측면이 상기 트랜지스터의 게이트 전극에 인접하는 제1컨택트 홀; 상기 제1컨택트 홀 내에 형성되고, 상기 트랜지스터의 소스 및 드레인 영역 중 상기 한 영역 및 상기 소자 분리막의 상기 일부에 접촉하며, 상기 트랜지스터의 게이트 전극에 인접하는 제1도전막; 상기 제1층간 절연막에 형성되고, 상기 트랜지스터의 소스 및 드레인 영역 중 나머지 한 영역 상에 형성되며, 한 쪽 측면이 상기 트랜지스터의 게이트 전극에 인접하는 제2컨택트 홀; 상기 제2컨택트 홀 내에 형성되고, 상기 트랜지스터의 소스 및 드레인 영역 중 상기 나머지 한 영역에 접촉하며, 상기 트랜지스터의 게이트 전극에 인접하는 제2도전막; 상기 제1층간 절연막, 상기 제1 및 제2도전막 및 상기 트랜지스터의 게이트 전극 상에 형성된 제2층간 절연막; 상기 제2층간 절연막에 형성되고, 상기 소자 분리막 상부에 위치한 상기 제1도전막의 일부에 개구가 형성된 비트선 컨택트 홀; 상기 제2층간 절연막 상에 형성되고, 상기 비트선 컨택트 홀을 통해 상기 제1도전막에 전기적으로 접속된 비트선; 상기 비트선 및 상기 제2층간 절연막 상에 형성된 제3층간 절연막; 상기 제3층간 절연막 및 상기 제2층간 절연막에 형성되고 상기 제2도전막에 개구가 형성된 스토리지 노드 컨택트 홀;및 상기 제3층간 절연막 상에 형성되고, 상기 스토리지 노드 컨택트 홀을 통해 상기 제2도전막에 전기적으로 접속된 용량 소자를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 18

제17항에 있어서, 상기 용량 소자는 상기 제3층간 절연막 상에 순차적으로 형성된 스토리지 노드 전극, 캐패시터 절연막 및 플레이트 전극을 포함하며, 상기 스토리지 노드 전극은 상기 스토리지 노드 컨택트 홀을 통해 상기 제2도전막에 접촉하는 것을 특징으로 하는 반도체 기억 장치.

청구항 19

제17항에 있어서, 상기 게이트 전극은 상기 소자 영역 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 연장된 게이트 도전층, 상기 게이트 도전층의 상면 상에 형성된 보호막 및 상기 게이트 도전층의 측면 상에 형성된 보호층을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 20

제17항에 있어서, 상기 소자 분리막은 상기 반도체 기판에 형성된 얕은 트렌치 내에 제공된 산화막을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 21

제17항에 있어서, 상기 제1 및 제2도전막은 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 22

제17항에 있어서, 상기 트랜지스터의 게이트 전극의 상면, 상기 제1 및 제2도전막의 상면, 및 상기 제1층간 절연막의 상면이 동일 평면을 이루는 것을 특징으로 하는 반도체 기억 장치.

청구항 23

반도체 기억 장치에 있어서, 반도체 기판; 상기 반도체 기판에 형성되어 소자 영역을 정의하는 소자 분리

막; 상기 소자 영역에 형성된 게이트 전극; 캐패시터; 제1 및 제2워드선; 상기 워드선의 상부와 상기 캐패시터의 하부 사이에 형성된 비트선; 상기 소자 영역 상에 순서대로 형성된 제1, 제2 및 제3배선;및 상기 소자 분리막 상에 형성된 2개의 패싱 워드선(passing word line)을 포함하고, 상기 제1 및 제3배선의 각각은 상기 캐패시터 중 대응하는 캐패시터에 접속되고, 상기 제1워드선은 상기 제1 및 제2배선 사이에 형성되며, 상기 제2워드선은 상기 제2 및 제3배선 사이에 형성되고, 상기 소자 분리막에 의해 정의되고 상기 제1, 제2 및 제3배선이 연장된, 상기 소자 영역에 인접한 다른 소자 영역에서 상기 제2배선은 층간 절연막에 형성된 비트선 컨택트를 통해 상기 비트선에 접속되며, 상기 제1, 제2 및 제3배선의 상면 및 상기 게이트 전극의 상면은 동일 평면을 이루는 것을 특징으로 하는 반도체 기억 장치.

청구항 24

제8항에 있어서, 상기 게이트 전극은 상기 소자 영역 상에 형성되고 상기 소자 분리막 상에 연장된 것을 특징으로 하는 반도체 기억 장치.

청구항 25

제17항에 있어서, 상기 게이트 전극은 상기 소자 영역 상에 형성되고 상기 소자 분리막 상에 연장된 것을 특징으로 하는 반도체 기억 장치.

청구항 26

반도체 기억 장치에 있어서, 반도체 기판의 표면에 형성되고 소자 영역을 정의하는 소자 분리막; 상기 소자 영역에 형성되고, 게이트 전극과 소스 및 드레인 영역을 구비한 트랜지스터; 상기 소자 영역 및 상기 소자 분리막 상에 형성된 제1층간 절연막; 상기 제1층간 절연막에 형성되고, 또한 상기 트랜지스터의 소스 및 드레인 영역 중 한 영역 및 상기 소자 분리막의 일부 상에 형성된 제1컨택트 홀; 상기 제1컨택트 홀 내에 형성되고, 상기 트랜지스터의 소스 및 드레인 영역 중 상기 한 영역 및 상기 소자 분리막의 상기 일부에 접촉하는 제1도전막; 상기 제1층간 절연막에 형성되고, 또한 상기 트랜지스터의 소스 및 드레인 영역 중 나머지 한 영역 상에 형성되며, 한 쪽 측면이 상기 트랜지스터의 게이트 전극에 인접하는 제2컨택트 홀; 상기 제2컨택트 홀 내에 형성되고, 상기 트랜지스터의 소스 및 드레인 영역 중 상기 다른 영역에 접촉하며, 상기 트랜지스터의 게이트 전극에 인접하는 제2도전막; 상기 제1층간 절연막, 상기 제1 및 제2도전막, 및 상기 트랜지스터의 게이트 전극 상에 형성된 제2층간 절연막; 상기 제2층간 절연막에 형성되고, 상기 소자 분리막 상부에 위치한 상기 제1도전막의 일부에 개구가 형성된 비트선 컨택트 홀; 상기 제2층간 절연막 상에 형성되고, 상기 비트선 컨택트 홀을 통해 상기 제1도전막에 전기적으로 접속된 비트선; 상기 비트선 및 상기 제2층간 절연막 상에 형성된 제3층간 절연막; 상기 제3층간 절연막 및 상기 제2층간 절연막에 형성되고 상기 제2도전막에 개구가 형성된 스토리지 노드 컨택트 홀;및 상기 제3층간 절연막 상에 형성되어 상기 스토리지 노드 컨택트 홀을 통해 상기 제2도전막에 접속된 용량 소자를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 27

제26항에 있어서, 상기 용량 소자는 상기 제3층간 절연막 상에 순차적으로 형성된 스토리지 노드 전극, 캐패시터 절연막 및 플레이트 전극을 포함하며, 상기 스토리지 노드 전극은 상기 스토리지 노드 컨택트 홀을 통해 상기 제2도전막에 접촉하는 것을 특징으로 하는 반도체 기억 장치.

청구항 28

제26항에 있어서, 상기 게이트 전극은 상기 소자 영역 상에 형성된 게이트절연막과, 상기 게이트 절연막 상에 연장된 게이트 도전층, 상기 게이트 도전층의 상면 상에 형성된 보호막, 및 상기 게이트 도전층의 측면 상에 형성된 보호막을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 29

제26항에 있어서, 상기 소자 분리막은 상기 반도체 기판에 형성된 얕은 트렌치 내에 제공된 산화막을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 30

제26항에 있어서, 상기 제1 및 제2도전막은 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 31

제26항에 있어서, 상기 트랜지스터의 게이트 전극의 상면, 상기 제1 및 제2도전막의 상면, 및 상기 제1층간 절연막의 상면이 동일 평면을 이루는 것을 특징으로 하는 반도체 기억 장치.

청구항 32

제26항에 있어서, 상기 게이트 전극은 상기 소자 영역 상에 형성되어 상기 소자 분리막 위에 연장된 것을 특징으로 하는 반도체 기억 장치.

청구항 33

반도체 기억 장치에 있어서, 반도체 기판 상에 매트릭스 형태로 배열된 복수의 반도체 소자를 포함하되, 상기 반도체 소자 각각은 상기 반도체 기판의 표면에 형성되어 소자 영역을 정의하는 소자 분리막; 상기 소자 영역에 형성되고, 행 방향으로 연장하는 게이트 전극과 소스 및 드레인 영역을 구비한 트랜지스터; 상기 소자 영역 및 상기 소자 분리막 상에 형성된 제1층간 절연막; 상기 제1층간 절연막에 형성되고, 상기 트랜지스터의 소스 및 드레인 영역 중 한 영역 및 상기 소자 분리막의 일부에 개구가 형성된 제1컨택트 홀; 상기 제1컨택트 홀 내에 형성되어 상기 소스 및 드레인 영역 중 상기 한 영역 및 상기 소자 분리

막의 상기 일부에 접촉하는 제1도전막; 상기 제1층간 절연막, 상기 게이트 전극 및 상기 제1도전막 상에 형성된 제2층간 절연막; 상기 제2층간 절연막에 형성되고, 상기 소자 분리막 상부에 위치하는 상기 제1도전막의 일부에 개구가 형성된 비트선 컨택트 홀;및 상기 제2층간 절연막 상에 형성되고, 상기 비트선 컨택트 홀을 통해 상기 제1도전막의 상기 일부에 전기적으로 접속된 비트선 플러그를 포함하며, 상기 반도체 소자들은 대응하는 열에 있는 상기 비트선 플러그들과 각각 접촉하는, 열 방향으로 연장된 복수의 비트선 층을 더 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 34

제33항에 있어서, 상기 제1컨택트 홀의 일측은 상기 트랜지스터의 게이트전극에 인접하며, 상기 제1도전막은 상기 트랜지스터의 게이트 전극에 인접하는 것을 특징으로 하는 반도체 기억 장치,

청구항 35

제33항에 있어서, 상기 트랜지스터의 소스 및 드레인 영역 중 나머지 한 영역 상에 형성된 제2컨택트 홀; 상기 제2컨택트 홀 내에 형성되어 상기 트랜지스터의 소스 및 드레인 영역 중 상기 나머지 한 영역에 접촉하는 제2도전막; 상기 비트선과 상기 제2층간 절연막 상에 형성된 제3층간 절연막; 상기 제3층간 절연막 및 상기 제2층간 절연막에 형성되고, 상기 제2도전막에 개구가 형성된 스토리지 노드 컨택트 홀;및 상기 제3층간 절연막 상에 형성되어 상기 스토리지 노드 컨택트 홀을 통해 상기 제2도전막에 접속된 용량 소자를 더 포함하는 것을 특징으로 하는 반도체 기억 장치

청구항 36

제33항에 있어서, 상기 트랜지스터의 게이트 전극의 상면, 상기 제1 및 제2도전막의 상면, 및 상기 제1층간 절연막의 상면은 동일 평면을 이루는 것을 특징으로 하는 반도체 기억 장치.

청구항 37

제33항에 있어서, 상기 용량 소자는 상기 제3층간 절연막 상에 순차적으로 형성된 스토리지 노드 전극, 캐패시터 절연막 및 플레이트 전극을 포함하며, 상기 스토리지 노드 전극은 상기 스토리지 노드 컨택트 홀을 통해 상기 제2도전막에 접촉하는 것을 특징으로 하는 반도체 기억 장치.

청구항 38

제33항에 있어서, 상기 게이트 전극은 상기 소자 영역 상에 형성된 게이트절연막과, 상기 게이트 절연막 상에 연장하는 게이트 도전층, 상기 게이트 도전층의 상면 상에 형성된 보호막, 및 상기 게이트 도전막의 측면에 형성된 보호막을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 39

제33항에 있어서, 상기 소자 분리막은 상기 반도체 기판에 형성된 얕은 트렌치 내에 제공된 산화막을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 40

제33항에 있어서, 상기 제1도전막은 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 41

제35항에 있어서, 상기 제2도전막은 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 42

제35항에 있어서, 상기 제2컨택트 홀의 일측은 상기 트랜지스터의 게이트 전극에 인접하고, 상기 제2도전막은 상기 트랜지스터의 케이트 전극에 인접하는 것을 특징으로 하는 반도체 기억 장치.

청구항 43

제33항에 있어서, 상기 제1컨택트 홀의 일측은 상기 트랜지스터의 게이트전극에 인접하고, 상기 제1도전막은 상기 트랜지스터의 게이트 전극에 인접하며, 상기 제2컨택트 홀의 일측은 상기 트랜지스터의 게이트 전극에 인접하고, 상기 제2도전막은 상기 트랜지스터의 게이트 전극에 인접하는 것을 특징으로 하는 반도체 기억장치.

청구항 44

(신설) 제1항에 있어서, 상기 제1층간 절연막에 형성된 제2컨택트 홀을 통해 상기 소자 영역의 제3부분에 접촉하는 제2도전막을 더 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 45

(신설) 제44항에 있어서, 상기 제2층간 절연막 및 상기 비트선 층 상에 형성된 제3층간 절연막; 상기 제2 및 제3층간 절연막에 형성되고 상기 제2도전막에 개구가 형성된 제3컨택트 홀;및 상기 제3층간 절연막 상에 형성되고, 상기 제3컨택트 홀을 통해 상기 제2도전막에 접촉하는 전극층을 더 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 46

(신설) 제45항에 있어서, 상기 전극층 상에 형성된 캐패시터 절연막;및 상기 캐패시터 절연막 상에 형성된 플레이트 전극층을 더 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 47

(신설) 제1항에 있어서, 상기 게이트 전극은 상기 소자 영역 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 연장된 게이트 도전층, 상기 게이트 도전층의 상면 상에 형성된 보호막, 및 상기 게이트 도전층의 측면 상에 형성된 보호막을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 48

(신설) 제1항에 있어서, 상기 소자 분리막은 상기 반도체 기판에 형성된 얕은 트렌치(shallow trench)내에 제공된 산화막을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 49

(신설) 제1항에 있어서, 상기 제1도전막은 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 50

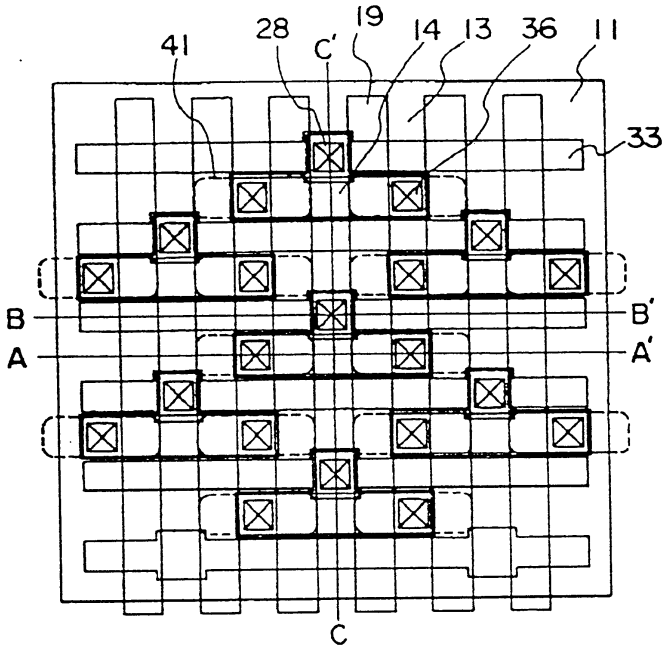
(신설) 제44항에 있어서, 상기 제2도전막은 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 51

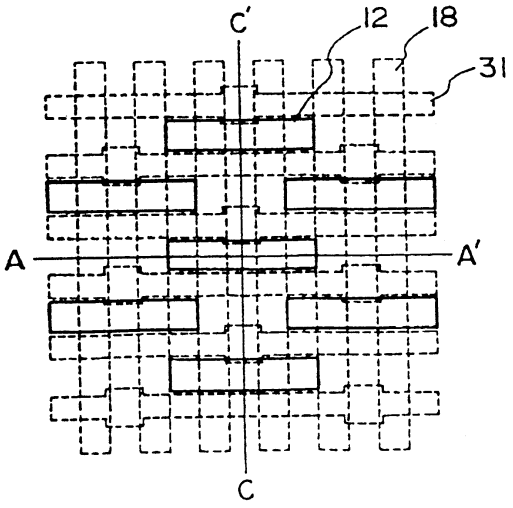
(신설) 제1항에 있어서, 상기 제1도전막의 상면, 상기 게이트 전극의 상면 및 상기 제1층간 절연막의 상면이 동일 평면을 이루는 것을 특징으로 하는 반도체 기억 장치.

도면

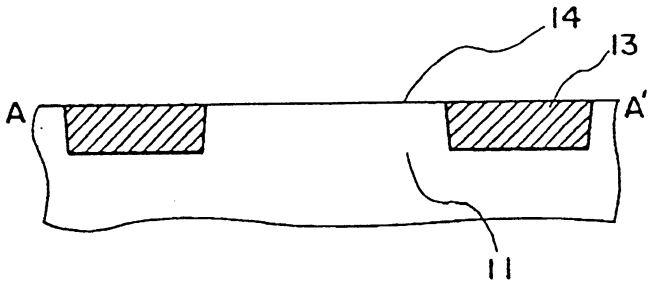
도면1



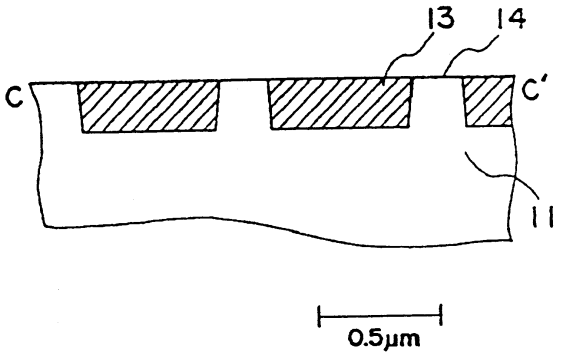
도면2



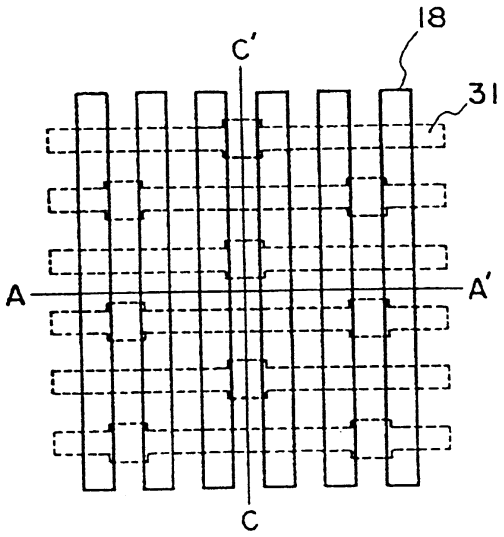
도면3



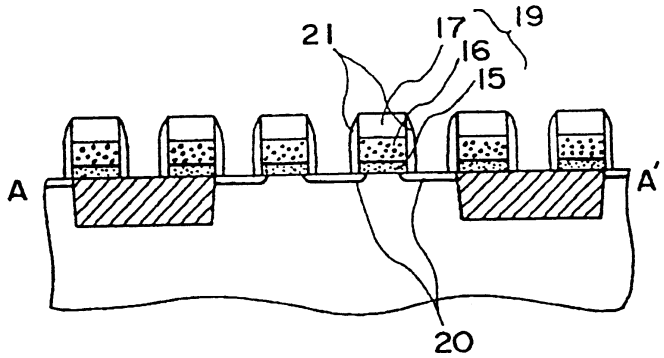
도면4



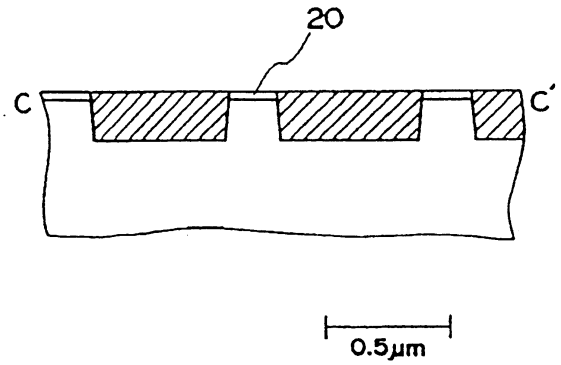
도면5



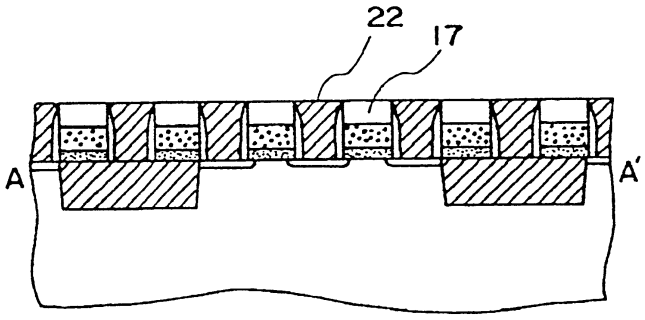
도면6



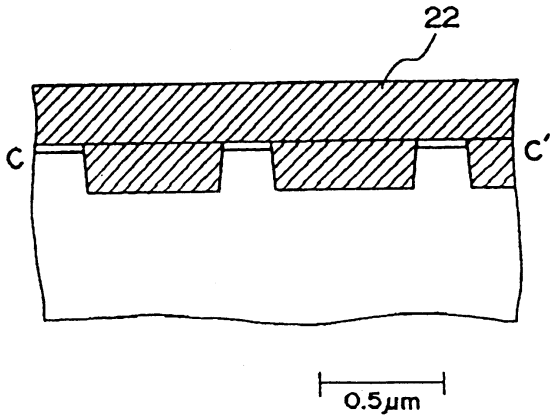
도면7



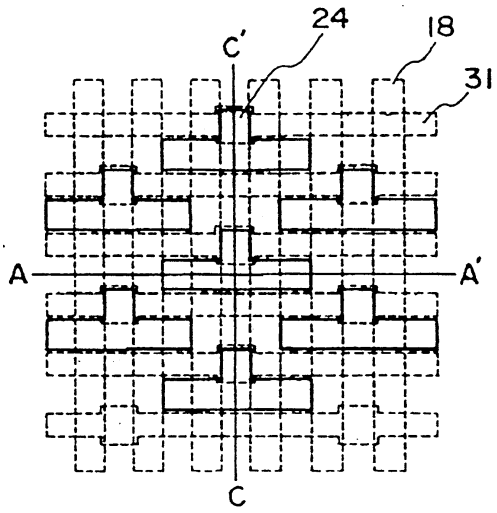
도면8



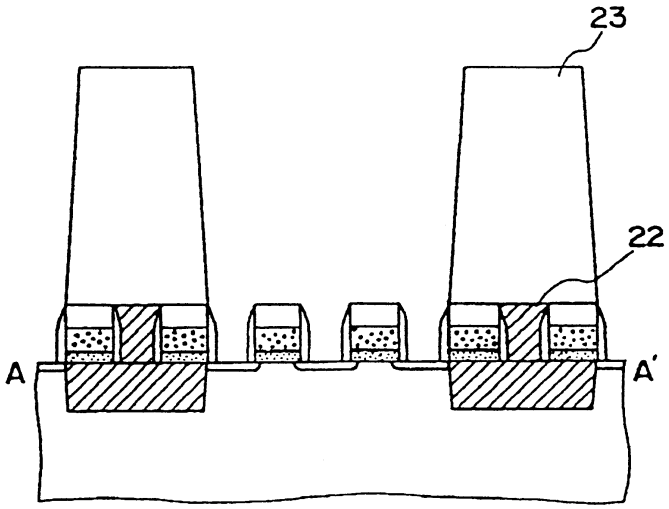
도면9



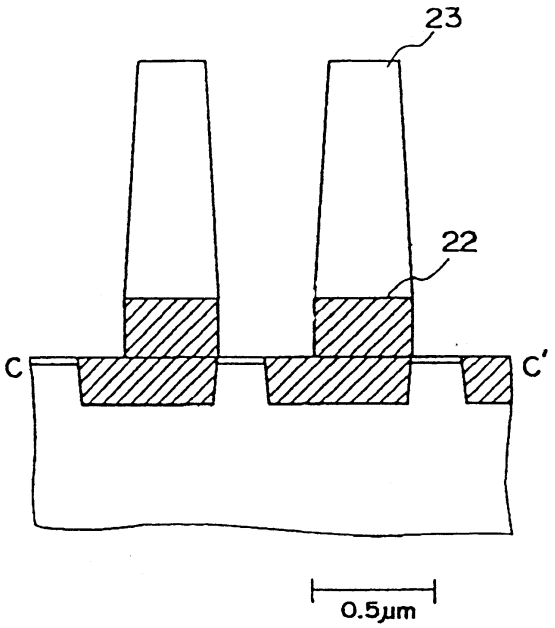
도면10



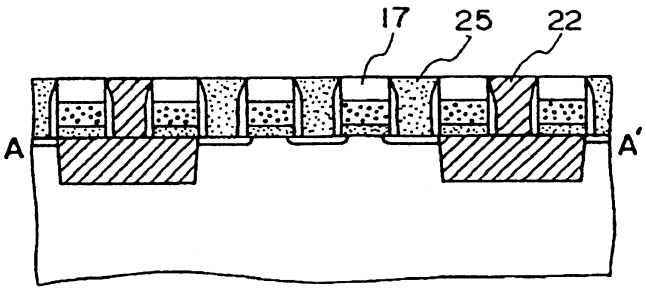
도면11



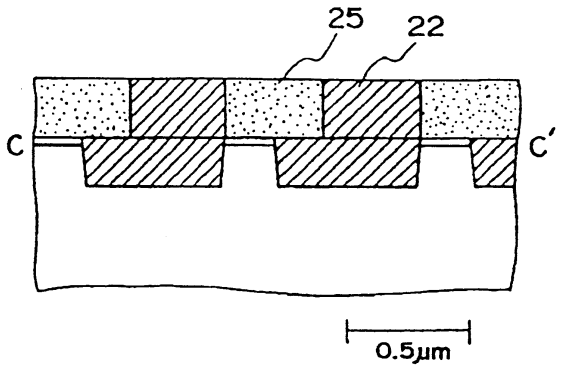
도면12



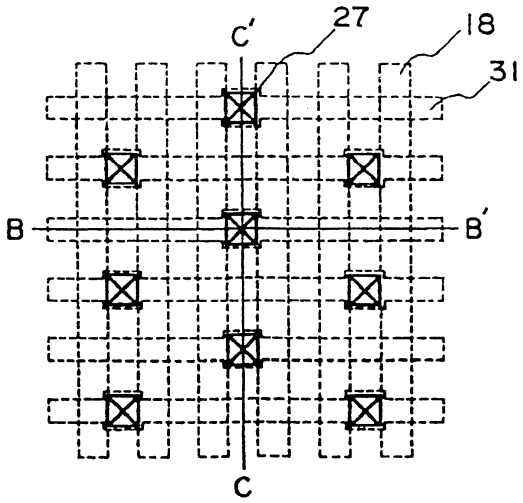
도면13



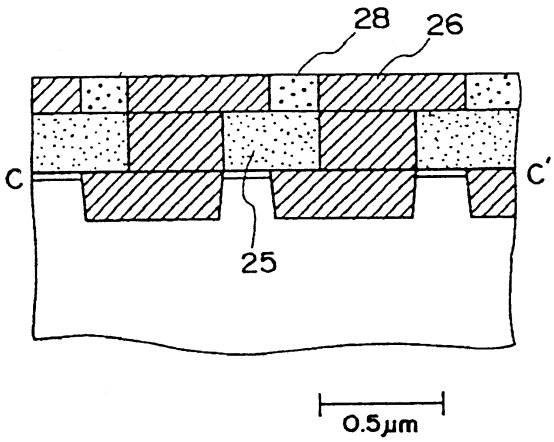
도면14



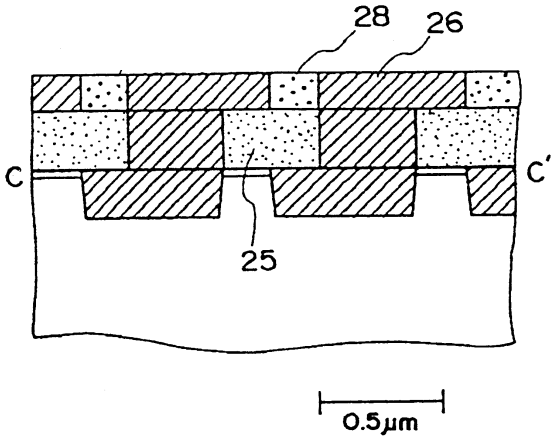
도면15



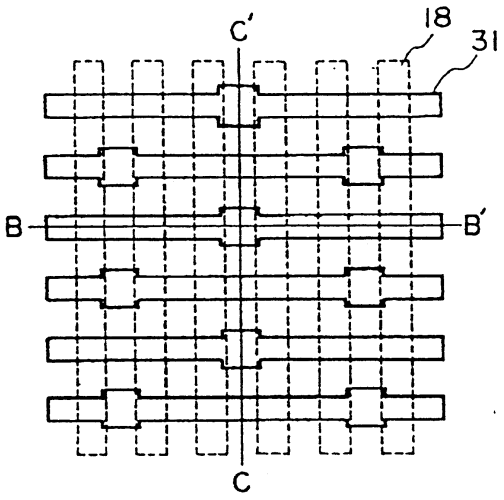
도면16



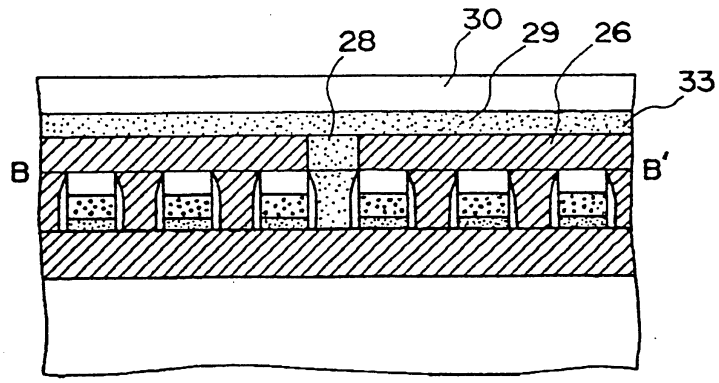
도면17



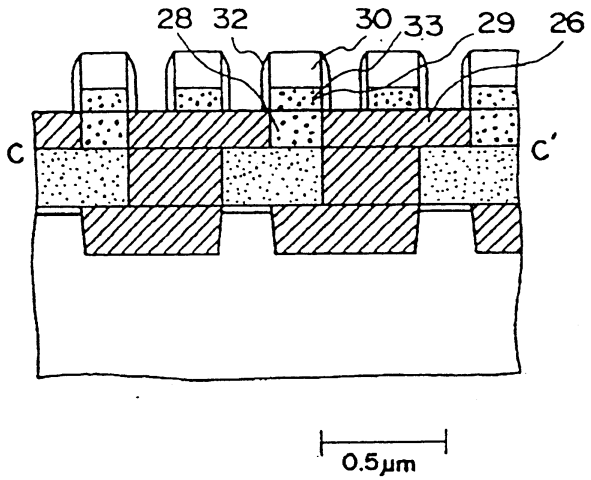
도면18



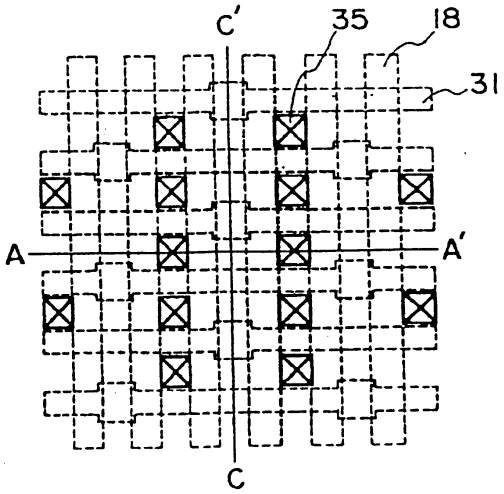
도면19



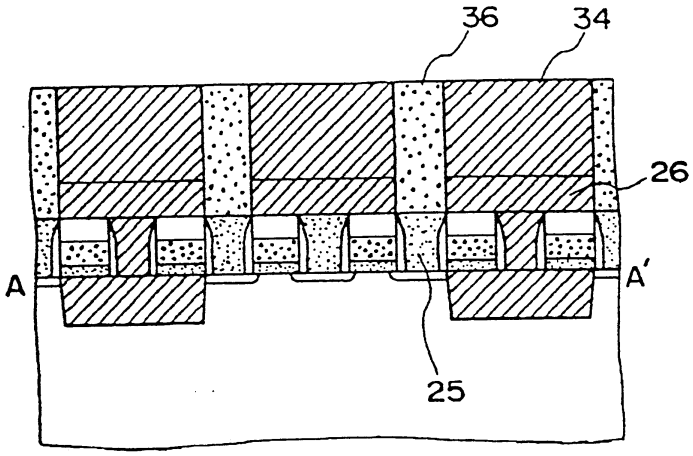
도면20



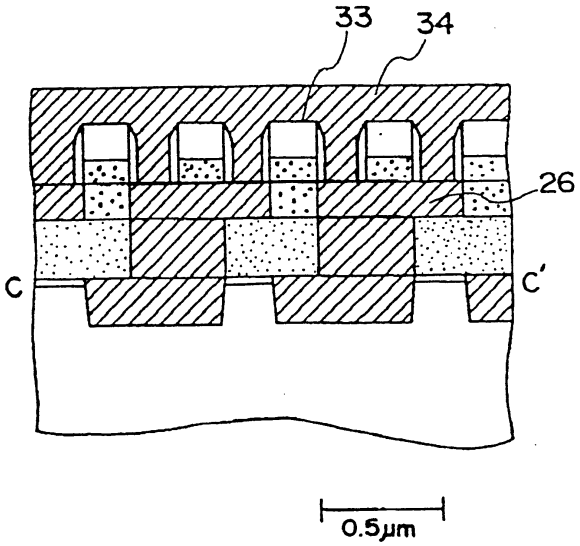
도면21



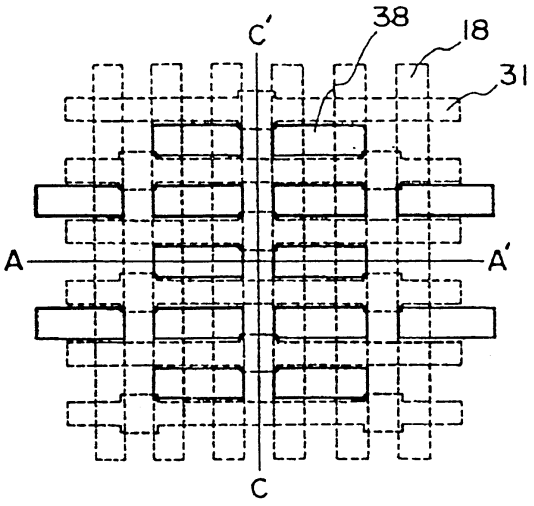
도면22



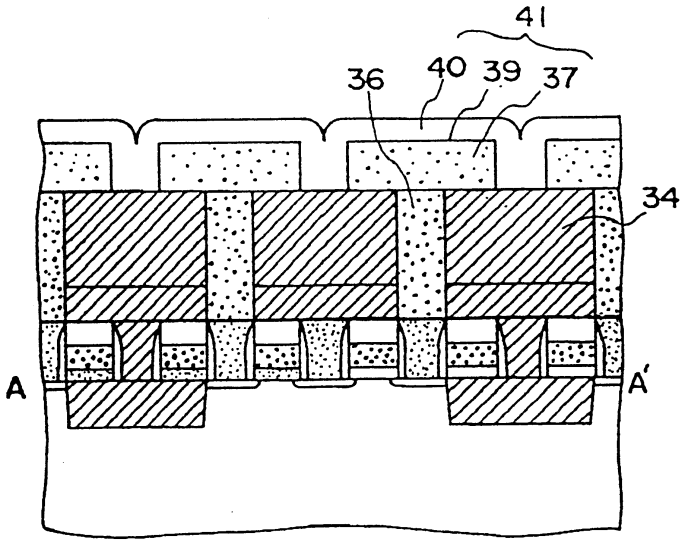
도면23



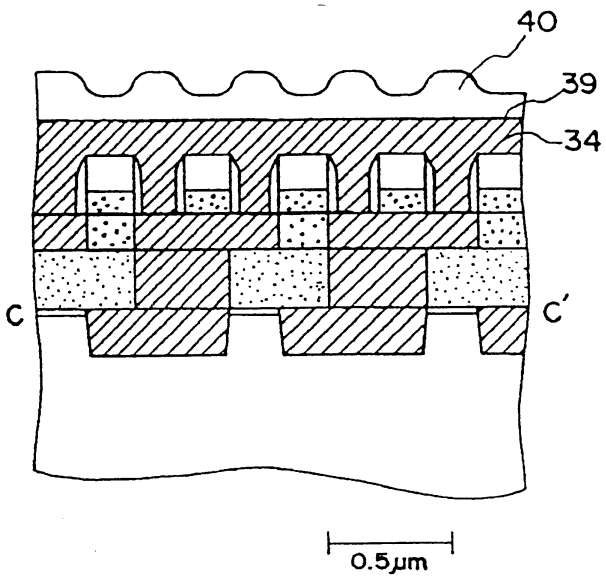
도면24



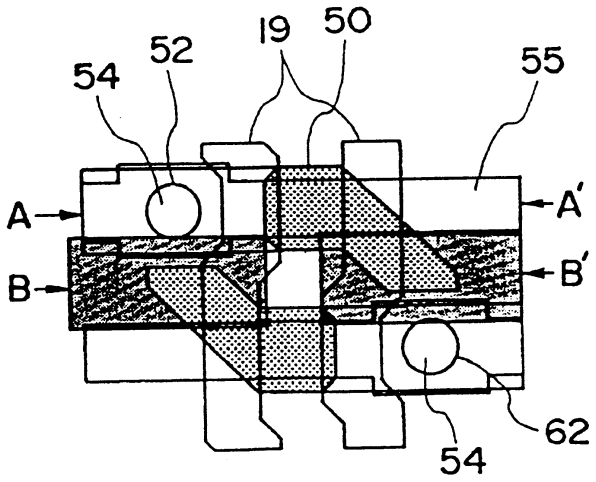
도면25



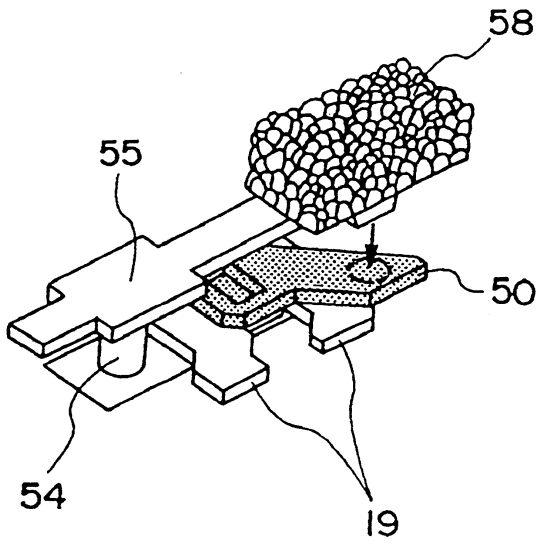
도면26



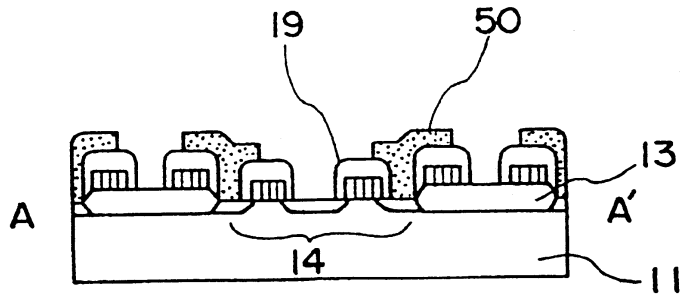
도면27



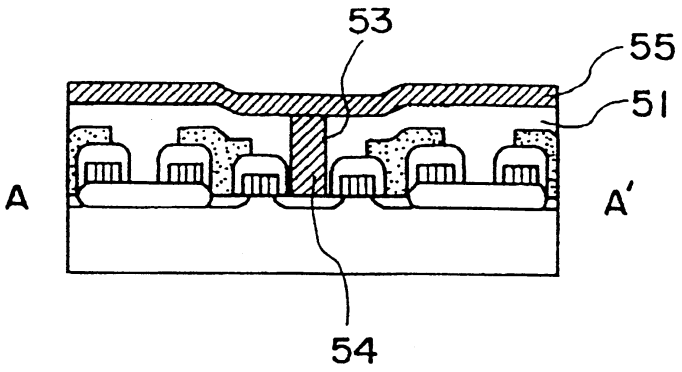
도면28



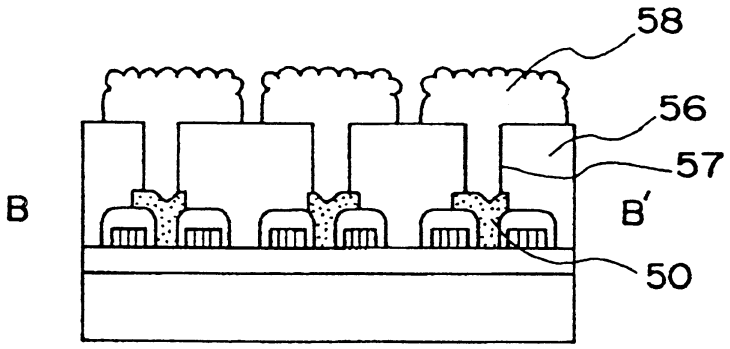
도면29



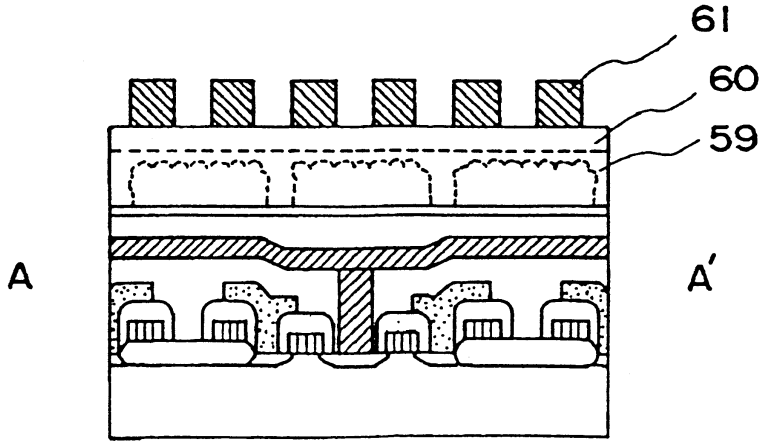
도면30



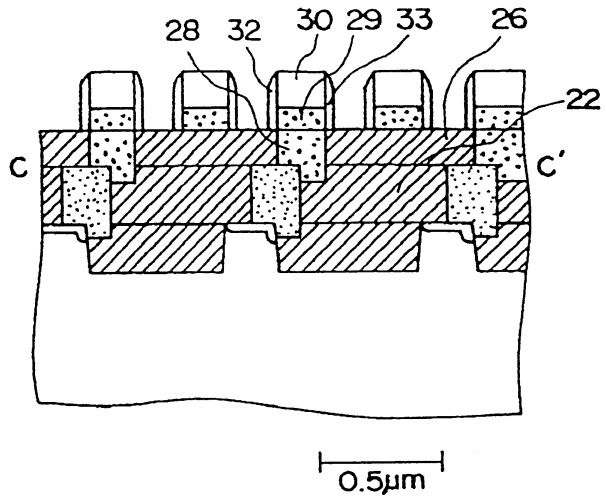
도면31



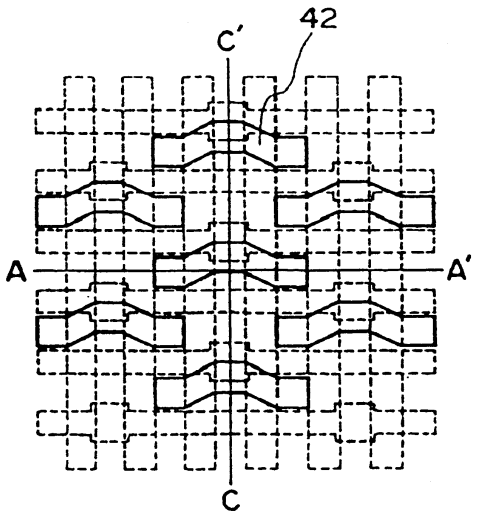
도면32



도면33



도면34



도면35

