

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年7月20日(20.07.2017)



(10) 国際公開番号
WO 2017/122347 A1

- (51) 国際特許分類:
H04L 12/28 (2006.01)
- (21) 国際出願番号: PCT/JP2016/051134
- (22) 国際出願日: 2016年1月15日(15.01.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 東芝三菱電機産業システム株式会社
(TOSHIBA MITSUBISHI-ELECTRIC INDUSTRIAL
SYSTEMS CORPORATION) [JP/JP]; 〒1040031 東京
都中央区京橋三丁目1番1号 Tokyo (JP).
- (72) 発明者: 林 健太(HAYASHI, Kenta); 〒1040031 東京
都中央区京橋三丁目1番1号 東芝三菱電機
産業システム株式会社内 Tokyo (JP).
- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI
PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市
北区中之島二丁目2番7号 中之島セントラル
タワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

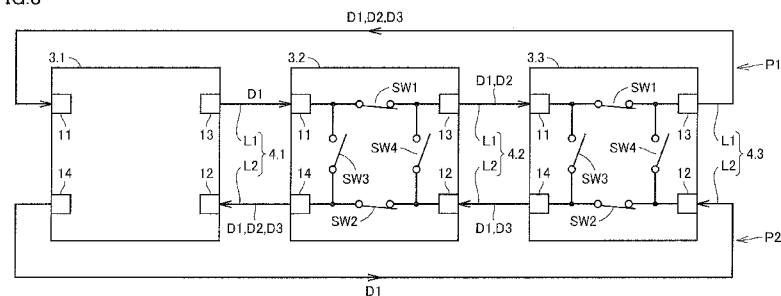
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: CONTROL SYSTEM

(54) 発明の名称: 制御システム

【図8】
FIG. 8



(57) Abstract: Disclosed is a power conversion system wherein, in the cases where data communication among first to third control circuits (3.1-3.3) is normal, an annular first communication path (P1) is formed by means of the first to third control circuits (3.1-3.3) and first communication lines (L1) of first to third communication cables (4.1-4.3), and an annular second communication path (P2) is formed by means of the first to third communication circuits (3.1-3.3) and second communication lines (L2) of the first to third communication cables (4.1-4.3). For instance, in the cases where data communication between the first and second control circuits (3.1, 3.2) is abnormal, an annular third communication path (P3) is formed by means of the first to third control circuits (3.1-3.3) and the first and second communication lines (L1, L2) of the second and third communication cables (4.2, 4.3).

(57) 要約: この電力変換システムでは、第1～第3の制御回路 (3. 1～3. 3) 間のデータ通信が正常である場合は、第1～第3の制御回路 (3. 1～3. 3) および第1～第3の通信ケーブル (4. 1～4. 3) の第1の通信線 (L 1) によって環状の第1の通信経路 (P 1) を形成し、第1～第3の制御回路 (3. 1～3. 3) および第1～第3の通信ケーブル (4. 1～4. 3) の第2の通信線 (L 2) によって環状の第2の通信経路 (P 2) を形成する。たとえば、第1および第2の制御回路 (3. 1, 3. 2) 間のデータ通信が異常になった場合は、第2および第3の通信ケーブル (4. 2, 4. 3) の第1および第2の通信線 (L 1, L 2) と第1～第3の制御回路 (3. 1～3. 3) とによって環状の第3の通信経路 (P 3) を形成する。

WO 2017/122347 A1

明 細 書

発明の名称： 制御システム

技術分野

[0001] 本発明は制御システムに関し、特に、それぞれ複数の電気機器を制御する複数の制御回路を備えた制御システムに関する。

背景技術

[0002] WO 2 0 1 1 / 0 3 9 8 6 5 号（特許文献 1）には、負荷に対して並列接続された m 台の電力変換装置と、 m 台の電力変換装置に接続された通信回線とを備えた電力変換システムが開示されている。 m は 2 以上の整数である。各電力変換装置は、直流電力を交流電力に変換して負荷に供給するインバータと、負荷電流値を検出する電流センサと、電流センサによって検出された負荷電流値を通信回線を介して他の $(m-1)$ 台の電力変換装置の各々に送信するとともに、他の $(m-1)$ 台の電力変換装置から通信回線を介して送信された $(m-1)$ 個の負荷電流値を受信する通信回路と、対応の電流センサによって検出された負荷電流値と、通信回路によって受信された $(m-1)$ 個の負荷電流値とに基づいて、対応の電力変換装置の分担電流および横流を求める演算回路と、対応の電力変換装置から負荷に分担電流が供給され、かつ横流が無くなるようにインバータを制御する制御回路とを含む。

[0003] 特開 2 0 0 6 - 3 4 0 0 8 2 号公報（特許文献 2）には、伝送するデータ信号を構成する各データビット信号および変調信号の各排他的論理和と上記変調信号との組合せを上位ビット信号とし、上記各データビット信号および上記変調信号の反転信号の各排他的論理和と上記変調信号の反転信号との組合せを下位ビット信号としたシリアル信号を伝送するシリアル信号伝送方法が開示されている。特許文献 2 では、受信装置側において、上記シリアル信号の上位ビット信号と下位ビット信号の対応するデータビット信号の和が所定の論理値でないとき、上記データビット信号が異常と判定され、その使用が停止される。

先行技術文献

特許文献

[0004] 特許文献1：WO 2011/039865号

特許文献2：特開2006-340082号公報

発明の概要

発明が解決しようとする課題

[0005] しかし、特許文献1では、各電力変換装置が他の $(m-1)$ 台の電力変換装置から負荷電流値を受信して分担電流および横流を求めるので、データ通信量が大きくなり、通信速度が遅くなるという問題があった。

[0006] 特許文献2では、異常であると判定されたデータビット信号の使用が停止されるので、データビット信号に異常が発生した場合には制御対象の制御を停止する必要がある。

[0007] それゆえに、この発明の主たる目的は、データ通信量が小さく、通信速度が速く、データ信号の通信に異常が発生した場合でも複数の電気機器を制御することが可能な制御システムを提供することである。

課題を解決するための手段

[0008] この発明に係る制御システムは、それぞれ第1～第Nの電気機器を制御する第1～第Nの制御回路と、各々が第1および第2の通信線を含む第1～第Nの通信ケーブルとを備えたものである。Nは2以上の整数である。第1～第 $(N-1)$ の制御回路は第1～第 $(N-1)$ の通信ケーブルを介して後段の第2～第Nの制御回路にそれぞれ接続され、第Nの制御回路は第Nの通信ケーブルを介して後段の第1の制御回路に接続される。第1の制御回路は、第1～第Nの電気機器を制御するための第1のデータ信号を生成し、第1のデータ信号に基づいて第1の電気機器を制御し、第1のデータ信号を第1の通信ケーブルの第1の通信線を介して後段の第2の制御回路に送信するとともに、第1のデータ信号を第Nの通信ケーブルの第2の通信線を介して前段の第Nの制御回路に送信する。2以上でN以下の整数を n とすると、第 n の

制御回路の前段の制御回路は第 $(n-1)$ の制御回路であり、第 n の制御回路の後段の制御回路は第 $(n+1)$ の制御回路または第 1 の制御回路である。第 n の制御回路は、第 1 のデータ信号に基づいて第 n の電気機器を制御するとともに、第 n の電気機器の制御結果を示す第 n のデータ信号を生成する。第 n の制御回路は、前段の制御回路および後段の制御回路の各々とのデータ信号の通信が正常に行なわれている場合は、第 n のデータ信号と前段の制御回路からのデータ信号とを第 n の通信ケーブルの第 1 の通信線を介して後段の制御回路に送信するとともに、第 n のデータ信号と後段の制御回路からのデータ信号とを第 $(n-1)$ の通信ケーブルの第 2 の通信線を介して前段の制御回路に送信する。第 n の制御回路は、前段の制御回路とのデータ信号の通信が正常に行なわれなくなった場合は、前段の制御回路とのデータ信号の通信を停止するとともに、第 n のデータ信号と後段の制御回路からのデータ信号とを第 n の通信ケーブルの第 1 の通信線を介して後段の制御回路に送信する。第 n の制御回路は、後段の制御回路とのデータ信号の通信が正常に行なわれなくなった場合は、後段の制御回路とのデータ信号の通信を停止するとともに、第 n のデータ信号と前段の制御回路からのデータ信号とを第 $(n-1)$ の通信ケーブルの第 2 の通信線を介して前段の制御回路に送信する。

発明の効果

[0009] この発明に係る制御システムでは、第 1 ～第 N の制御回路を第 1 ～第 N の通信ケーブルによって環状に接続し、第 1 の制御回路をマスターとし、第 2 ～第 N の制御回路の各々をスレーブとしたので、データ通信量の低減化、通信速度の高速化を図ることができる。

[0010] さらに、第 n の制御回路とその前段および後段の制御回路とのデータ通信が正常である場合は、第 1 ～第 N の制御回路および第 1 ～第 N の通信ケーブルの第 1 の通信線によって環状の第 1 の通信経路が形成されるとともに、第 1 ～第 N の制御回路および第 1 ～第 N の通信ケーブルの第 2 の通信線によって環状の第 2 の通信経路が形成される。第 n の制御回路とその前段の制御回

路とのデータ通信が正常でない場合は、第 $(n-1)$ の通信ケーブル以外の $(N-1)$ 本の通信ケーブルの第1および第2の通信線と第1～第 N の制御回路とによって環状の第3の通信経路が形成される。第 n の制御回路とその後段の制御回路とのデータ通信が正常に行なわれない場合は、第 n の通信ケーブル以外の $(N-1)$ 本の通信ケーブルの第1および第2の通信線と第1～第 N の制御回路とによって環状の第4の通信経路が形成される。したがって、2つの制御回路間のデータ通信に異常が発生した場合でも第1～第 N の電気機器を制御することができる。

図面の簡単な説明

[0011] [図1]この発明の一実施の形態による電力変換システムの構成を示す回路ブロック図である。

[図2]図1に示した制御回路3.1の構成を示すブロック図である。

[図3]図2に示した内部回路の動作を示すフローチャートである。

[図4]図1に示した制御回路3.2の構成を示すブロック図である。

[図5]図4に示した内部回路の動作を示すフローチャートである。

[図6]図1に示した制御回路3.3の構成を示すブロック図である。

[図7]図6に示した内部回路の動作を示すフローチャートである。

[図8]図1に示した制御回路3.1～3.3における通信経路を示す回路ブロック図である。

[図9]図1に示した制御回路3.1～3.3における他の通信経路を示す回路ブロック図である。

[図10]図1に示した制御回路3.1～3.3におけるさらに他の通信経路を示す回路ブロック図である。

[図11]図1に示した制御回路3.1～3.3におけるさらに他の通信経路を示す回路ブロック図である。

発明を実施するための形態

[0012] 図1は、この発明の一実施の形態による電力変換システムの構成を示す回路ブロック図である。図1において、この電力変換システムは、複数台（図

では3台)のインバータ1. 1~1. 3と、複数(この場合は3つ)の電流検出器2. 1~2. 3と、複数(この場合は3つ)の制御回路3. 1~3. 3と、複数(この場合は3つ)の通信ケーブル4. 1~4. 3とを備える。インバータ1. 1~1. 3の各々は電気機器を構成し、制御回路3. 1~3. 3および通信ケーブル4. 1~4. 3は制御システムを構成する。

[0013] インバータ1. 1~1. 3は、それぞれ制御回路3. 1~3. 3からの制御信号CNT1~CNT3に基づいて動作し、それぞれ直流電源5. 1~5. 3から供給される直流電圧を一定周波数(たとえば商用周波数)の交流電圧に変換する。インバータ1. 1~1. 3の出力電圧は、負荷6に対して並列に印加される。直流電源5. 1~5. 3の各々は、バッテリーでもよいし、コンデンサでもよいし、交流電力を直流電力に変換するコンバータでも構わない。

[0014] 電流検出器2. 1~2. 3は、それぞれインバータ1. 1. ~1. 3から負荷6に流れる電流IL1~IL3の瞬時値を検出し、検出値を示す信号φ1~φ3をそれぞれ出力する。信号φ1~φ3は、それぞれ制御回路3. 1~3. 3に与えられる。

[0015] 制御回路3. 1, 3. 2は通信ケーブル4. 1, 4. 2を介して後段の制御回路3. 2, 3. 3にそれぞれ接続され、制御回路3. 3は通信ケーブル4. 3を介して後段の制御回路3. 1に接続されている。制御回路3. 1の前段は制御回路3. 3であり、制御回路3. 1の後段は制御回路3. 2である。制御回路3. 2の前段は制御回路3. 1であり、制御回路3. 2の後段は制御回路3. 3である。制御回路3. 3の前段は制御回路3. 2であり、制御回路3. 3の後段は制御回路3. 1である。制御回路3. 1~3. 3は、通信ケーブル4. 1~4. 3によって環状に接続されており、通信ケーブル4. 1~4. 3を介して互いにデータ信号を授受する。制御回路3. 1はマスターであり、制御回路3. 2, 3. 3の各々はスレーブである。

[0016] 制御回路3. 1は、電流検出器2. 1の出力信号φ1によって示される負荷電流値IL1と、制御回路3. 2, 3. 3からのデータ信号D2, D3に

よって示される負荷電流値 I_{L2} 、 I_{L3} との総和値 $I_{L1} + I_{L2} + I_{L3}$ を求め、その総和値をインバータ 1. 1 ~ 1. 3 の台数（すなわち 3）で除算して分担電流 $I_S = (I_{L1} + I_{L2} + I_{L3}) / 3$ を求める。

[0017] 制御回路 3. 1 は、負荷電流値 I_{L1} から分担電流 I_S を減算して横流 $I_{C1} = I_{L1} - I_S$ を求め、求めた横流 I_{C1} が 0 A になるように制御信号 CNT 1 を生成してインバータ 1. 1 を制御する。たとえば、制御回路 3. 1 は、横流 I_{C1} が正の値である場合はインバータ 1. 1 の出力電圧の値を徐々に減少させ、横流 I_{C1} が負の値である場合はインバータ 1. 1 の出力電圧の値を徐々に増大させる。あるいは、制御回路 3. 1 は、横流 I_{C1} が正の値である場合はインバータ 1. 1 の出力電圧の位相を徐々に遅らせ、横流 I_{C1} が負の値である場合はインバータ 1. 1 の出力電圧の位相を徐々に進ませる。

[0018] 制御回路 3. 1 は、求めた分担電流 I_S を示すデータ信号 D 1 を制御回路 3. 2, 3. 3 に送信する。データ信号 D 1 は、インバータ 1. 1 ~ 1. 3 を制御するための信号となる。

[0019] 制御回路 3. 2 は、電流検出器 2. 2 によって検出された負荷電流値 I_{L2} から、制御回路 3. 1 からのデータ信号 D 1 によって示される分担電流 I_S を減算して横流 $I_{C2} = I_{L2} - I_S$ を求め、求めた横流 I_{C2} が 0 A になるように制御信号 CNT 2 を生成してインバータ 1. 2 を制御する。

[0020] 制御回路 3. 2 は、電流検出器 2. 2 によって検出された負荷電流値 I_{L2} を示すデータ信号 D 2 を制御回路 3. 1 に送信する。データ信号 D 2 は、インバータ 1. 2 の制御結果を示す信号となる。制御回路 3. 2 は、データ信号の通信に異常が発生した場合は、その旨を報知する警報信号 AL 2 を出力する。警報信号 AL 2 に応答して、光、音、画像などによってデータ信号の通信に異常が発生した旨を報知する光源、音源、ディスプレイなどを設けてもよい。

[0021] 制御回路 3. 3 は、電流検出器 2. 3 によって検出された負荷電流値 I_{L3} から、制御回路 3. 1 からのデータ信号 D 1 によって示される分担電流 I_S

Sを減算して横流 $I_{C3} = I_{L3} - I_S$ を求め、求めた横流 I_{C3} が0Aになるように制御信号CNT3を生成してインバータ1.3を制御する。

[0022] 制御回路3.3は、電流検出器2.3によって検出された負荷電流値 I_{L3} を示すデータ信号D3を制御回路3.1に送信する。データ信号D3は、インバータ1.3の制御結果を示す信号となる。制御回路3.3は、データ信号の通信に異常が発生した場合は、その旨を報知する警報信号AL3を出力する。警報信号AL3に応答して、光、音、画像などによってデータ信号の通信に異常が発生した旨を報知する光源、音源、ディスプレイなどを設けてもよい。

[0023] 通信ケーブル4.1は、制御回路3.1, 3.2間に接続され、前段の制御回路3.1から後段の制御回路3.2にデータ信号を伝達させるための通信線L1と、後段の制御回路3.2から前段の制御回路3.1にデータ信号を伝達させるための通信線L2とを含む。

[0024] 通信ケーブル4.2は、制御回路3.2, 3.3間に接続され、前段の制御回路3.2から後段の制御回路3.3にデータ信号を伝達させるための通信線L1と、後段の制御回路3.3から前段の制御回路3.2にデータ信号を伝達させるための通信線L2とを含む。

[0025] 通信ケーブル4.3は、制御回路3.3, 3.1間に接続され、前段の制御回路3.3から後段の制御回路3.1にデータ信号を伝達させるための通信線L1と、後段の制御回路3.1から前段の制御回路3.3にデータ信号を伝達させるための通信線L2とを含む。

[0026] なお、通信ケーブル4.1は、多芯ケーブルである。通信線L1～L3の各々は、複数の信号線を含む。通信ケーブル4.1の一方端および他方端の各々にはコネクタ(図示せず)が設けられている。通信ケーブル4.2, 4.3の各々は、通信ケーブル4.1と同じ構成である。通信ケーブル4.1の一方端のコネクタは制御回路3.1のコネクタに接続され、通信ケーブル4.1の他方端のコネクタは制御回路3.2のコネクタに接続される。通信ケーブル4.2の一方端のコネクタは制御回路3.2のコネクタに接続され、

通信ケーブル４．２の他方端のコネクタは制御回路３．３のコネクタに接続される。通信ケーブル４．３の一方端のコネクタは制御回路３．３のコネクタに接続され、通信ケーブル４．３の他方端のコネクタは制御回路３．１のコネクタに接続される。

[0027] 制御回路３．１と３．２，３．２と３．３，３．３と３．１のそれぞれの間でデータ信号の通信が正常に行なわれている場合は、制御回路３．１～３．３および通信ケーブル４．１～４．３の通信線Ｌ１によって環状の第１の通信経路が形成されるとともに、制御回路３．１～３．３および通信ケーブル４．１～４．３の通信線Ｌ２によって環状の第２の通信経路が形成される。

[0028] 第１の通信経路では、制御回路３．１から通信ケーブル４．１の通信線Ｌ１を介して制御回路３．２にデータ信号Ｄ１が送信され、制御回路３．２から通信ケーブル４．２の通信線Ｌ１を介して制御回路３．３にデータ信号Ｄ１，Ｄ２が送信され、制御回路３．３から通信ケーブル４．３の通信線Ｌ１を介して制御回路３．１にデータ信号Ｄ１～Ｄ３が送信される。

[0029] 第２の通信経路では、制御回路３．１から通信ケーブル４．３の通信線Ｌ２を介して制御回路３．３にデータ信号Ｄ１が送信され、制御回路３．３から通信ケーブル４．２の通信線Ｌ２を介して制御回路３．２にデータ信号Ｄ１，Ｄ３が送信され、制御回路３．２から通信ケーブル４．１の通信線Ｌ２を介して制御回路３．１にデータ信号Ｄ１～Ｄ３が送信される。

[0030] 制御回路３．１と制御回路３．２の間でデータ信号の通信が正常に行なわれなくなった場合は、制御回路３．１～３．３および通信ケーブル４．２，４．３によって環状の第３の通信経路が形成される。

[0031] 第３の通信経路では、制御回路３．１から通信ケーブル４．３の通信線Ｌ２を介して制御回路３．３にデータ信号Ｄ１が送信され、制御回路３．３から通信ケーブル４．２の通信線Ｌ２を介して制御回路３．２にデータ信号Ｄ１，Ｄ３が送信され、制御回路３．２から通信ケーブル４．２の通信線Ｌ１を介して制御回路３．３にデータ信号Ｄ１～Ｄ３が送信され、制御回路３．

3から通信ケーブル4. 3の通信線L 1を介して制御回路3. 1にデータ信号D 1～D 3が送信される。

[0032] 制御回路3. 2と制御回路3. 3の間でデータ信号が正常に伝達されなくなった場合は、制御回路3. 1～3. 3および通信ケーブル4. 1, 4. 3によって環状の第4の通信経路が形成される。

[0033] 第4の通信経路では、制御回路3. 1から通信ケーブル4. 3の通信線L 2を介して制御回路3. 3にデータ信号D 1が送信され、制御回路3. 3から通信ケーブル4. 3の通信線L 1を介して制御回路3. 1にデータ信号D 1, D 3が送信され、制御回路3. 1から通信ケーブル4. 1の通信線L 1を介して制御回路3. 2にデータ信号D 1, D 3が送信され、制御回路3. 2から通信ケーブル4. 1の通信線L 2を介して制御回路3. 1にデータ信号D 1～D 3が送信される。

[0034] 制御回路3. 3と制御回路3. 1の間でデータ信号が正常に伝達されなくなった場合は、制御回路3. 1～3. 3および通信ケーブル4. 1, 4. 2によって環状の第5の通信経路が形成される。

[0035] 第5の通信経路では、制御回路3. 1から通信ケーブル4. 1の通信線L 1を介して制御回路3. 2にデータ信号D 1が送信され、制御回路3. 2から通信ケーブル4. 2の通信線L 1を介して制御回路3. 3にデータ信号D 1, D 2が送信され、制御回路3. 3から通信ケーブル4. 2の通信線L 2を介して制御回路3. 2にデータ信号D 1～D 3が送信され、制御回路3. 2から通信ケーブル4. 1の通信線L 2を介して制御回路3. 1にデータ信号D 1～D 3が送信される。

[0036] 図2は、制御回路3. 1の構成を示すブロック図である。図2において、制御回路3. 1は、受信機1 1, 1 2、送信機1 3, 1 4、判定器1 5, 1 6、および内部回路1 7を含む。

[0037] 受信機1 1は、制御回路3. 3から通信ケーブル4. 3の通信線L 1を介して送信されたデータ信号D 1～D 3を受信し、受信したデータ信号D 1～D 3を判定器1 5および内部回路1 7に与える。判定器1 5は、受信機1 1

からのデータ信号D 1～D 3が正常であるか否かを判定し、そのデータ信号D 1～D 3が正常である場合は信号φ 1 5を「L」レベルにし、そのデータ信号D 1～D 3が異常である場合は信号φ 1 5を「H」レベルにする。信号φ 1 5は、内部回路1 7に与えられる。

[0038] 受信機1 2は、制御回路3. 2から通信ケーブル4. 1の通信線L 2を介して送信されたデータ信号D 1～D 3を受信し、受信したデータ信号D 1～D 3を判定器1 6および内部回路1 7に与える。判定器1 6は、受信機1 2からのデータ信号D 1～D 3が正常であるか否かを判定し、そのデータ信号D 1～D 3が正常である場合は信号φ 1 6を「L」レベルにし、そのデータ信号D 1～D 3が異常である場合は信号φ 1 6を「H」レベルにする。信号φ 1 6は、内部回路1 7に与えられる。

[0039] なお、判定器1 5, 1 6におけるデータ信号D 1～D 3が正常であるか否かの判定は、たとえばパリティチェック方式によって行なわれる。パリティチェック方式では、データ信号を構成するビット列が一定の単位毎に区切られ、各単位に含まれる、値が「1」であるビットの数が奇数であるか偶数であるかを示すパリティビットが各単位に添付される。受信側では各単位毎に「1」の個数とパリティビットとを比較し、データ伝送中に誤りが生じたか否かを検出する。さらに、データサイズが正常であるか否かを判別したり、特開2 0 0 6－3 4 0 0 8 2号公報（特許文献2）に記載されている方法を採用しても構わない。

[0040] 内部回路1 7は、判定器1 5, 1 6によってデータ信号D 1～D 3が正常であると判定されて信号φ 1 5, φ 1 6がともに「L」レベルにされ、かつ受信機1 1からのデータ信号D 2, D 3と受信機1 2からのデータ信号D 2, D 3とが互いに一致している場合は、受信したデータ信号D 2, D 3（すなわち負荷電流値I L 2, I L 3）と電流検出器2. 1の出力信号φ 1（すなわち負荷電流値I L 1）とに基づいて、インバータ2. 1～2. 3を制御するための新たなデータ信号D 1（すなわち分担電流値I S）を生成する。内部回路1 7は、このようにデータ通信が正常に行なわれた場合において、

データ信号D 1を生成するために使用した最新のデータ信号D 2, D 3を記憶する。

[0041] 内部回路1 7は、判定器1 5, 1 6によってデータ信号D 1～D 3が正常であると判定され、かつ受信機1 1からのデータ信号D 1～D 3と受信機1 2からのデータ信号D 1～D 3とが互いに一致していない場合は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D 2, D 3（すなわち負荷電流値I L 2, I L 3）と電流検出器2. 1の出力信号φ 1（すなわち負荷電流値I L 1）とに基づいて、インバータ2. 1～2. 3を制御するための新たなデータ信号D 1（すなわち分担電流値I S）を生成する。

[0042] 内部回路1 7は、判定器1 5によって受信機1 1からのデータ信号D 1～D 3が正常であると判定されて信号φ 1 5が「L」レベルにされ、かつ判定器1 6によって受信機1 2からのデータ信号D 1～D 3が異常であると判定されて信号φ 1 6が「H」レベルにされた場合は、受信機1 1からのデータ信号D 2, D 3（すなわち負荷電流値I L 2, I L 3）と電流検出器2. 1の出力信号φ 1（すなわち負荷電流値I L 1）とに基づいて、インバータ2. 1～2. 3を制御するための新たなデータ信号D 1（すなわち分担電流値I S）を生成する。

[0043] 内部回路1 7は、判定器1 5によって受信機1 1からのデータ信号D 1～D 3が異常であると判定されて信号φ 1 5が「H」レベルにされ、かつ判定器1 6によって受信機1 2からのデータ信号D 1～D 3が正常であると判定されて信号φ 1 6が「L」レベルにされた場合は、受信機1 2からのデータ信号D 2, D 3（すなわち負荷電流値I L 2, I L 3）と電流検出器2. 1の出力信号φ 1（すなわち負荷電流値I L 1）とに基づいて、インバータ2. 1～2. 3を制御するための新たなデータ信号D 1（すなわち分担電流値I S）を生成する。

[0044] 内部回路1 7は、判定器1 5, 1 6によってデータ信号D 1～D 3が異常であると判定された場合は、データ通信が正常に行なわれたときに使用して

記憶した最新のデータ信号 D_2 、 D_3 （すなわち負荷電流値 I_{L2} 、 I_{L3} ）と電流検出器2.1の出力信号 ϕ_1 （すなわち負荷電流値 I_{L1} ）とに基づいて、インバータ2.1～2.3を制御するための新たなデータ信号 D_1 （すなわち分担電流値 I_S ）を生成する。

[0045] 内部回路17は、生成した新たなデータ信号 D_1 （すなわち分担電流値 I_S ）と電流検出器2.1の出力信号 ϕ_1 （すなわち負荷電流値 I_{L1} ）とに基づいて横流 $I_C = I_{L1} - I_S$ を求め、その横流 I_C が0Aになるように制御信号CNT1を生成してインバータ1.1を制御する。

[0046] 送信機13は、内部回路17によって生成された新たなデータ信号 D_1 を通信ケーブル4.1の通信線L1を介して制御回路3.2に送信する。送信機14は、内部回路17によって生成された新たなデータ信号 D_1 を通信ケーブル4.3の通信線L2を介して制御回路3.3に送信する。

[0047] 図3は、内部回路17の動作を示すフローチャートである。ステップS1において内部回路17は、受信機11、12を介してデータ信号 $D_1 \sim D_3$ を受信する。ステップS2において内部回路17は、判定器15、16の出力信号 ϕ_{15} 、 ϕ_{16} がともに「L」レベルであるか否かを判別する。

[0048] ステップS2において信号 ϕ_{15} 、 ϕ_{16} がともに「L」レベルである場合、ステップS3において内部回路17は、受信機11からのデータ信号 D_2 、 D_3 と受信機12からのデータ信号 D_2 、 D_3 とが一致しているか否かを判別する。

[0049] ステップS3において受信機11、12からのデータ信号 D_2 、 D_3 が一致していると判別した場合、ステップS4において内部回路17は、受信機11、12からのデータ信号 D_2 、 D_3 を用いて処理する。すなわち、内部回路17は、受信したデータ信号 D_2 、 D_3 と電流検出器2.1の出力信号 ϕ_1 とに基づいて新たなデータ信号 D_1 を生成し、新たなデータ信号 D_1 を制御回路3.2、3.3に送信し、データ信号 D_1 を生成するために使用した最新のデータ信号 D_2 、 D_3 を記憶するとともに、新たなデータ信号 D_1 を用いてインバータ1.1を制御し、ステップS1に戻る。

- [0050] ステップS 3において受信機1 1, 1 2からのデータ信号D 1～D 3が一致していないと判別した場合、ステップS 5において内部回路1 7は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D 2, D 3を用いて処理する。すなわち、内部回路1 7は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D 2, D 3と電流検出器2. 1の出力信号 ϕ 1とに基づいて新たなデータ信号D 1を生成し、新たなデータ信号D 1を制御回路3. 2, 3. 3に送信するとともに、新たなデータ信号D 1を用いてインバータ1. 1を制御し、ステップS 1に戻る。
- [0051] ステップS 2において信号 ϕ 1 5, ϕ 1 6がともに「L」レベルであるという条件が否定された場合、ステップS 6において内部回路1 7は、信号 ϕ 1 5または信号 ϕ 1 6が「L」レベルであるか否かを判別する。
- [0052] ステップS 6において信号 ϕ 1 5または信号 ϕ 1 6が「L」レベルであると判別した場合、ステップS 7において内部回路1 7は、受信機1 1, 1 2からのデータ信号D 1～D 3のうちの正常な方のデータ信号D 1～D 3に含まれるデータ信号D 2, D 3を用いて処理する。すなわち、内部回路1 7は、正常な方のデータ信号D 2, D 3と電流検出器2. 1の出力信号 ϕ 1とに基づいて新たなデータ信号D 1を生成し、新たなデータ信号D 1を制御回路3. 2, 3. 3に送信するとともに、新たなデータ信号D 1を用いてインバータ1. 1を制御し、ステップS 1に戻る。
- [0053] ステップS 6において信号 ϕ 1 5または信号 ϕ 1 6が「L」レベルであるという条件が否定された場合、ステップS 8において内部回路1 7は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D 2, D 3を用いて処理する。すなわち、内部回路1 7は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D 2, D 3と電流検出器2. 1の出力信号 ϕ 1とに基づいて新たなデータ信号D 1を生成し、新たなデータ信号D 1を制御回路3. 2, 3. 3に送信するとともに、新たなデータ信号D 1を用いてインバータ1. 1を制御し、ステップS 1に戻る。
- [0054] 図4は、制御回路3. 2の構成を示すブロック図であって、図2と対比さ

れる図である。図4を参照して、制御回路3.2が制御回路3.1と異なる点は、異常検出器2.1, 2.2が追加され、内部回路1.7が内部回路2.3によって置換されている点である。

[0055] 受信機1.1は、制御回路3.1から通信ケーブル4.1の通信線L.1を介して送信されたデータ信号D.1を受信し、受信したデータ信号D.1を判定器1.5および内部回路2.3に与える。判定器1.5は、受信機1.1からのデータ信号D.1が正常であるか否かを判定し、そのデータ信号D.1が正常である場合は信号φ.1.5を「L」レベルにし、そのデータ信号D.1が異常である場合は信号φ.1.5を「H」レベルにする。信号φ.1.5は、内部回路2.3に与えられる。

[0056] 受信機1.2は、制御回路3.3から通信ケーブル4.2の通信線L.2を介して送信されたデータ信号D.1, D.3を受信し、受信したデータ信号D.1, D.3を判定器1.6および内部回路1.7に与える。判定器1.6は、受信機1.2からのデータ信号D.1, D.3が正常であるか否かを判定し、そのデータ信号D.1, D.3が正常である場合は信号φ.1.6を「L」レベルにし、そのデータ信号D.1, D.3が異常である場合は信号φ.1.6を「H」レベルにする。信号φ.1.6は、内部回路2.3に与えられる。

[0057] 異常検出器2.1は、判定器1.5の出力信号φ.1.5が連続して3回（予め定められた回数）、「H」レベルにされた場合に、異常検出信号φ.2.1を非活性化レベルの「L」レベルから活性化レベルの「H」レベルに立ち上げる。異常検出器2.2は、判定器1.6の出力信号φ.1.6が連続して3回（予め定められた回数）、「H」レベルにされた場合に、異常検出信号φ.2.2を非活性化レベルの「L」レベルから活性化レベルの「H」レベルに立ち上げる。

[0058] 内部回路2.3は、判定器1.5, 1.6によってデータ信号D.1およびデータ信号D.1, D.3が正常であると判定されて信号φ.1.5, φ.1.6がともに「L」レベルにされ、かつ受信機1.1からのデータ信号D.1と受信機1.2からのデータ信号D.1とが互いに一致している場合は、そのデータ信号D.1（すなわち分担電流値I.S）と電流検出器2.2の出力信号φ.2（すなわち負荷電

流値 I_{L2}) とに基づいて横流 I_{C2} を求め、その横流 I_{C2} が 0 A になるように制御信号 $CNT2$ を生成してインバータ 1, 2 を制御する。さらに内部回路 23 は、電流検出器 2, 2 の出力信号 $\phi 2$ に基づいてデータ信号 $D2$ (すなわち負荷電流値 I_{L2}) を生成する。内部回路 23 は、このようにデータ通信が正常に行なわれた場合において、インバータ 1, 2 を制御するために使用した最新のデータ信号 $D1$ を記憶する。

[0059] 内部回路 23 は、判定器 15, 16 によってデータ信号 $D1$ およびデータ信号 $D1$, $D3$ が正常であると判定され、かつ受信機 11 からのデータ信号 $D1$ と受信機 12 からのデータ信号 $D1$ とが互いに一致していない場合は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号 $D1$ (すなわち分担電流値 I_S) と電流検出器 2, 2 の出力信号 $\phi 2$ (すなわち負荷電流値 I_{L2}) とに基づいて横流 I_{C2} を求め、その横流 I_{C2} が 0 A になるように制御信号 $CNT2$ を生成してインバータ 1, 2 を制御する。さらに内部回路 23 は、電流検出器 2, 2 の出力信号 $\phi 2$ に基づいてデータ信号 $D2$ (すなわち負荷電流値 I_{L2}) を生成する。

[0060] 内部回路 23 は、判定器 15 によって受信機 11 からのデータ信号 $D1$ が正常であると判定されて信号 $\phi 15$ が「L」レベルにされ、かつ判定器 16 によって受信機 12 からのデータ信号 $D1$, $D3$ が異常であると判定されて信号 $\phi 16$ が「H」レベルにされた場合は、受信機 11 からのデータ信号 $D1$ (すなわち分担電流値 I_S) と電流検出器 2, 2 の出力信号 $\phi 2$ (すなわち負荷電流値 I_{L2}) とに基づいて横流 I_{C2} を求め、その横流 I_{C2} が 0 A になるように制御信号 $CNT2$ を生成してインバータ 1, 2 を制御する。さらに内部回路 23 は、電流検出器 2, 2 の出力信号 $\phi 2$ に基づいてデータ信号 $D2$ (すなわち負荷電流値 I_{L2}) を生成する。

[0061] 内部回路 23 は、判定器 15 によって受信機 11 からのデータ信号 $D1$ が異常であると判定されて信号 $\phi 15$ が「H」レベルにされ、かつ判定器 16 によって受信機 12 からのデータ信号 $D1$, $D3$ が正常であると判定されて信号 $\phi 16$ が「L」レベルにされた場合は、受信機 12 からのデータ信号 D

1（すなわち分担電流値 I_S ）と電流検出器2.2の出力信号 ϕ_2 （すなわち負荷電流値 I_{L2} ）とに基づいて横流 I_{C2} を求め、その横流 I_{C2} が0Aになるように制御信号CNT2を生成してインバータ1.2を制御する。さらに内部回路23は、電流検出器2.2の出力信号 ϕ_2 に基づいてデータ信号D2（すなわち負荷電流値 I_{L2} ）を生成する。

[0062] 内部回路23は、判定器15, 16の両方によってデータ信号D1が異常であると判定された場合は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D1（すなわち分担電流 I_S ）と電流検出器2.2の出力信号 ϕ_2 （すなわち負荷電流値 I_{L2} ）とに基づいて横流 I_{C2} を求め、その横流 I_{C2} が0Aになるように制御信号CNT2を生成してインバータ1.2を制御する。さらに内部回路23は、電流検出器2.2の出力信号 ϕ_2 に基づいてデータ信号D2（すなわち負荷電流値 I_{L2} ）を生成する。

[0063] さらに、内部回路23は、スイッチSW1～SW4を含む。スイッチSW1は、受信機11と送信機13の間に接続される。スイッチSW2は、受信機12と送信機14の間に接続される。スイッチSW3は、受信機11と送信機14の間に接続される。スイッチSW4は、受信機12と送信機13の間に接続される。

[0064] 異常検出信号 ϕ_{21} , ϕ_{22} がともに非活性化レベルの「L」レベルである場合は、スイッチSW1, SW2がオンされるとともにスイッチSW3, SW4がオフされる。内部回路23は、受信機11からのデータ信号D1と新たなデータ信号D2とをスイッチSW1を介して送信機13に与えるとともに、受信機12からのデータ信号D1, D3と新たなデータ信号D2とをスイッチSW2を介して送信機14に与える。送信機13は、内部回路23からのデータ信号D1, D2を通信ケーブル4.2の通信線L1を介して制御回路3.2に送信する。送信機14は、内部回路23からのデータ信号D1～D3を通信ケーブル4.1の通信線L2を介して制御回路3.1に送信する。

[0065] 異常検出信号 $\phi 21$, $\phi 22$ がそれぞれ「H」レベルおよび「L」レベルになった場合は、スイッチ SW4 がオンされるとともにスイッチ SW1 ~ SW3 がオフされる。内部回路 23 は、受信機 11 からのデータ信号 D1 の受信を停止するとともに、受信機 12 からのデータ信号 D1, D3 と新たなデータ信号 D2 とをスイッチ SW4 を介して送信機 13 に与える。送信機 13 は、内部回路 23 からのデータ信号 D1 ~ D3 を通信ケーブル 4.2 の通信線 L1 を介して制御回路 3.2 に送信する。送信機 14 からのデータ信号の送信は停止される。

[0066] 異常検出信号 $\phi 21$, $\phi 22$ がそれぞれ「L」レベルおよび「H」レベルになった場合は、スイッチ SW3 がオンされるとともにスイッチ SW1, SW2, SW4 がオフされる。内部回路 23 は、受信機 12 からのデータ信号 D1, D3 の受信を停止するとともに、受信機 11 からのデータ信号 D1 と新たなデータ信号 D2 とをスイッチ SW3 を介して送信機 14 に与える。送信機 14 は、内部回路 23 からのデータ信号 D1, D2 を通信ケーブル 4.1 の通信線 L2 を介して制御回路 3.1 に送信する。送信機 13 からのデータ信号の送信は停止される。

[0067] 判定器 15, 16 の出力信号 $\phi 15$, $\phi 16$ がともに「L」レベルであるが、受信機 11 からのデータ信号 D1 と受信機 12 からのデータ信号 D1 とが一致しないことが連続して 3 回発生した場合は、スイッチ SW3 がオンされるとともにスイッチ SW1, SW2, SW4 がオフされる。内部回路 23 は、受信機 12 からのデータ信号 D1, D3 の受信を停止するとともに、受信機 11 からのデータ信号 D1 と新たなデータ信号 D2 とをスイッチ SW3 を介して送信機 14 に与える。送信機 14 は、内部回路 23 からのデータ信号 D1, D2 を通信ケーブル 4.1 の通信線 L2 を介して制御回路 3.1 に送信する。送信機 13 からのデータ信号の送信は停止される。内部回路 23 は、データ信号の通信に異常が発生したことを報知する警報信号 AL2 を出力する。

[0068] なお、判定器 15, 16 の出力信号 $\phi 15$, $\phi 16$ がともに「L」レベル

であるが、受信機 1 1 からのデータ信号 D 1 と受信機 1 2 からのデータ信号 D 1 とが一致しないことが連続して 3 回発生した場合には、スイッチ SW 4 をオンさせるとともにスイッチ SW 1 ～ SW 3 をオフさせても構わない。内部回路 2 3 は、受信機 1 1 からのデータ信号 D 1 の受信を停止するとともに、受信機 1 2 からのデータ信号 D 1、D 3 と新たなデータ信号 D 2 とをスイッチ SW 4 を介して送信機 1 3 に与える。送信機 1 3 は、内部回路 2 3 からのデータ信号 D 1 ～ D 3 を通信ケーブル 4、2 の通信線 L 1 を介して制御回路 3、2 に送信する。送信機 1 4 からのデータ信号の送信は停止される。

[0069] 図 5 は、内部回路 2 3 の動作を示すフローチャートである。ステップ S 1 1 において内部回路 2 3 は、受信機 1 1、1 2 を介してデータ信号 D 1、D 3 を受信する。ステップ S 1 2 において内部回路 2 3 は、判定器 1 5、1 6 の出力信号 ϕ 1 5、 ϕ 1 6 がともに「L」レベルであるか否かを判別する。

[0070] ステップ S 1 2 において信号 ϕ 1 5、 ϕ 1 6 がともに「L」レベルである場合、ステップ S 1 3 において内部回路 2 3 は、受信機 1 1 からのデータ信号 D 1 と受信機 1 2 からのデータ信号 D 1 とが一致しているか否かを判別する。

[0071] ステップ S 1 3 において受信機 1 1、1 2 からのデータ信号 D 1 が一致していると判別した場合、ステップ S 1 4 において内部回路 2 3 は、受信機 1 1、1 2 からのデータ信号 D 1 を用いて処理する。すなわち、内部回路 2 3 は、受信したデータ信号 D 1 と電流検出器 2、2 の出力信号 ϕ 2 とに基づいてインバータ 1、2 を制御し、最新のデータ信号 D 1 を記憶するとともに、信号 ϕ 2 に基づいて新たなデータ信号 D 2 を生成して制御回路 3、1、3、3 に送信し、ステップ S 1 1 に戻る。

[0072] ステップ S 1 3 において受信機 1 1、1 2 からのデータ信号 D 1 が一致していないと判別した場合、ステップ S 1 5 において内部回路 2 3 は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号 D 1 を用いて処理する。すなわち、内部回路 2 3 は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号 D 1 と電流検出器 2、2 の出力信

号φ2とに基づいてインバータ1、2を制御するとともに、信号φ2に基づいて新たなデータ信号D2を生成して制御回路3.1、3.3に送信する。

[0073] ステップS16において内部回路23は、データ通信が正常に行なわれたときのデータ信号D1が3回連続して使用されたか否かを判別する。ステップS16においてデータ通信が正常に行なわれたときのデータ信号D1が3回連続して使用されたと判別された場合、ステップS17において内部回路23は、スイッチSW1～SW4を切換えるとともに、警報信号AL2を出力し、ステップS11に戻る。その際、スイッチSW3がオンされるとともにスイッチSW1、SW2、SW4がオフされる。ステップS16において通信が正常に行なわれたときのデータ信号D1が3回連続して使用されたという条件が否定された場合、内部回路23による処理はステップS11に戻る。

[0074] ステップS12において信号φ15、φ16がともに「L」レベルであるという条件が否定された場合、ステップS18において内部回路23は、信号φ15または信号φ16が「L」レベルであるか否かを判別する。

[0075] ステップS18において信号φ15または信号φ16が「L」レベルであると判別した場合、ステップS19において内部回路23は、受信機11、12からのデータ信号D1のうちの正常な方のデータ信号D1を用いて処理する。すなわち、内部回路23は、正常な方のデータ信号D1と電流検出器2.2の出力信号φ2とに基づいてインバータ1、2を制御するとともに、信号φ2に基づいて新たなデータ信号D2を生成して制御回路3.1、3.3に送信し、ステップS21に進む。

[0076] ステップS18において信号φ15または信号φ16が「L」レベルであるという条件が否定された場合、ステップS20において内部回路23は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D1を用いて処理する。すなわち、内部回路23は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D1と電流検出器2.2の出力信号φ2とに基づいてインバータ1、2を制御するとともに、信号φ2

に基づいて新たなデータ信号D 2を生成して制御回路3. 1, 3. 3に送信し、ステップS 2 1に進む。

[0077] ステップS 2 1において内部回路2 3は、異常検出信号φ 2 1またはφ 2 2が「H」レベルであるか否かを判別し、異常検出信号φ 2 1またはφ 2 2が「H」レベルである場合はステップS 2 2においてスイッチSW 1～SW 4を切換えるとともに、警報信号AL 2を出力し、ステップS 1 1に戻る。その際、異常検出信号φ 2 1が「H」レベルである場合は、スイッチSW 1～SW 3がオフされるとともにスイッチSW 4がオンされ、異常検出信号φ 2 2が「H」レベルである場合は、スイッチSW 1, SW 2, SW 4がオフされるとともにスイッチSW 3がオンされる。ステップS 2 1において異常検出信号φ 2 1またはφ 2 2が「H」レベルであるという条件が否定された場合、内部回路2 3による処理はステップS 1 1に戻る。

[0078] 図6は、制御回路3. 3の構成を示すブロック図であって、図4と対比される図である。図6を参照して、制御回路3. 3が制御回路3. 2と異なる点は、内部回路2 3が内部回路2 4によって置換されている点である。

[0079] 受信機1 1は、制御回路3. 2から通信ケーブル4. 2の通信線L 1を介して送信されたデータ信号D 1, D 2を受信し、受信したデータ信号D 1, D 2を判定器1 5および内部回路2 3に与える。判定器1 5は、受信機1 1からのデータ信号D 1, D 2が正常であるか否かを判定し、そのデータ信号D 1, D 2が正常である場合は信号φ 1 5を「L」レベルにし、そのデータ信号D 1, D 2が異常である場合は信号φ 1 5を「H」レベルにする。信号φ 1 5は、内部回路2 4に与えられる。

[0080] 受信機1 2は、制御回路3. 1から通信ケーブル4. 3の通信線L 2を介して送信されたデータ信号D 1を受信し、受信したデータ信号D 1を判定器1 6および内部回路1 7に与える。判定器1 6は、受信機1 2からのデータ信号D 1が正常であるか否かを判定し、そのデータ信号D 1が正常である場合は信号φ 1 6を「L」レベルにし、そのデータ信号D 1が異常である場合は信号φ 1 6を「H」レベルにする。信号φ 1 6は、内部回路2 4に与えら

れる。異常検出器 21, 22 の動作は、図 4 を用いて説明した通りである。

[0081] 内部回路 24 は、判定器 15, 16 によってデータ信号 D1, D2 およびデータ信号 D1 が正常であると判定されて信号 $\phi 15$, $\phi 16$ がともに「L」レベルにされ、かつ受信機 11 からのデータ信号 D1 と受信機 12 からのデータ信号 D1 とが互いに一致している場合は、そのデータ信号 D1 (すなわち分担電流値 IS) と電流検出器 2, 3 の出力信号 $\phi 3$ (すなわち負荷電流値 IL3) とに基づいて横流 IC3 を求め、その横流 IC3 が 0 A になるように制御信号 CNT3 を生成してインバータ 1, 3 を制御する。さらに内部回路 24 は、電流検出器 2, 3 の出力信号 $\phi 3$ に基づいてデータ信号 D3 (すなわち負荷電流値 IL3) を生成する。内部回路 24 は、このようにデータ通信が正常に行なわれた場合において、インバータ 1, 3 を制御するために使用した最新のデータ信号 D1 を記憶する。

[0082] 内部回路 24 は、判定器 15, 16 によってデータ信号 D1, D2 およびデータ信号 D1 が正常であると判定され、かつ受信機 11 からのデータ信号 D1 と受信機 12 からのデータ信号 D1 とが互いに一致していない場合は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号 D1 (すなわち分担電流値 IS) と電流検出器 2, 3 の出力信号 $\phi 3$ (すなわち負荷電流値 IL3) とに基づいて横流 IC3 を求め、その横流 IC3 が 0 A になるように制御信号 CNT3 を生成してインバータ 1, 3 を制御する。さらに内部回路 24 は、電流検出器 2, 3 の出力信号 $\phi 3$ に基づいてデータ信号 D3 (すなわち負荷電流値 IL3) を生成する。

[0083] 内部回路 24 は、判定器 15 によって受信機 11 からのデータ信号 D1, D2 が正常であると判定されて信号 $\phi 15$ が「L」レベルにされ、かつ判定器 16 によって受信機 12 からのデータ信号 D1 が異常であると判定されて信号 $\phi 16$ が「H」レベルにされた場合は、受信機 11 からのデータ信号 D1 (すなわち分担電流値 IS) と電流検出器 2, 3 の出力信号 $\phi 3$ (すなわち負荷電流値 IL3) とに基づいて横流 IC3 を求め、その横流 IC3 が 0 A になるように制御信号 CNT3 を生成してインバータ 1, 3 を制御する。

さらに内部回路 24 は、電流検出器 2.3 の出力信号 $\phi 3$ に基づいてデータ信号 D3（すなわち負荷電流値 I L3）を生成する。

[0084] 内部回路 24 は、判定器 15 によって受信機 11 からのデータ信号 D1, D2 が異常であると判定されて信号 $\phi 15$ が「H」レベルにされ、かつ判定器 16 によって受信機 12 からのデータ信号 D1 が正常であると判定されて信号 $\phi 16$ が「L」レベルにされた場合は、受信機 12 からのデータ信号 D1（すなわち分担電流値 I S）と電流検出器 2.3 の出力信号 $\phi 3$ （すなわち負荷電流値 I L3）とに基づいて横流 I C3 を求め、その横流 I C3 が 0 A になるように制御信号 CNT3 を生成してインバータ 1.3 を制御する。さらに内部回路 24 は、電流検出器 2.3 の出力信号 $\phi 3$ に基づいてデータ信号 D3（すなわち負荷電流値 I L3）を生成する。

[0085] 内部回路 24 は、判定器 15, 16 の両方によってデータ信号 D1 が異常であると判定された場合は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号 D1（すなわち分担電流 I S）と電流検出器 2.3 の出力信号 $\phi 3$ （すなわち負荷電流値 I L3）とに基づいて横流 I C3 を求め、その横流 I C3 が 0 A になるように制御信号 CNT3 を生成してインバータ 1.3 を制御する。さらに内部回路 24 は、電流検出器 2.3 の出力信号 $\phi 3$ に基づいてデータ信号 D3（すなわち負荷電流値 I L3）を生成する。

[0086] さらに、内部回路 24 は、スイッチ SW1～SW4 を含む。スイッチ SW1 は、受信機 11 と送信機 13 の間に接続される。スイッチ SW2 は、受信機 12 と送信機 14 の間に接続される。スイッチ SW3 は、受信機 11 と送信機 14 の間に接続される。スイッチ SW4 は、受信機 12 と送信機 13 の間に接続される。

[0087] 異常検出信号 $\phi 21$, $\phi 22$ がともに非活性化レベルの「L」レベルである場合は、スイッチ SW1, SW2 がオンされるとともにスイッチ SW3, SW4 がオフされる。内部回路 24 は、受信機 11 からのデータ信号 D1, D2 と新たなデータ信号 D3 とをスイッチ SW1 を介して送信機 13 に与え

るとともに、受信機 1 2 からのデータ信号 D 1 と新たなデータ信号 D 3 とをスイッチ S W 2 を介して送信機 1 4 に与える。送信機 1 3 は、内部回路 2 3 からのデータ信号 D 1 ~ D 3 を通信ケーブル 4 . 3 の通信線 L 1 を介して制御回路 3 . 1 に送信する。送信機 1 4 は、内部回路 2 4 からのデータ信号 D 1 , D 3 を通信ケーブル 4 . 2 の通信線 L 2 を介して制御回路 3 . 2 に送信する。

[0088] 異常検出信号 $\phi 2 1$, $\phi 2 2$ がそれぞれ「H」レベルおよび「L」レベルになった場合は、スイッチ S W 4 がオンされるとともにスイッチ S W 1 ~ S W 3 がオフされる。内部回路 2 4 は、受信機 1 1 からのデータ信号 D 1 , D 2 の受信を停止するとともに、受信機 1 2 からのデータ信号 D 1 , D 3 と新たなデータ信号 D 2 とをスイッチ S W 4 を介して送信機 1 3 に与える。送信機 1 3 は、内部回路 2 4 からのデータ信号 D 1 ~ D 3 を通信ケーブル 4 . 3 の通信線 L 1 を介して制御回路 3 . 1 に送信する。送信機 1 4 からのデータ信号の送信は停止される。

[0089] 異常検出信号 $\phi 2 1$, $\phi 2 2$ がそれぞれ「L」レベルおよび「H」レベルになった場合は、スイッチ S W 3 がオンされるとともにスイッチ S W 1 , S W 2 , S W 4 がオフされる。内部回路 2 4 は、受信機 1 2 からのデータ信号 D 1 の受信を停止するとともに、受信機 1 1 からのデータ信号 D 1 , D 2 と新たなデータ信号 D 3 とをスイッチ S W 3 を介して送信機 1 4 に与える。送信機 1 4 は、内部回路 2 4 からのデータ信号 D 1 ~ D 3 を通信ケーブル 4 . 2 の通信線 L 2 を介して制御回路 3 . 2 に送信する。送信機 1 3 からのデータ信号の送信は停止される。

[0090] 判定器 1 5 , 1 6 の出力信号 $\phi 1 5$, $\phi 1 6$ がともに「L」レベルであるが、受信機 1 1 からのデータ信号 D 1 と受信機 1 2 からのデータ信号 D 1 とが一致しないことが連続して 3 回発生した場合は、スイッチ S W 3 がオンされるとともにスイッチ S W 1 , S W 2 , S W 4 がオフされる。内部回路 2 4 は、受信機 1 2 からのデータ信号 D 1 の受信を停止するとともに、受信機 1 1 からのデータ信号 D 1 , D 2 と新たなデータ信号 D 3 とをスイッチ S W 3

を介して送信機 1 4 に与える。送信機 1 4 は、内部回路 2 4 からのデータ信号 D 1 ～ D 3 を通信ケーブル 4. 1 の通信線 L 2 を介して制御回路 3. 1 に送信する。送信機 1 3 からのデータ信号の送信は停止される。内部回路 2 3 は、データ信号に異常が発生したことを報知する警報信号 A L 3 を出力する。

[0091] なお、判定器 1 5, 1 6 の出力信号 ϕ 1 5, ϕ 1 6 がともに「L」レベルであるが、受信機 1 1 からのデータ信号 D 1 と受信機 1 2 からのデータ信号 D 1 とが一致しないことが連続して 3 回発生した場合には、スイッチ S W 4 をオンさせるとともにスイッチ S W 1 ～ S W 3 をオフさせても構わない。内部回路 2 4 は、受信機 1 1 からのデータ信号 D 1, D 2 の受信を停止するとともに、受信機 1 2 からのデータ信号 D 1 と新たなデータ信号 D 3 とをスイッチ S W 4 を介して送信機 1 3 に与える。送信機 1 3 は、内部回路 2 4 からのデータ信号 D 1, D 3 を通信ケーブル 4. 2 の通信線 L 1 を介して制御回路 3. 1 に送信する。送信機 1 4 からのデータ信号の送信は停止される。

[0092] 図 7 は、内部回路 2 4 の動作を示すフローチャートである。ステップ S 3 1 において内部回路 2 4 は、受信機 1 1, 1 2 を介してデータ信号 D 1, D 2 を受信する。ステップ S 3 2 において内部回路 2 4 は、判定器 1 5, 1 6 の出力信号 ϕ 1 5, ϕ 1 6 がともに「L」レベルであるか否かを判別する。

[0093] ステップ S 3 2 において信号 ϕ 1 5, ϕ 1 6 がともに「L」レベルである場合、ステップ S 3 3 において内部回路 2 4 は、受信機 1 1 からのデータ信号 D 1 と受信機 1 2 からのデータ信号 D 1 とが一致しているか否かを判別する。

[0094] ステップ S 3 3 において受信機 1 1, 1 2 からのデータ信号 D 1 が一致していると判別した場合、ステップ S 3 4 において内部回路 2 4 は、受信機 1 1, 1 2 からのデータ信号 D 1 を用いて処理する。すなわち、内部回路 2 4 は、受信したデータ信号 D 1 と電流検出器 2. 3 の出力信号 ϕ 3 とに基づいてインバータ 1. 3 を制御し、最新のデータ信号 D 1 を記憶するとともに、信号 ϕ 3 に基づいて新たなデータ信号 D 3 を生成して制御回路 3. 1, 3.

2に送信し、ステップS 3 1に戻る。

[0095] ステップS 3 3において受信機1 1, 1 2からのデータ信号D 1が一致していないと判別した場合、ステップS 3 5において内部回路2 4は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D 1を用いて処理する。すなわち、内部回路2 4は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D 1と電流検出器2. 3の出力信号 ϕ 3とに基づいてインバータ1. 3を制御するとともに、信号 ϕ 3に基づいて新たなデータ信号D 3を生成して制御回路3. 1, 3. 2に送信する。

[0096] ステップS 3 6において内部回路2 4は、データ通信が正常に行なわれたときのデータ信号D 1が3回連続して使用されたか否かを判別する。ステップS 3 6においてデータ通信が正常に行なわれたときのデータ信号D 1が3回連続して使用されたと判別された場合、ステップS 3 7において内部回路2 4は、スイッチSW 1～SW 4を切換えるとともに、警報信号AL 2を出力し、ステップS 3 1に戻る。その際、スイッチSW 3がオンされるとともにスイッチSW 1, SW 2, SW 4がオフされる。ステップS 3 6において通信が正常に行なわれたときのデータ信号D 1が3回連続して使用されたという条件が否定された場合、内部回路2 4による処理はステップS 3 1に戻る。

[0097] ステップS 3 2において信号 ϕ 1 5, ϕ 1 6がともに「L」レベルであるという条件が否定された場合、ステップS 3 8において内部回路2 4は、信号 ϕ 1 5または信号 ϕ 1 6が「L」レベルであるか否かを判別する。

[0098] ステップS 3 8において信号 ϕ 1 5または信号 ϕ 1 6が「L」レベルであると判別した場合、ステップS 3 9において内部回路2 4は、受信機1 1, 1 2からのデータ信号D 1のうちの正常な方のデータ信号D 1を用いて処理する。すなわち、内部回路2 4は、正常な方のデータ信号D 1と電流検出器2. 3の出力信号 ϕ 3とに基づいてインバータ1. 3を制御するとともに、信号 ϕ 3に基づいて新たなデータ信号D 3を生成して制御回路3. 1, 3. 2に送信し、ステップS 4 1に進む。

[0099] ステップS 3 8において信号 ϕ 1 5または信号 ϕ 1 6が「L」レベルであるという条件が否定された場合、ステップS 4 0において内部回路2 4は、通信が正常に行なわれたときに使用して記憶した最新のデータ信号D 1を用いて処理する。すなわち、内部回路2 4は、データ通信が正常に行なわれたときに使用して記憶した最新のデータ信号D 1と電流検出器2. 3の出力信号 ϕ 3とに基づいてインバータ1. 3を制御するとともに、信号 ϕ 3に基づいて新たなデータ信号D 3を生成して制御回路3. 1, 3. 2に送信し、ステップS 4 1に進む。

[0100] ステップS 4 1において内部回路2 4は、異常検出信号 ϕ 2 1または ϕ 2 2が「H」レベルであるか否かを判別し、異常検出信号 ϕ 2 1または ϕ 2 2が「H」レベルである場合はステップS 4 2においてスイッチSW 1～SW 4を切換えるとともに、警報信号AL 2を出力し、ステップS 3 1に戻る。その際、異常検出信号 ϕ 2 1が「H」レベルである場合は、スイッチSW 1～SW 3がオフされるとともにスイッチSW 4がオンされ、異常検出信号 ϕ 2 2が「H」レベルである場合は、スイッチSW 1, SW 2, SW 4がオフされるとともにスイッチSW 3がオンされる。ステップS 4 1において異常検出信号 ϕ 2 1または ϕ 2 2が「H」レベルであるという条件が否定された場合、内部回路2 4による処理はステップS 3 1に戻る。

[0101] 図8は、制御回路3. 1と3. 2, 3. 2と3. 3, 3. 3と3. 1のそれぞれの間においてデータ通信が正常に行なわれている場合における通信経路を示す回路ブロック図である。図8において、制御回路3. 2, 3. 3の各々において、スイッチSW 1, SW 2がオンされるとともに、スイッチSW 3, SW 4がオフされる。制御回路3. 1～3. 3と通信ケーブル4. 1～4. 3の通信線L 1によって第1の通信経路P 1が形成されるとともに、制御回路3. 1～3. 3と通信ケーブル4. 1～4. 3の通信線L 2によって第2の通信経路P 1が形成される。

[0102] 第1の通信経路P 1においては、制御回路3. 1内で生成されたデータ信号D 1が送信機1 3と通信ケーブル4. 1の通信線L 1とを介して制御回路

3. 2の受信機11に送信される。制御回路3. 2の受信機11によって受信されたデータ信号D1と制御回路3. 2内で生成されたデータ信号D2とが、スイッチSW1と送信機13と通信ケーブル4. 2の通信線L1を介して制御回路3. 3の受信機11に送信される。制御回路3. 3の受信機11によって受信されたデータ信号D1, D2と制御回路3. 3内で生成されたデータ信号D3とが、スイッチSW1と送信機13と通信ケーブル4. 3の通信線L1とを介して制御回路3. 1の受信機11に送信される。

[0103] 第2の通信経路P2においては、制御回路3. 1内で生成されたデータ信号D1が送信機14と通信ケーブル4. 3の通信線L2とを介して制御回路3. 3の受信機12に送信される。制御回路3. 3の受信機12によって受信されたデータ信号D1と制御回路3. 3内で生成されたデータ信号D3とが、スイッチSW2と送信機14と通信ケーブル4. 2の通信線L2を介して制御回路3. 2の受信機12に送信される。制御回路3. 2の受信機12によって受信されたデータ信号D1, D3と制御回路3. 2内で生成されたデータ信号D2とが、スイッチSW2と送信機14と通信ケーブル4. 1の通信線L2とを介して制御回路3. 1の受信機12に送信される。制御回路3. 1は、受信機11, 12によって受信されたデータ信号D2, D3に基づいて新たなデータ信号D1を生成する。

[0104] 図9は、制御回路3. 1と3. 2の間においてデータ通信が異常になった場合の通信経路を示す回路ブロック図である。このような状態は、たとえば、通信ケーブル4. 1の一方側のコネクタと制御回路3. 1のコネクタとの接触不良が発生した場合、通信ケーブル4. 1の他方側のコネクタと制御回路3. 2のコネクタとの接触不良が発生した場合、制御回路3. 1の受信機12および送信機13が故障した場合、制御回路3. 2の受信機11および送信機14が故障した場合などに発生する。

[0105] 図9において、制御回路3. 2において、スイッチSW1～SW3がオフされるとともに、スイッチSW4がオンされる。制御回路3. 3において、スイッチSW1, SW2がオンされるとともに、スイッチSW3, SW4が

オフされる。制御回路 3. 1 ~ 3. 3 と通信ケーブル 4. 2, 4. 3 の通信線 L 1, L 2 によって第 3 の通信経路 P 3 が形成される。

[0106] 第 3 の通信経路 P 3 においては、制御回路 3. 1 内で生成されたデータ信号 D 1 が送信機 1 4 と通信ケーブル 4. 3 の通信線 L 2 とを介して制御回路 3. 3 の受信機 1 2 に送信される。制御回路 3. 3 の受信機 1 2 によって受信されたデータ信号 D 1 と制御回路 3. 3 内で生成されたデータ信号 D 3 とが、スイッチ SW 2 と送信機 1 4 と通信ケーブル 4. 2 の通信線 L 2 とを介して制御回路 3. 2 の受信機 1 2 に送信される。

[0107] 制御回路 3. 2 の受信機 1 2 によって受信されたデータ信号 D 1, D 3 と制御回路 3. 2 内で生成されたデータ信号 D 2 とが、スイッチ SW 4 と送信機 1 3 と通信ケーブル 4. 2 の通信線 L 1 とを介して制御回路 3. 3 の受信機 1 1 に送信される。制御回路 3. 3 の受信機 1 1 によって受信されたデータ信号 D 1, D 2 と制御回路 3. 3 内で生成されたデータ信号 D 3 とが、スイッチ SW 1 と送信機 1 3 と通信ケーブル 4. 3 の通信線 L 1 とを介して制御回路 3. 1 の受信機 1 1 に送信される。制御回路 3. 1 は、受信機 1 1 によって受信されたデータ信号 D 2, D 3 に基づいて新たなデータ信号 D 1 を生成する。

[0108] この場合は、制御回路 3. 2 から警報信号 A L 2 が出力され、制御回路 3. 3 から警報信号 A L 3 が出力されないので、制御回路 3. 1 と 3. 2 の間でデータ通信が異常になったことが分かる。したがって、たとえば、通信ケーブル 4. 1 のコネクタと制御回路 3. 1 または 3. 2 のコネクタとの接触不良を解消することにより、制御回路 3. 1 と 3. 2 の間のデータ通信を正常な状態に戻すことができる。

[0109] 図 10 は、制御回路 3. 2 と 3. 3 の間においてデータ通信が異常になった場合の通信経路を示す回路ブロック図である。このような状態は、たとえば、通信ケーブル 4. 2 の一方側のコネクタと制御回路 3. 2 のコネクタとの接触不良が発生した場合、通信ケーブル 4. 2 の他方側のコネクタと制御回路 3. 3 のコネクタとの接触不良が発生した場合、制御回路 3. 2 の受信

機 1 2 および送信機 1 3 が故障した場合、制御回路 3. 3 の受信機 1 1 および送信機 1 4 が故障した場合などに発生する。

[0110] 図 1 0 において、制御回路 3. 2 において、スイッチ SW 1, SW 2, SW 4 がオフされるとともに、スイッチ SW 3 がオンされる。制御回路 3. 3 において、スイッチ SW 1 ~ SW 3 がオフされるとともに、スイッチ SW 4 がオンされる。制御回路 3. 1 ~ 3. 3 と通信ケーブル 4. 1, 4. 3 の通信線 L 1, L 2 によって第 4 の通信経路 P 4 が形成される。

[0111] 第 4 の通信経路 P 4 においては、制御回路 3. 1 内で生成されたデータ信号 D 1 が送信機 1 4 と通信ケーブル 4. 3 の通信線 L 2 とを介して制御回路 3. 3 の受信機 1 2 に送信される。制御回路 3. 3 の受信機 1 2 によって受信されたデータ信号 D 1 と制御回路 3. 3 内で生成されたデータ信号 D 3 とが、スイッチ SW 4 と送信機 1 3 と通信ケーブル 4. 3 の通信線 L 1 を介して制御回路 3. 1 の受信機 1 1 に送信される。

[0112] 制御回路 3. 1 の受信機 1 1 によって受信されたデータ信号 D 1, D 3 が、送信機 1 3 と通信ケーブル 4. 1 の通信線 L 1 を介して制御回路 3. 2 の受信機 1 1 に送信される。制御回路 3. 2 の受信機 1 1 によって受信されたデータ信号 D 1, D 3 と制御回路 3. 2 内で生成されたデータ信号 D 2 とが、スイッチ SW 3 と送信機 1 4 と通信ケーブル 4. 1 の通信線 L 2 を介して制御回路 3. 1 の受信機 1 2 に送信される。制御回路 3. 1 は、受信機 1 2 によって受信されたデータ信号 D 2, D 3 に基づいて新たなデータ信号 D 1 を生成する。

[0113] この場合は、制御回路 3. 2, 3. 3 から警報信号 AL 2, AL 3 が出力されるので、制御回路 3. 2 と 3. 3 の間でデータ通信が異常になっていることが分かる。したがって、たとえば、通信ケーブル 4. 2 のコネクタと制御回路 3. 2 または 3. 3 のコネクタとの接触不良を解消することにより、制御回路 3. 2 と 3. 3 の間のデータ通信を正常な状態に戻すことができる。

[0114] 図 1 1 は、制御回路 3. 3 と 3. 1 の間においてデータ通信が異常になっ

た場合の通信経路を示す回路ブロック図である。このような状態は、たとえば、通信ケーブル４．３の一方側のコネクタと制御回路３．３のコネクタとの接触不良が発生した場合、通信ケーブル４．３の他方側のコネクタと制御回路３．１のコネクタとの接触不良が発生した場合、制御回路３．３の受信機１２および送信機１３が故障した場合、制御回路３．１の受信機１１および送信機１４が故障した場合などに発生する。

[0115] 図１１において、制御回路３．２において、スイッチＳＷ３，ＳＷ４がオフされるとともに、スイッチＳＷ１，ＳＷ２がオンされる。制御回路３．３において、スイッチＳＷ１，ＳＷ２，ＳＷ４がオフされるとともに、スイッチＳＷ３がオンされる。制御回路３．１～３．３と通信ケーブル４．１，４．２の通信線Ｌ１，Ｌ２によって第５の通信経路Ｐ５が形成される。

[0116] 第５の通信経路Ｐ５においては、制御回路３．１内で生成されたデータ信号Ｄ１が送信機１３と通信ケーブル４．１の通信線Ｌ１とを介して制御回路３．２の受信機１１に送信される。制御回路３．２の受信機１１によって受信されたデータ信号Ｄ１と制御回路３．２内で生成されたデータ信号Ｄ２とが、スイッチＳＷ１と送信機１３と通信ケーブル４．２の通信線Ｌ１とを介して制御回路３．３の受信機１１に送信される。

[0117] 制御回路３．３の受信機１１によって受信されたデータ信号Ｄ１，Ｄ２と制御回路３．３内で生成されたデータ信号Ｄ３とが、スイッチＳＷ３と送信機１４と通信ケーブル４．２の通信線Ｌ２とを介して制御回路３．２の受信機１２に送信される。制御回路３．２の受信機１２によって受信されたデータ信号Ｄ１，Ｄ３と制御回路３．２内で生成されたデータ信号Ｄ２とが、スイッチＳＷ２と送信機１４と通信ケーブル４．１の通信線Ｌ２とを介して制御回路３．１の受信機１２に送信される。制御回路３．１は、受信機１２によって受信されたデータ信号Ｄ２，Ｄ３に基づいて新たなデータ信号Ｄ１を生成する。

[0118] この場合は、制御回路３．２から警報信号ＡＬ２が出力されず、制御回路３．３から警報信号ＡＬ３が出力されるので、制御回路３．３と３．１の間

でデータ通信が異常になっていることが分かる。したがって、たとえば、通信ケーブル4. 3のコネクタと制御回路3. 3または3. 1のコネクタとの接触不良を解消することにより、制御回路3. 3と3. 1の間のデータ通信を正常な状態に戻すことができる。

[0119] 以上のように、本実施の形態では、制御回路3. 1～3. 3を通信ケーブル4. 1～4. 3によって環状に接続し、制御回路3. 1をマスターとし、制御回路3. 2, 3. 3の各々をスレーブとしたので、データ通信量の低減化、通信速度の高速化を図ることができる。

[0120] さらに、制御回路3. 1～3. 3間のデータ通信が正常である場合は、制御回路3. 1～3. 3および通信ケーブル4. 1～4. 3の通信線L 1によって環状の第1の通信経路P 1が形成されるとともに、制御回路3. 1～3. 3および通信ケーブル4. 1～4. 3の通信線L 2によって環状の第2の通信経路P 2が形成される。たとえば、制御回路3. 1, 3. 2間のデータ通信が異常になった場合は、通信ケーブル4. 2, 4. 3の通信線L 1, L 2と制御回路3. 1～3. 3とによって環状の第3の通信経路P 3が形成される。したがって、2つの制御回路間のデータ通信に異常が発生した場合でもインバータ1. 1～1. 3を制御することができる。

[0121] なお、本実施の形態では、本願発明が3つの制御回路3. 1～3. 3を備えた電力変換システムに適用された場合について説明したが、これに限るものではなく、本願発明はN個の制御回路を備えた電力変換システムに適用可能である。Nは2以上の整数である。上記実施の形態では、N = 3の場合が説明されている。

[0122] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明でなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0123] 1. 1～1. 3 インバータ、2. 1～2. 3 電流検出器、3. 1～3

． 3 制御回路、 4． 1 ～ 4． 3 通信ケーブル、 L 1， L 2 通信線、 5
． 1 ～ 5． 3 直流電源、 6 負荷、 1 1， 1 2 受信機、 1 3， 1 4 送
信機、 1 5， 1 6 判定器、 1 7， 2 3， 2 4 内部回路、 SW 1 ～ SW 4
スイッチ、 2 1， 2 2 異常検出器。

請求の範囲

- [請求項1] それぞれ第1～第Nの電気機器を制御する第1～第Nの制御回路と、
- 、
- 各々が第1および第2の通信線を含む第1～第Nの通信ケーブルとを備え、Nは2以上の整数であり、
- 前記第1～第(N-1)の制御回路は前記第1～第(N-1)の通信ケーブルを介して後段の前記第2～第Nの制御回路にそれぞれ接続され、前記第Nの制御回路は前記第Nの通信ケーブルを介して後段の前記第1の制御回路に接続され、
- 前記第1の制御回路は、前記第1～第Nの電気機器を制御するための第1のデータ信号を生成し、前記第1のデータ信号に基づいて前記第1の電気機器を制御し、前記第1のデータ信号を前記第1の通信ケーブルの第1の通信線を介して後段の前記第2の制御回路に送信するとともに、前記第1のデータ信号を前記第Nの通信ケーブルの第2の通信線を介して前段の前記第Nの制御回路に送信し、
- 2以上でN以下の整数をnとすると、第nの制御回路の前段の制御回路は第(n-1)の制御回路であり、前記第nの制御回路の後段の制御回路は第(n+1)の制御回路または第1の制御回路であり、
- 前記第nの制御回路は、
- 前記第1のデータ信号に基づいて第nの電気機器を制御するとともに、第nの電気機器の制御結果を示す第nのデータ信号を生成し、
- 前段の制御回路および後段の制御回路の各々とのデータ信号の通信が正常に行なわれている場合は、前記第nのデータ信号と前段の制御回路からのデータ信号とを第nの通信ケーブルの第1の通信線を介して後段の制御回路に送信するとともに、前記第nのデータ信号と後段の制御回路からのデータ信号とを第(n-1)の通信ケーブルの第2の通信線を介して前段の制御回路に送信し、
- 前段の制御回路とのデータ信号の通信が正常に行なわれなくなった

場合は、前段の制御回路とのデータ信号の通信を停止するとともに、前記第 n のデータ信号と後段の制御回路からのデータ信号とを前記第 n の通信ケーブルの第 1 の通信線を介して後段の制御回路に送信し、

後段の制御回路とのデータ信号の通信が正常に行なわれなくなった場合は、後段の制御回路とのデータ信号の通信を停止するとともに、前記第 n のデータ信号と前段の制御回路からのデータ信号とを前記第 $(n - 1)$ の通信ケーブルの第 2 の通信線を介して前段の制御回路に送信する、制御システム。

[請求項2]

前記第 n の制御回路は、

前段の制御回路からのデータ信号が正常であるか否かを判定する第 1 の判定器と、

後段の制御回路からのデータ信号が正常であるか否かを判定する第 2 の判定器と、

前記第 1 の判定器によって連続して予め定められた回数、データ信号が異常であると判定された場合に第 1 の異常検出信号を出力する第 1 の異常検出器と、

前記第 2 の判定器によって連続して前記予め定められた回数、データ信号が異常であると判定された場合に第 2 の異常検出信号を出力する第 2 の異常検出器と、

前記第 1 のデータ信号に基づいて前記第 n の電気機器を制御するとともに、前記第 n の電気機器の制御結果を示す第 n のデータ信号を生成し、さらに、前記第 1 および第 2 の異常検出信号に従ってデータ信号を送信する内部回路とを含み、

前記内部回路は、

前記第 1 および第 2 の異常検出器から前記第 1 および第 2 の異常検出信号が出力されていない場合は、前記第 n のデータ信号と前段の制御回路からのデータ信号とを第 n の通信ケーブルの第 1 の通信線を介して後段の制御回路に送信するとともに、前記第 n のデータ信号と後

段の制御回路からのデータ信号とを前記第 $(n - 1)$ の通信ケーブルの第 2 の通信線を介して前段の制御回路に送信し、

前記第 1 の異常検出器から前記第 1 の異常検出信号が出力された場合は、前段の制御回路からのデータ信号の受信を停止するとともに、前記第 n のデータ信号と後段の制御回路からのデータ信号とを前記第 n の通信ケーブルの第 1 の通信線を介して後段の制御回路に送信し、

前記第 2 の異常検出器から前記第 2 の異常検出信号が出力された場合は、後段の制御回路からのデータ信号の受信を停止するとともに、前記第 n のデータ信号と前段の制御回路からのデータ信号とを前記第 $(n - 1)$ の通信ケーブルの第 2 の通信線を介して前段の制御回路に送信する、請求項 1 に記載の制御システム。

[請求項3] 前記内部回路は、前記第 1 または第 2 の異常検出器から前記第 1 または第 2 の異常検出信号が出力された場合は、データ信号の通信に異常が発生したことを報知するための警報信号を出力する、請求項 2 に記載の制御システム。

[請求項4] 前記内部回路は、

前記第 1 および第 2 の判定器によってデータ信号が正常であると判定された第 1 の場合は、前段の制御回路および後段の制御回路からのデータ信号に含まれる前記第 1 のデータ信号に基づいて前記第 n の電気機器を制御し、

前記第 1 の判定器によって前段の制御回路からのデータ信号が正常であると判定され、かつ前記第 2 の判定器によって後段の制御回路からのデータ信号が異常であると判定された第 2 の場合は、前段の制御回路からのデータ信号に含まれる前記第 1 のデータ信号に基づいて前記第 n の電気機器を制御し、

前記第 1 の判定器によって前段の制御回路からのデータ信号が異常であると判定され、かつ前記第 2 の判定器によって後段の制御回路からのデータ信号が正常であると判定された第 3 の場合は、後段の制御回

路からのデータ信号に含まれる前記第 1 のデータ信号に基づいて前記第 n の電気機器を制御する、請求項 2 に記載の制御システム。

[請求項5]

前記第 1 の場合は、

さらに、前段の制御回路および後段の制御回路からのデータ信号に含まれる前記第 1 のデータ信号が互いに一致している第 4 の場合と、

前段の制御回路および後段の制御回路からのデータ信号に含まれる前記第 1 のデータ信号が互いに一致していない第 5 の場合とに分けられ、

前記内部回路は、

前記第 4 の場合は、前段の制御回路および後段の制御回路からのデータ信号に含まれる前記第 1 のデータ信号に基づいて前記第 n の電気機器を制御するとともに、前記第 n の電気機器を制御するために使用した最新の前記第 1 のデータ信号を記憶し、

前記第 5 の場合は、前記第 4 の場合に記憶した最新の前記第 1 のデータ信号に基づいて前記第 n の電気機器を制御する、請求項 4 に記載の制御システム。

[請求項6]

前記内部回路は、前記第 5 の場合が予め定められた回数、連続して発生したときは、前記第 n のデータ信号と後段の制御回路からのデータ信号とを第 n の通信ケーブルの第 1 の通信線を介して後段の制御回路に送信するか、前記第 n のデータ信号と前段の制御回路からのデータ信号とを第 $(n - 1)$ の通信ケーブルの第 2 の通信線を介して前段の制御回路に送信する、請求項 5 に記載の制御システム。

[請求項7]

前記内部回路は、前記第 5 の場合が予め定められた回数、連続して発生したときは、データ信号の通信に異常が発生したことを報知するための警報信号を出力する、請求項 6 に記載の制御システム。

[請求項8]

前記第 1 の制御回路は、

前記第 N の制御回路からのデータ信号が正常であるか否かを判定する第 1 の判定器と、

前記第2の制御回路からのデータ信号が正常であるか否かを判定する第2の判定器と、

前記第1および第2の判定器の判定結果と、前記第Nおよび第2の制御回路からのデータ信号とに基づいて前記第1のデータ信号を生成し、生成した第1のデータ信号に基づいて前記第1のインバータを制御するとともに、生成した第1のデータ信号を前記第2および第Nの制御回路に送信する内部回路とを含み、

前記内部回路は、

前記第1および第2の判定器によってデータ信号が正常であると判定された第1の場合は、前記第Nおよび第2の制御回路からのデータ信号に含まれる前記第2～第Nの制御回路からの第2～第Nのデータ信号に基づいて前記第1のデータ信号を生成し、

前記第1の判定器によってデータ信号が正常であると判定され、かつ前記第2の判定器によってデータ信号が異常であると判定された第2の場合は、前記第Nの制御回路からのデータ信号に含まれる前記第2～第Nの制御回路からの第2～第Nのデータ信号に基づいて前記第1のデータ信号を生成し、

前記第1の判定器によってデータ信号が異常であると判定され、かつ前記第2の判定器によってデータ信号が正常であると判定された第3の場合は、前記第2の制御回路からのデータ信号に含まれる前記第2～第Nの制御回路からの第2～第Nのデータ信号に基づいて前記第1のデータ信号を生成する、請求項1に記載の制御システム。

[請求項9]

前記第1の場合は、

さらに、前記第Nの制御回路からのデータ信号に含まれる前記第2～第Nの制御回路からの第nのデータ信号と、前記第2の制御回路からのデータ信号に含まれる前記第2～第Nの制御回路からの第2～第Nのデータ信号とが互いに一致している第4の場合と、

前記第Nの制御回路からのデータ信号に含まれる前記第2～第Nの

制御回路からの第 n のデータ信号と、前記第 2 の制御回路からのデータ信号に含まれる前記第 2 ～第 N の制御回路からの第 2 ～第 N のデータ信号とが互いに一致していない第 5 の場合とに分けられ、

前記内部回路は、

前記第 4 の場合は、前記第 N および第 2 の制御回路からのデータ信号に含まれる前記第 2 ～第 N の制御回路からの第 n のデータ信号に基づいて前記第 1 のデータ信号を生成するとともに、前記第 1 のデータ信号を生成するために使用した最新の第 2 ～第 N のデータ信号を記憶し、

前記第 5 の場合は、前記第 4 の場合に記憶した最新の第 2 ～第 N のデータ信号に基づいて前記第 1 のデータ信号を生成する、請求項 8 に記載の制御システム。

[請求項 10]

前記第 1 ～第 N の電気機器はそれぞれ第 1 ～第 N のインバータであり、

前記第 1 ～第 N のインバータは負荷に対して並列接続され、

前記第 1 ～第 N のインバータの各々は直流電圧を交流電圧に変換して前記負荷に供給し、

前記第 1 のデータ信号は前記第 1 ～第 N のインバータの各々の分担電流を示し、

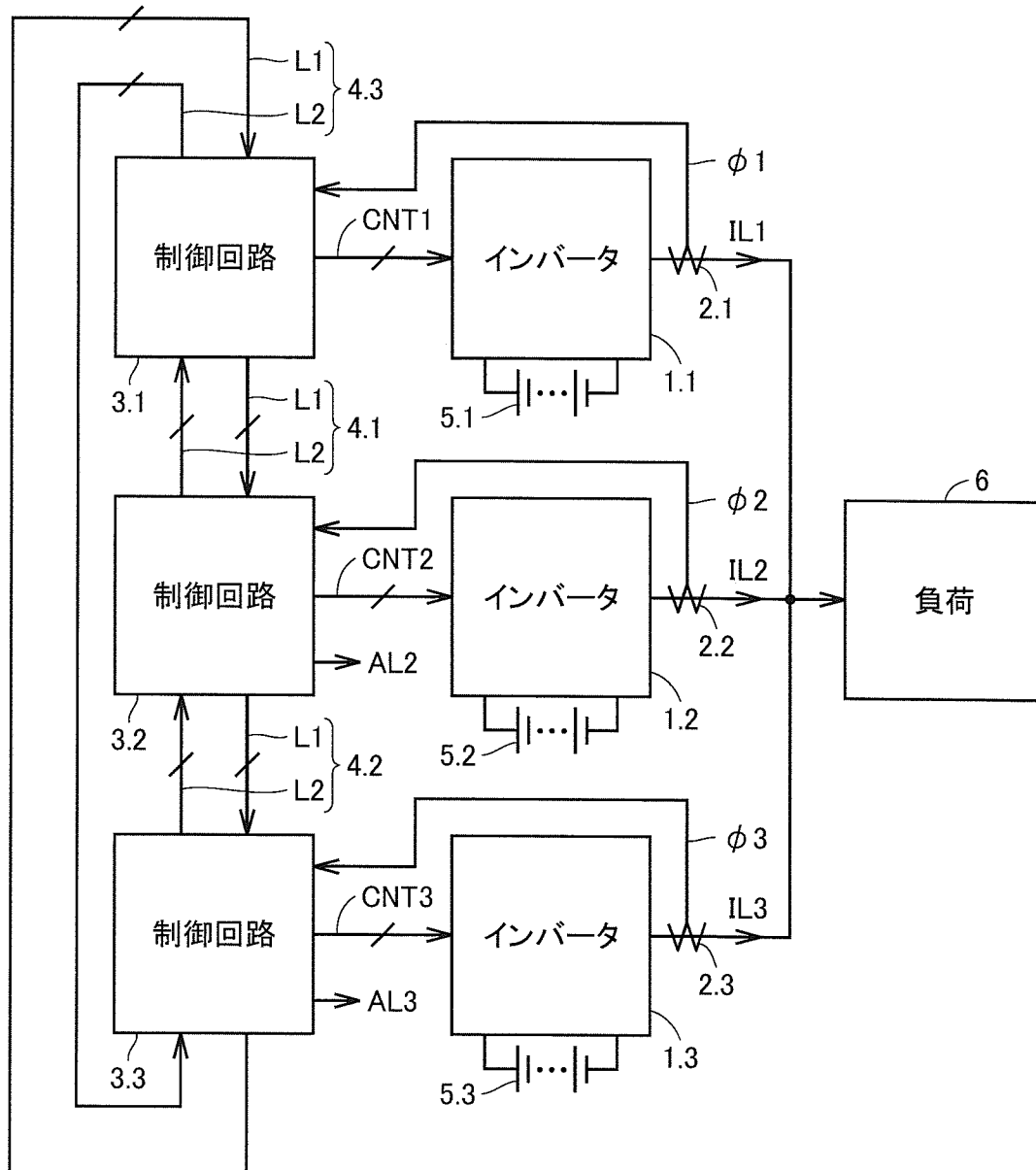
前記第 n のデータ信号は第 n のインバータの負荷電流を示し、

前記第 1 の制御回路は、前記第 1 のインバータの負荷電流と分担電流の差である横流が 0 A になるように前記第 1 のインバータを制御し、

前記第 n の制御回路は、前記第 n のインバータの負荷電流と分担電流の差である横流が 0 A になるように前記第 n のインバータを制御する、請求項 1 に記載の制御システム。

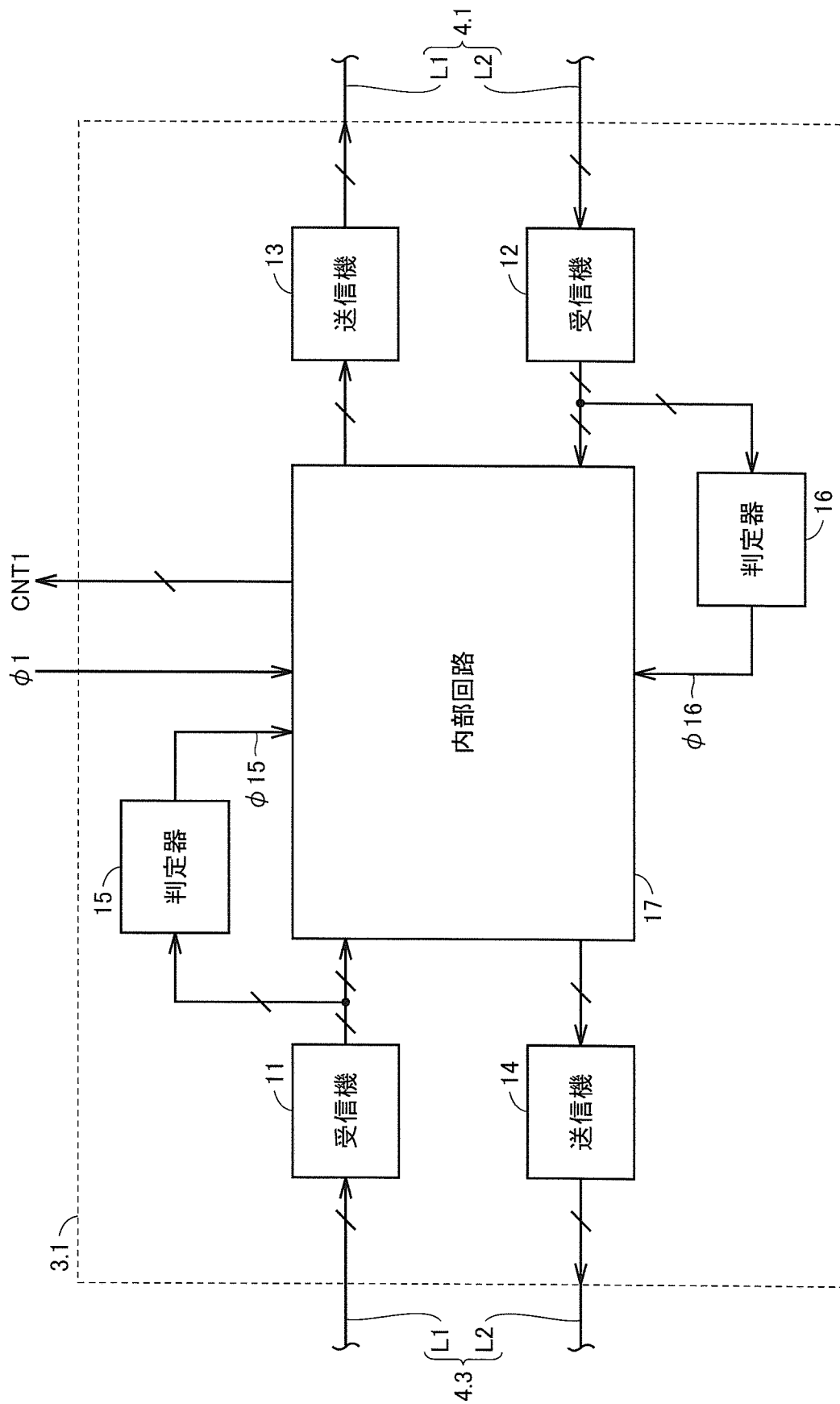
[図1]

FIG.1



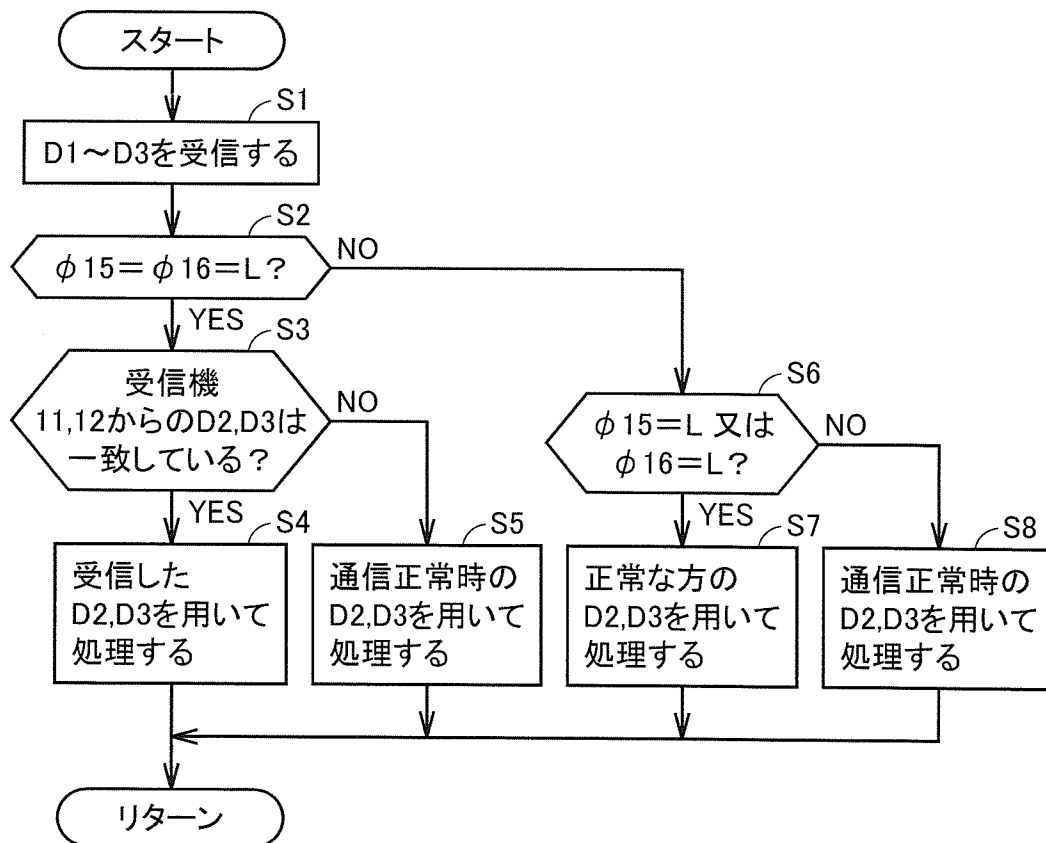
[図2]

FIG.2

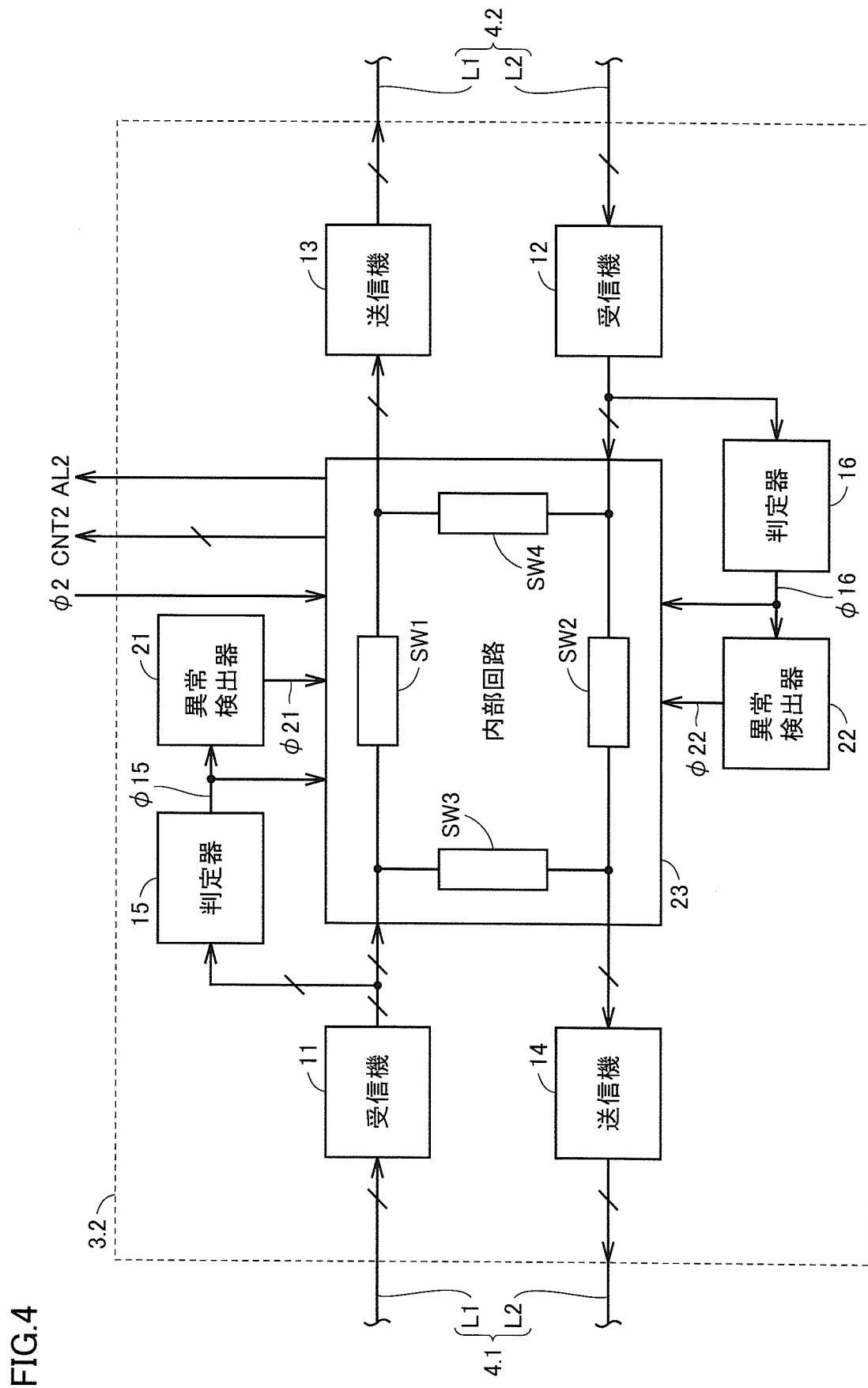


[図3]

FIG.3

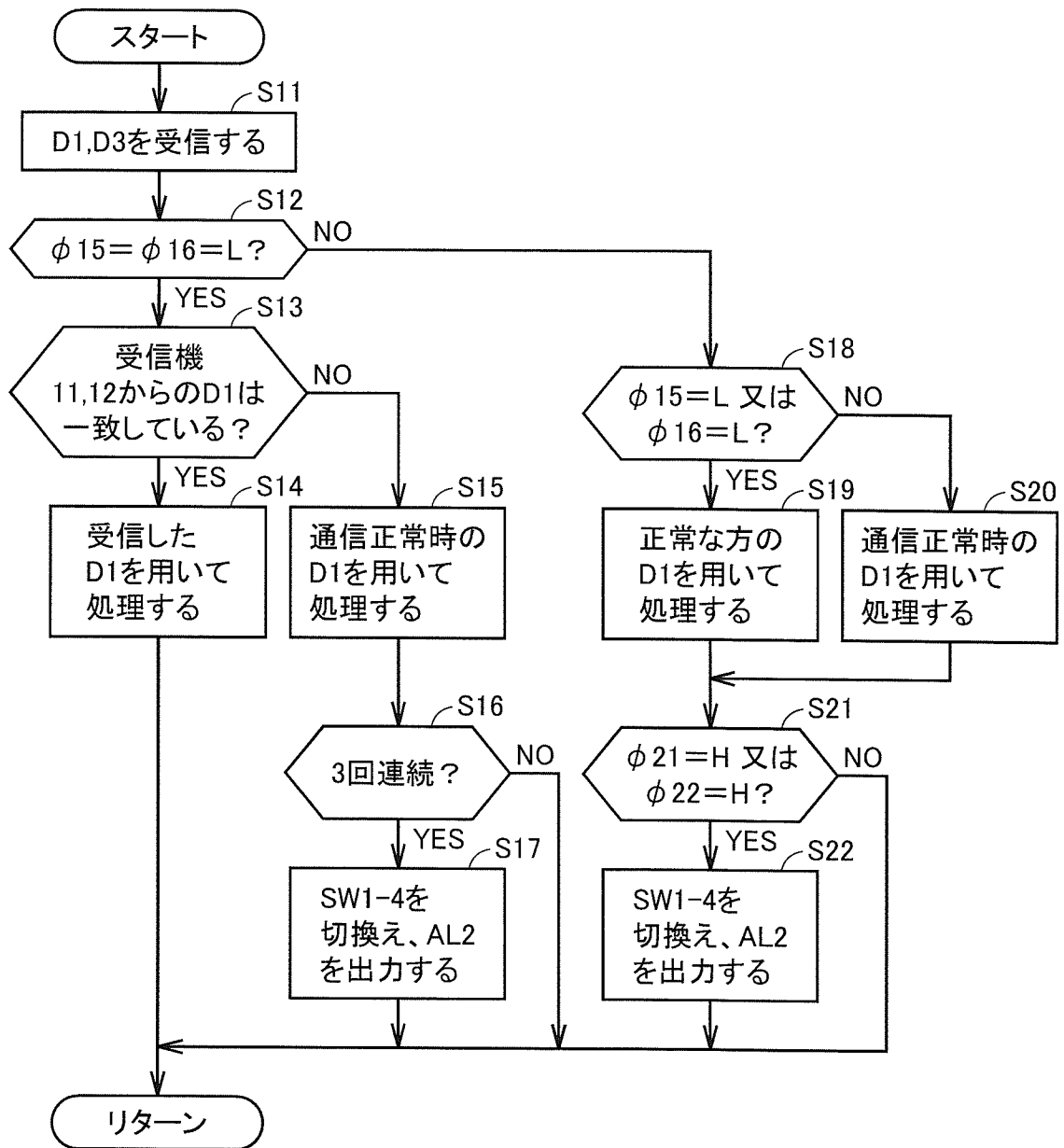


[図4]



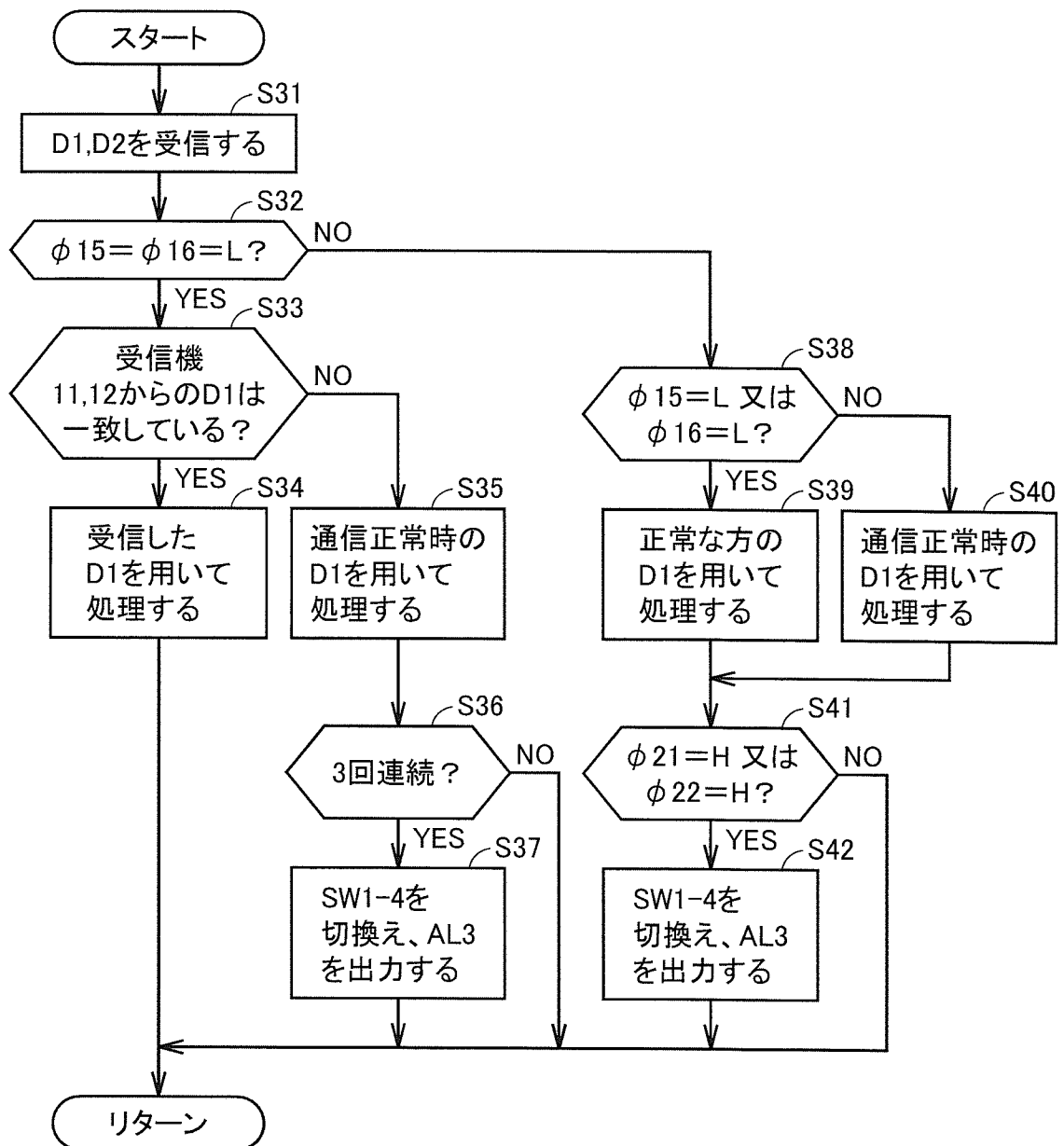
[図5]

FIG.5



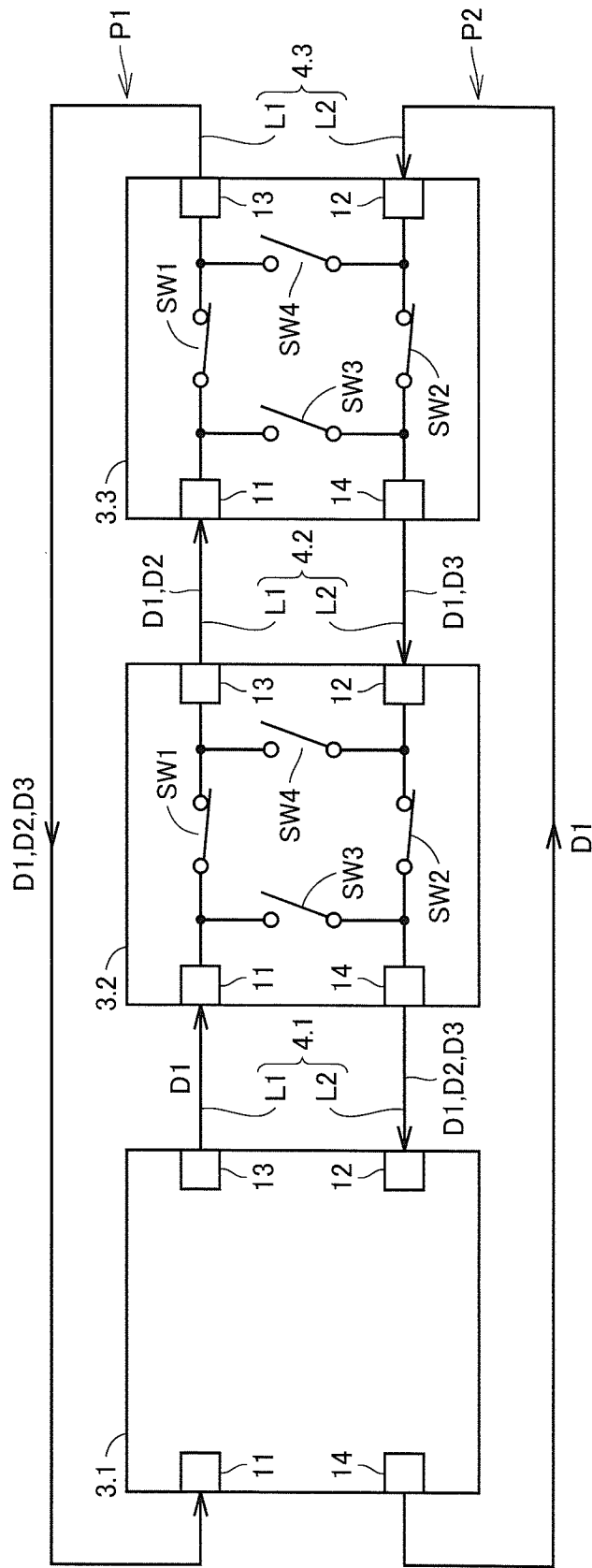
[図7]

FIG.7



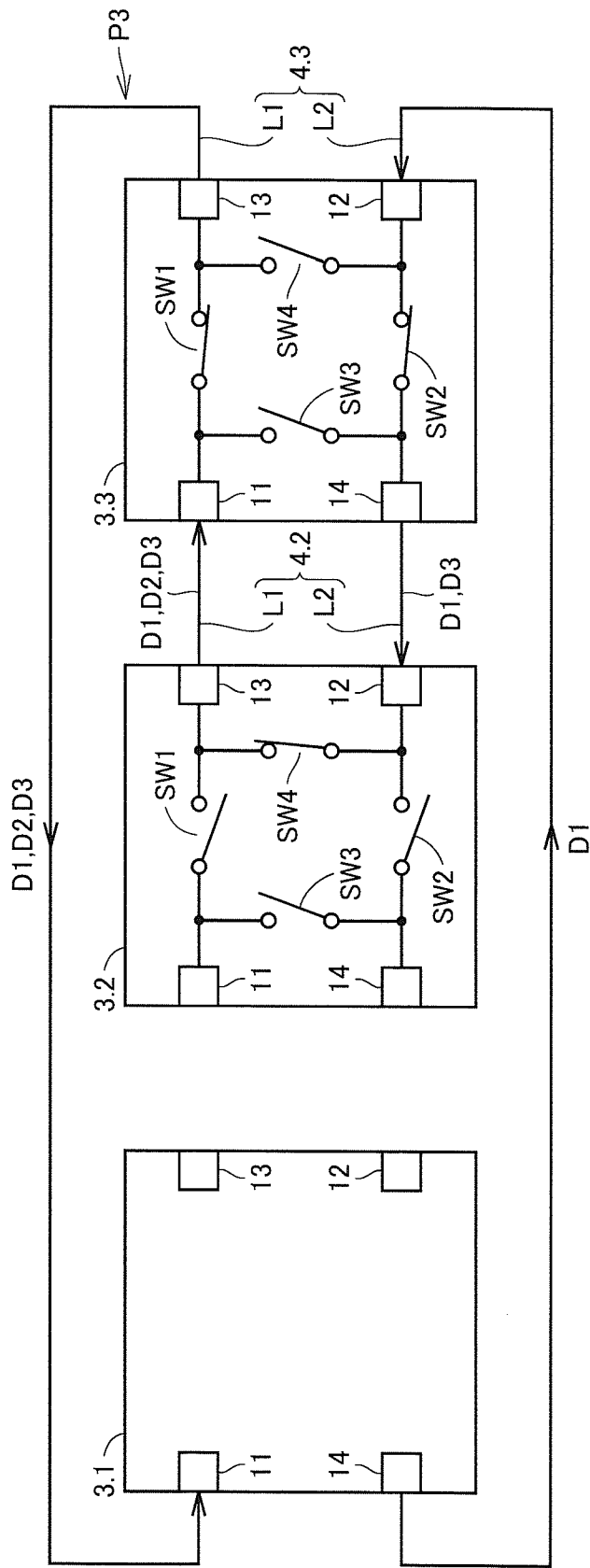
[図8]

FIG.8



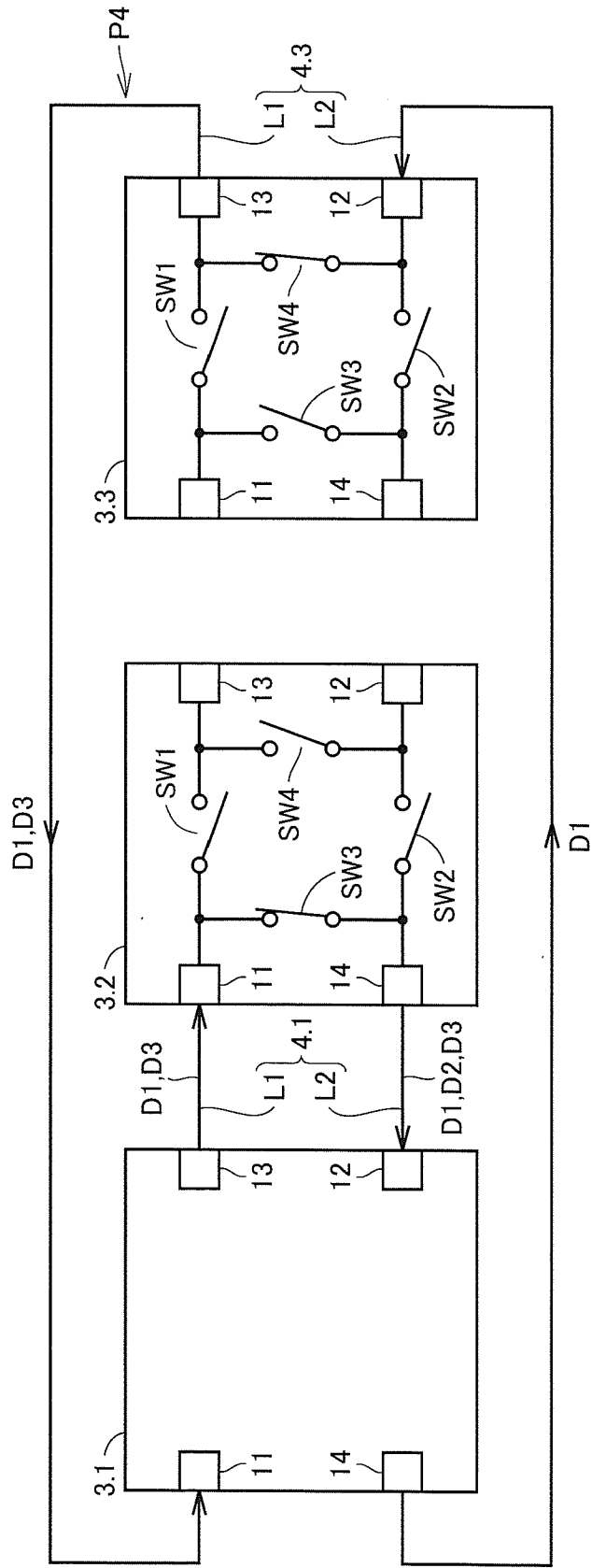
[図9]

FIG.9



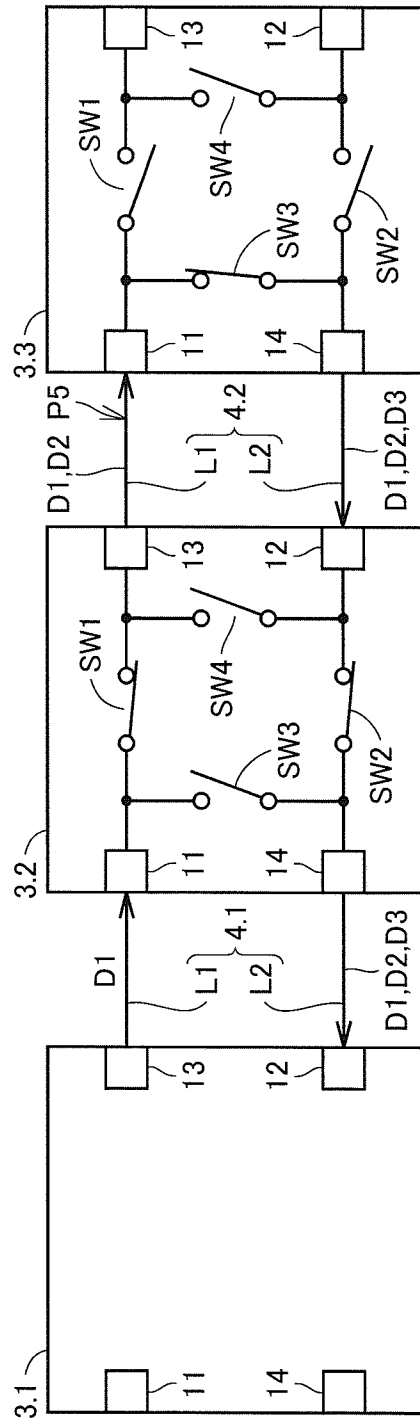
[図10]

FIG.10



[図11]

FIG.11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/051134

A. CLASSIFICATION OF SUBJECT MATTER

H04L12/28(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L12/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-55399 A (Toshiba Corp.), 21 March 2013 (21.03.2013), abstract; fig. 1, 2 (Family: none)	1-10
A	JP 9-307576 A (Mitsubishi Electric Corp.), 28 November 1997 (28.11.1997), abstract (Family: none)	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 March 2016 (16.03.16)

Date of mailing of the international search report
29 March 2016 (29.03.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04L12/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04L12/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-55399 A (株式会社東芝) 2013. 03. 21, 要約、第1、2図（ファミリーなし）	1-10
A	JP 9-307576 A (三菱電機株式会社) 1997. 11. 28, 要約（ファミリーなし）	1-10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

16. 03. 2016

国際調査報告の発送日

29. 03. 2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

大石 博見

5 X

4185

電話番号 03-3581-1101 内線 3596