(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 21/28

(45) 공고일자 2001년10월25일
(11) 등록번호 10-0295566
(24) 등록일자 2001년04월30일

(21) 출원번호 10-1998-0006072
(22) 출원일자 1998년02월26일

(65) 공개번호 특1998-0071729
(43) 공개일자 1998년10월26일

(30) 우선권주장 97-044247 1997년02월27일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지

(72) 발명자 이시바시 유따까
일본 가나가와껭 요꼬하마시 이소고꾸 신스기따쪼 8가부시끼가이샤 도시바요꼬하마 퍼시러티 어드미너스트레이션 센터 내

(74) 대리인 구영창
이상희

심사관 : 권인희

(54) 반도체장치와그제조방법,및반도체기억장치와그제조방법

요약

본 발명은 보더레스(bordedless) 콘택트 기술을 이용해 형성되는 반도체 장치에 있어서, 다마신 구조의 배선층을 하층의 콘택트부와 확실하게 접속할 수 있도록 하는 것을 가장 주요한 특징으로 한다.

예를 들어, 제2 층간 절연막(20)에 하층의 콘택트부(19B)에 연결되는 도랑(20b)을 형성한 후, 그 저면에 노출하는 콘택트부(19B)를 선택적으로 에칭한다. 그리고, 도랑(20b)의 저면을 평탄화하여 도랑(20b)의 형성시에 배선층(21B)과 콘택트부(19B)의 접촉면에 형성되는 미소한 요(凹)부를 제거한다. 이렇게 하여, 배선층(21B)을 형성하기 위한 도랑(20b) 내로의 베리어메탈층(21a) 및 메탈층(21b)의 성막성(成膜性)을 높이는 구성으로 되어 있다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 본 발명의 제1 실시 형태에 따른 반도체 장치의 요부의 구성을 개략적으로 도하는는 단면도.

제2도는 마찬가지로 이런 반도체 장치를 제조하기 위한 방법을 설명하기 위해 나타내는 요부의 개략 단면도.

제3도는 마찬가지로 이런 반도체 장치를 제조하기 위한 방법을 설명하기 위해 나타내는 요부의 개략 단면도.

제4도는 마찬가지로 이런 반도체 장치를 제조하기 위한 방법을 설명하기 위해 나타내는 요부의 개략 단면도.

제5도는 마찬가지로 이런 반도체 장치를 제조하기 위한 방법을 설명하기 위해 나타내는 요부의 개략 단면도.

제6도는 마찬가지로 이런 반도체 장치를 제조하기 위한 방법을 설명하기 위해 나타내는 요부의 개략 단면도.

제7도는 마찬가지로 이런 반도체 장치를 제조하기 위한 방법을 설명하기 위해 나타내는 요부의 개략 단면도.

제8도는 마찬가지로 이런 반도체 장치의 제1 응용예를 나타내는 개략 단면도.

제9도는 마찬기지로 이런 반도체 장치의 제2 응용예를 나타내는 개략 단면도.

제10도는 본 발명의 제2 실시 형태에 따른 반도체 기억 장치의 요부의 구성을 개략적으로 나타내는 평면도.

제11도는 마찬가지로 반도체 기억 장치의 요부의 구성을 개략적으로 나타내는 단면도.

제12도는 마찬가지로 이런 반도체 기억 장치를 제조하기 위한 방법을 설명하기 위해 나타내는 요부의 개략 단면도.

제13도는 마찬가지로 이런 반도체 기억 장치를 제조하기 위한 방법을 설명하기 위해 나타내는 요부의 개략 단면도.

제14도는 마찬가지로 이런 반도체 기억 장치를 제조하기 위한 방법을 설명하기 위해 나타내는 요부의 개략 단면도.

제15도는 마찬가지로 이런 반도체 기억 장치를 제조하기 위한 방법을 설명하기 위해 나타내는 요부의 개략 단면도.

제16도는 마찬가지로 이런 반도체 기억 장치를 제조하기 위한 방법을 설명하기 위해 나타내는 요부의 개략 단면도.

제17도는 마찬가지로 이런 반도체 기억 장치를 제조하기 위한 방법을 설명하기 위해 나타내는 요부의 개략 단면도.

제18도는 마찬가지로 이런 반도체 기억 장치를 제조하기 위한 방법을 설명하기 위해 나타내는 요부의 개략 단면도.

제19도는 마찬가지로 이런 반도체 기억 장치를 제조하기 위한 방법을 설명하기 위해 나타내는 요부의 개략 단면도.

제20도는 마찬가지로 이런 반도체 기억 장치를 제조하기 위한 방법을 설명하기 위해 나타내는 요부의 개략 단면도.

제21도는 종래 기술과 문제점을 설명하기 위한 보더레스 콘택트 기술을 이용해 형성된 전형적인 반도체 장치의 요부의 구성을 개략적으로 도시하는 단면도.

제22도는 마찬가지로 스택형 캐패시터를 이용한 DRAM의 셀 구조를 나타내는 요부의 개략 단면도.

제23도는 마찬가지로 스택형 캐패시터를 이용한 DRAM의 다른 셀 구조를 나타내는 요부의 단면도.

< 도면의 주요부분에 대한 부호의 설명>

11 : p형 실리콘 기판 11a : 소자 분리 영역

11b : 소자 영역 12 : 소자 분리 절연막

13A, 13B : 게이트 전극 13a : 폴리실리콘

13b : 텅스텐 실리사이드 14 : 게이트 산화막

15 : 게이트 위 절연막 16 : 게이트 측벽 절연막

17 : 확산층 18 : 제1 층간 절연막

18a : 콘택트홀 19A : 플러그부

19B : 콘택트부 19a : 베리어메탈층

19b : 메탈층 20 : 제2 층간 절연막

20a : 콘택트홀 20b : 도랑

21A : 플러그부 21B : 배선층

21a : 베리어메탈 21b : 메탈층

22a, 22b : 요(凹)부 31 : 실리콘 산화막

32 : 실리콘 질화막 33 : 도랑

40 : 배선층 40a : 베리어메탈

40b : 메탈층 41 : 제3 층간 절연막

41a : 콘택트홀 42 : 플러그부

42a : 베리어메탈층 42b : 메탈층

45 : 배선층(다마신 구조) 45a : 베리어메탈

45b : 메탈층 46 : 제4 층간 절연막

46a : 도랑 51 : p형 실리콘 기판

51a : 소자 분리 영역 51b : 소자 영역

52 : 소자 분리 절연막 53 : 게이트 산화막

54 : 게이트 전극 54a : 폴리실리콘

54b : 텅스텐 실리사이드 55 : 게이트상 절연막

56 : 게이트 측벽 절연막 57a, 57b : n형 확산층

58 : 콘택트부 59 : 플러그부

60 : 비트선 60a : 베리어메탈층

60b : 메탈층 61 : 콘택트부

62 : 플러그부 62a : 베리어메탈

62b : 메탈층 63 : 캐패시터의 축적 전극

64 : 제1 실리콘 산화막 64a, 64b : 콘택트홀

65 : 제2 실리콘 산화막 65a : 콘택트홀

65b : 도랑 66 : 제3 실리콘 산화막

66a : 콘택트홀 67 : 제4 실리콘 산화막

67a : 도랑 68 : 층간 절연막

69 : 캐패시터 절연막 70 : 플레이트 전극

71 : 실리콘 산화막 72 : 실리콘 질화막

73 : 도랑 81, 82, 83 : 요(凹)부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법 및 반도체 기억 장치 및 그 제조 방법에 관한 것으로, 특히 보더레스 콘택트 기술을 채용한 배선 구조를 갖는 스택형 캐패시터를 갖는 반도체 장치나 스택형 캐패시터를 이용한 DRAM(Dynamic Random Access Memory)에 사용되는 것이다.

최근, 반도체 디바이스는 반도체 공정 기술의 진보에 맞춰 미세화가 진행되어, 비약적인 집적도의 향상을 이루었다.

즉, 배선층 사이를 콘택트ㆍ와이어로 접속하는 구조의 반도체 장치에 있어서는 종래 리소그래피 공정에서의 패턴의 정렬 불량, 치수의 변이 또한 콘택트홀의 에칭 깊이에 변이가 있는 것 등을 고려하여 콘택트 부분의 배선층의 폭을 증가시키도록 하고 있다. 그러나, 이와 같은 정렬 마진의 확보는 칩 면적의 증대를 야기하고, 반도체 디바이스의 미세화를 막게 된다.

그 때문에, 최근에는 CMP(Chemical Mechanical Polishing)법 등의 연마 가공 기술을 이용하고, 하층 및 상층의 배선 사이에서의 층간 절연막의 완전 평탄화를 행하여 절연막의 에칭량을 일치시키는 것으로 정렬 마진을 주지 않는 보더레스한 콘택트 기술이 많이 이용되어 오고 있다.

도 21은 상기 보더레스 콘택트 기술을 이용해 형성된 종래의 전형적인 반도체 장치의 요부의 구성을 개략적으로 나타내는 것이다.

예를 들어, 본 반도체 장치에 있어서는, p형 실리콘 기판(101)의 표면에 선택적으로 실리콘 산화막으로 이루어지는 소자 분리 절연막(102)이 매립되어 소자 분리 영역(101a)이 형성되어 있다. 이 소자 분리 영역(101a)에서의 상기 실리콘 기판(101)의 상면에는 게이트 전극(103A)이 설치되어 있다.

한편, 상기 소자 분리 영역(101a)을 제외한 소자 영역(101b)의 상기 시리콘 기판(101)의 상면에는 게이트 산화막(104)을 통해 게이트 전극(103B)이 설치되어 있다.

게이트 전극(103A, 103B)은, 각각 폴리실리콘(103a)과 텅스텐 실리사이드(103b)로 이루어지는 적층 구조를 갖고 있다. 그리고, 게이트 전극(103A, 103B)의 상면 및 측면에는 각각 실리콘 질화막으로 이루어지는 게이트상 절연막(105) 및 게이트 측벽 절연막(106)이 설치되어 있다.

또한, 상기 소자 영역(101b)에서의 상기 실리콘 기판(101)의 표면에는, 상기 게이트 전극(103B)을 마스크로 하여 소스、드레인 영역으로 되는 n형의 얕은 확산층(107, 107)이 형성되어 있다.

그리고, 상기 게이트 전극(103A, 103B) 위 및 상기 실리콘 기판(101)의 전면에 형성된 제1 층간 절연막(108)에, 상기 게이트 전극(103A)에 접속되는 플러그부(109A)와, 상기 확산층(107, 107) 중 어느 한쪽에 연결되는 콘택트부(109B)가 형성되어 있다.

상기 플러그부(109A) 및 상기 콘택트부(109B)는, 각각 상기 제1 층간 절연막(108)에 형성된 콘택트홀(108a)의 적어도 저면 및 측면에 형성된 Ti/TiN으로 되는 베리어메탈층(109a)상에 상기 홀(108a) 내에 텅스텐 또는 알루미늄으로 이루어지는 메탈층(109b)이 매립된 구조로 되어 있다.

또한, 상기 플러그부(109A) 및 상기 콘택트부(109B)상을 포함하는, 상기 제 1 층간 절연막(108)의 전면에 형성된 제2 층간 절연막(110)에, 상기 플러그부(109A)에 연결되는 플러그부(111A)와, 상기 콘택트부(109B)에 연결되는 배선층(111B)이 형성되어 있다.

상기 플러그부(111A) 및 상기 배선층(111B)은, 각각 상기 제2 층간 절연막(110)에 형성된 콘택트홀(110a) 및 도랑(110b)의 적어도 저면 및 측면에 형성된 Ti/TiN으로 이루어지는 베리어메탈층(111a) 상에 상기 홀(110a) 및 도랑(110b) 내에 텅스텐 또는 알루미늄으로 이루어지는 메탈층(111b)이 매립된 구조로 되어 있다.

그런데, 상기한 구성의 반도체 장치에 있어서, 예를 들어 상기 제2 층간 절연막(110)을 선택적으로 RIE(Reactive Ion Etching)법에 의해 가공하고, 상기 콘택트홀(110a) 및 상기 도랑(110b)을 각각 형성할 경우, 상기 제2 층간 절연막(110)의 상면을 CMP법에 의해 평탄화한 후, 리소그래피 공정에서의 패턴의 정렬 오차와, 치수의 변이, 또한 상기 제2 층간 절연막(110)의 막 두께의 변이 등을 고려하여 RIE 법에 의해 오버에칭하여 상기 제2 층간 절연막(110)의 가공이 행하여진다.

이 때문에, 상기 제2 층간 절연막(110)의 가공시에는, 상기 플러그부(109A) 및 상기 콘택트부(109B)에 각각 접하는, 상기 제1 층간 절연막(108)의 일부가 오버에칭되어 요부(112a, 112b)가 형성된다. 통상, 요부(112a, 112b)는, 상기한 리소그래피 공정에서의 패턴의 정렬 오차, 치수의 변이, 상기 제2 층간 절연막(110)의 막 두께의 변이 등이 복합적 그리고 랜덤하게 영향을 주어 여러가지 크기로 된다.

요부(112b)와 같이 그 면적이 클 경우에는 별도 문제로 되지 않지만, 요부(112a)와 같이 면적이 미소한 경우, 이 요부(112a) 내로의 상기 베리어메탈층(111a) 및 상기 메탈층(111b)의 형성이 불충하게 되어 보이드(void)의 발생을 초래하여 이 부분에서의 도전막의 충분한 커버리지를 기대할 수 없다는 결점이 있었다. 이들은, 콘택트 저항의 상승이나 오차 또는 배선의 신뢰성 저하를 억제한다는 면에서 불리하게 된다.

또한, 이와 같은 부적합은, 플러그부(111A) 및 배선층(111B)의 형성에 한정하지 않고, 예를 들어 하층 및 상층의 배선층 사이를 접속하는 콘택트、와이어의 형성이나, 스택형 캐패시터를 이용한 DRAM에서의 축적 전극의 형성에 있어서도 마찬가지이다.

예를 들어, DRAM의 셀 레이아웃에 있어서는, 칩 면적의 저감을 도모할 목적으로 보더레스 콘택트 기술이 이용되어 오고 있다. DRAM의 셀인 경우, 미세화와 함께 1비트당 고유 면적은 감소시켜도 캐패시터의 축적 용량은 수십fF 정도를 확보하지 않으면 않된다. 그 때문에, 미세화가 진행하는 DRAM에 있어서도 캐패시터에 스택형이나 트렌치형과 같은 3차원 구조가 채용되고 있다.

또한, 캐패시터 절연막의 재료로서, 실리콘 산화막이나 실리콘 질화막에서부터, 2산화 탄탈($Ta_2 0_5$)이나 티탄산 스트론튬($SrTi0_3$ (ST0)), 티탄산 베릴륨 스트론튬((Ba, Sr)TiO_3 (BSTO))라는 고유전체 박막의 사용이 검사되고 있다.

그러나, 이들 고유전체 박막을 0.20㎛ 이하의 최소 가공 치수로 작성하는 1G비트 DRAM 이후의 고집적화된 반도체 기억 장치에 적용하기 위해서는, 이 박막을 축적 전극상에 균일하게 고품위로 형성하지 않으면 않된다. 이 때문에, 미세화와 함께 핀형이나 표면의 조면화에 따른 복잡한 가공이 실시되고 있는 축적 전극의 메리트를 잃게 되는 결과로 된다. 이는, 고유전체 박막은 산화막 환산 막 두께에서는 박막이지만, 실 막 두께가 비교적 두껍게 되기 때문에 그 효과가 큰 영향을 미치지 않게 되기 때문이다.

또한, 복잡한 형상의 축적 전극에서는, 캐패시터의 누설 전류의 증가, 내압의 열화 및 신뢰성의 저하를 초래한다. 그 때문에, 캐패시터 절연막에 고유전체 박막을 이용할 경우에는, 축적 전극은 단순한 형상으로 하는 것이 바람직하다.

도 22는 단순한 스택형의 캐패시터를 이용한 종래의 DRAM 셀 구조를 나타내는 것이다.

예를 들어, n형 실리콘 기판(201)에는, 그 표면에 소자 분리용 트렌치부(202)가 선택적으로 형성되어 있음과 동시에, 게이트 전극(203)을 마스크로 하여 소스·드레인 영역으로 되는 p형 확산층(204)이 각각 형성되어 복수의 MOS 트랜지스터가 설치되어 있다.

상기 게이트 전극(203)은, 각각 상기 실리콘 기판(201)상에 게이트 산화막(205)상에 적층된 폴리실리콘과 텅스텐 실리사이드로 연결되어 있다. 또한, 게이트 전극(203)의 상면 및 측면은, 절연막(206)에 의해 덮여 있다.

그리고, 상기 MOS 트랜지스터의 소스·드레인 영역의 한쪽 확산층(204)에는, 폴리실리콘과 텅스텐 실리사이드로 이루어지는 비트선(207)이 접속되어 있다.

또한, 상기 비트선(207) 위를 포함하는 상기 실리콘 기판(201)의 전면에는 층간 절연막(208)이 형성되고, 이 층간 절연막(208)에는 상기 MOS 트랜지스터의 소스·드레인 영역의 다른쪽 확산층(204)에 연결되는 플러그부(209)가 설치되어 있다.

또한, 상기 층간 절연막(208)상에는, 상기 플러그부(209)에 연결되는 캐패시터의 축적 전극(210)이 형성됨과 동시에, 캐패시터 절연막(211)을 통해 플레이트 전극(212)이 설치되어 있다.

이 경우, 상기 축적 전극(210)에 Ru막을, 또한 상기 캐패시터 절연막(211)에 BSTO막을 각각 이용하여 단순한 구조의 스택형 캐패시터를 실현하고 있다.

그러나, 상기한 캐패시터의 경우, Ru를 RIE법에 의해 가공하여 축적 전극(210)을 형성한 후, 그 위에 CVD(Chemical Vapor Deposition)법에 의해 BSTO막을 퇴적시켜 캐패시터 절연막(211)을 형성하고, 또한 플레이트 전극(212)을 형성하도록 되어 있다. 이 때문에, 축적 전극(210)의 짧은 변측을 상기 플러그부(209)의 폭과 거의 동일 치수로 형성하도록 했을 경우에는 리소그래피 공정에서의 패턴의 정렬 오차나 치수의 변이 등을 고려하여 축적 전극(210)을 형성한 후에 플러그부(209)가 노출시키는 것이 도출된다.

즉, 플러그부(209)가 표면에 노출한 상태로 상기 BSTO막의 형성을 행하면, 축적 전극(210)과 물질이 다른 플러그부(209) 와의 사이에 캐패시터가 형성되게 된다. 이는, 캐패시터의 누설 전류의 증가, 내압의 열화, 및 신뢰성의 저하의 점에서 대단히 불리한 것으로 된다.

이와 같은 부적합을 해결하는 것으로서, 예를 들어 도 23에 도시하는 바와 같이, 플러그부(209) 위 및 상기 층간 절연막(208)상에 층간 절연막(301)을 퇴적시키며, 그 층간 절연막(301)의 캐패시터를 형성하는 영역에 도랑(302)을 설치함과 동시에, 이 도랑(302) 내에 축적 전극(210)을 형성하고, 그 도랑(302)의 저부에서 축적 전극(210)을 플러그부(209)와 접촉시키도록 하는 것으로, 플러그부(209)가 표면에 노출하는 것을 막는 방법이 제안되어 있다.

그러나, 상기한 구조의 캐패시터는, 상기 플러그부(209) 및 상기 도랑(302) 의 짧은 변측을 각각 최소 치수로 형성할 필요가 있기 때문에, 리소그래피 공정에서의 패턴의 정렬 오차와 캐패시터를 형성하는 영역에서의 에칭의 오버분에 의해 플러그부(209) 상면의 층간 절연막(301)뿐만 아니라 층간 절연막(208)의 일부까지도 여분으로 에칭되고, 플러그부(209)를 따르는 모양으로 요부(303)가 형성되게 된다.

이 요부(303)는, 정렬 오차의 정도와 에칭의 오버분이 각각 변이를 갖기 때문에 그 크기는 불균일하여 여러가지 애스펙트비를 갖도록 형성된다.

특히, 미소한 요부(303)에 대해서는, 축적 전극(210)의 형성이 불충분하게 되어 충분한 피복을 행할 수 없고, 이 축적 전극(210)상에 형성되는 캐패시터 절연막(211)이나 플레이트 전극(212)의 충분한 커버리지를 기대할 수 없다는 결점이 있었다. 이와 같은 캐패시터는, 누설 전류의 증가를 초래하게 되기 때문에, 신뢰성의 저하가 문제로 되어 있다.

상기한 바와 같이 종래에서는 리소그래피 공정에서의 패턴의 정렬 오차를 고려한 정렬 마진을 갖지 않는 보더레스한 콘택트 기술의 채용에 의해, 반도체 디바이스는 미세화 및 고집적화가 도모되고 있지만, 제1 및 제2 도전층 사이의 제3 절연막에, 제1 도전층과의 접촉을 위한 콘택트홀이나 도랑을 형성할 때에는 하지의 제1 절연막이 평탄화되어 있게 해도 제2 절연막의 막 두께의 오차나 에칭의 오차를 고려하면, 필연적으로 오버분을 포함하여 에칭이 행하여지게 되기 때문에, 오버에칭에 의해 하지의 제1 절연막도 에칭되고, 제1 도전층의 근방에 정렬 오차의 정도와 에칭의 오버분에 따른 요부가 형성된다는 결점이 있었다.

정렬 오차의 정도는, 어느 정해진 스펙(spec)의 범위 내에서 변이하기 때문에, 여러가지 크기의 요부가 형성되고, 특히 미소한 요부가 형성된 경우에는 콘택트홀이나 도랑 내로의 제2 도전층을 형성할 때 요부에서의 제2 도전층의 형성이 불충분하게 되어 콘택트 저항의 상승을 일으키는 등 확실한 콘택트를 방해하게 되어, 신뢰성의 저하를 초래한다는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

그래서, 본 발명은 제1 도전층과 제2 도전층을 확실하게 콘택트할 수 있고, 콘택트 불량에 의한 신뢰성의 저하를 방지하는 것이 가능한 반도체 장치 및 그 제조 방법을 제공하는 것을 목적으로 하고 있다.

또한, 본 발명은 플러그 전극과 축적 전극을 확실하게 콘택트할 수 있고, 콘택트 불량에 의한 신뢰성의 저하를 방지하는 것이 가능한 반도체 기억 장치 및 그 제조 방법을 제공하는 것을 목적으로 하고 있다.

상기의 목적을 달성하기 위해 본 발명의 반도체 장치는 제1 절연막 중에 매립된 제1 도전층, 이 제1 도전층을 포함하고, 상기 제1 절연막의 전면에 형성된 제 2 절연막, 이 제2 절연막, 상기 제1 도전층, 및 상기 제1 절연막 중 적어도 일부에 형성된 도랑부, 및 이 도랑 내에 설치되고 상기 제1 도전층에 접속된 제2 도전층으로 구성되어 있다.

또한, 본 발명의 반도체 기억 장치는, 정보 전송용 MOS 트랜지스터, 이 M0S 트랜지스터의 한쪽 소스·드레인 영역에 전기적으로 접속된 비트선, 상기 MOS 트랜지스터의 다른쪽 소스·드레인 영역에 전기적으로 접속된 플러그 전극, 이

플러그 전극 위를 포함해 상기 MOS 트랜지스터의 상면에 형성된 층간 절연막, 이 층간 절연막 및 상기 플러그 전극의 적어도 일부에 형성된 도랑부, 이 도랑부 내에 설치되고, 상기 플러그 전극에 전기적으로 접속된 축적 전극, 이 축적 전극 위를 포함하고, 상기 층간 절연막의 상면에 형성된 캐패시터 절연막, 및 이 캐패시터 절연막상에 형성된 플레이트 전극으로 구성되어 있다.

또한, 본 발명의 반도체 기억 장치는, 정보 전송용 MOS 트랜지스터, 이 M0S 트랜지스터를 덮도록 하여 설치된 제1 층간 절연막, 이 제1 층간 절연막을 통해 설치되고 상기 MOS 트랜지스터의 한쪽의 소스·드레인 영역에 전기적으로 접속된 제1 콘택트부, 상기 제1 층간 절연막을 통해 설치되고 상기 MOS 트랜지스터의 다른쪽 소스·드레인 영역에 전기적으로 접속된 제2 콘택트부, 상기 콘택트부 위를 포함하고 상기 제1 층간 절연막의 상면에 형성된 제2 층간 절연막, 이 제2 층간 절연막 및 상기 제1 콘택트부의 적어도 일부에 형성된 제1 도랑부, 이 제1 도랑부 내에 설치되고 상기 제1 콘택트부에 전기적으로 접속된 비트선, 이 비트선 위 및 상기 제2 층간 절연막의 상면에 형성된 제3 층간 절연막, 이 제3 층간 절연막 및 상기 제2 층간 절연막과 함께 상기 제2 콘택트부의 적어도 일부에 형성된 제2 도랑부, 상기 제2 도랑부 내에 설치되고 상기 제2 콘택트부에 전기적으로 접속된 플러그 전극과, 이 플러그 전극 위 및 상기 제3 층간 절연막의 상면에 형성된 제4 층간 절연막, 이 제4 층간 절연막 및 상기 플러그 전극의 적어도 일부에 형성된 제3 도랑부, 이 제3 도랑부 내에 설치되고, 상기 플러그 전극에 전기적으로 접속된 축적 전극, 이 축전 전극 위 및 상기 제4 층간 절연막의 상면에 형성된 캐패시터 절연막, 및 이 캐패시터 절연막 위에 형성된 플레이트 전극으로 구성되어 있다.

또한, 본 발명의 반도체 장치의 제조 방법은, 제1 절연막을 사이에 두고 제1 도전층을 형성하는 제1 공정, 상기 제1 도전층 및 상기 제1 절연막의 전면에 제2 절연막을 형성하는 제2 공정, 상기 제1 도전층의 적어도 일부에 대응하는 상기 제2 절연막을 선택적으로 제거하고 상기 제1 도전층에 이르는 깊이 이상의 도랑부를 형성하는 제3 공정, 상기 도랑부의 저면에 노출하는 상기 제1 도전층의 일부를 제거하는 제4 공정, 및 상기 도랑부 내에 상기 제1 도전층에 연결되는 제2 도전층을 형성하는 제5 공정으로 되어 있다.

또한, 본 발명의 반도체 기억 장치의 제조 방법은, 정보 전송용 M0S 트랜지스터를 형성하는 공정, 상기 MOS 트랜지스터의 한쪽의 소스·드레인 영역에 전기적으로 접속되는 비트선을 형성하는 공정, 상기 MOS 트랜지스터의 다른쪽 소스·드레인 영역에 전기적으로 접속되는 플러그 전극을 형성하는 공정, 상기 플러그 전극 및 상기 MOS 트랜지스터의 상면에 층간 절연막을 형성하는 공정, 상기 플러그 전극의 적어도 일부에 대응하는 상기 층간 절연막을 선택적으로 제거하고 상기 플러그 전극에 이르는 깊이 이상의 도랑부를 형성하는 공정, 상기 도랑부의 저면에 노출하는 상기 플러그 전극의 일부를 제거하는 공정, 상기 도랑부 내에 상기 플러그 전극에 전기적으로 연결되는 축적 전극을 형성하는 공정, 상기 축적 전극 위 및 상기 층간 절연막의 상면에 캐패시터 절연막을 형성하는 공정, 및 이 캐패시터 절연막상에 플레이트 전극을 형성하는 공정으로 되어 있다.

또한, 본 발명의 반도체 기억 장치의 제조 방법은, 정보 전송용 MOS 트랜지스터를 형성하는 공정, 상기 MOS 트랜지스터를 덮도록 하여 제1 층간 절연막을 형성하는 공정, 이 제1 층간 절연막을 통해 상기 MOS 트랜지스터의 한쪽 소스·드레인 영역에 전기적으로 연결되는 제1 콘택트부를 형성하는 공정, 상기 제1 층간 절연막을 통해 상기 MOS 트랜지스터의 다른쪽 소스·드레인 영역에 전기적으로 연결되는 제2 콘택트부를 형성하는 공정, 상기 콘택트부 위 및 상기 제1 층간 절연막의 상면에 제2 층간 절연막을 형성하는 공정, 상기 제1 콘택트부의 적어도 일부에 대응하는 상기 제2 층간 절연막을 선택적으로 제거하고 상기 제1 콘택트부에 이르는 깊이 이상의 제1 도랑부를 형성하는 공정, 상기 제1 도랑부의 저면에 노출하는 상기 제1 콘택트부의 일부를 제거하는 공정, 상기 제1 도랑부 내에 상기 제1 콘택트부에 전기적으로 연결되는 비트선을 형성하는 공정, 상기 비트선 위 및 상기 제2 층간 절연막의 상면에 제3 층간 절연막을 형성하는 공정, 상기 제2 콘택트부의 적어도 일부에 대응하는 상기 제3 층간 절연막 및 상기 제2 층간 절연막을 선택적으로 제거하고 상기 제2 콘택트부에 이르는 깊이 이상의 제2 도랑부를 형성하는 공정, 상기 제2 도랑부의 저면에 노출하는 상기

제2 콘택트부의 일부를 제거하는 공정, 상기 제2 도랑부 내에 상기 제2 콘택트부에 전기적으로 연결되는 플러그 전극을 형성하는 공정, 상기 플러그 전극 위 및 상기 제3 층간 절연막의 상면에 제4 층간 절연막을 형성하는 공정, 상기 플러그 전극의 적어도 일부에 대응하는 상기 제4 층간 절연막을 선택적으로 제거하고 상기 플러그 전극에 이르는 깊이 이상의 제3 도랑부를 형성하는 공정, 상기 제3 도랑부의 저면에 노출되는 상기 플러그 전극의 일부를 제거하는 공정, 상기 제3 도랑부 내에 상기 플러그 전극에 전기적으로 연결되는 축적 전극을 형성하는 공정, 상기 축적 전극 위 및 상기 제4 층간 절연막의 상면에 캐패시터 절연막을 형성하는 공정, 및 이 캐패시터 절연막상에 플레이트 전극을 형성하는 공정으로 되어 있다.

본 발명의 반도체 장치 및 그 제조 방법에 의하면, 제1 및 제2 도전층 사이의 제2 절연막에 제1 도전층에 연결되는 콘택트홀 또는 도랑을 형성할 때 제1 도전층과, 제2 도전층의 콘택트 부분에 미소한 요부가 형성되는 것을 억제할 수 있게 된다. 이로서, 콘택트홀 또는 도랑 내로의 제2 도전층의 형성에 의한 충분한 커버리지를 기대하는 것이 가능하게 되는 것이다.

본 발명의 반도체 기억 장치 및 그 제조 방법에 의하면, 층간 절연막에 플러그 전극에 연결되는 콘택트홀 또는 도랑을 형성할 때에 플러그 전극과, 축적 전극의 콘택트 부분에 미소한 요부가 형성되는 것을 억제할 수 있게 된다. 이로써, 콘택트홀 또는 도랑 내로의 축적 전극의 형성과 함께 캐패시터 절연막 및 플레이트 전극의 충분한 커버리지를 기대하는 것이 가능하게 되는 것이다.

발명의 구성 및 작용

이하, 본 발명의 실시 형태에 대해서 도면을 참조하여 설명한다.

도 1은, 본 발명의 제1 실시 형태에 따른 반도체 장치의 요부의 구성을 개략적으로 도시하는 것이다.

예를 들어, p형 실리콘 기판(11)의 표면에 선택적으로 실리콘 산화막으로 이루어지는 소자 분리 절연막(12)이 매립되어 소자 분리 영역(11a)이 형성되어 있다. 이 소자 분리 영역(11a)에서의 상기 실리콘 기판(11)의 상면에는, 게이트 전극(13A)이 설치되어 있다.

한편, 상기 소자 분리 영역(11a)을 제외한 소자 영역(11b)에의 상기 실리콘 기판(11)의 상면에는 게이트 산화막(14)을 통해 게이트 전극(13B)이 설치되어 있다.

게이트 전극(13A, 13B)은 각각 폴리실리콘(13a)과 텅스텐 실리사이드(13b)로 이루어지는 적층 구조를 갖고 있다. 그리고, 게이트 전극(13A, 13B)의 상면 및 측면에는 각각 실리콘 질화막으로 이루어지는 게이트 위 절연막(15) 및 게이트 측벽 절연막(16)이 설치되어 있다.

또한, 상기 소자 영역(11b)에서의 상기 실리콘 기판(11)의 표면에는, 상기 게이트 전극(13B)을 마스크로 하여 소스·드레인 영역으로 되는 n형의 얕은 확산층(17, 17)이 형성되어 있다.

그리고, 상기 게이트 전극(13A, 13B) 위 및 상기 실리콘 기판(11)의 전면에 형성된 제1 층간 절연막(18)에 제1 도전층으로서의 상기 게이트 전극(13A)에 연결되는 플러그부(19A)와, 상기 확산층(17, 17) 중 어느 한쪽에 연결되는 콘택트부(19B)가 형성되어 있다.

상기 플러그부(19A) 및 상기 콘택트부(19B)는 각각 상기 제1 층간 절연막(18)에 형성된 콘택트홀(18a)의 적어도 저면 및 측면에 형성된 Ti/TiN으로 이루어지는 베리어메탈층(19a)상에 상기 홀(18a) 내에 텅스텐 또는 알루미늄으로 이루어지는 메탈층(19b)이 매립된 구조로 되어 있다.

또한, 상기 플러그부(19A) 및 상기 콘택트부(19B) 위 및 상기 제1 층간 절연막(18)의 전면에 형성된 제2 층간 절연막(20)에, 제2 도전층으로서의 상기 플러그부(19A)에 연결되는 플러그부(21A)와 상기 콘택트부(19B)에 연결되는 배선층(21B)이 형성되어 있다.

상기 플러그부(21A) 및 상기 배선층(21B) 각각은 상기 제2 층간 절연막(20)에 형성된 도랑부를 이루는 콘택트홀(20a) 및 도랑(20b)의 적어도 저면 및 측면에 형성된 Ti/TiN으로 이루어지는 베리어메탈층(21a)상에 상기 홀(20a) 및 도랑(20b)내에 텅스텐 또는 알루미늄으로 이루어지는 메탈층(21b)이 매립된 구조로 되어 있다.

이 경우, 상기 플러그부(21A) 및 상기 배선층(21B)은, 예를 들어 거의 평탄한 저면을 갖아 각각 형성되고, 상기 플러그부(19A)와 콘택트 및 상기 콘택트부(19B)와의 접촉이 양호하게 행하여지도록 되어 있다.

즉, 상기 콘택트홀(20a) 및 상기 도랑(2Ob)을 각각의 저면이 거의 평탄하게 되도록 형성하는 것으로, 각 접촉 부분에 미소한 요부가 형성되는 것을 막고, 상기 플러그부(19A)과의 접촉을 위한 상기 플러그부(21A)의 형성 및 상기 콘택트부(19B)의 접촉을 위한 상기 배선층(21B)의 형성이 보다 확실하게 행하여지도록 되는 것이다.

다음에 도 2~도 7을 참조하여 상기한 구성의 반도체 장치를 제조하기 위한 방법에 대해서 설명한다.

먼저, p형 실리콘 기판(11)의 전면에, 예를 들어 열산화법에 의해 실리콘 산화막(31)을 형성한 후, 또 LPCVD법에 의해 실리콘 질화막(32)을 형성한다. 그리고, 기존의 리소그래피 기술을 이용해 패터닝하고, RIE법에 의해 소자 분리 영역(11a)상의 상기 실리콘 산화막(31)과 상기 실리콘 질화막(32)을 제거함과 동시에, 상기 실리콘 기판(11)의 표면에 소자 분리 영역을 형성하기 위한 도랑(33)을 형성한다.

상기 패터닝용 레지스트(도시하지 않음)를 제거한 후, LPCVD법 또는 플라즈마 CVD법에 의해 전면에 실리콘 산화막을 퇴적시킨다. 또한, 그 실리콘 산화막을, 예를 들어 CMP법에 의해 상기 실리콘 질화막(32)을 에칭 스토퍼로서 평탄화하는 것으로, 상기 도랑(33) 내에만 매립된 소자 분리 절연막(12)을 형성한다(이상, 도 2 참조).

다음으로, 상기 실리콘 질화막(32)을 가열한 인산 용액에 의해 박리한 후, 소자 영역(11b)상에 잔존하는 상기 실리콘 산화막(31)을, 불화 암모늄 용액을 이용해 에칭한다. 그 때, 상기 도랑(33) 내에 매립된 상기 소자 분리 절연막(12)의 표면도 동시에 제거하고, 상기 실리콘 기판(11)의 상면과 같은 높이로 되도록 한다(이상, 도 3 참조).

다음으로, 상기 소자 영역(11b)상에 산화법에 의해 게이트 산화막(14)을 형성한 후, 그 상면 및 상기 소자 분리 절연막(12)상에, LPCVD법에 의해 인을 도핑한 폴리실리콘(13a)을 또한 스퍼터법 혹은 CVD법에 의해 텅스텐 실리사이드(13b)를, 또 LPCVD법에 의해 실리콘 질화막을 각각 차례로 형성한다.

그리고, 그들을 리소그래피 기술을 이용해 패터닝하고, RIE법에 의해 에칭하여 게이트 전극(13A, 13B)과 게이트 위 절연막(15)을 형성한다. 또한, 상기 패터닝용 레지스트(도시하지 않음)를 제거한 후, 상기 게이트 전극(13B)을 마스크로, 소스ㆍ드레인 영역을 형성하기 위한 비소 또는 인을 주입하여 상기 실리콘 기판(11)의 표면에 확산층(17, 17)을 형성한다.

또한, 상기 게이트 전극(13A, 13B) 위를 실리콘 질화막을 퇴적시키고, 그것을 측벽에 남겨 에칭함으로써 게이트 측벽 절연막(16)을 각각 형성한다(이상, 도 4 참조).

다음으로, 상기 게이트 전극(13A, 13B)상을 포함하고, 상기 실리콘 기판(11)의 전면에, 예를 들어 LPCVD법에 의해 BPSG막을 퇴적시켜 제1 층간 절연막(18)을 형성한다.

그리고, 이 제1 층간 절연막(18)의 상면을 CMP법 등에 의해 평탄화한 후, 상기 게이트 전극(13A)에 연결되는 플러그부(19A)를 형성하기 위한 콘택트홀(18a)과, 상기 확산층(17, 17) 중 어느 한쪽에 연결되는 콘택트부(19B)를 형성하기 위한 콘택트홀(18a)을 각각 리소그래피 기술 및 CHF_3를 에칭 가스로 하는 RIE법에 의해 형성한다.

또한, 각 콘택트홀(18a)의 적어도 저면 및 측면에 스퍼터법에 의해 Ti/TiN으로 이루어지는 베리어메탈층(19a)을 형성한 후, 전면에 블랭킷 CVD법 등에 의해 텅스텐 또는 알루미늄으로 이루어지는 메탈층(19b)을 충분한 두께로 형성한다. 그리고, 그들을 CMP법에 의해 상기 각 홀(18a) 내에만 잔존하도록 제거하여 상기 플러그부(19A) 및 상기 콘택트부(19B)를 각각 형성한다(이상, 도 5 참조).

다음으로, 상기 플러그부(19A) 및 상기 콘택트부(19B) 위 및 상기 제1 층간 절연막(18)의 전면에, 예를 들어 LPCVD법 또는 플라즈마 CVD법에 의해 실리콘 산화막 등으로 이루어지는 제2 층간 절연막(20)을 형성한다.

그리고, 이 제2 층간 절연막(20)에 상기 플러그부(19A)에 연결되는 플러그부(21A)를 형성하기 위한 콘택트홀(20a)과, 상기 콘택트부(19B)에 연결되는 배선층(21B)을 형성하기 위한 도랑(20b)을, 각각 마찬가지로 하여 형성한다(이상, 도 6 참조).

여기서, 상기 콘택트홀(20a) 및 상기 도랑(20b)의 형성은, 예를 들어 기존의 리소그래피 공정에서의 패터닝에 이용되는 레지스트(도시하지 않음)를 마스크로 하고, CHF_3와 CO를 에칭 가스로 하는 RIE법에 의해 행해진다. 이 에칭 가스는, 상기 제2 층간 절연막(20)에 이용한 실리콘 산화막계의 절연 재료에 대한 에칭의 속도가 빠르고, 상기 플러그부(19A) 및 상기 콘택트부(19B)에 이용한 Ti/TiN과 텅스텐 또는 알루미늄에 대한 에칭 속도가 늦어 충분한 선택비가 얻어진다.

또한, RIE법에 의한 상기 콘택트홀(20a) 및 상기 도랑(20b)의 형성은, 상기 제2 층간 절연막(20)의 막 두께의 오차나 에칭의 오차 등을 고려하여 다소 오버에칭한다.

이 때문에, 리소그래피 공정에서의 패턴의 정렬 오차를 위해, 상기 플러그부(19A) 및 상기 콘택트부(19B)상의 상기 제2 층간 절연막(20) 뿐만 아니라, 정렬 오차의 정도에 따라 그 하지의 상기 제1 층간 절연막(18)의 일부가 에칭의 오버분에 의해 여분으로 에칭된다.

이 결과, 상기 콘택트홀(20a) 및 상기 도랑(20b)의 저면에 있어서는 상기 플러그부(19A) 및 상기 콘택트부(19B)의 일부가 에칭되지 않고 남으며, 저면에서 각각 노출하는 상기 플러그부(19A) 및 상기 콘택트부(19B)의 일부와, 상기 콘택트홀(20a) 및 상기 도랑(20b)의 저면(최심부)과 단차분을 갖은 요부(22a, 22b)가 형성된다.

상술과 같이, 이 요부(22a, 22b)의 존재가 홀(20a) 및 도랑(20b)에 형성되는 예정한 콘택트의 형성을 곤란하게 한다.

그래서, 상기 콘택트홀(20a) 및 상기 도랑(20b)의 저면이 전체적으로 최심부의 깊이와 거의 동일하게 되도록, 각각 노출된 상기 플러그부(19A) 및 상기 콘택트부(19B)의 일부(도면 중의 파선 부분)을 제거하고, 상기 콘택트홀(20a) 및 상기 도랑(20b)의 저면을 평탄화한다(이상, 도 7 참조).

여기서는, CHF_3와 CO로 이루어지는 에칭 가스와는 역인 에칭 선택비를 갖는 가스, 예를 들어 상기 제2 층간 절연막(20)에 대한 에칭 속도가 늦고, 상기 플러그부(19A) 및 상기 콘택트부(19B)에 대한 에칭 속도가 빠른 SF_6으로 이루어지는 에칭 가스가 이용된다.

또, 상기 콘택트홀(20a) 및 상기 도랑(20b)의 저면은 완전히 평탄화 할 필요가 없고 나중에 플러그부(21A) 또는 배선층(21B)을 형성함에 있어서, 베리어메탈층(21a)의 형성이 불충분하게 되는 등 지장이 생기지 않을 정도로, 상기 플러그부(19A) 및 상기 콘택트부(19B)의 일부를 제거하는 것이어도 된다.

최후에, 상기 콘택트홀(20a) 및 상기 도랑(20b)의 적어도 저면 및 측면이 충분히 피복되는 막 두께의 Ti/TiN으로 이루어지는 베리어메탈층(21a)을 스퍼터법 혹은 CVD법에 의해 형성하고, 질소 가스 분위기 중에서 어닐한 후, 전면에 블랭킷 CVD법 등에 의해 텅스텐 또는 알루미늄으로 이루어지는 메탈층(21b)을 충분한 두께로 형성한다.

그리고, 그들을 CMP법에 의해 상기 홀(20a) 및 상기 도랑(20b) 내에만 잔존하도록 제거하여 상기 플러그부(21A) 및 상기 배선층(21B)을 각각 형성하는 것으로 도 1에 도시한 구성의 반도체 장치가 얻어진다.

본 구성의 반도체 장치에 의하면, 배선층(21B)이 제2 층간 절연막(20) 중에 매립되는, 소위 다마신 구조에서 하지의 콘택트부(19B)와의 접속을 확실하게 하여 고신뢰성을 갖도록 할 수 있다.

또한, 하지의 플러그부(19A)와의 접속을 위한 플러그부(21A)를 형성할 경우에 있어서도, 콘택트 부분에 미소한 요부가 형성되는 것을 방지하는 것이 가능하게 되고, 베리어메탈층(21a)의 형성이 불충분하게 되어 보이드가 발생하며 콘택트 저항이 상승한다는 부적합을 해결할 수 있다.

상기한 바와 같이, 제2 층간 절연막에, 하부의 플러그부에 연결되는 상부의 플러그부를 형성하기 위한 콘택트홀, 및 하부의 콘택트부에 연결되는 상부의 배선층을 형성하기 위한 도랑을 형성할 때 하부의 플러그부 또는 콘택트부와 상부의 플러그부 또는 배선층과의 콘택트 부분에 미소한 요부가 형성되는 것을 억제할 수 있도록 하고 있다.

즉, 제2 층간 절연막에 형성한 콘택트홀 내 도는 도랑 내에 2층째의 플러그부 또는 배선층을 매립하는 구조의 반도체 장치에 있어서, 홀 및 도랑을 형성한 후,일층째의 플러그부 및 콘택트부의 일부를 제거하여 홀 및 도랑의 저면을 평탄화하도록 하고 있다. 이로써, 홀 내 또는 도랑 내에 2층째의 플러그부 또는 배선층을 충분히 형성시키는 것이 가능하게 되기 때문에, 2층째의 플러그부 또는 배선층의 충분한 커버리지를 기대할 수 있게 된다. 따라서, 1층째의 플러그부 또는 콘택트부와 2층째의 플러그부 또는 배선층을 확실하게 접촉할 수 있게 되고, 콘택트 저항이 상승이나 파선이라는 콘택트 불량에 의한 신뢰성의 저하를 방지하는 것이 가능하게 되는 것이다.

또, 상기한 본 발명의 제1 실시 형태에 있어서는, 플러그부 및 콘택트부로서 Ti/TiN으로 이루어지는 베리어메탈층상에 텅스텐 또는 알루미늄으로 이루어지는 메탈층을 매립한 구조에 대해서 설명했지만, 이에 한정되지 않고, 예를 들어 비소 혹은 인을 도핑한 폴리실리콘을 매립 구조로 하는 것도 가능하다.

이 경우, 콘택트홀 및 도랑의 저면을 평탄화할 때의 에칭 가스로서, 폴리실리콘으로 이루어지는 플러그부 및 콘택트부의 일부를 에칭하기 위해 Cl_2 또는 HBr을 이용하도록 하면 된다.

또한, p형 실리콘 기판의 경우에 한정되지 않고, 예를 들어 n형을 갖는 실리콘 기판의 경우에도 마찬가지로 적용할 수 있다.

또한, 1층째의 플러그부 또는 콘택트부에, 2층째의 플러그부 또는 배선층이 각각 접속된 2층 구조의 반도체 장치에 한정되지 않고, 예를 들어 3층 구조 이상의 반도체 장치에도 적용 가능하다.

도 8은 상기한 제1 형태에 따른 반도체 장치의 응용으로서 2층째의 플러그부(21A)를 더 상층인 배선층(40)과 접속하도록 했을 경우를 예로 나타내는 것이다.

이 경우, 상기 플러그부(21A) 및 상기 배선층(21B) 및 상기 제2 층간 절연막(20) 전면에 제3 층간 절연막(41)을 형성한다. 그리고, 이 제3 층간 절연막(41)에 RIE법에 의해 상기 플러그부(21A)에 연결되는 플러그부(42)를 형성하기 위한 콘택트홀(41a)을 형성한다.

이 후, 그 콘택트홀(41a)의 저면이 평탄하게 되도록, 예를 들어 상기 콘택트홀(20a)의 저면을 평탄화했을 때와 마찬가지의 조건으로 상기 홀(41a) 내에 노출된 상기 플러그부(21A)의 일부를 에칭하여 제거한다.

그런 후, 상기 제3 층간 절연막(41)의 상면에, 예를 들어 스퍼터법 혹은 CVD법에 의해 형성되는 Ti/TiN으로 이루어지는 베리어메탈층(40a)상에 블랭킷 CVD법 등에 의해 텅스텐 또는 알루미늄으로 이루어지는 메탈층(40b)을 형성하고, 그것을 리소그래피 기술에 의해 소정의 형상으로 패터닝하여, 상기 플러그부(42)에 연결되는 상층의 배선층(40)이 형성되어지는 구조의 반도체 장치가 얻어진다.

이 구성의 반도체 장치의 경우, 플러그부(21A)의 플러그부(19A)와의 접촉 부분 및 배선층(21B)의 콘택트부(19B)와의 접촉 부분뿐만 아니라 상기 플러그부(42)를 상기 플러그부(21A)에 확실하게 접촉시키는 것이 가능하게 되는 것이다.

도 9는 상기한 제1 형태에 따른 반도체 장치의 다른 응용으로서, 2층째의 플러그부(21A)를 더 상층인 다마신 구조의 배선층(45)과 접속하도록 했을 경우를 예로 나타내는 것이다.

이 경우, 상기 제3 층간 절연막(41)에, 상기 플러그부(21A)에 연결되는 상기 플러그부(42)를 형성한 후, 또한 그 플러그부(42) 및 상기 제3 층간 절연막(41)의 전면에 제4 층간 절연막(46)을 형성한다. 그리고, 이 제4 층간 절연막(46)에, RIE법에 의해 상기 플러그부(42)에 연결되는 배선층(45)을 형성하기 위한 도랑(46a)을 형성한다.

이 후, 그 도랑(46a)의 저면이 평탄하게 되도록, 예를 들어 상기 콘택트홀(20a)의 저면을 평탄화했을 때와 마찬가지의 조건에서 상기 도랑(46a) 내에 노출된 상기 플러그부(42)의 일부를 에칭하여 제거한다.

그런 후, 그 도랑(46a) 내에 베리어메탈층(45a) 및 메탈층(45b)이 마찬가지로 형성되어, 상기 플러그부(42)에 연결되는 다마신 구조의 배선층(45)이 형성된 구조의 반도체 장치가 얻어진다.

이 구조의 반도체 장치의 경우, 플러그부(21A)의 플러그부(19A)와의 접촉 부분, 배선층(21B)의 콘택트부(19B)와의 접촉 부분 및 플러그부(42)의 플러그부(21A)와의 접촉 부분에 더하여, 상기 배선층(45)을 상기 플러그부(42)에 확실하게 접촉시키는 것이 가능하게 되는 것이다.

또한, 보더레스 콘택트 기술을 이용해 형성한 전형적인 반도체 장치에 한정되지 않고, 예를 들어 스택형 캐패시터 구조를 갖는 DRAM에도 적용할 수 있다.

도 10 및 도 11은, 본 발명의 제2 실시 형태에 따른 반도체 기억 장치로서의 스택형 캐패시터를 이용한 DRAM의 개략 구성을 나타내는 것이다. 또, 도 10은 셀구조를 나타내는 평면도이고, 도 11a는 도 10의 A-A선을 따른 단면도이며, 도 11b는 마찬가지로 B-B선을 따른 단면도이고, 도 11c는 마찬가지로 C-C선을 따른 단면도이다.

이 경우, 예를 들어 도 11a, 도 11b, 도 11c에 각각 나타내는 바와 같이, p형 실리콘 기판(51)에는, 그 표면에 실리콘 산화막으로 이루어지는 소자 분리 절연막(52)이 매립되어 소자 분리 영역(51a)이 선택적으로 형성되어 있다.

이 소자 분리 영역(51a)에서의 상기 실리콘 기판(51)의 상면 및 상기 소자 분리 영역(51a)을 제외한 소자 영역(51b)의 상기 실리콘 기판(51)의 상면에는, 각각 게이트 산화막(53)을 통해 복수의 게이트 전극(워드선 ; 54)이 설치되어 있다(도 11b 참조).

각 게이트 전극(54)은, 폴리실리콘과 텅스텐 실리사이드로 이루어져 있다. 또한, 각 게이트 전극(54)의 상면 및 측면에는, 각각 실리콘 질화막으로 이루어지는 게이트 위 절연막(55) 및 게이트 측벽 절연막(56)이 설치되어 있다.

그리고, 상기 소자 영역(51b)에서의 상기 실리콘 기판(51)의 표면에는, 각 게이트 전극(54)을 마스크로 하여 소스·드레인 영역으로 되는 n형 확산층(57a, 57b)이 각각 형성되고 복수의 MOS 트랜지스터가 설치되어 있다.

또한, 상기 MOS 트랜지스터의 소스·드레인 영역의 한쪽 확산층(57a)에는, 폴리실리콘으로 이루어지는 콘택트부(58) 및 폴리실리콘과 텅스텐 실리사이드로 이루어지는 플러그부(59)를 통해 폴리실리콘과 텅스텐 실리사이드로 이루어지는 비트선(60)이 접속되어 있다(도 11c 참조).

또한, 상기 MOS 트랜지스터의 소스·드레인 영역의 다른쪽의 확산층(57b)에는, 폴리실리콘으로 이루어지는 콘택트부(61) 및 폴리실리콘과 텅스텐 실리사이드로 이루어지는 플러그부(62)를 통해 캐패시터의 축적 전극(63)이 접속되어 있다(도 11a, 도 11b 참조).

상기 축적 전극(63)은, 예를 들어 제1~제4의 실리콘 산화막(64~67)으로 이루어지는 층간 절연막(68)의, 캐패시터를 형성하는 영역에 형성된 도랑(67a)의 측면 및 저면을 따라 설치되고, 그 저부에서 상기 플러그부(62)와 접속되어 있다.

그리고, 상기 축적 전극(63) 위 및 상기 층간 절연막(68)의 전면에는, 캐패시터 절연막(69)을 통해 플레이트 전극(70)이 설치되어 있다(도 11a, 도 11b, 도 11c 참조).

이 경우, 상기 플러그부(59, 62) 및 상기 축적 전극(63)은, 예를 들어 거의 평탄한 저면을 갖고 각각 형성되고, 상기 플러그부(59)의 상기 콘택트부(58)와의 접촉, 상기 플러그부(62)의 상기 콘택트부(61)와의 접촉 및 상기 축적 전극(63)의 상기 플러그부(62)와의 접촉이 각각 양호하게 행하여지도록 되어 있다.

다음에, 도 12~도 20을 참조하여, 상기한 구성의 DRAM을 제조하기 위한 방법에 대해서 설명한다. 또, 도 12~도 20에 있어서 각 도면의 a는 도 10의 A-A선을 타른 단면도이고, 각 도면의 b는 B-B선을 따른 단면도이며, 각 도면의 c는 같은 C-C선을 따른 단면도에 각각 대응하는 것이다.

먼저, p형 실리콘 기판(51)의 전면에, 예를 들어 열산화법에 의해 실리콘 산화막(71)을 형성한 후, 또한 LPCVD법에 의해 실리콘 질화막(72)을 형성한다. 그리고, 기지의 리소그래피 기술을 이용해 패터닝하고, RIE법에 의해 소자 분리 영역(51a)상의 상기 실리콘 산화막(71)과 상기 실리콘 질화막(72)을 제거함과 동시에, 상기 실리콘 기판(51)의 표면에 소자 분리 영역을 형성하기 위한 도랑(73)을 형성한다.

상기 패터닝용 레지스트(도시하지 않음)를 제거한 후, LPCVD법 또는 플라즈마 CVD법에 의해 전면에 실리콘 산화막을 퇴적시킨다. 또한, 그 실리콘 산화막을, 예를 들어 CMP법에 의해 상기 실리콘 질화막(72)을 에칭 스토퍼로서 평탄화하여 상기 도랑(72) 내에만 매립된 소자 분리 절연막(52)을 형성한다(도 12a, 도 12b, 도 12c 참조).

다음으로, 상기 실리콘 질화막(72)을 가열한 인산 용액에 의해 박리한 후, 소자 영역(51b)상에 잔존하는 실리콘 산화막(71)을, 불화 암모늄 용액을 이용해 에칭한다. 그 때, 상기 도랑(73) 내에 매립된 상기 소자 분리 절연막(52)의 표면도 마찬가지로 제거하고, 상기 실리콘 기판(51)의 상면과 같은 높이로 되도록 한다.

다음으로, 상기 실리콘 기판(51)의 상면에 산화법에 의해 게이트 산화막(53)을 형성한 후, 그 상면에 LPCVD법에 의해 인을 도핑한 폴리실리콘(54a)을, 또한 스퍼터법 혹은 CVD법에 의해 텅스텐 실리사이드(54b)를, 또한 LPCVD법에 의해 실리콘 질화막을 각각 차례로 형성한다.

그리고, 그들을 리소그래피 기술을 이용해 패터닝하고, RIE법에 의해 에칭하여 게이트 전극(54)과 게이트상 절연막(55)을 형성한다. 또한, 상기 패터닝용 레지스트(도시하고 있지 않음)를 제거한 후, 상기 게이트 전극(54)을 마스크로 소스、드레인 영역을 형성하기 위한 비소 또는 인을 주입하여 상기 실리콘 기판(51)의 표면에 확산층(57a, 57b)을 형성한다.

또한, 상기 게이트 전극(54)상에 실리콘 질화막을 퇴적시키고, 그것이 측벽에 남도록 에칭함으로서 게이트 측벽 절연막(56)을 각각 형성한다(도 13b 참조).

다음으로, 상기 게이트 전극(54) 위 및 상기 실리콘 기판(51)의 전면에, 예를 들어 LPCVD법 혹은 플라즈마 CVD법에 의해 제1 실리콘 산화막(64)을 비교적 두껍게 퇴적시킨다.

그리고, 이 제1 실리콘 산화막(64)의 상면을 CMP법 등에 의해 평탄화한 후, 상기 확산층(57a)에 연결되는 콘택트부(58)를 형성하기 위한 콘택트홀(64a)과, 상기 확산층(57b)에 연결되는 콘택트부(61)를 형성하기 위한 콘택트홀(64b)을 각각 리소그래피 기술과 CHF_3를 에칭 가스로 하는 RIE법에 의해 형성한다.

또한, 각 콘택트홀(64a, 64b)상에 퇴적시킨 비소 또는 인을 도핑한 폴리실리콘을 CMP법 혹은 CDE법에 의해 상기 각 홀(64a, 64b) 내에만 잔존하도록 제거하여 상기 콘택트부(58, 61)를 각각 형성한다(도 13a, 도 13b, 도 13c 참조).

다음으로, 상기 콘택트부(58, 61) 위 및 상기 제1 실리콘 산화막(64)의 전면에, 예를 들어 LPCVD법 또는 플라즈마 CVD법에 의해 제2 실리콘 산화막(65)을 형성한다. 그리고, 이 제2 실리콘 산화막(65)에, 상기 콘택트부(58)에 연결되는 플러그부(59)를 형성하기 위한 콘택트홀(65a)을 마찬가지로 형성한다.

다음으로, 상기 콘택트홀(65a)의 저면에 노출된 상기 콘택트부(58)의 일부를 Cl_2 혹은 HBr로 이루어지는 에칭 가스를 이용해 제거하고, 상기 콘택트홀(65a)의 저면을 평탄화한다.

이로써, 상기 콘택트홀(65a)을 RIE법에 의해 형성할 때의 상기 제2 실리콘 산화막(65)의 막 두께의 변이나 에칭의 변이를 고려하여 오버 에칭과, 리소그래피 공정에서의 DRAM 셀의 패턴의 정렬 불량에 의해 상기 콘택트홀(65a)의 저면에 형성되는 미소한 요부(81)를 없애는 것이 가능하게 된다(도 14c 참조).

이 후, 상기 제2 실리콘 산화막(65)에 상기 비트선(60)을 형성하기 위한 도랑(65b)을 형성함과 동시에, 상기 콘택트홀(65a) 및 상기 도랑(65b)의 적어도 저면 및 측면이 충분히 피복되는 막 두께의 Ti/TiN으로 이루어지는 베리어메탈층(60a)을 스퍼터법 혹은 CVD법에 의해 형성하고, 질소 가스 분위기중에서 어닐한 후, 전면에 블랭킷 CVD법 등에 의해 텅스텐 또는 알루미늄으로 이루어지는 메탈층(60b)을 충분한 두께로 형성한다.

그리고, 그들을 CMP법에 의해 상기 홀(65a) 및 상기 도랑(65b) 내에만 잔존하도록 제거하여 상기 플러그부(59)와 함께 상기 비트선(60)을 형성한다(도 15a, 도 15c 참조).

다음으로, 상기 플러그부(59) 및 상기 비트선(60) 위 및 상기 제2 실리콘 산화막(65)의 전면에, 예를 들어 LPCVD법 또는 플라즈마 CVD법에 의해 제3 실리콘 산화막(66)을 형성한다. 그리고, 이 제3 실리콘 산화막(66) 및 상기 제2 실리콘 산화막(65)에, 마찬가지로 하여 상기 콘택트부(61)에 연결되는 플러그부(62)를 형성하기 위한 콘택트홀(66a)을 일체적으로 형성한다(도 16a, 도 16b 참조).

이 경우도, 상기 콘택트홀(66a)을 RIE법에 의해 형성할 때 상기 콘택트홀(66a)의 저면에 형성되는 미소한 요부(82)를 없애기 위해, 상기 콘택트홀(66a)의 저면에 노출된 상기 콘택트부(61)의 일부를 Cl_2 혹은 HBr로 이루어지는 에칭 가스를 이용해 제거하고, 상기 콘택트홀(66a)의 저면을 평탄화한다(도 17a, 도 17b 참조).

다음으로, 상기 콘택트홀(66a)의 적어도 저면 및 측면이 충분히 피복되는 막 두께의 Ti/Tin으로 이루어지는 베리어메탈층(62a)을 스퍼터법 혹은 CVD법에 의해 형성하고, 질소 가스 분위기 중에 어닐한 후 전면에 블랭킷 CVD법 등에 의해 텅스텐 또는 알루미늄으로 이루어지는 메탈층(62b)을 충분한 두께로 형성한다. 그리고, 그들을 CMP법에 의해 상기 홀(66a) 내에만 잔존하도록 제거하여 상기 플러그부(62)를 형성한다(도 18a, 도 18b 참조).

다음으로, 상기 플러그부(62) 위 및 상기 제3 실리콘 산화막(66)의 전면에, 예를 들어 LPCVD법 또는 플라즈마 CVD법에 의해 제4 실리콘 산화막(67)을 형성한다. 그리고, 이 제4 실리콘 산화막(67)에, 마찬가지로 하여 상기 플러그부(62)에 연결되는 캐패시터의 축적 전극(63)을 형성하기 위한 도랑(67a)을 상기 플러그부(62)의 상면 전부가 노출할 수 있는 크기로 형성한다(도 19a, 도 19b 참조).

이 경우도, 상기 도랑(67a)을 RIE법에 의해 형성할 때 상기 도랑(67a)의 저면에 형성되는 미소한 요부(83)를 없애기 위해, 상기 도랑(67a)의 저면에 노출된 상기 플러그부(62)의 상면을 SF_6으로 이루어지는 에칭 가스를 이용해 제거하고, 상기 도랑(67a)의 저면을 평탄화한다(도 20a, 도 20b 참조).

다음으로, 상기 도랑(67a)의 적어도 저면 및 측면에서 원하는 막 두께로 되도록 Ru를 형성한 후, 그것을 CMP법에 의해 상기 도랑(67a) 내에만 잔존하도록 제거하여 상기 축적 전극(63)을 형성한다.

또한, 이 축적 전극(63) 위 및 상기 제4 실리콘 산화막(67)의 전면에 대해 상기 도랑(67a)의 저면 및 측면에서 원하는 막 두께로 되도록 BSTO막을 스퍼터법 혹은 CVD법에 의해 퇴적시켜 캐패시터 절연막(69)을 형성함과 동시에, 이 캐패시터 절연막(69)을 통해, 상기 도랑(67a)의 저면 및 측면에서 원하는 막 두께로 되도록 Ru를 퇴적시켜 플레이트 전극(70)을 형성함으로써, 도 10 및 도 11에 도시한 셀 구조를 갖는 DRAM이 얻어진다.

이와 같은 셀 구조를 갖는 DRAM에 의하면, 플러그부(62)에 연결되는 도랑(67a)을 형성할 때, 플러그부(62)의 축적 전극(63)과의 콘택트 부분에 미소한 요부(83)가 형성되는 것을 억제할 수 있게 된다. 이로써, 도랑(67a)내에 축적 전극(63)을 형성하는 것과 함께, 캐패시터 절연막(69) 및 플레이트 전극(70)의 충분한 커버리지를 기대할 수 있게 된다. 따라서, 하부의 플러그부(62)와 상부의 축적 전극(63)을 확실하게 접촉할 수 있게 되고, 콘택트 저항의 상승이나 파선으로 인한 콘택트 불량에 의한 신뢰성의 저하를 방지하는 것이 가능하게 되는 것이다.

또한, 이 구성의 경우, 하부의 콘택트부(58)와 상부의 플러그부(59)의 접촉 부분 및 하부의 콘택트부(61)와 상부의 플러그부(62)와의 접촉 부분에 대해서도 마찬가지의 효과를 기대할 수 있다.

또, 상기 콘택트홀(65a, 66a) 및 상기 도랑(67a)의 저면은 완전히 평탄화할 필요는 없고, 적당히, 도전막을 충분히 형성하는 것이 가능하게 되는 범위로 행하여도 된다.

또한, 상기 축적 전극(63)은, 도랑(67a) 안을 매립하도록 박리가 용이한 희생 산화막을 형성하고, Ru를 RIE법에 의해 에칭한 후에 상기 희생 산화막을 박리함으로써 형성할 수도 있다.

또한, 상기 축적 전극(63)의 형성에 있어서, 예를 들어 도랑(67a)을 60~88° 정도의 각도를 가진 순테퍼 형상으로 형성하도록 했을 경우에는, 간단한 스퍼터법에 의한 성막이 가능하다.

또한, 상기 축적 전극(63) 및 상기 플레이트 전극(70)의 전극 재료로서는, Ru 이외에, 예를 들어 Pt, Re, Os, Rh, Ir, Sr 또는 상기 Ru를 포함하고, 이들 산화물 혹은 이들의 합금 또는 그 산화물 혹은 W, Nb, Al, Ti, Ta 또는 이들의 질화물 혹은 Mo, Cu, Pb 중 어느 하나를 이용하는 것도 가능하다.

또한, 상기 캐패시터 절연막(69)으로서는, BSTO막 이외에, 예를 들어 $BaTi0_3$, $SrTi0_3$, $PbZr0_3$, $LiNbO_3$, $Bi_4Ti_30_{12}$, Ta_20_5 중 어느 하나를 이용하는 것도 가능하다.

그 외, 본 발명의 요지를 바꾸지 않는 범위에서 여러가지 변형 실시 가능한 것은 물론이다.

발명의 효과

이상, 상술한 바와 같이 본 발명에 의하면, 제1 도전층과 제2 도전층을 확실하게 접촉할 수 있고, 콘택트 불량에 의한 신뢰성의 저하를 방지하는 것이 가능한 반도체 장치 및 그 제조 방법을 제공할 수 있다.

또한, 본 발명에 의하면, 플러그 전극과 축적 전극을 확실하게 콘택트할 수 있고, 콘택트 불량에 의한 신뢰성 저하를 방지하는 것이 가능한 반도체 기억 장치및 그 제조 방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 장치에 있어서, 제1 절연막 중에 매립된 제1 도전층; 상기 제1 도전층 및 상기 제1 절연막의 전면(全面)에 형성된 제2 절연막; 상기 제2 절연막, 상기 제1 도전층 및 상기 제1 절연막 중 적어도 일부에 형성되며 저면(底面)이 실질적으로 평탄한 도랑부(trench portion); 및 상기 도랑부 내에 설치되고 상기 제1 도전층에 전기적으로 접속된 제2 도전층을 구비한 것을 특징으로 하는 반도체 장치.

청구항 2.

제1항에 있어서, 상기 제1 도전층은 플러그 전극이고, 상기 제2 도전층은 배선층인 것을 특징으로 하는 반도체 장치.

청구항 3.

제1항에 있어서, 상기 제1 도전층은 배선층이고, 상기 제2 도전층은 플러그 전극인 것을 특징으로 하는 반도체 장치.

청구항 4.

제1항에 있어서, 상기 제1 도전층 및 상기 제2 도전층은 플러그 전극인 것을 특징으로 하는 반도체 장치.

청구항 5.

제1항에 있어서, 상기 제1 도전층은 플러그 전극이고, 상기 제2 도전층은 캐패시터의 축적 전극인 것을 특징으로 하는 반도체 장치.

청구항 6.

반도체 기억 장치에 있어서, 정보 전송용 MOS 트랜지스터; 상기 MOS 트랜지스터의 한쪽의 소스·드레인 영역에 전기

적으로 접속된 비트선; 상기 MOS 트랜지스터의 다른쪽 소스、드레인 영역에 전기적으로 접속된 플러그 전극; 상기 플러그 전극 및 상기 M0S 트랜지스터의 상면에 형성된 층간 절연막; 상기 층간 절연막 및 상기 플러그 전극 중 적어도 일부에 형성되며 저면이 실질적으로 평탄한 도랑부; 상기 도랑부 내에 설치되고, 상기 플러그 전극에 전기적으로 접속된 축적 전극; 상기 축적 전극 및 상기 층간 절연막의 상면에 형성된 캐패시터 절연막; 및 상기 캐패시터 절연막상에 형성된 플레이트 전극을 구비한 것을 특징으로 하는 반도체 기억 장치.

청구항 7.

제6항에 있어서, 상기 축적 전극은 상기 도랑부의 적어도 저면 및 측면에 설치되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 8.

제6항에 있어서, 상기 비트선 및 상기 플러그 전극의 각각은 콘택트부를 각각 가지고, 상기 MOS 트랜지스터의 한쪽/다른쪽 소스、드레인 영역에 각각 접속되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 9.

제8항에 있어서, 상기 각 콘택트부에 대한, 상기 비트선 및 상기 플러그 전극의 접촉면은 모두 평탄화되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 10.

반도체 기억 장치에 있어서, 정보 전송용 MOS 트랜지스터; 상기 MOS 트랜지스터를 덮도록 설치된 제1 층간 절연막; 상기 제1 층간 절연막을 통해 설치되고, 상기 MOS 트랜지스터의 한쪽 소스、드레인 영역에 전기적으로 접속된 제1 콘택트부; 상기 제1 층간 절연막을 통해 설치되고, 상기 MOS 트랜지스터의 다른쪽 소스、드레인 영역에 전기적으로 접속된 제2 콘택트부; 상기 콘택트부 및 상기 제1 층간 절연막의 상면에 형성된 제2 층간 절연막; 상기 제2 층간 절연막 및 상기 제1 콘택트부 중 적어도 일부에 형성된 제1 도랑부; 상기 제1 도랑부 내에 설치되고, 상기 제1 콘택트부에 전기적으로 접속된 비트선; 상기 비트선 및 상기 제2 층간 절연막의 상면에 형성된 제3 층간 절연막; 상기 제3 층간 절연막 및 상기 제2 층간 절연막과 함께, 상기 제2 콘택트부 중 적어도 일부에 형성된 제2 도랑부; 상기 제2 도랑 내에 설치되고, 상기 제2 콘택부에 전기적으로 접속된 플러그 전극; 상기 플러그 전극 및 상기 제3 층간 절연막의 상면에 형성된 제4 층간 절연막; 상기 제4 층간 절연막 및 상기 플러그 전극 중 적어도 일부에 형성된 제3 도랑부; 상기 제3 도랑 내에 설치되고, 상기 플러그 전극에 전기적으로 접속된 축적 전극; 상기 축적 전극 및 상기 제4 층간 절연막의 상면에 형성된 캐패시터 절연막; 및 상기 캐패시터 절연막상에 형성된 플레이트 전극을 구비하며, 상기 각 도랑부는 각각의 저면이 평탄한 것을 특징으로 하는 반도체 기억 장치.

청구항 11.

제6항에 있어서, 상기 축적 전극 및 상기 플레이트 전극은, Ru, Pt, Re, Os, Rh, Ir, Sr 또는 이들 산화물, 혹은 이들의 합금 또는 그 산화물, 혹은 W, Nb, Al, Ti, Ta 또는 이들 질화물, 혹은 Mo, Cu, Pb 중 어느 하나 이상을 이용해 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 12.

제10항에 있어서, 상기 축적 전극 및 상기 플레이트 전극은 Ru, Pt, Re, Os, Rh, Ir, Sr 또는 이들 산화물, 혹은 이들 합금 또는 그 산화물, 혹은 W, Nb, Al, Ti, Ta 또는 이들 질화물, 혹은 Mo, Cu, Pb 중 하나 이상을 이용해 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 13.

제6항에 있어서, 상기 캐패시터 절연막은 (Ba, Sr)TiO $_3$, BaTi0$_3$、SrTi0$_3$、PbZr0$_3$、LiNb0$_3$、Bi$_4$Ti$_3$0$_{12}$, Ta$_2$0$_5$ 중 어느 하나를 이용해 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 14.

제10항에 있어서, 상기 캐패시터 절연막은 (Ba, Sr)TiO $_3$, BaTi0$_3$、SrTi0$_3$、PbZr0$_3$、LiNb0$_3$、Bi$_4$Ti$_3$0$_{12}$, Ta$_2$0$_5$중 어느 하나를 이용해 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 15.

제10항에 있어서, 상기 축적 전극은 상기 제3 도랑부의 적어도 저면 및 측면에 설치되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 16.

반도체 장치의 제조 방법에 있어서, 제1 절연막을 통해 제1 도전층을 형성하는 제1 공정; 상기 제1 도전층 및 상기 제1 절연막의 전면에 제2 절연막을 형성하는 제2 공정; 상기 제1 도전층의 적어도 일부에 대응하는 상기 제2 절연막을 선택적으로 제거하여, 상기 제1 도전층에 이르는 깊이 이상의 도랑부를 형성하는 제3 공정; 상기 도랑부의 저면이 실질적으로 평탄하게 되도록 상기 도랑부의 저면에 노출된 상기 제1 도전층의 일부를 선택적으로 제거하는 제4 공정; 및 상기 도랑부 내에, 상기 제1 도전층에 전기적으로 접속되는 제2 도전층을 형성하는 제5 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17.

반도체 기억 장치의 제조 방법에 있어서, 정보 전송용 MOS 트랜지스터를 형성하는 공정; 상기 MOS 트랜지스터의 한쪽 소스、드레인 영역에 전기적으로 접속되는 비트선을 형성하는 공정; 상기 MOS 트랜지스터의 다른쪽 소스、드레인 영역에 전기적으로 접속되는 플러그 전극을 형성하는 공정; 상기 플러그 전극 및 상기 MOS 트랜지스터의 상면에 층간 절연막을 형성하는 공정; 상기 플러그 전극의 적어도 일부에 대응하는 상기 층간 절연막을 선택적으로 제거하고, 상기 플러그 전극에 이르는 깊이 이상의 도랑부를 형성하는 공정; 상기 도랑부의 저면이 실질적으로 평탄하게 되도록 상기 도랑부의 저면에 노출된 상기 플러그 전극의 일부를 선택적으로 제거하는 공정; 상기 도랑부 내에, 상기 플러그 전극에 전기적으로 접속되는 축적 전극을 형성하는 공정; 상기 축적 전극 및 상기 층간 절연막의 상면에 캐패시터 절연막을 형성하는 공정; 및 상기 캐패시터 절연막상에 플레이트 전극을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

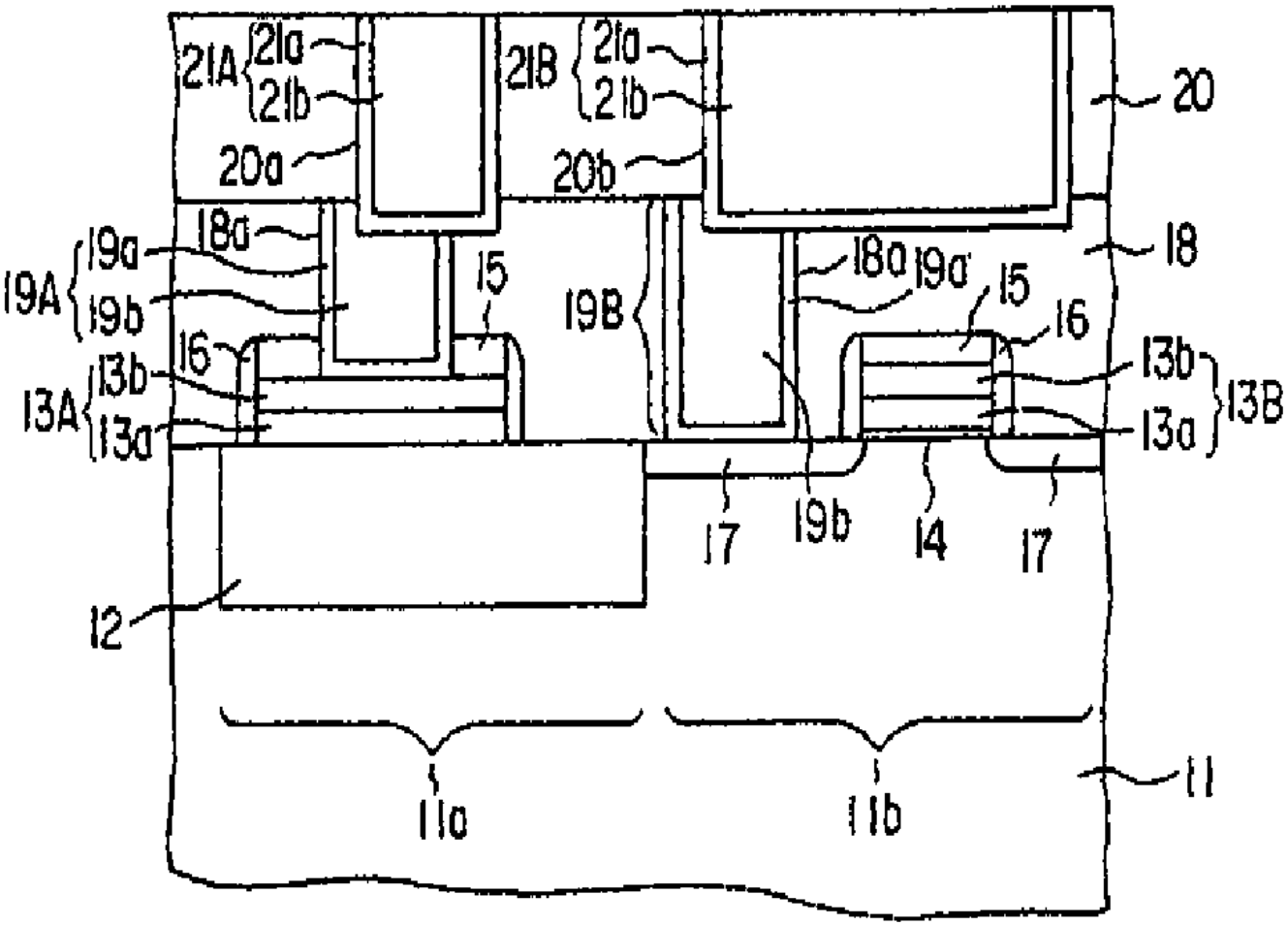
청구항 18.

반도체 기억 장치의 제조 방법에 있어서, 정보 전송용 MOS 트랜지스터를 형성하는 공정; 상기 MOS 트랜지스터를 덮도록 제1 층간 절연막을 형성하는 공정; 상기 제1 층간 절연막을 통해 상기 MOS 트랜지스터의 한쪽의 소스、드레인 영역에 전기적으로 연결되는 제1 콘택트부를 형성하는 공정; 상기 제1 층간 절연막을 통해 상기 MOS 트랜지스터의 다른쪽 소스、드레인 영역에 전기적으로 연결되는 제2 콘택트부를 형성하는 공정; 상기 콘택트부 및 상기 제1 층간 절연막의 상면에 제2 층간 절연막을 형성하는 공정; 상기 제1 콘택트부의 적어도 일부에 대응하는 상기 제2 층간 절연막을 선택적으로 제거하고, 상기 제1 콘택트부에 이르는 깊이 이상의 제1 도랑부를 형성하는 공정; 상기 제1 도랑부의 저면에 노출된 상기 제1 콘택트부의 일부를 제거하는 공정; 상기 제1 도랑부 내에, 상기 제1 콘택트부에 전기적으로 접속되

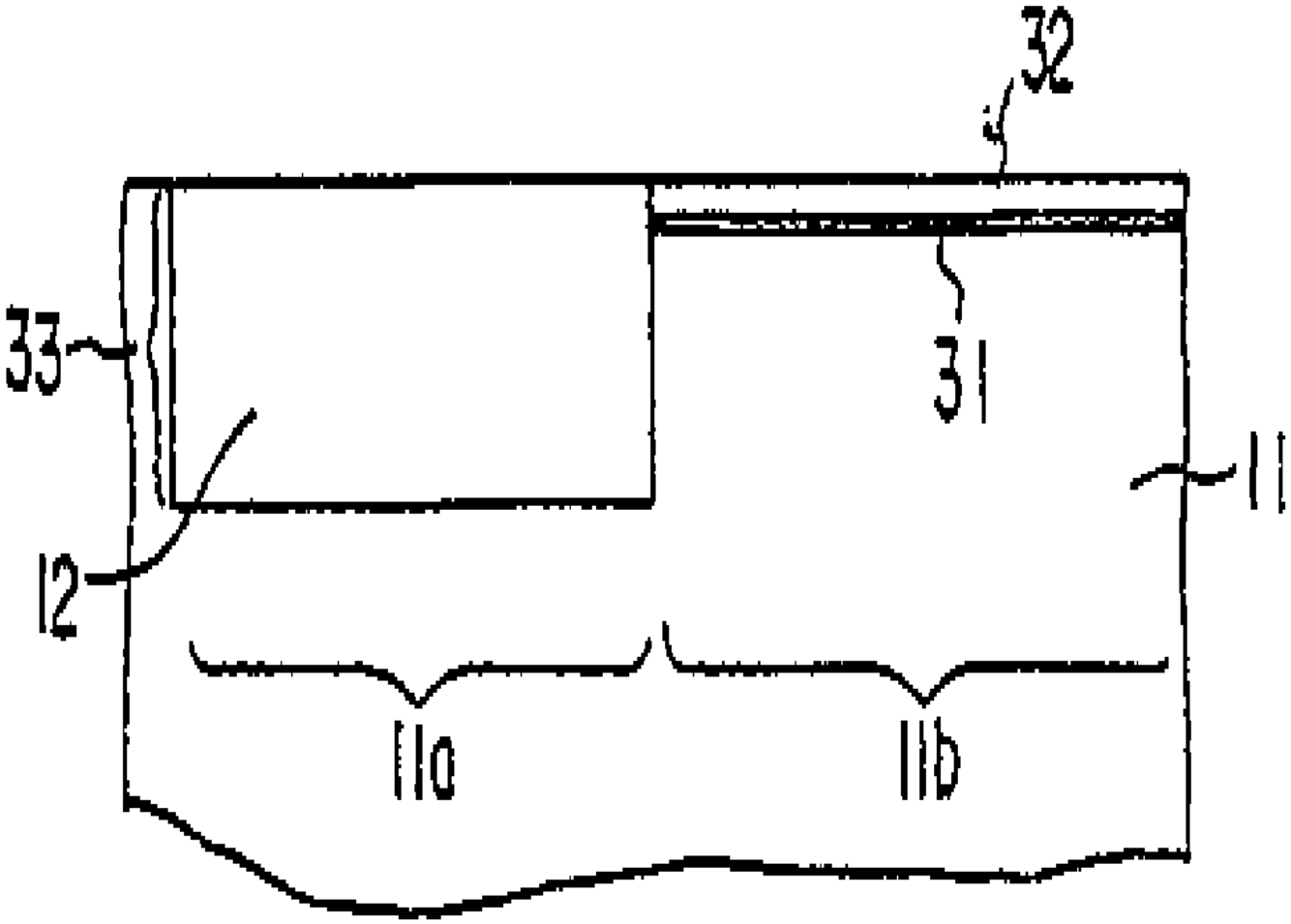
는 비트선을 형성하는 공정과; 상기 비트선 및 상기 제2 층간 절연막의 상면에 제3 층간 절연막을 형성하는 공정과; 상기 제2 콘택트부의 적어도 일부에 대응하는 상기 제3 층간 절연막 및 상기 제2 층간 절연막을 선택적으로 제거하고, 상기 제2 콘택트부에 이르는 깊이 이상의 제2 도랑부를 형성하는 공정; 상기 제2 도랑부의 저면에 노출된 상기 제2 콘택트부의 일부를 제거하는 공정; 상기 제2 도랑부 내에, 상기 제2 콘택트부에 전기적으로 접속되는 플러그 전극을 형성하는 공정; 상기 플러그 전극 및 상기 제3 층간 절연막의 상면에 제4 층간 절연막을 형성하는 공정; 상기 플러그 전극의 적어도 일부에 대응하는 상기 제4 층간 절연막을 선택적으로 제거하고, 상기 플러그 전극에 이르는 깊이 이상의 제3 도랑부를 형성하는 공정; 상기 제3 도랑부의 저면에 노출된 상기 플러그 전극의 일부를 제거하는 공정; 상기 제3 도랑부 내에, 상기 플러그 전극에 전기적으로 접속되는 축적 전극을 형성하는 공정; 상기 축적 전극 및 상기 제4 층간 절연막의 상면에 캐패시터 절연막을 형성하는 공정; 및 상기 캐패시터 절연막상에 플레이트 전극을 형성하는 공정을 포함하며, 상기 제1 콘택트부의 일부를 제거하는 공정, 상기 제2 콘택트부의 일부를 제거하는 공정 및 상기 플러그 전극의 일부를 제거하는 공정은 모두 상기 각 도랑부의 저면이 평탄하게 되도록 각각 선택적으로 제거하는 공정인 것을 특징으러 하는 반도체 기억 장치의 제조 방법.

도면

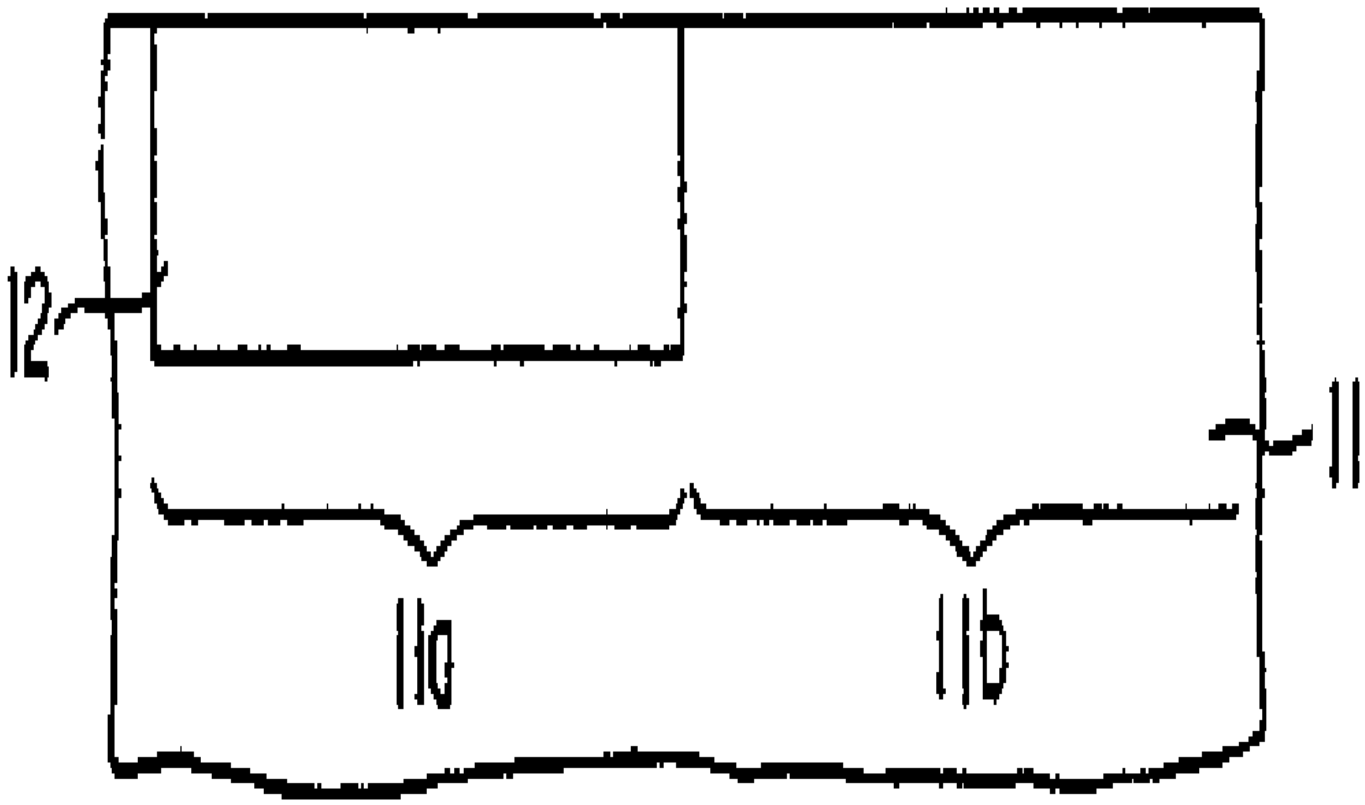
도면 1



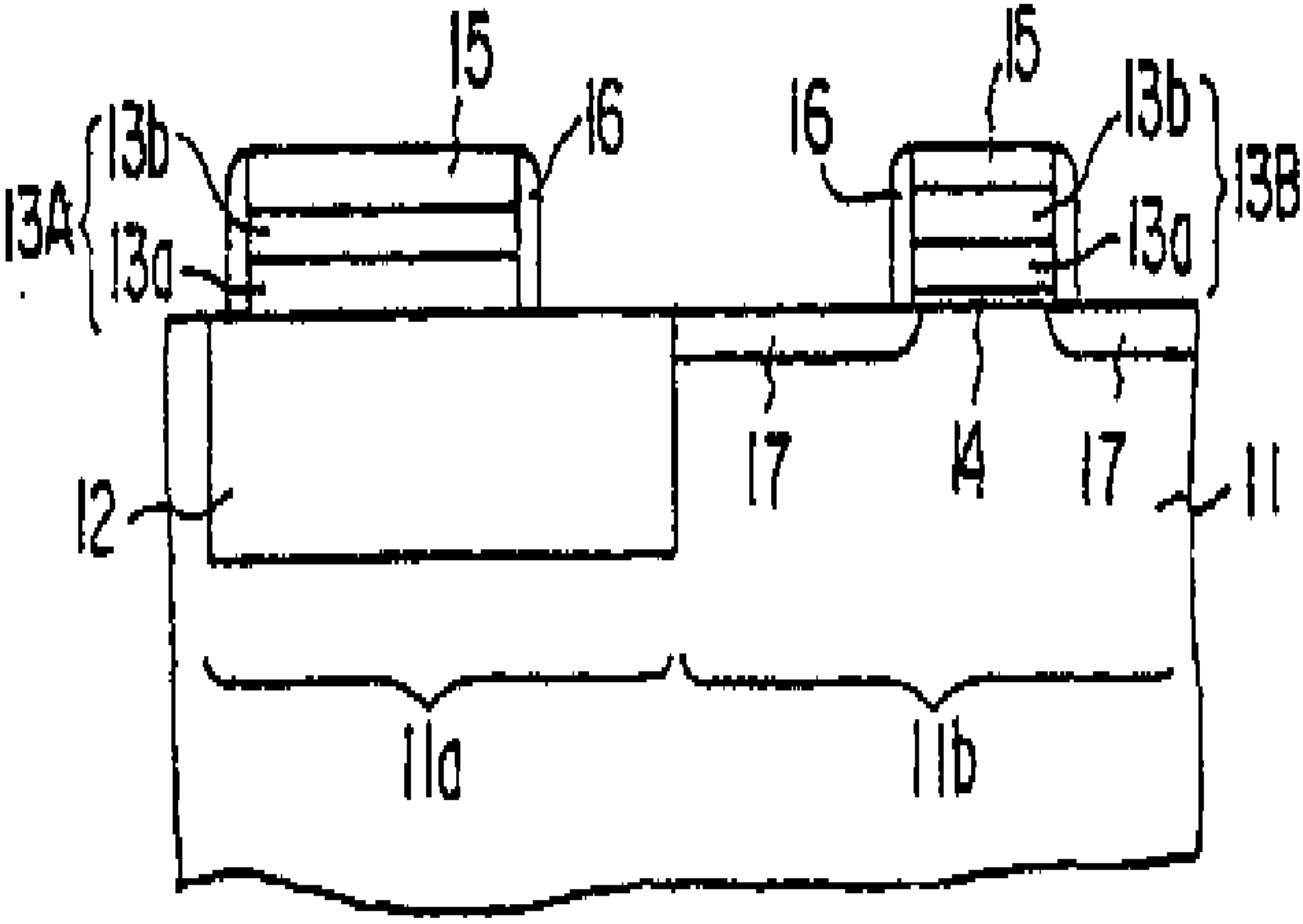
도면 2



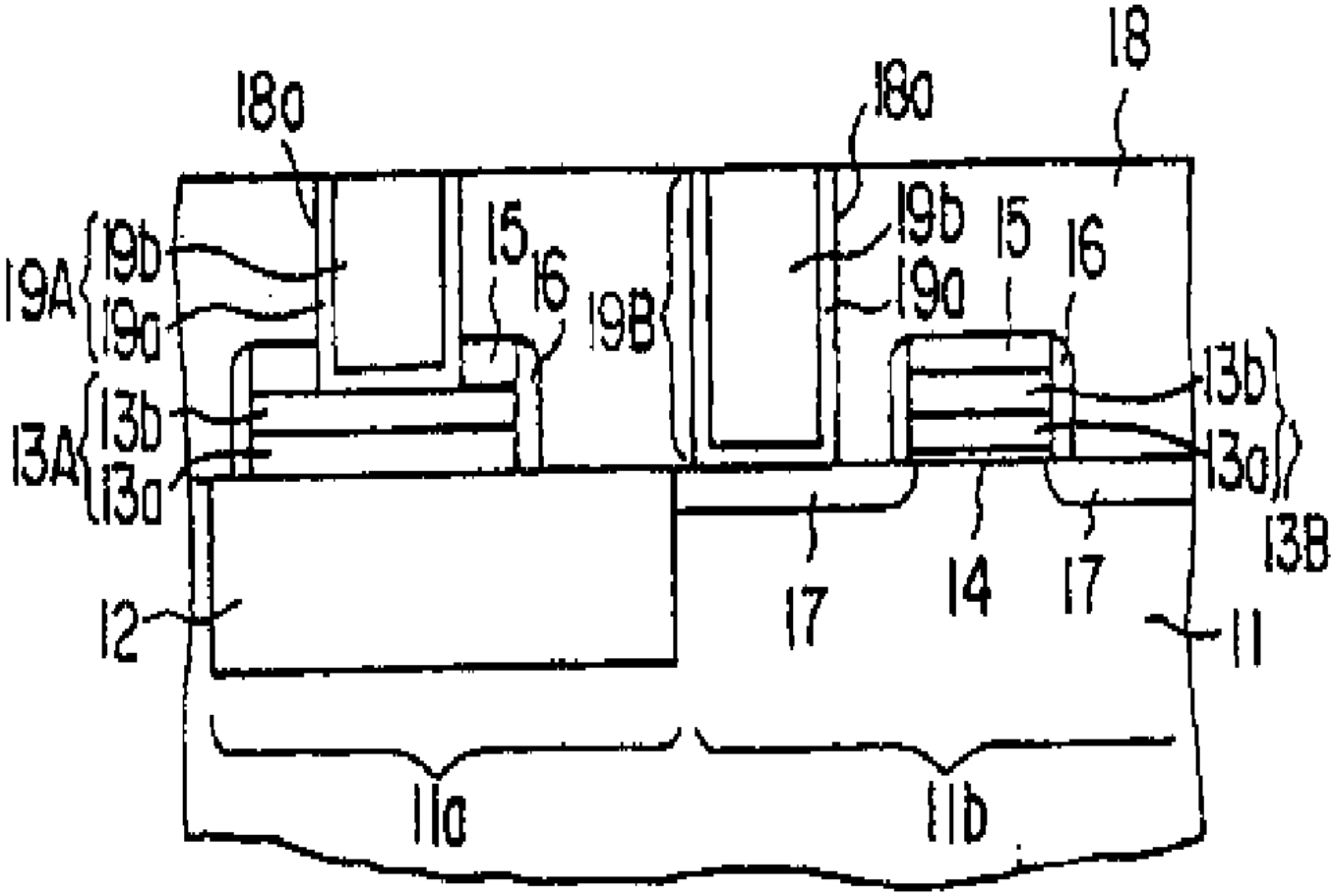
도면 3



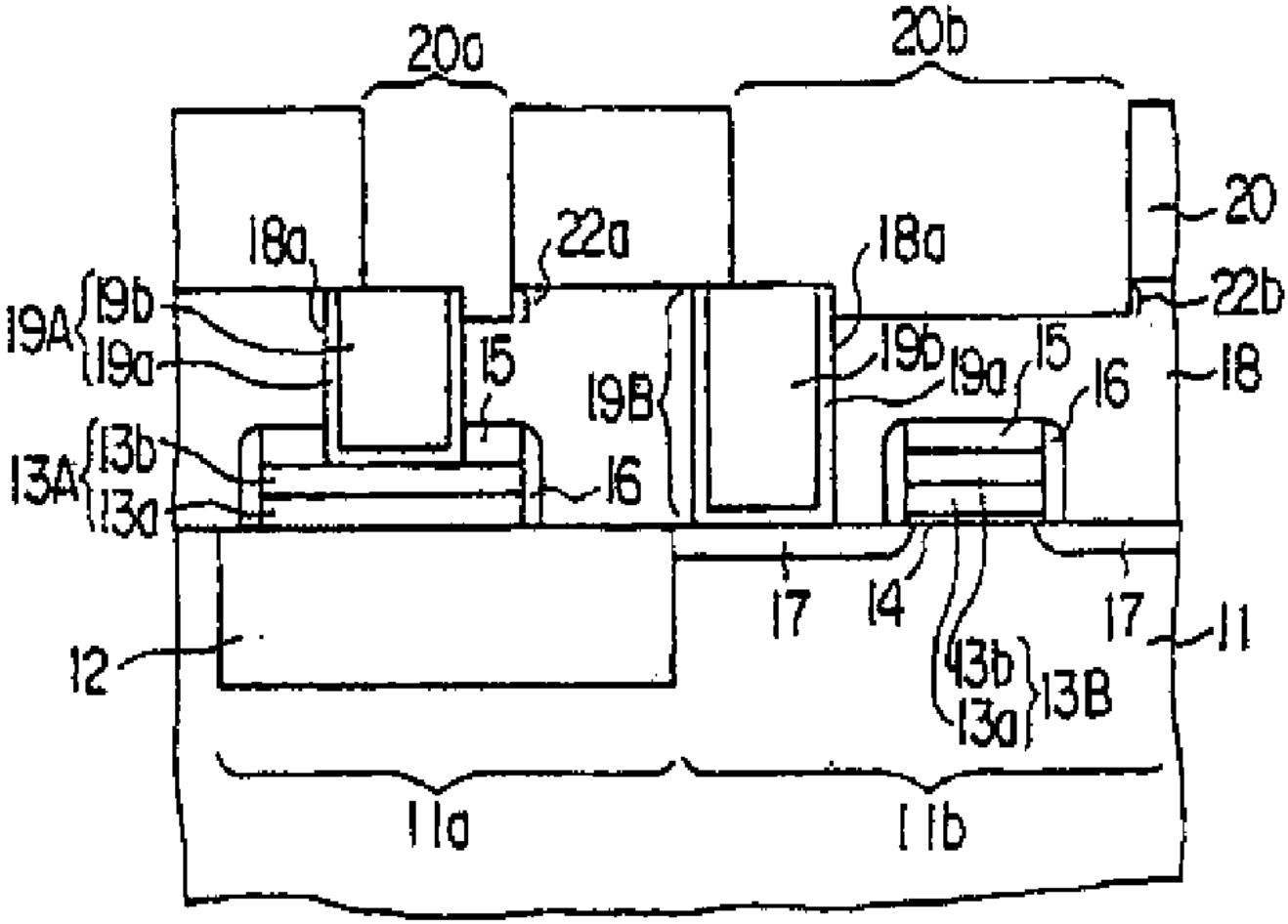
도면 4



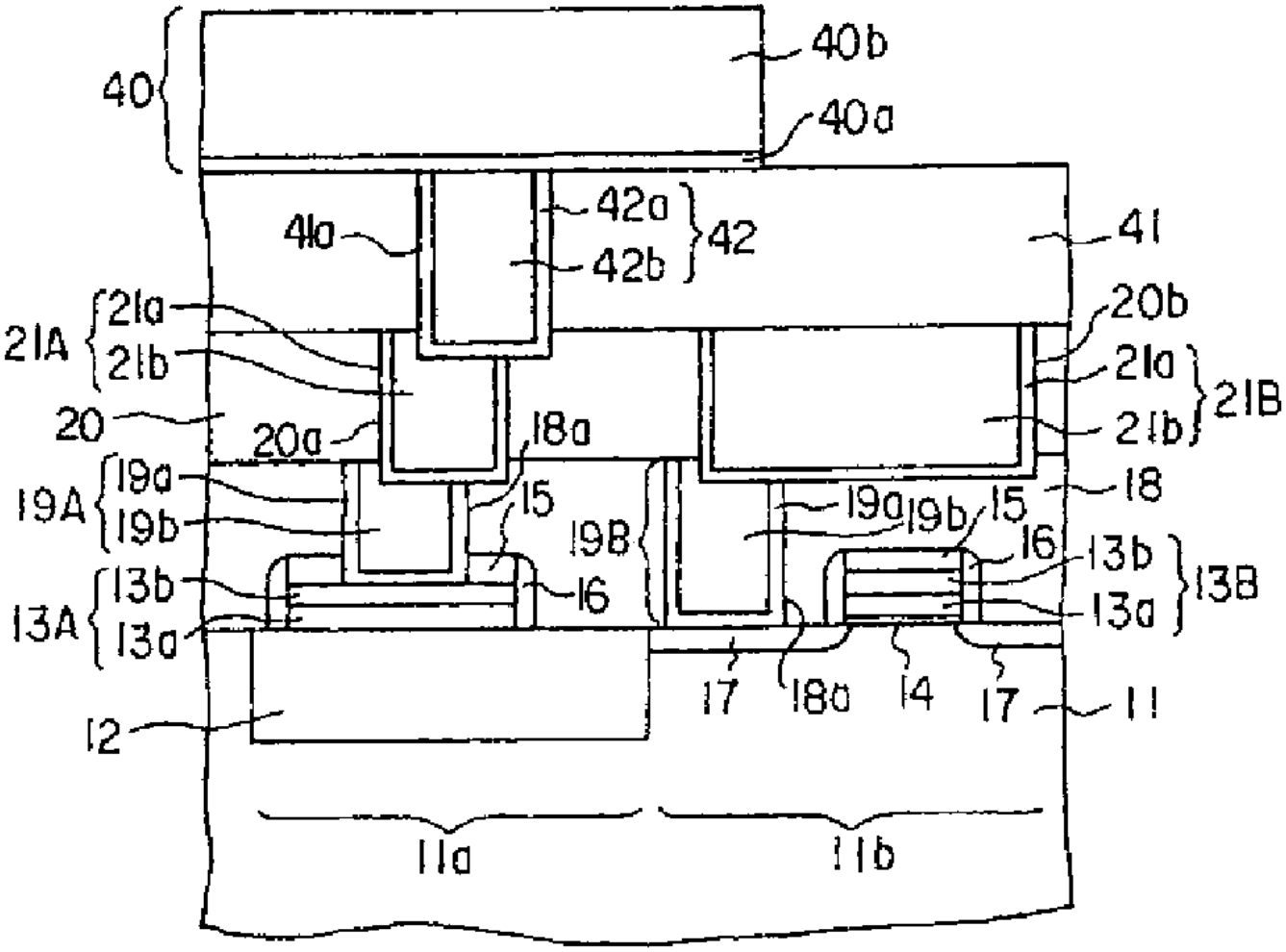
도면 5


18
18a
18a
19A
19b
19a
15
16
19B
19b
19a
15
16
13A
13b
13a
13b
13a
13B
12
17
14
17
11
11a
11b

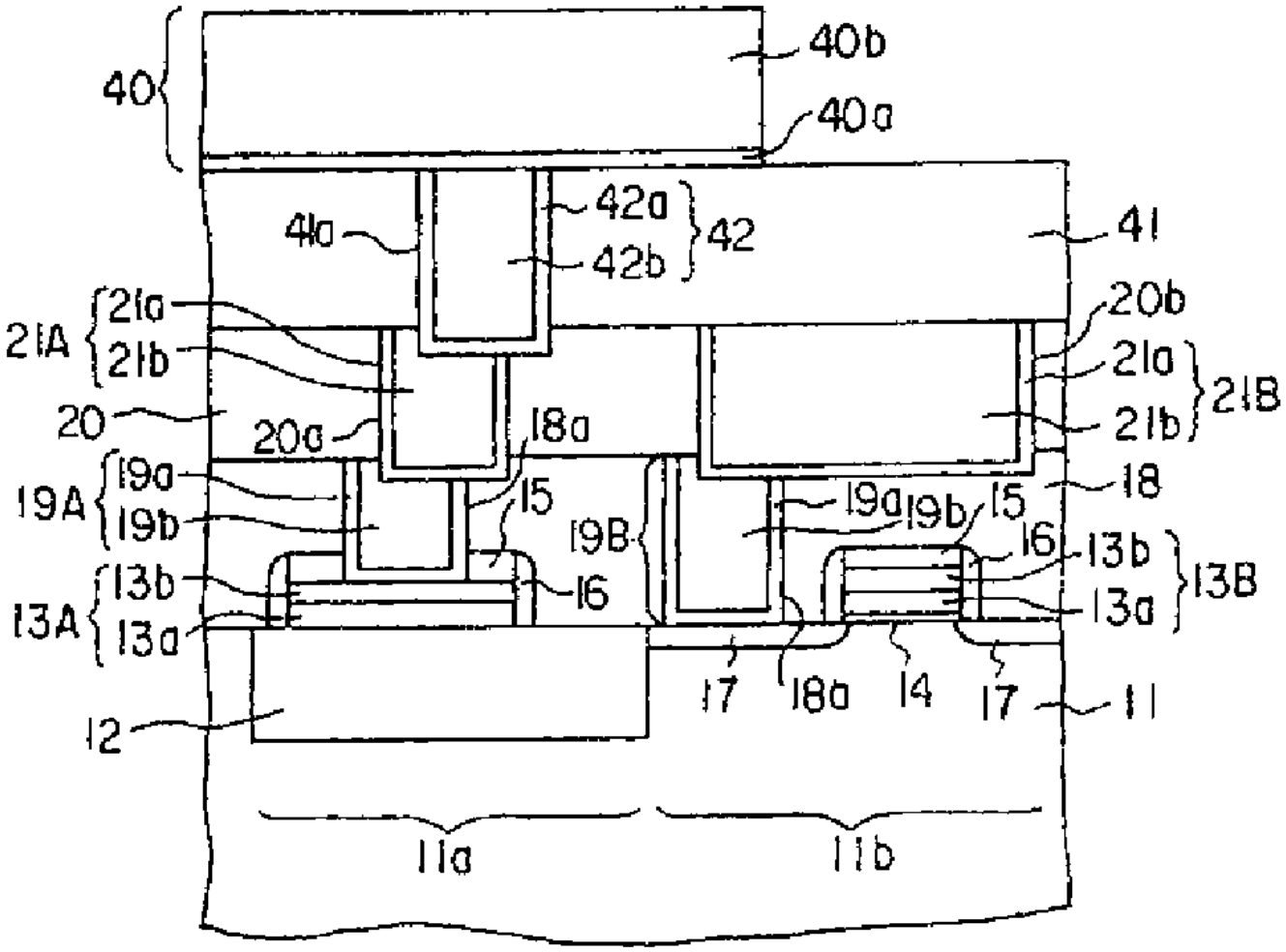
도면 6


20a
20b
20
18a
22a
18a
22b
19A
19b
19a
15
19B
19b
19a
15
16
18
13A
13b
13a
16
17
14
17
11
12
13b
13a
13B
11a
11b

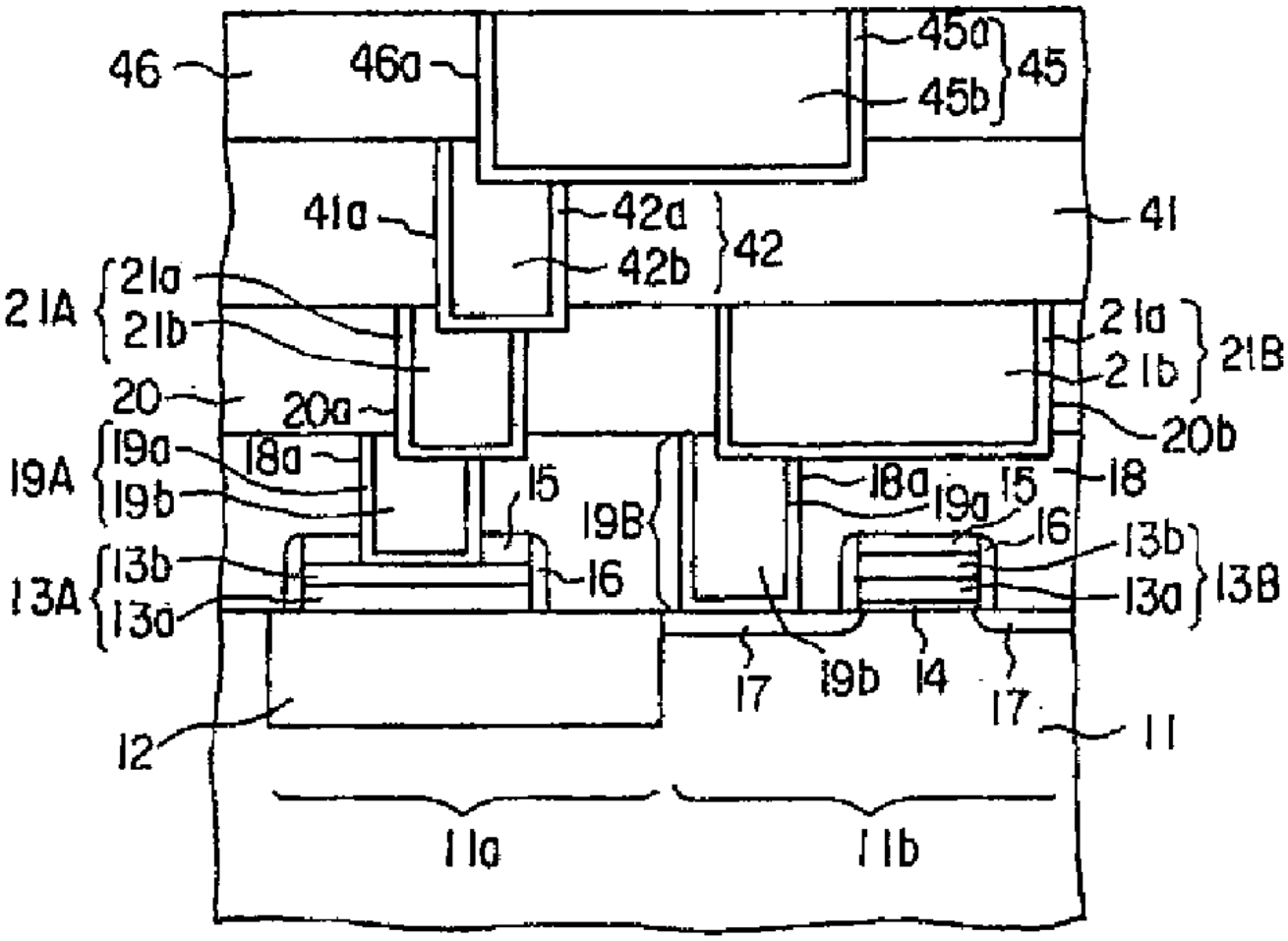
도면 7


40
40b
40a
41a
42a
42
42b
41
21A
21a
21b
20
20a
18a
20b
21a
21B
21b
19A
19a
19b
15
19B
19a
19b
15
18
16
13b
13B
13A
13b
13a
16
13a
17
18a
14
17
11
12
11a
11b

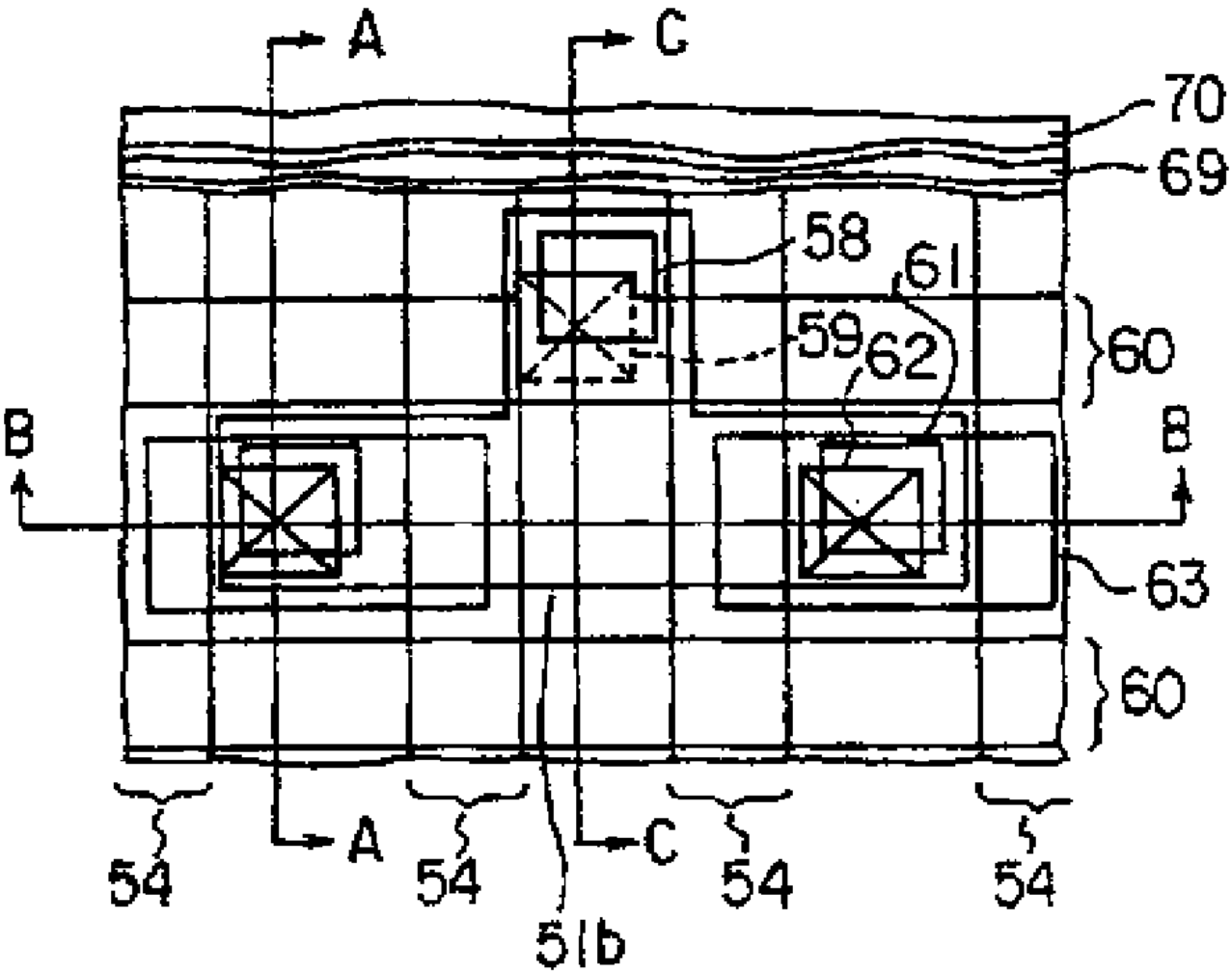
도면 8


40
40b
40a
41a
42a
42
42b
41
21A
21a
21b
20b
21a
21B
21b
20
20a
18a
19A
19a
19b
15
19B
19a
19b
15
18
16
13b
13B
13A
13b
13a
16
13a
12
17
18a
14
17
11
11a
11b

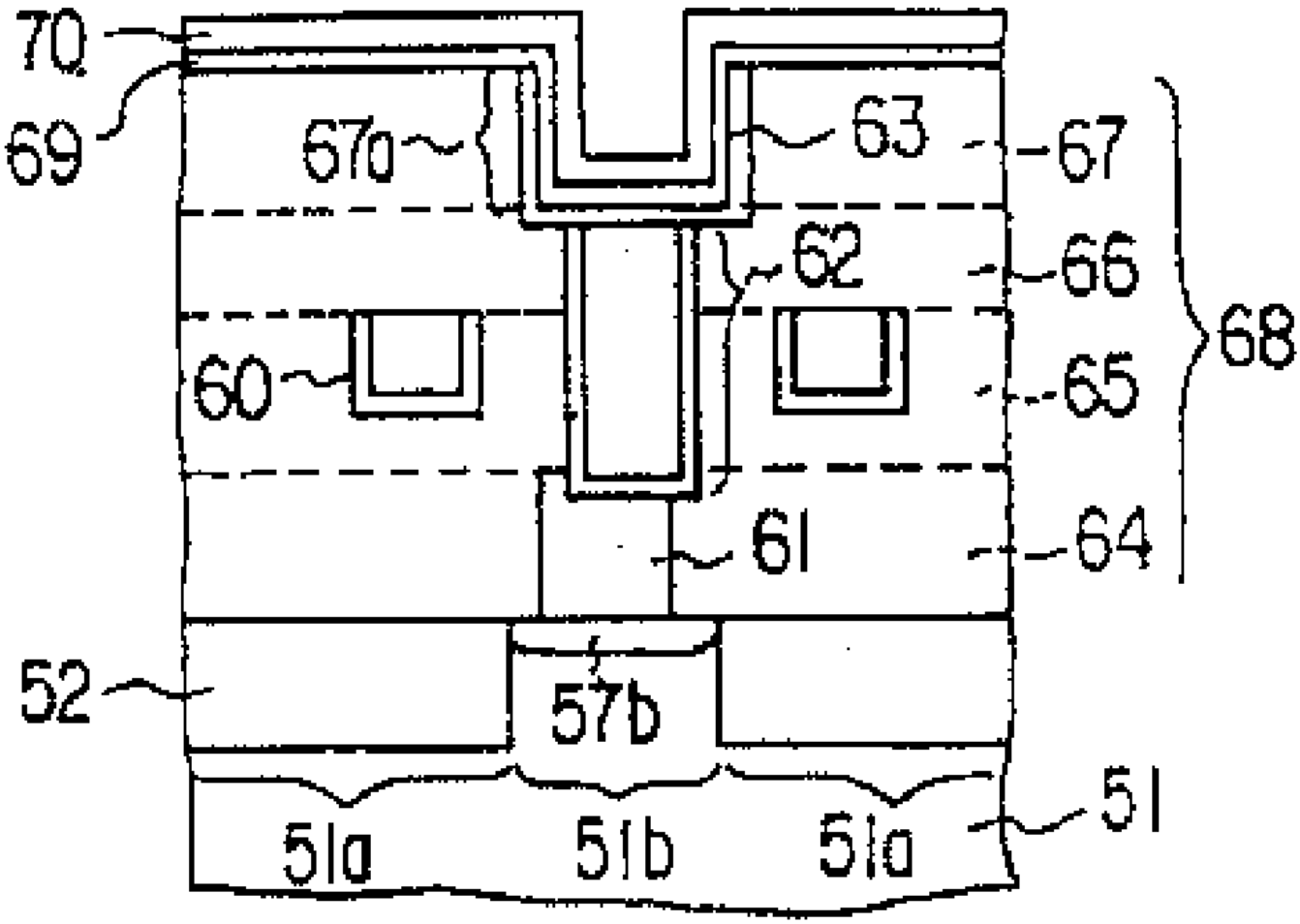
도면 9


46
46a
45a
45b
45
41a
42a
42b
42
41
21A
21a
21b
21B
20
20a
20b
19A
19a
19b
18a
15
19B
16
18
13A
13b
13a
13B
17
19b
14
12
11
11a
11b

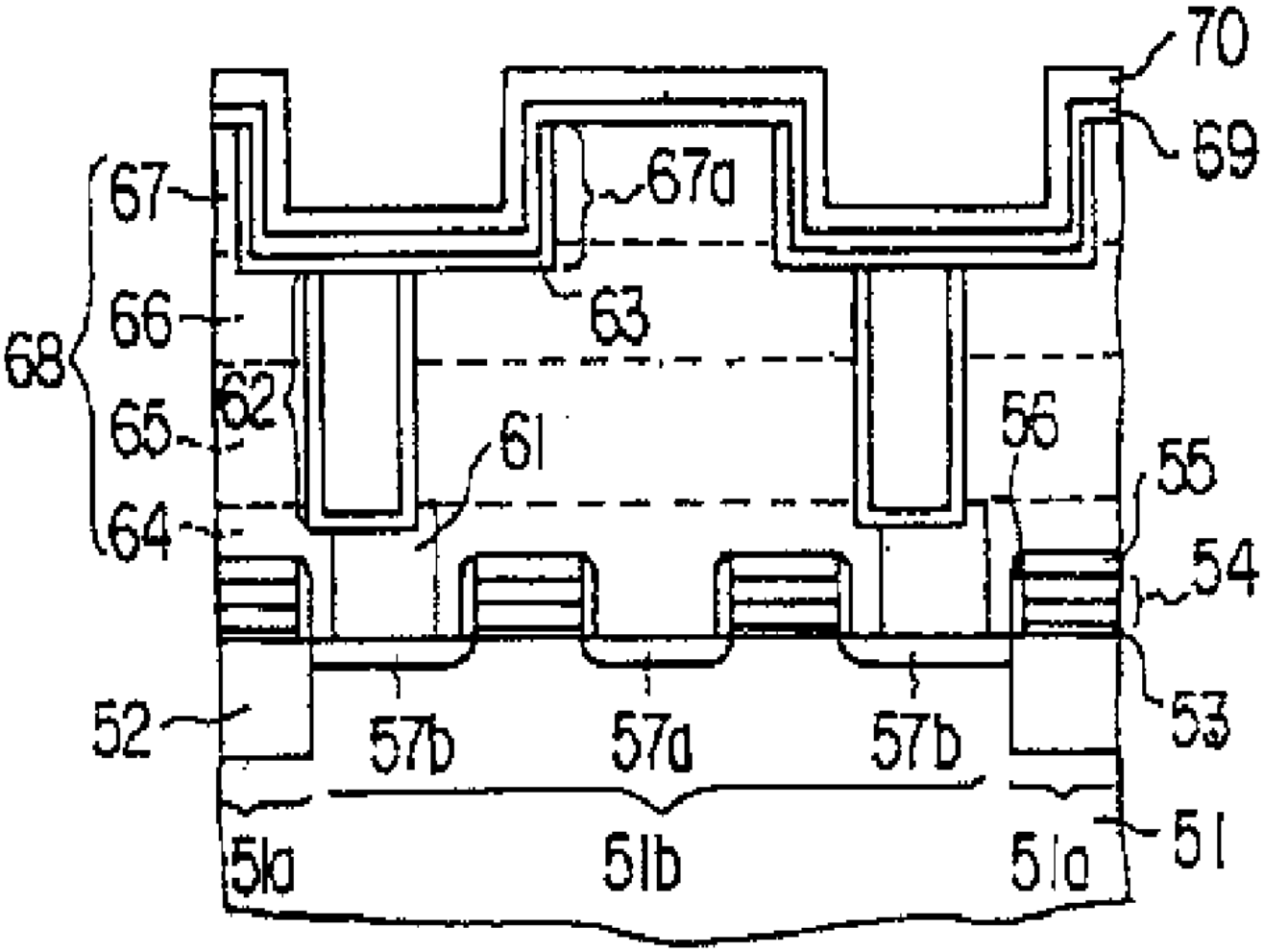
도면 10



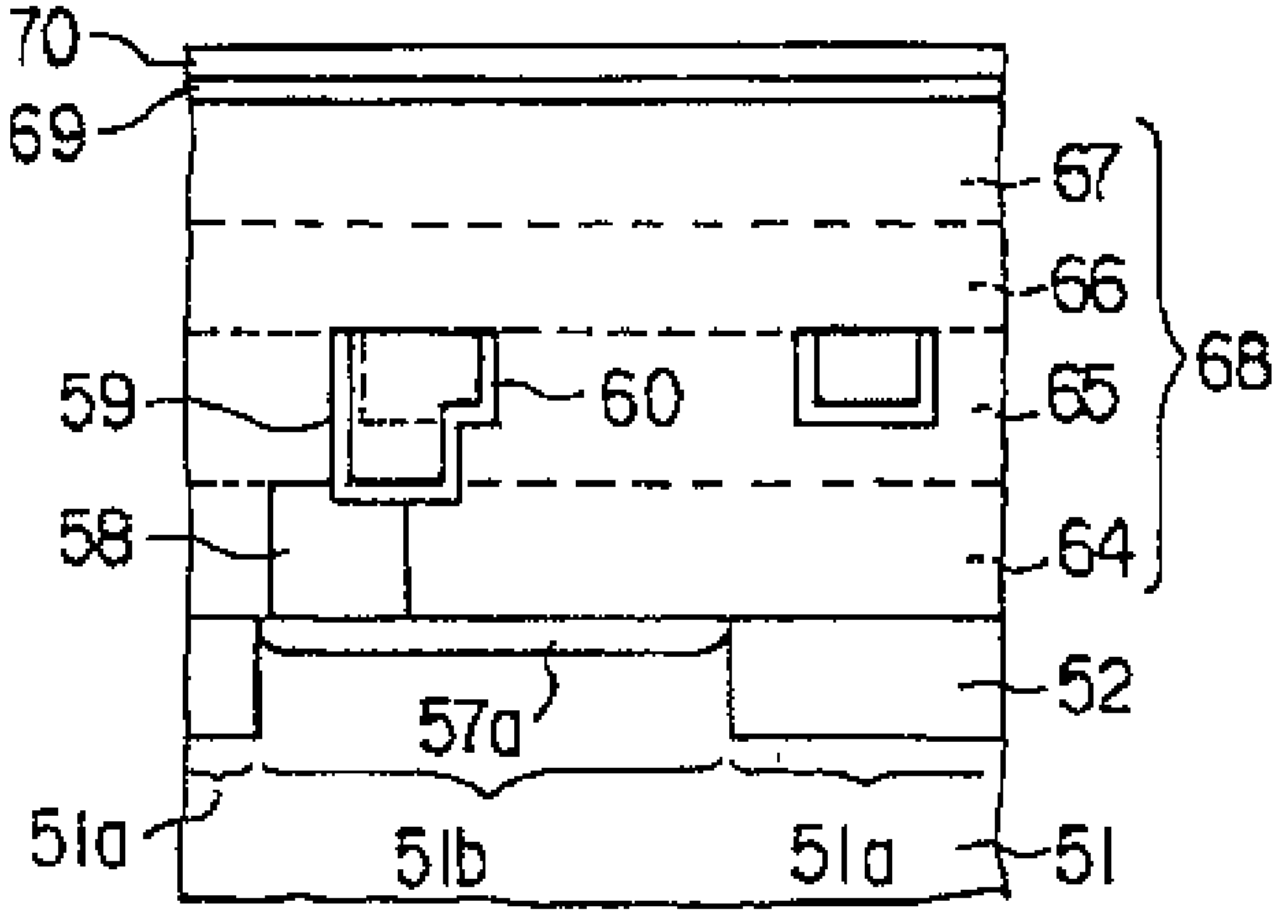
도면 11a



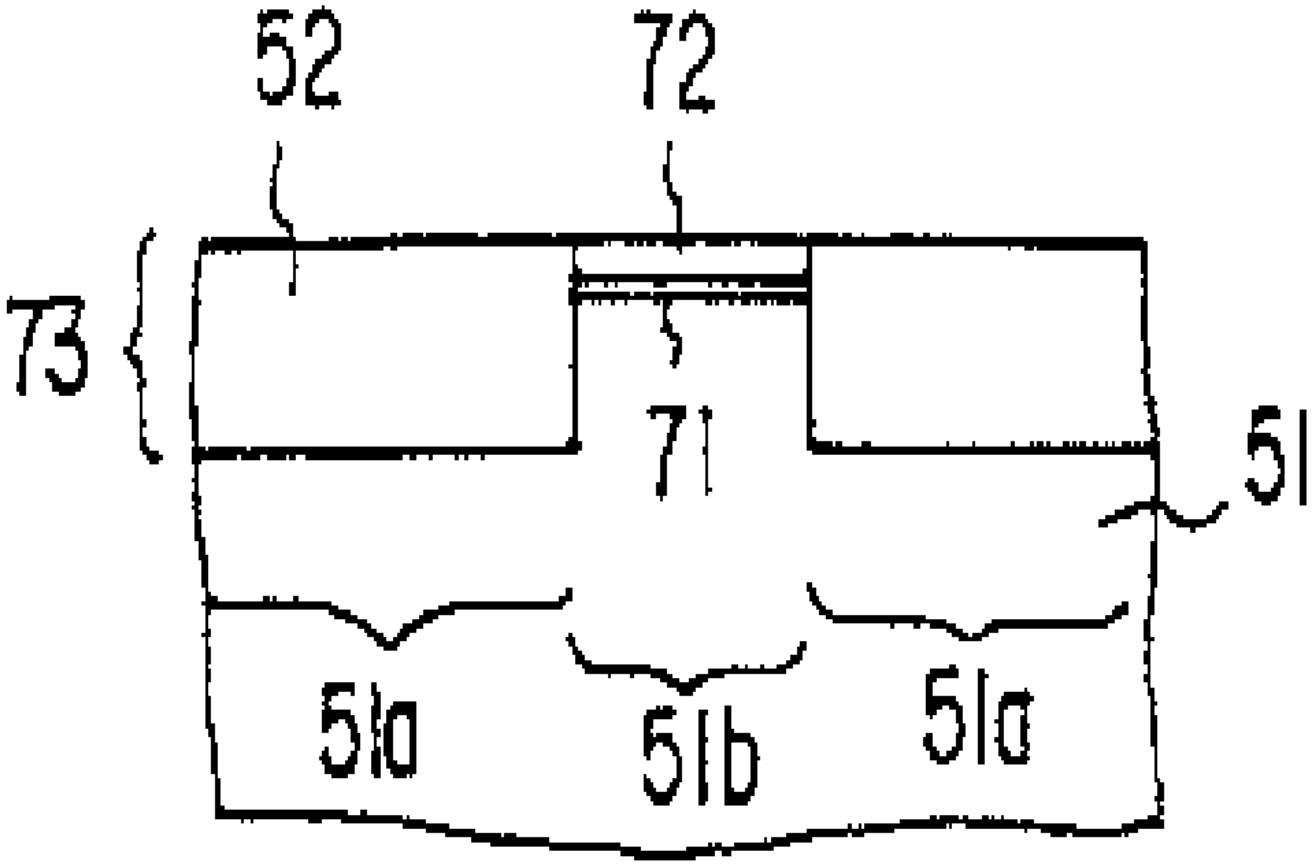
도면 11b


70
69
67
67a
66
63
68
62
65
61
56
55
64
54
52
57b
57a
57b
53
51
51a
51b
51a

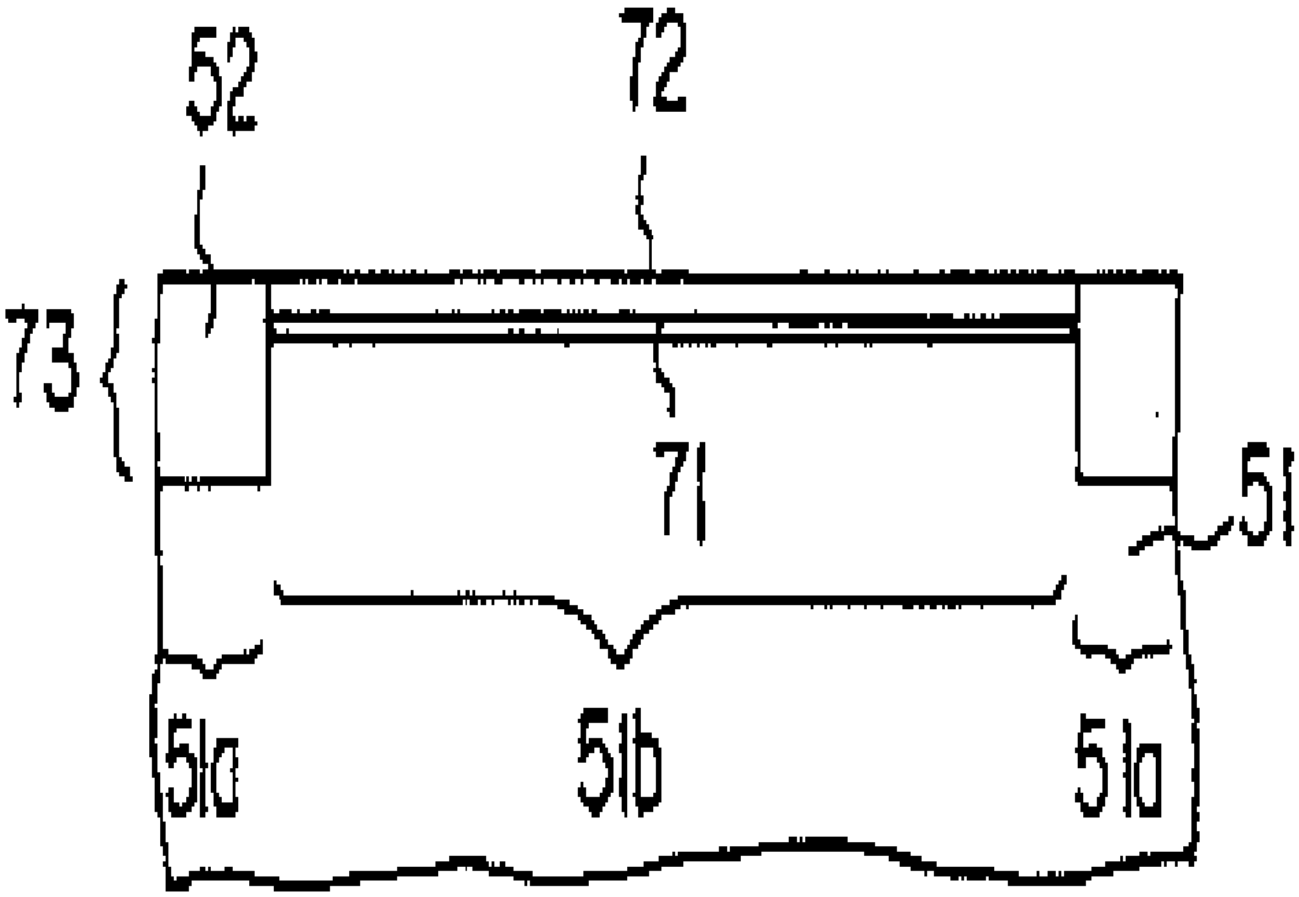
도면 11c



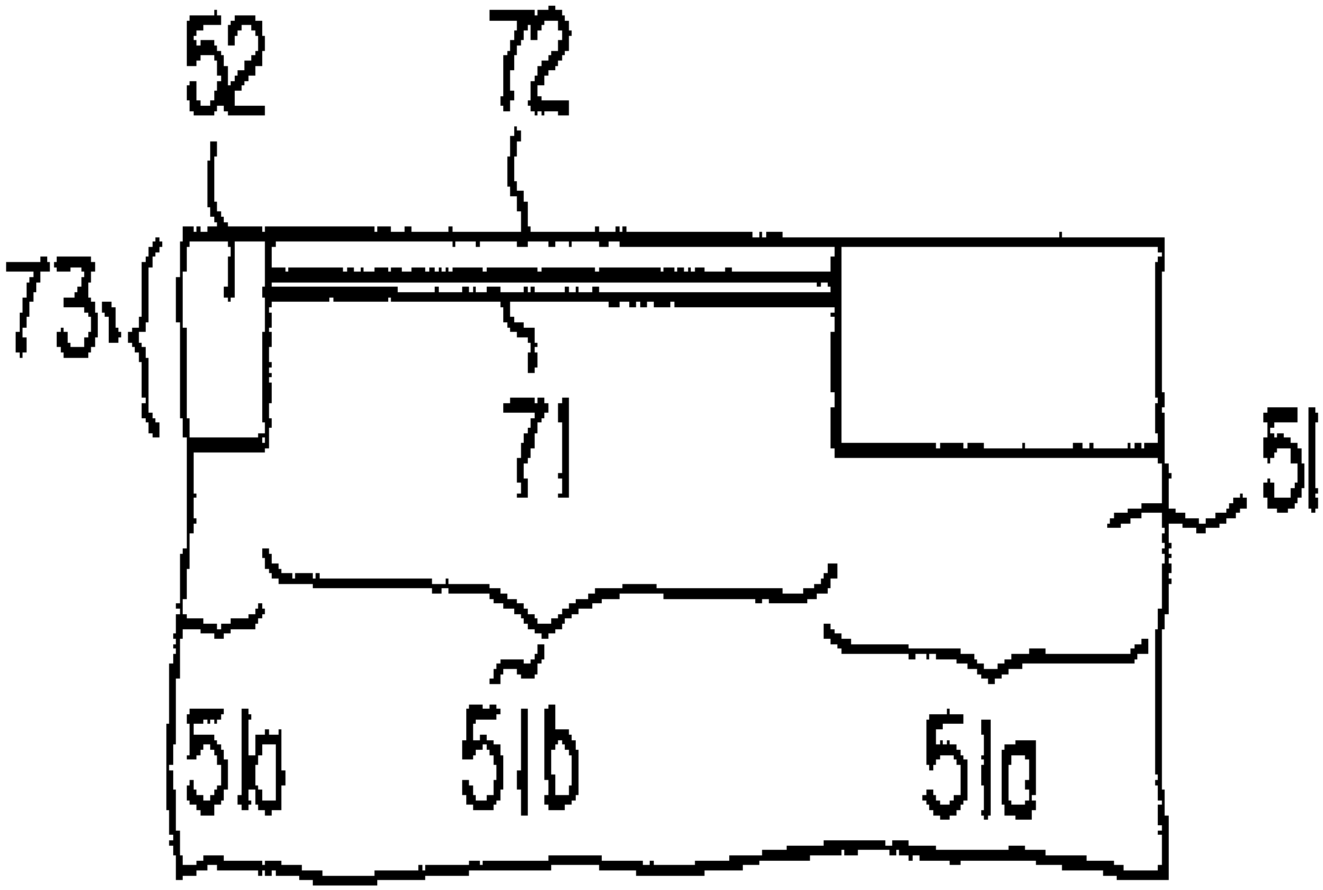
도면 12a



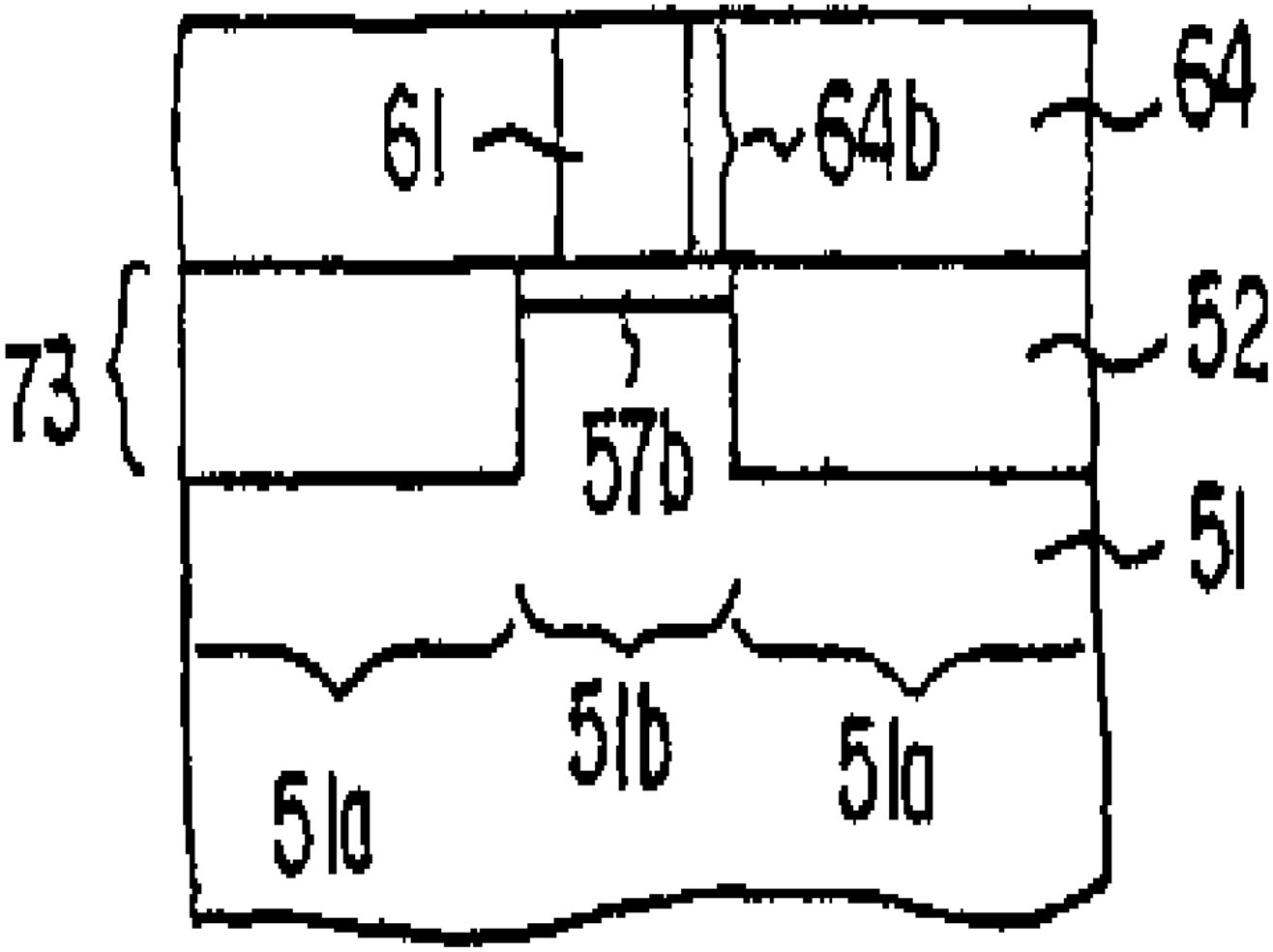
도면 12b



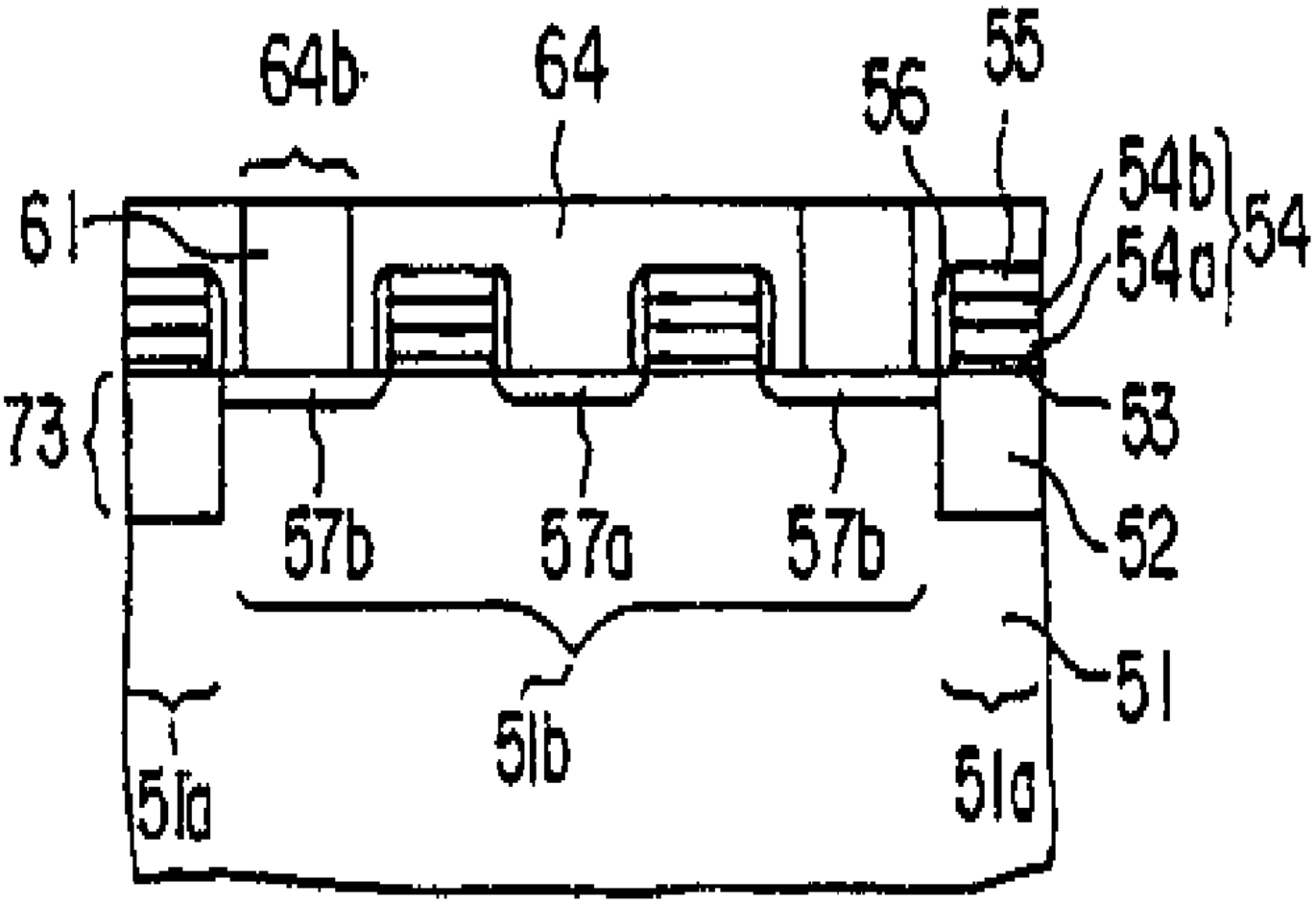
도면 12c



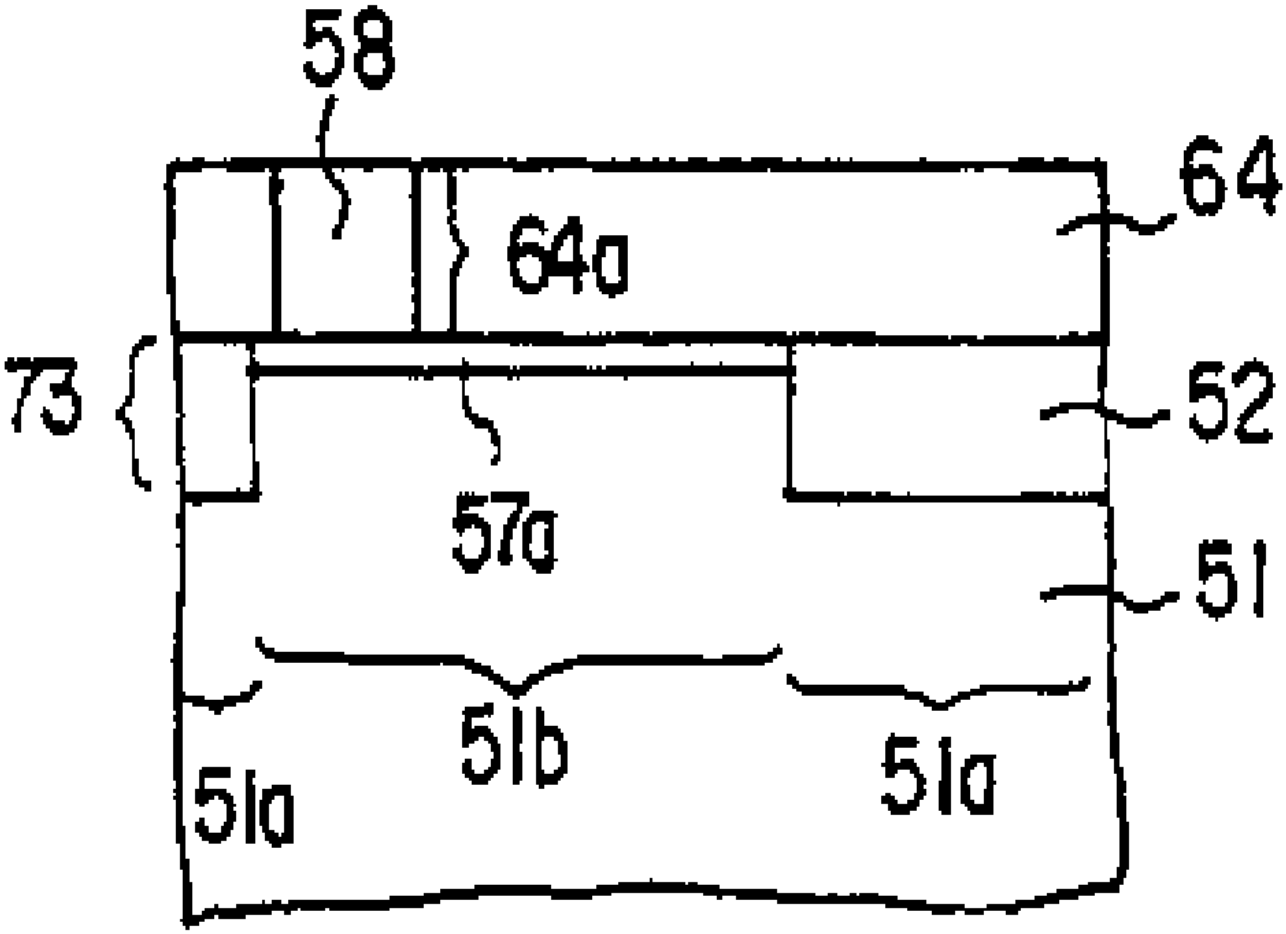
도면 13a



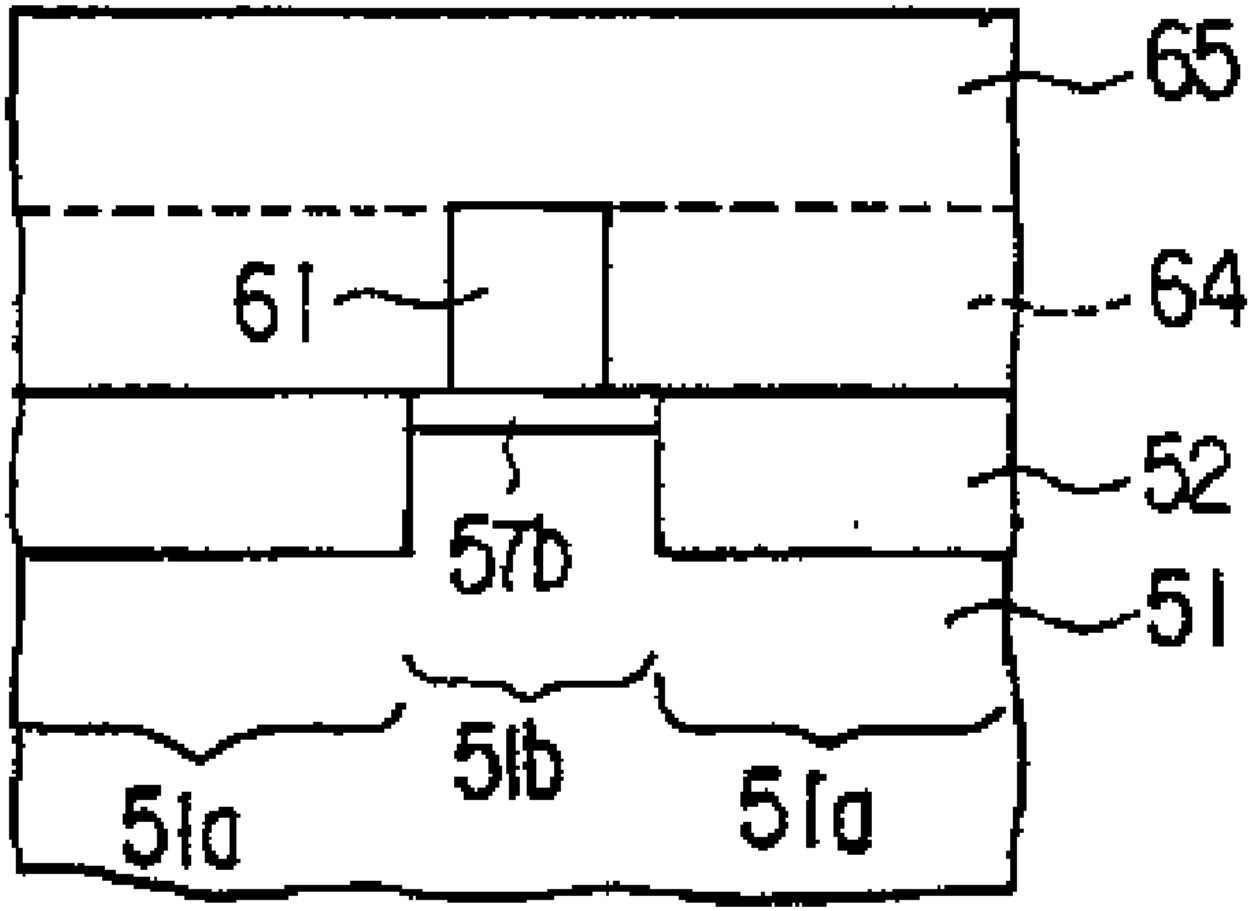
도면 13b



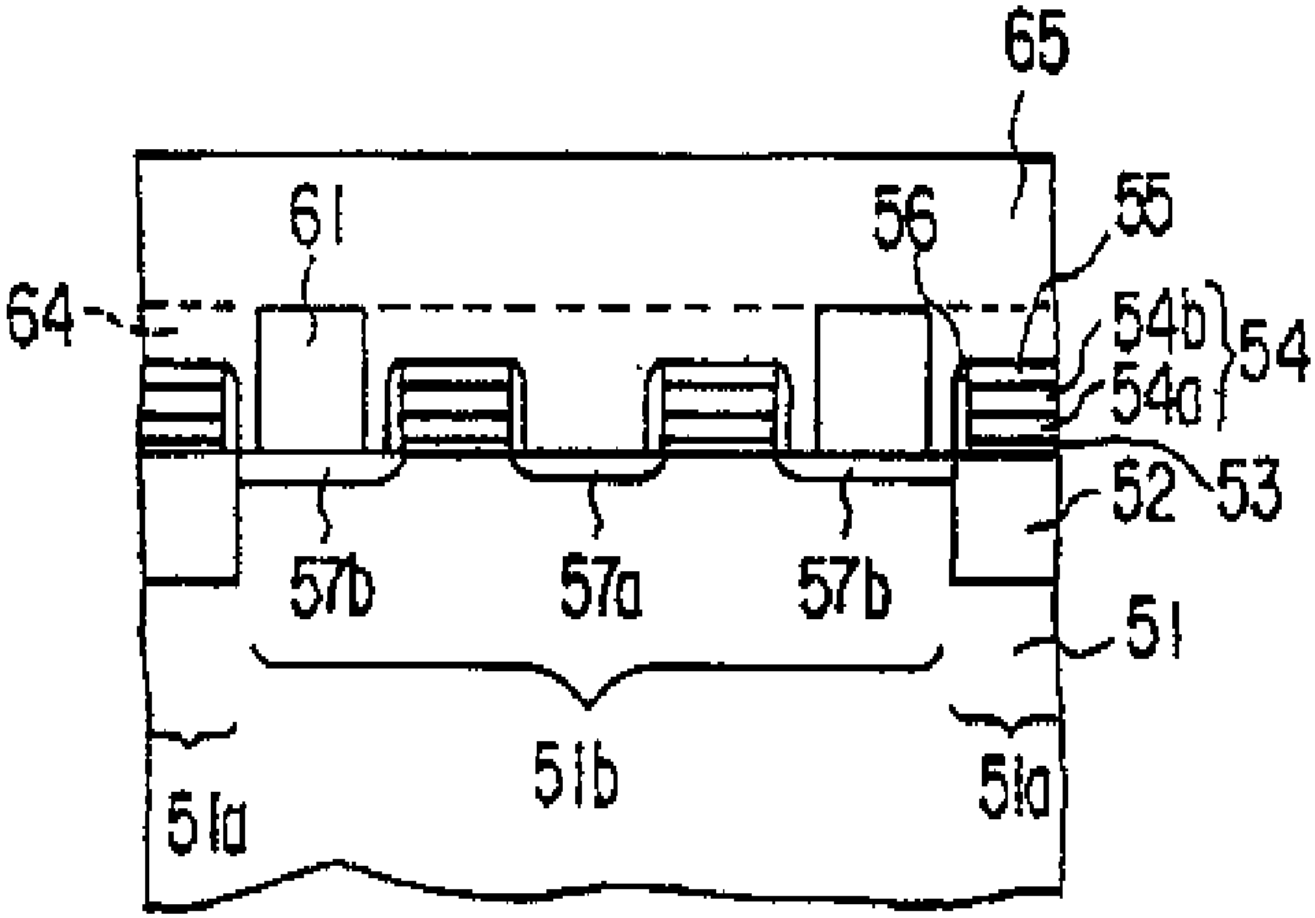
도면 13c



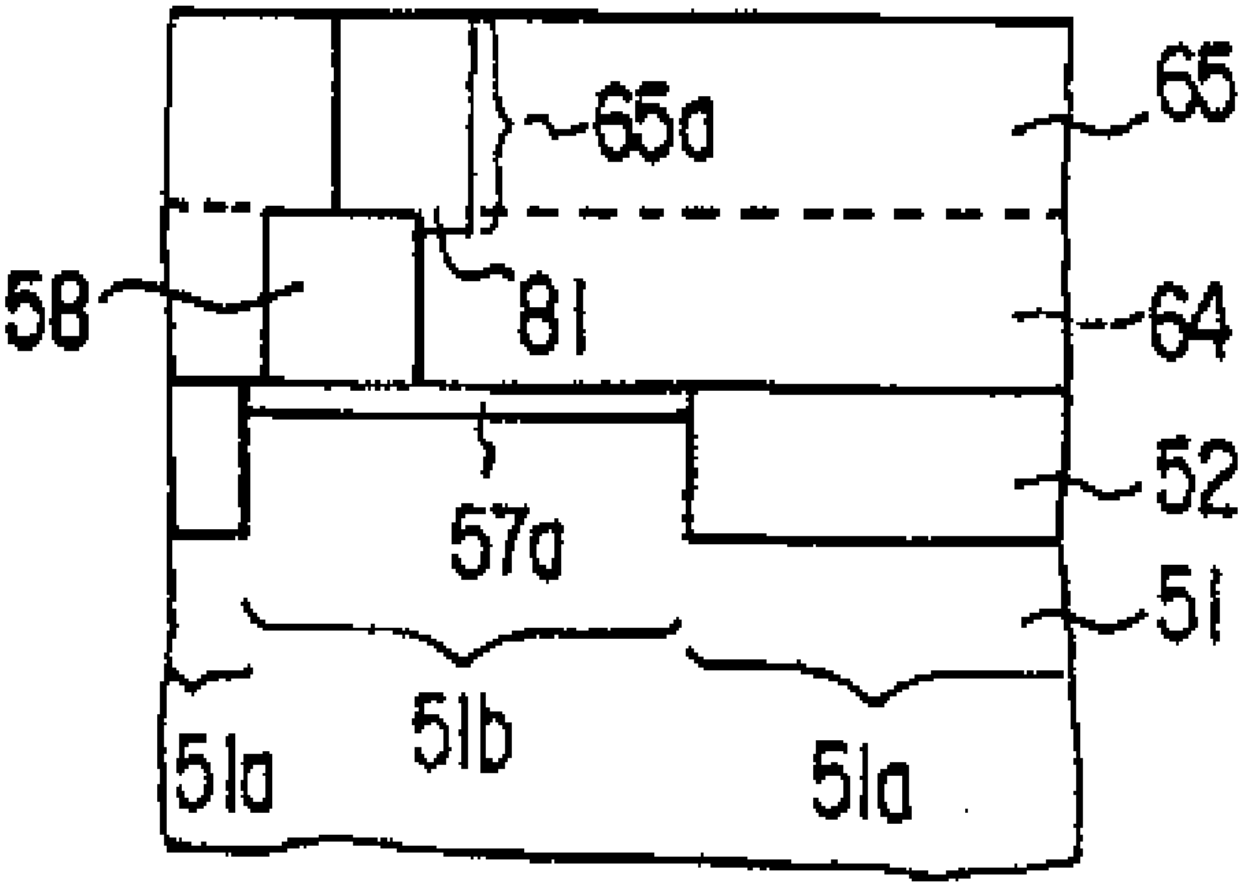
도면 14a



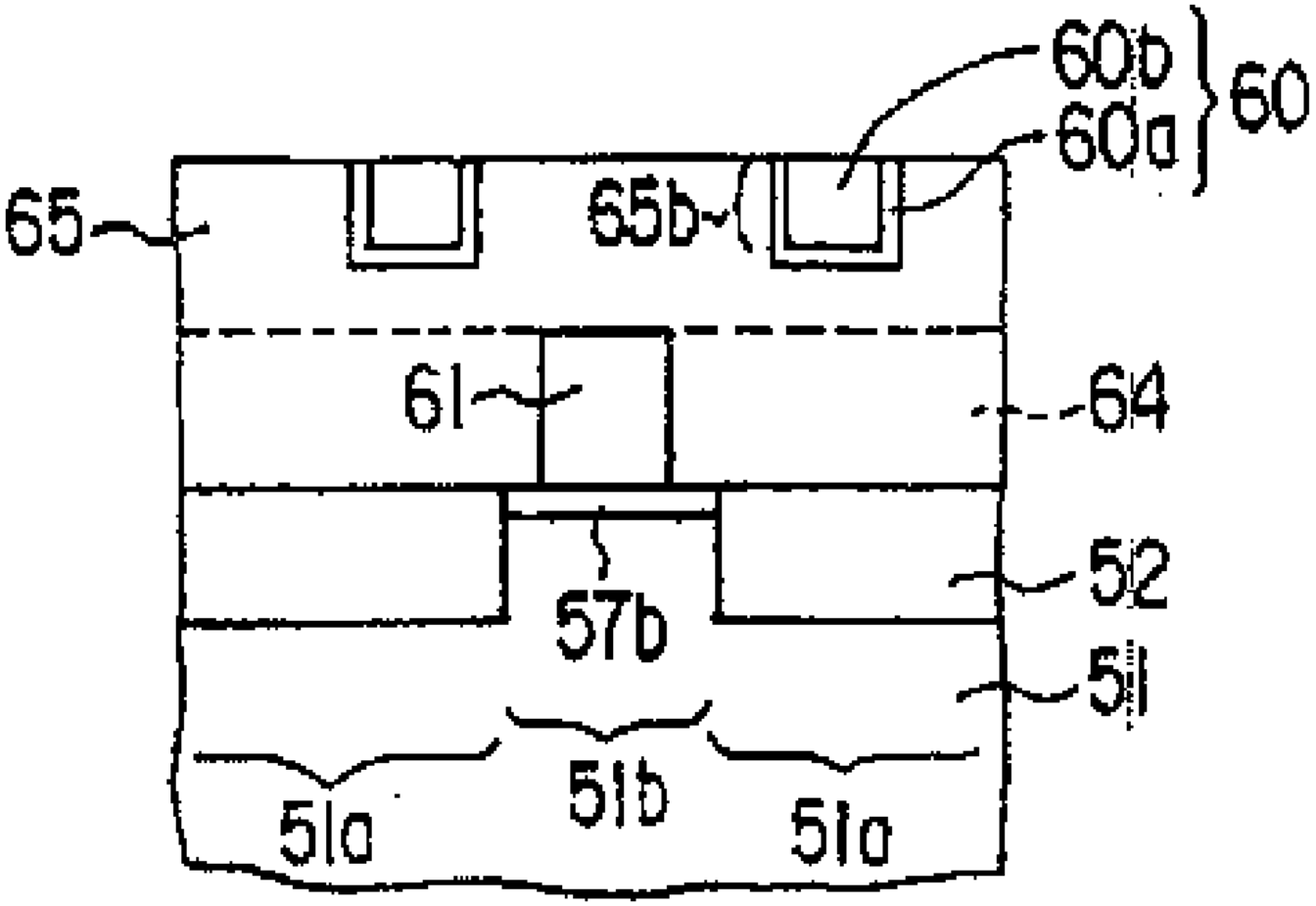
도면 14b



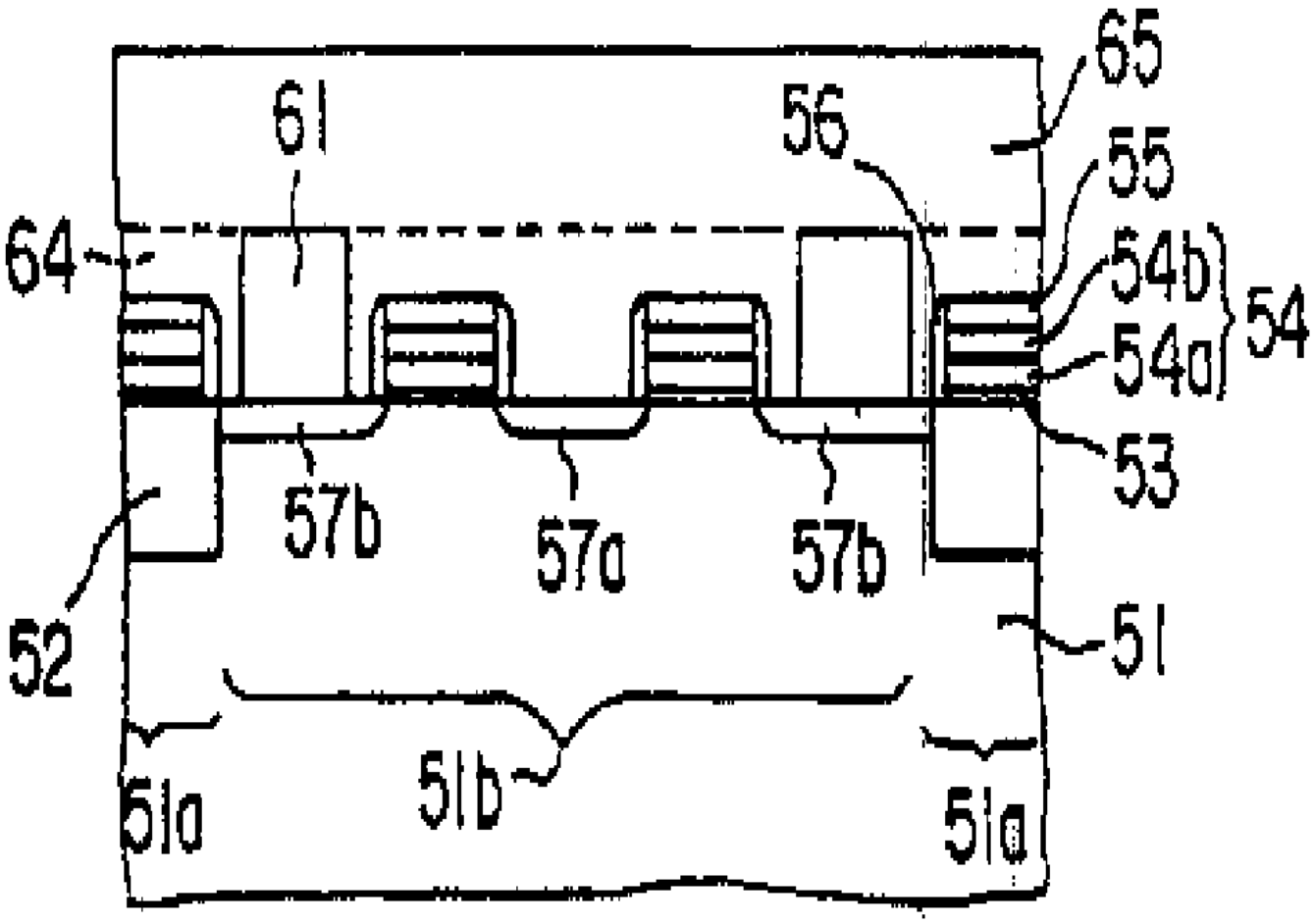
도면 14c



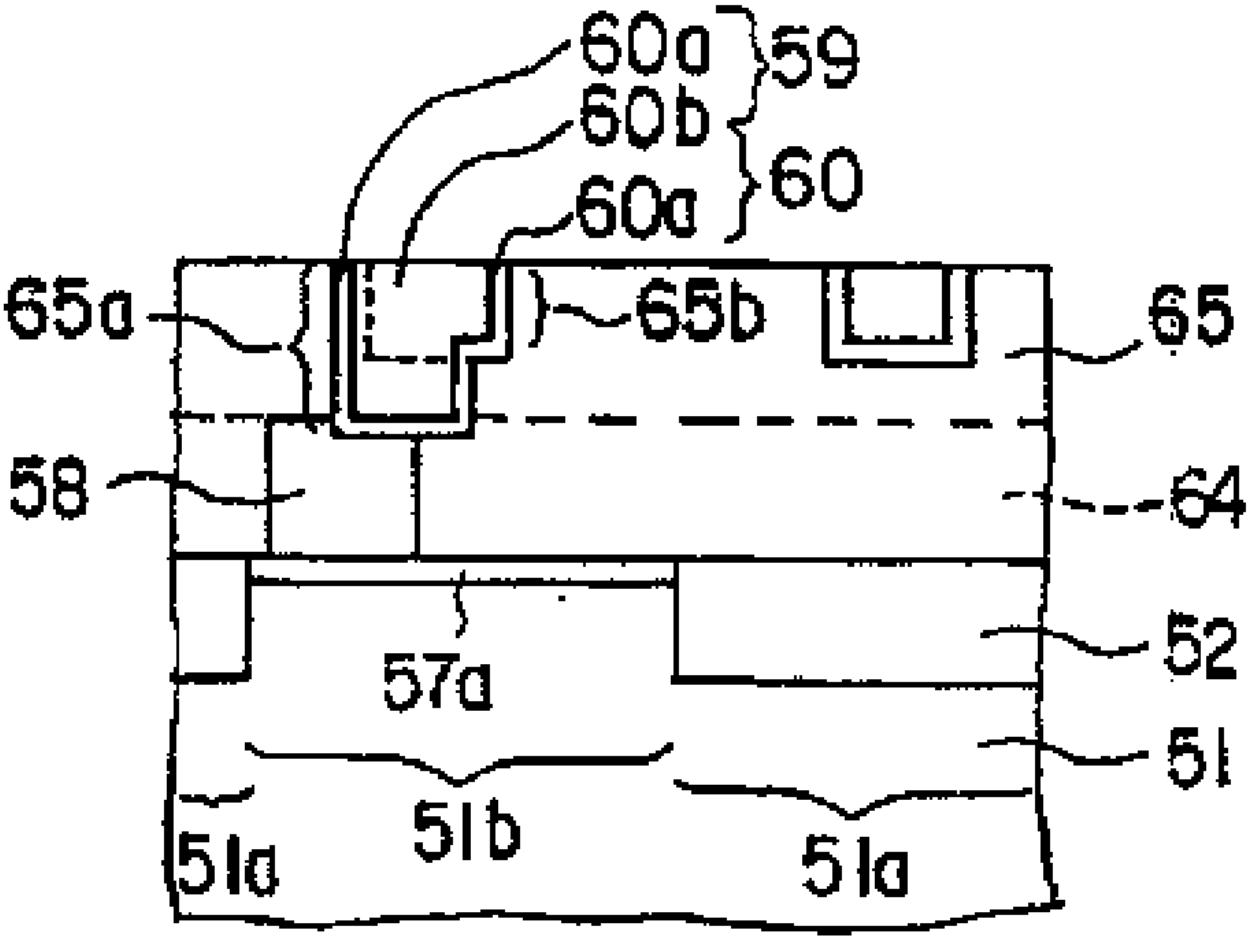
도면 15a



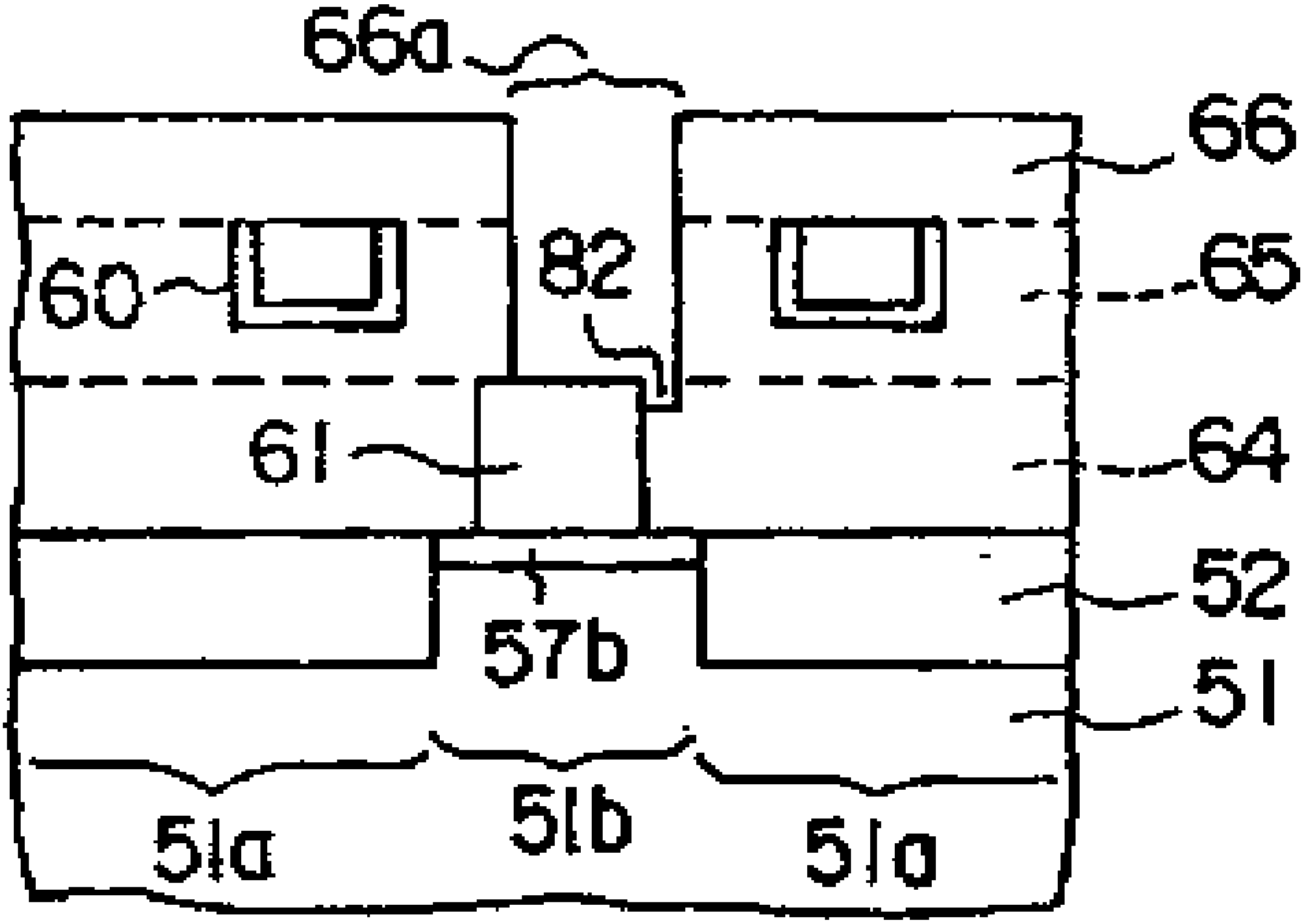
도면 15b



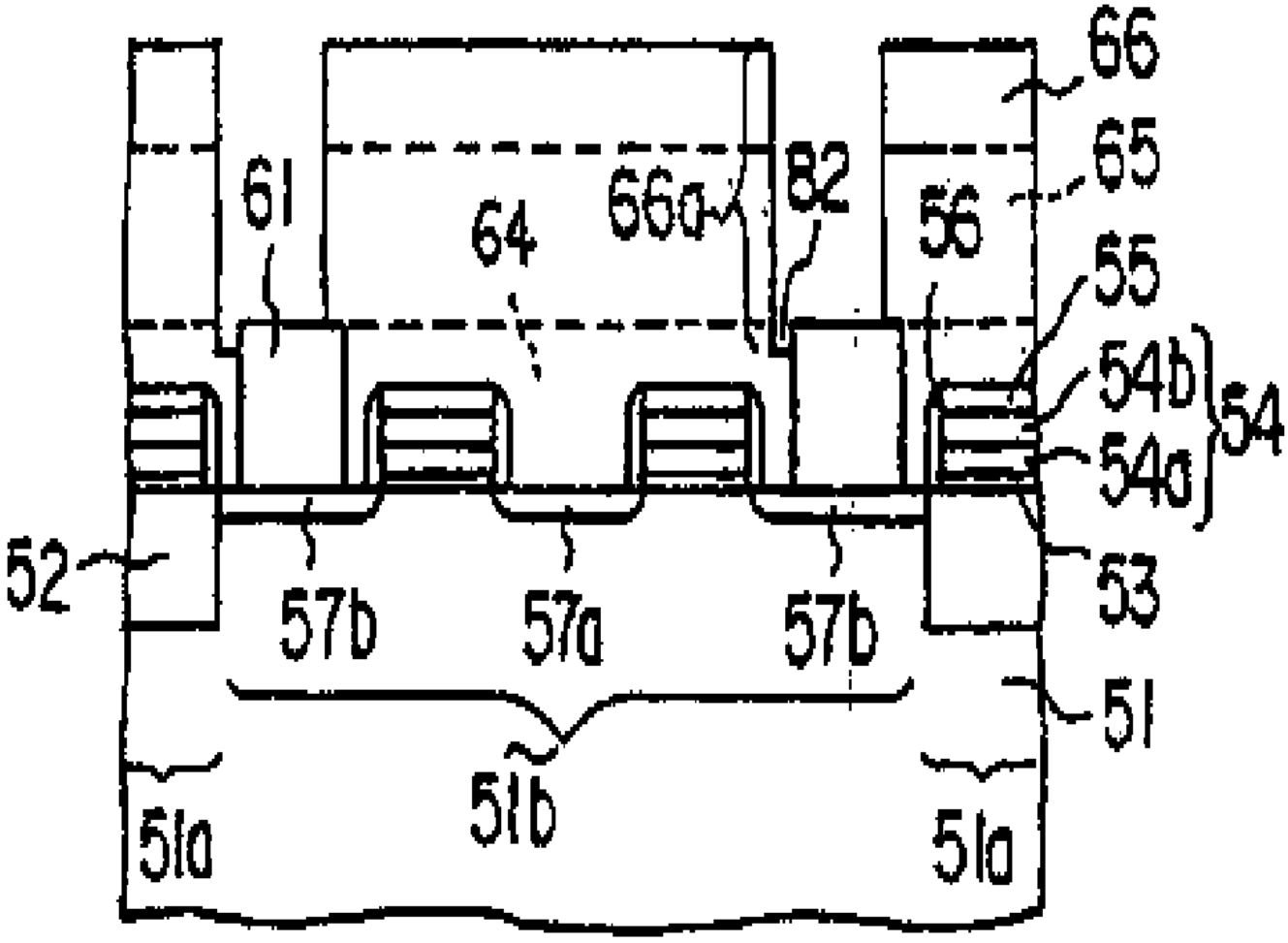
도면 15c



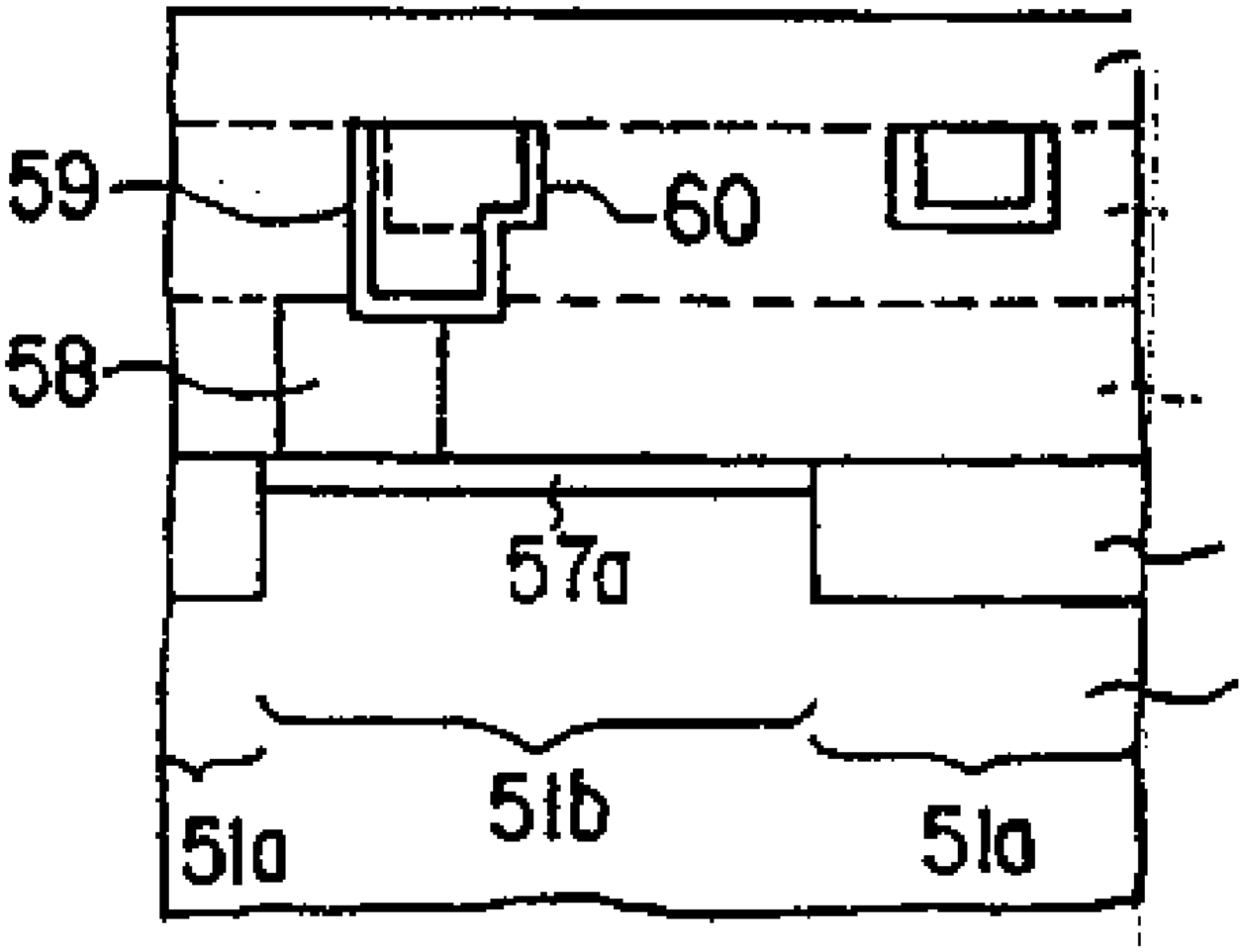
도면 16a



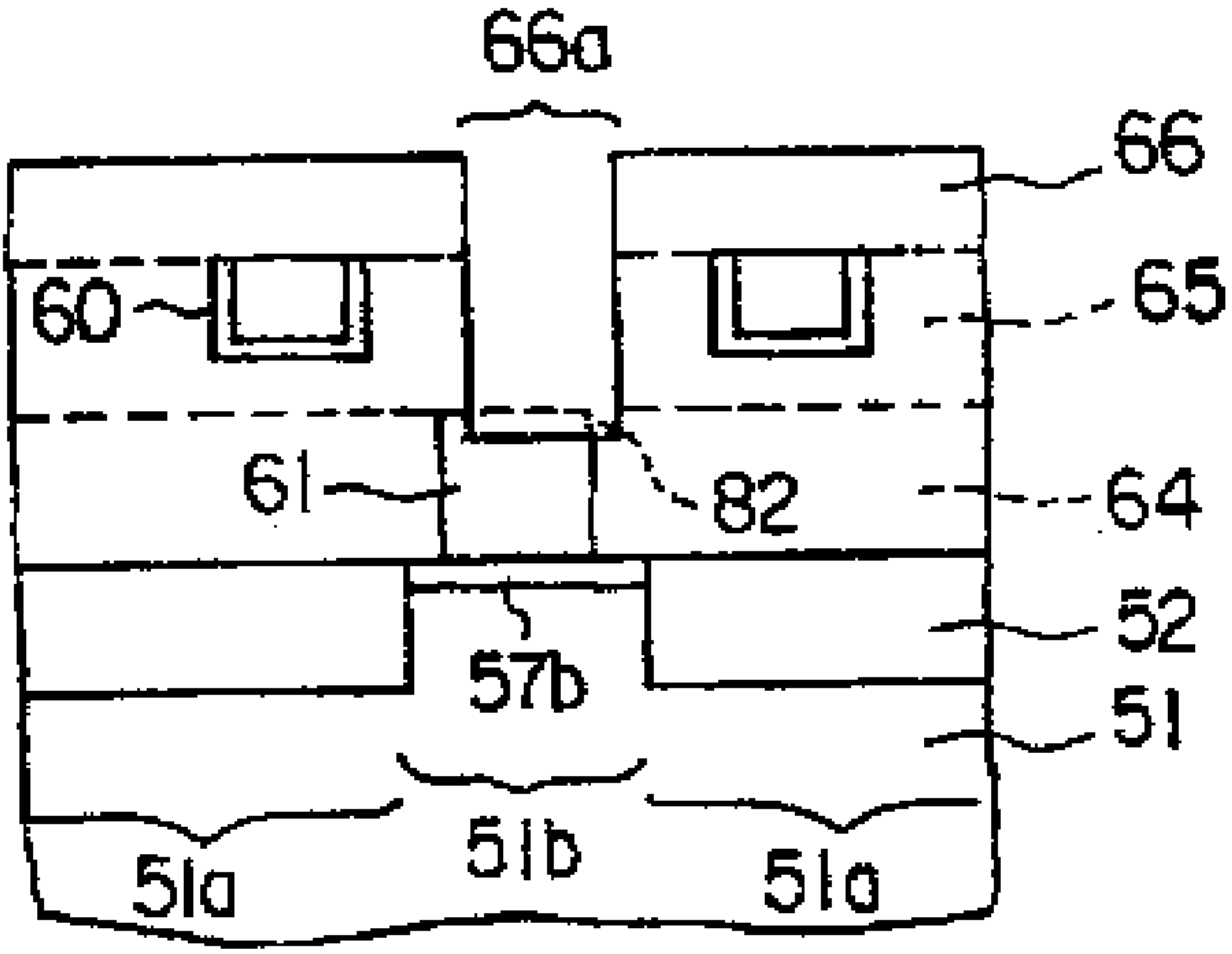
도면 16b



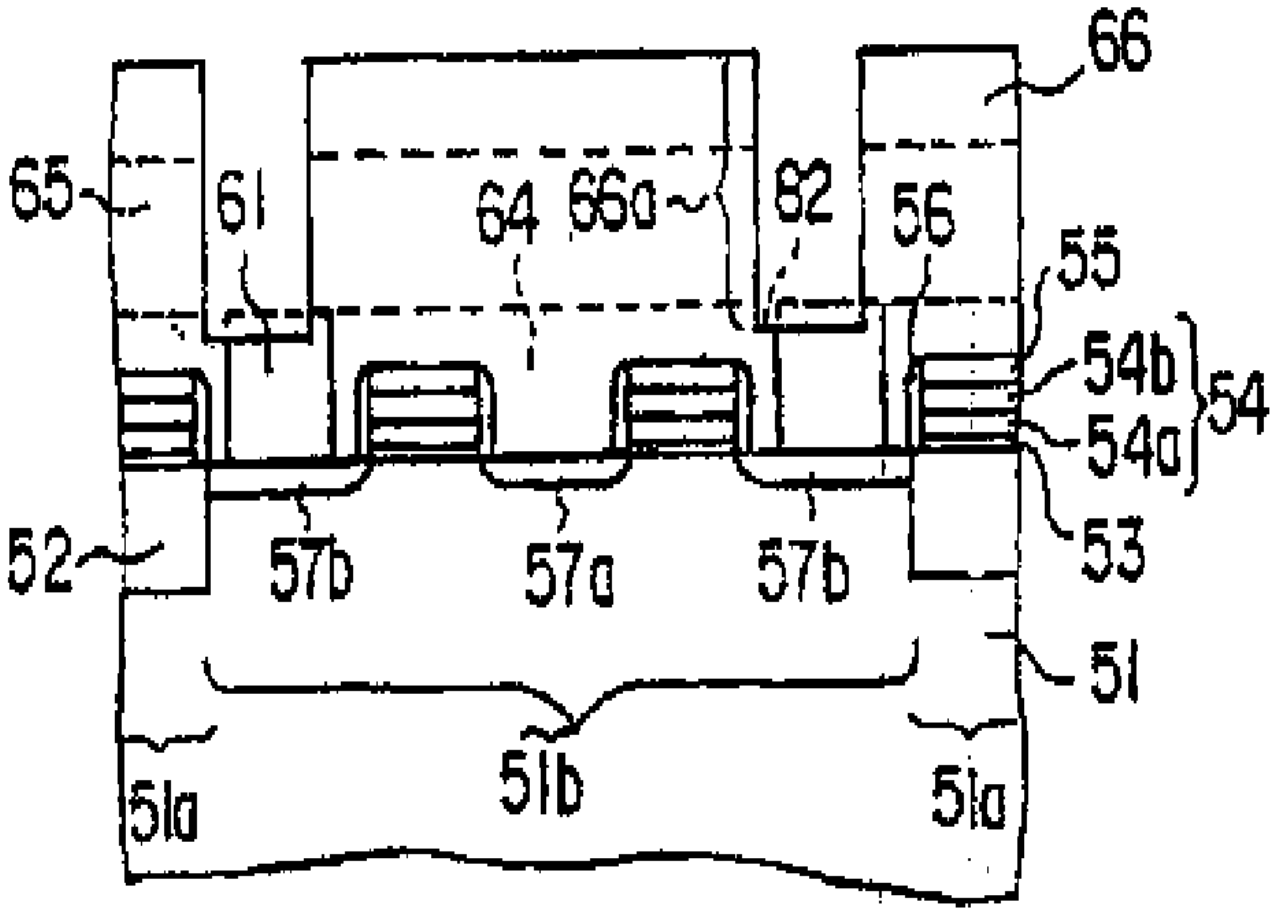
도면 16c



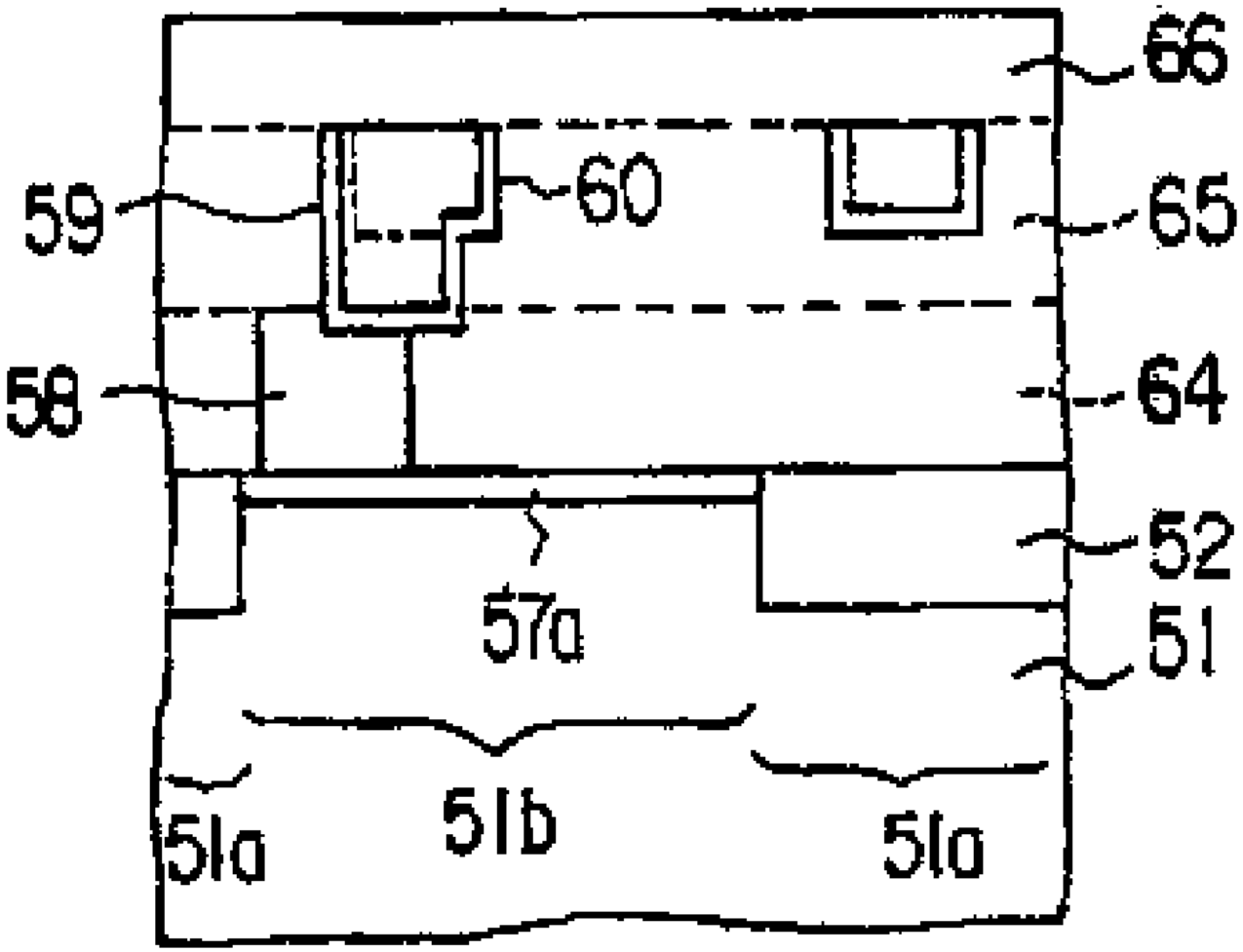
도면 17a



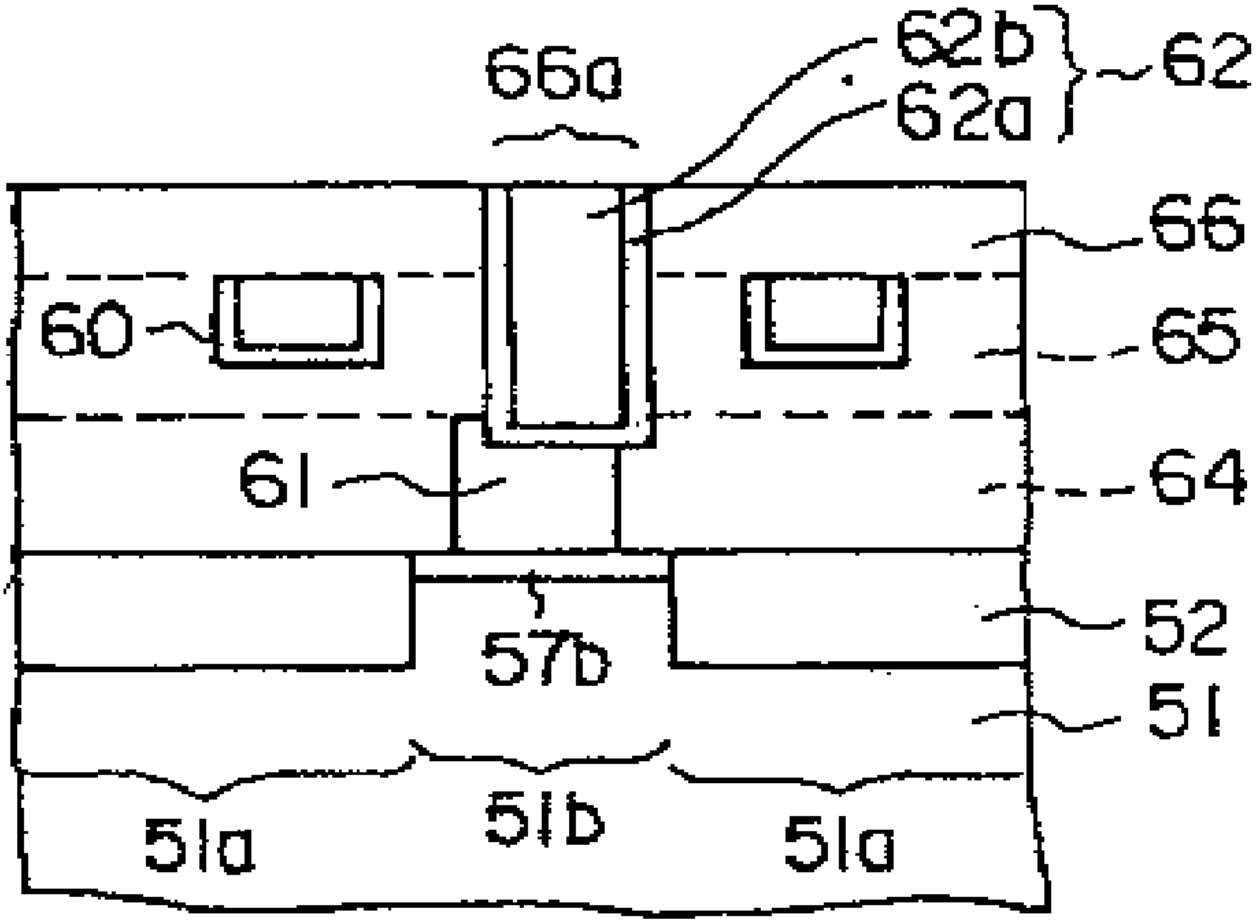
도면 17b



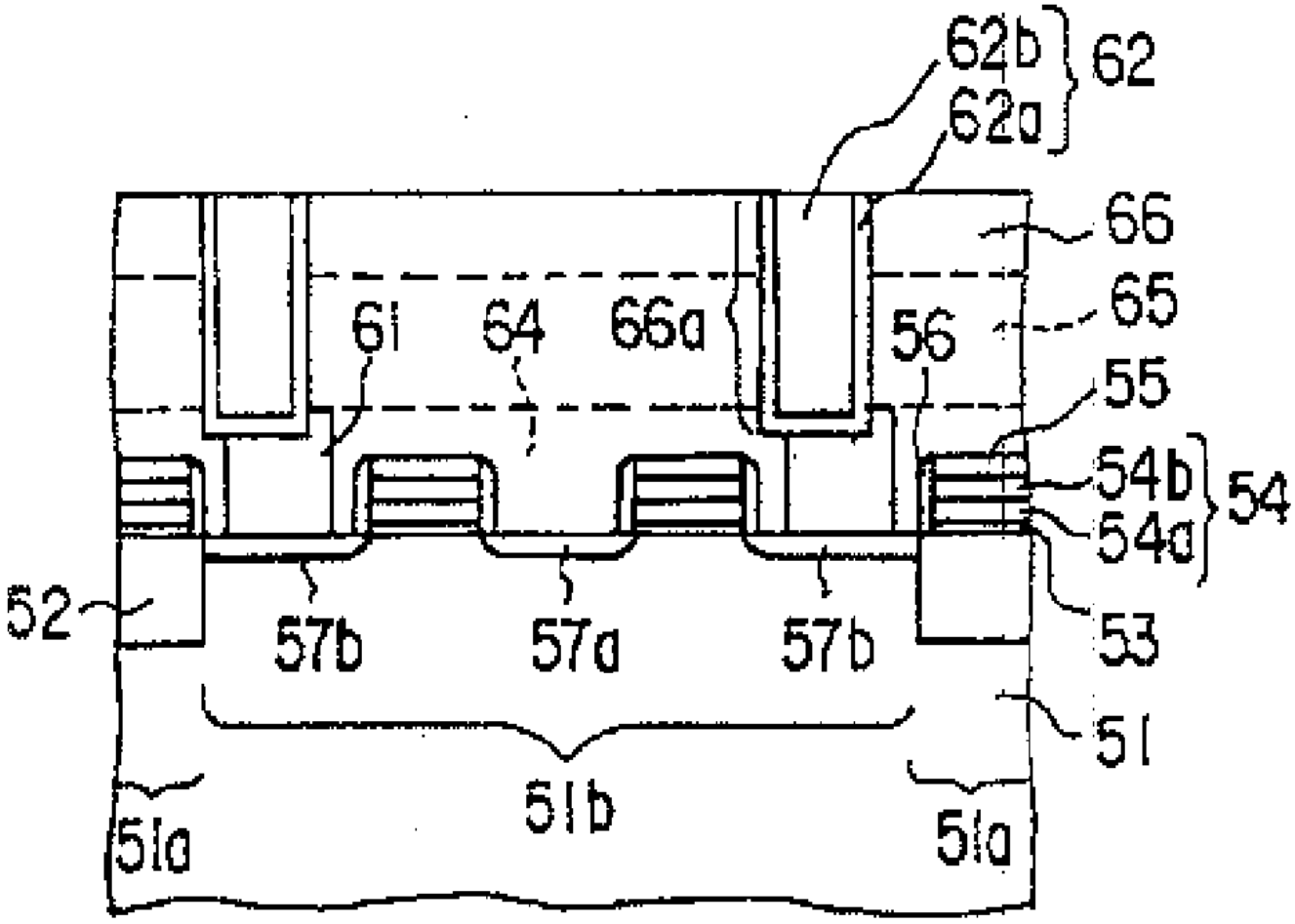
도면 17c



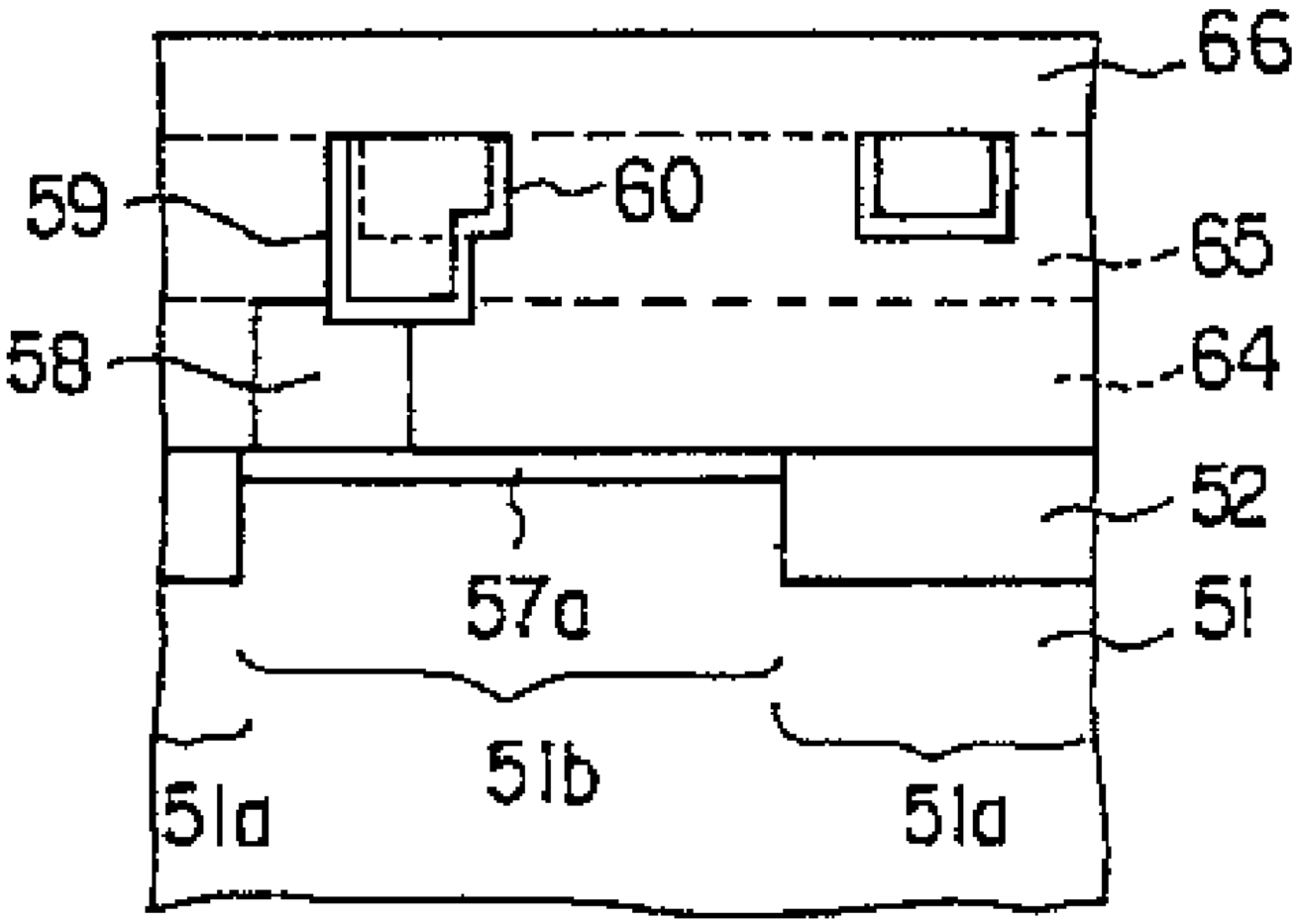
도면 18a



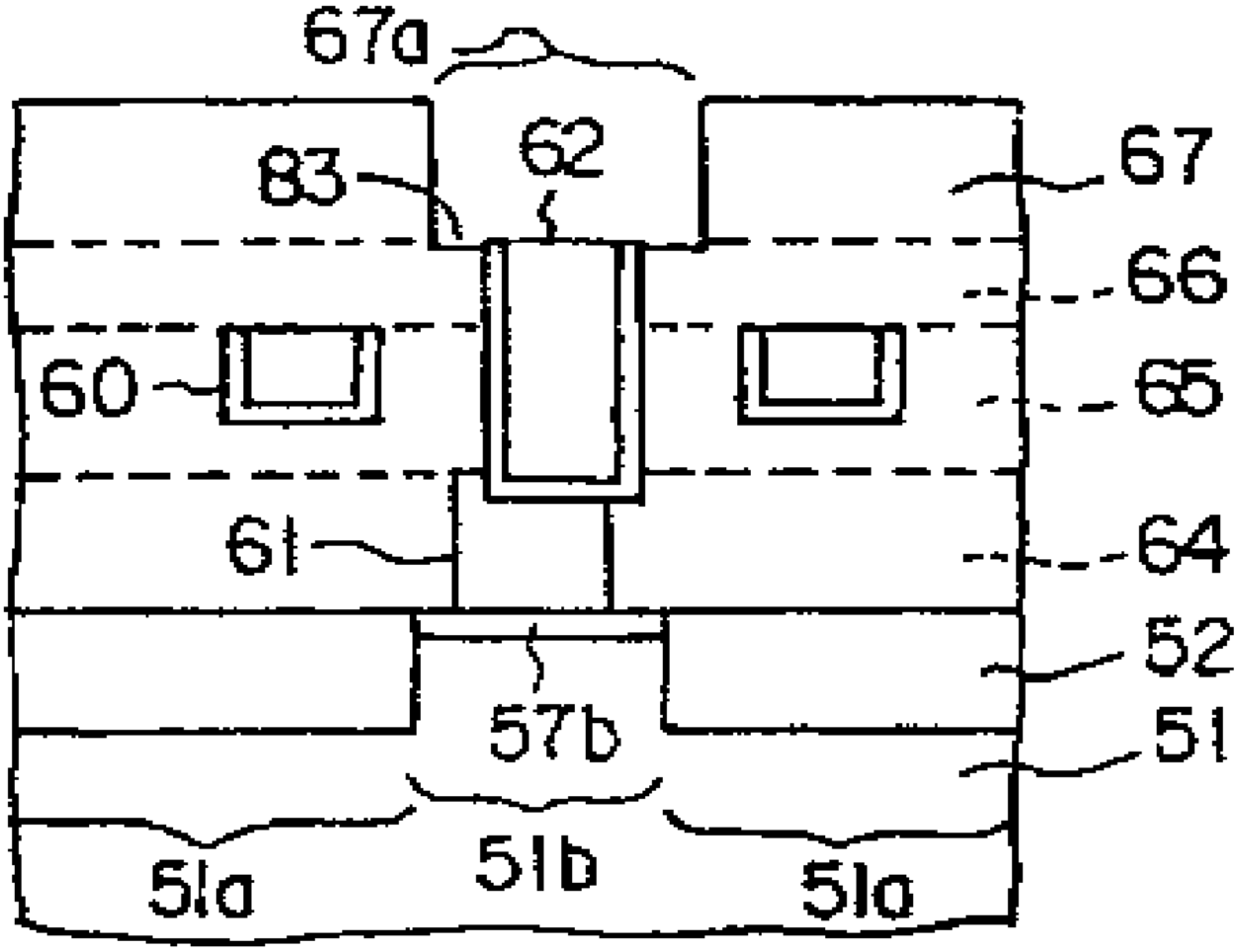
도면 18b


62b
62
62a
66
65
61
64
66a
56
55
54b
54
54a
52
57b
57a
57b
53
51
51b
51a
51a

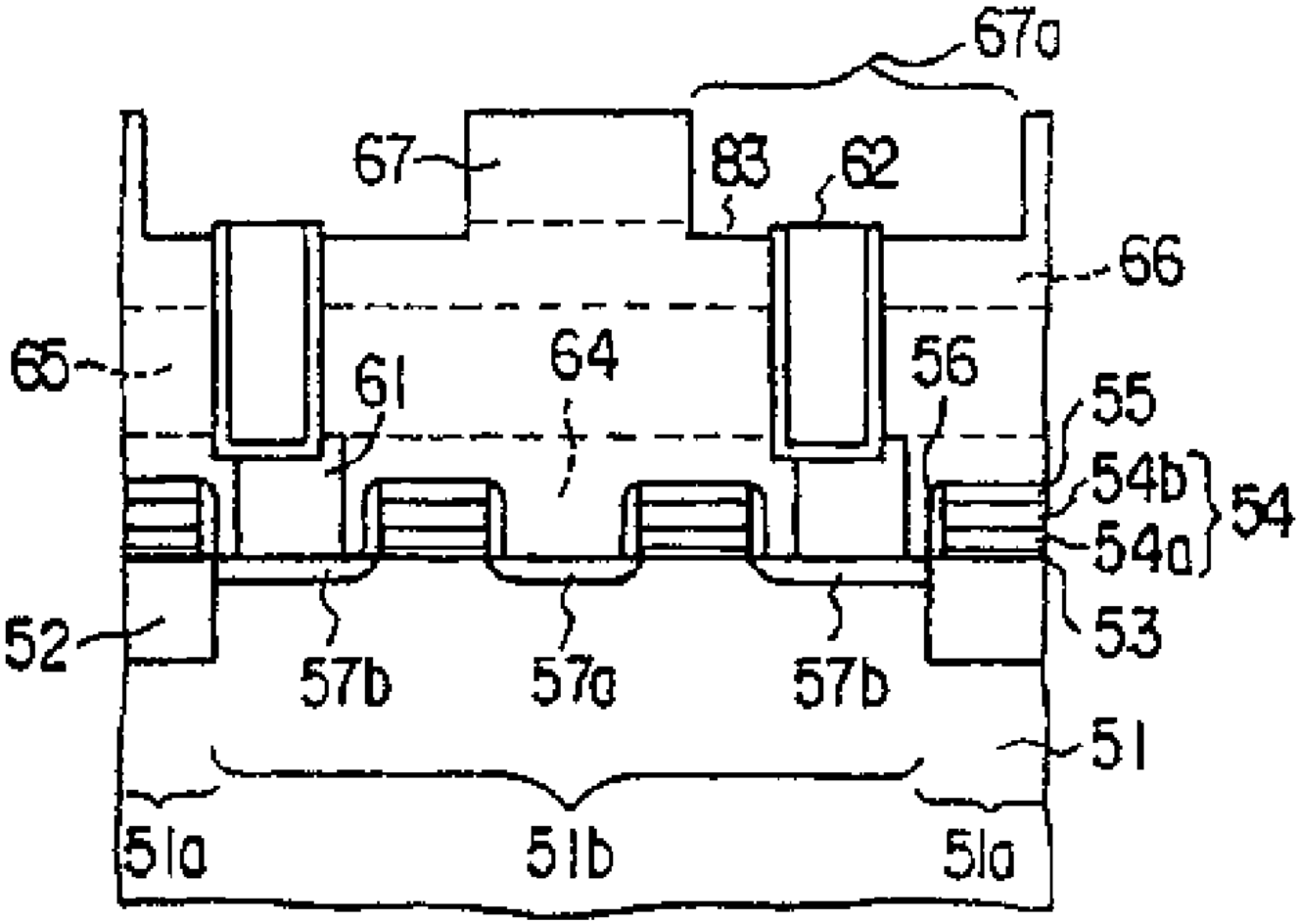
도면 18c



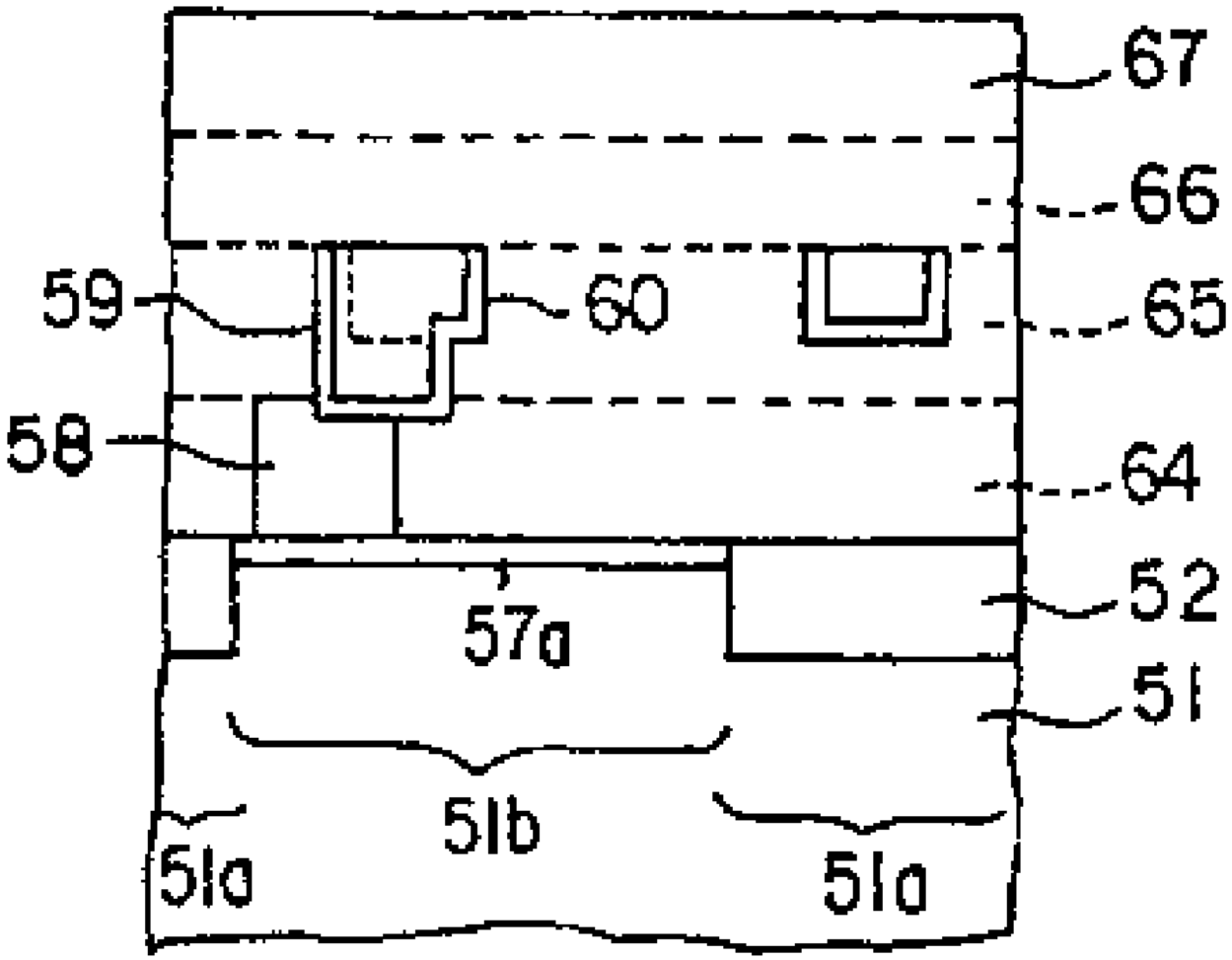
도면 19a



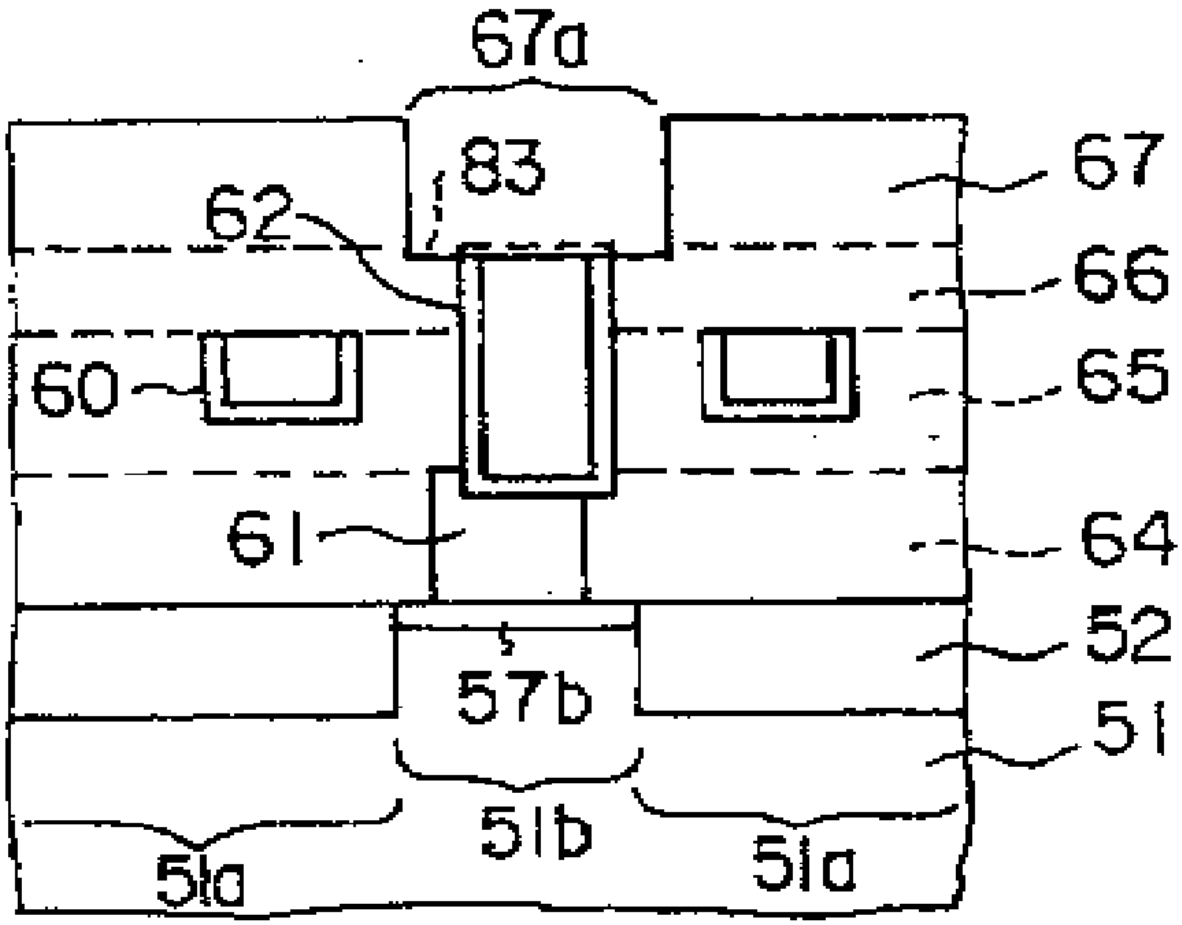
도면 19b


67a
67
63
62
66
65
61
64
56
55
54b
54
54a
52
53
57b
57a
57b
51
51a
51b
51a

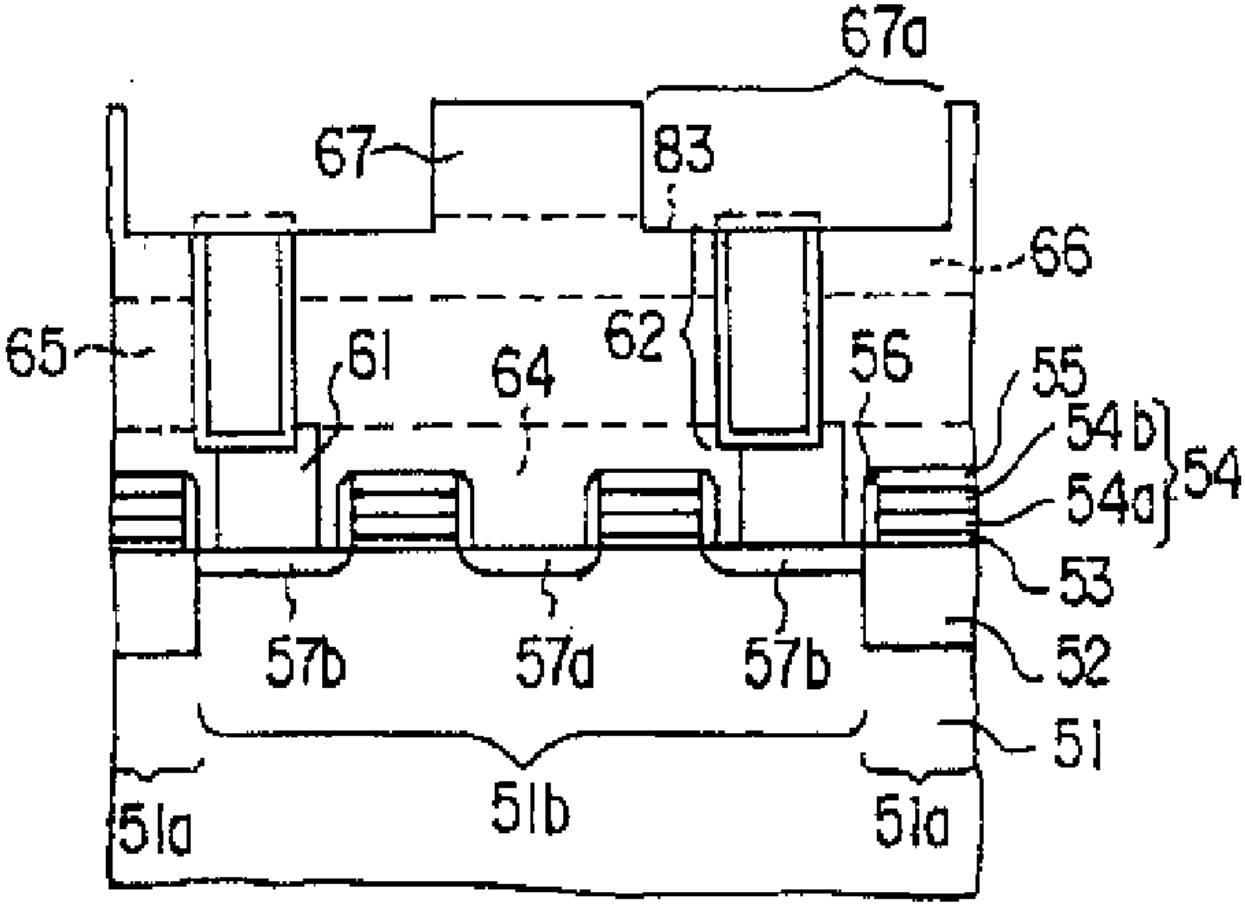
도면 19c



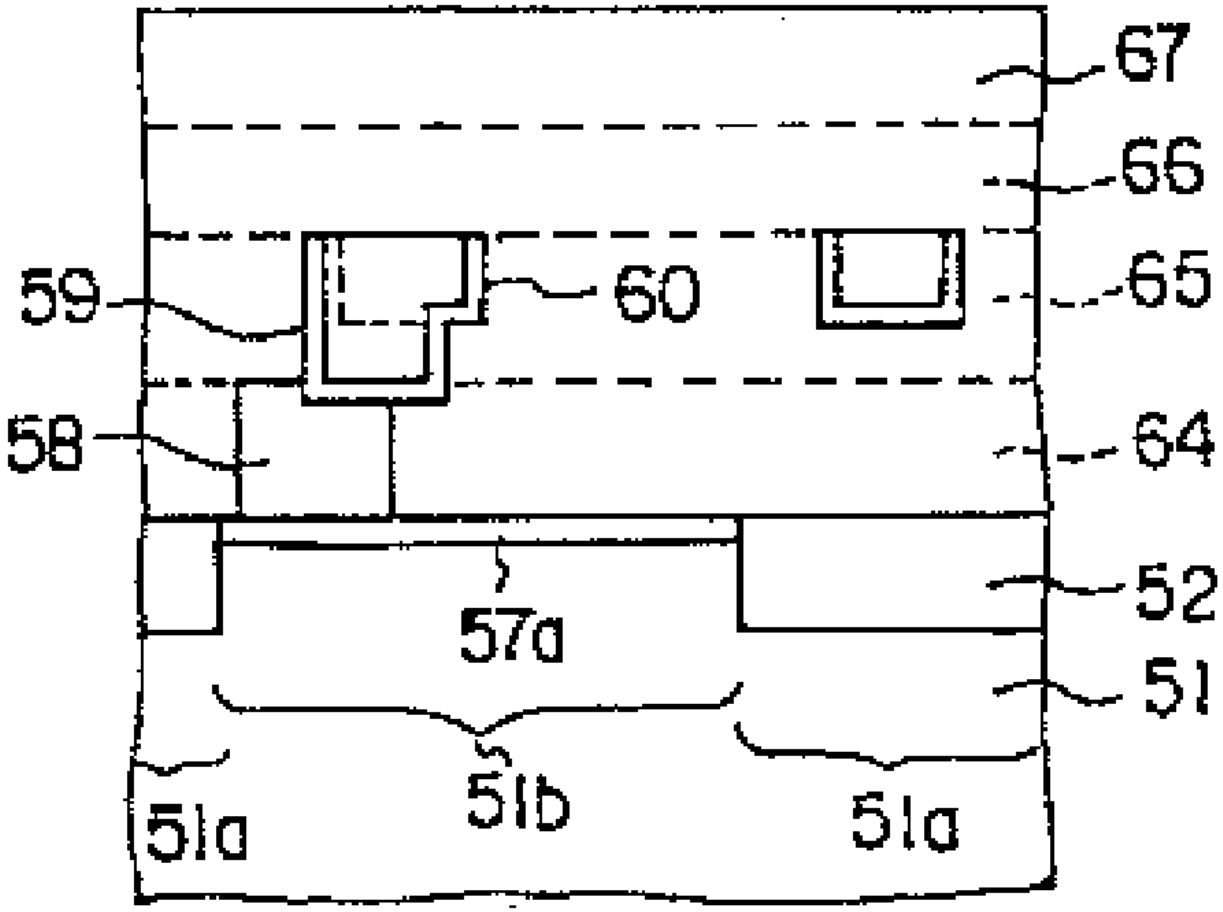
도면 20a



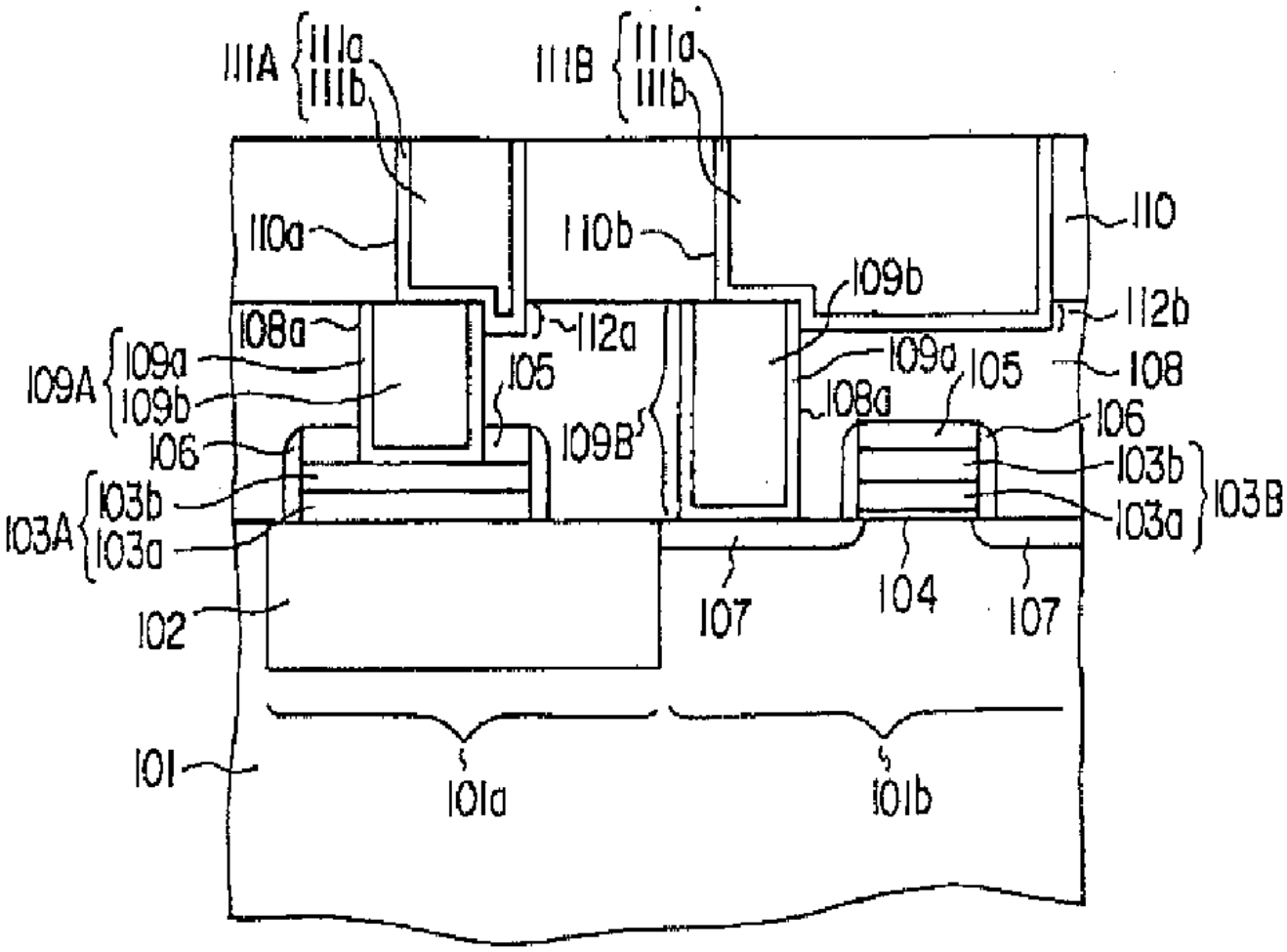
도면 20b


67a
67
83
66
65
61
64
62
56
55
54b
54a
54
53
57b
57a
57b
52
51
51a
51b
51a

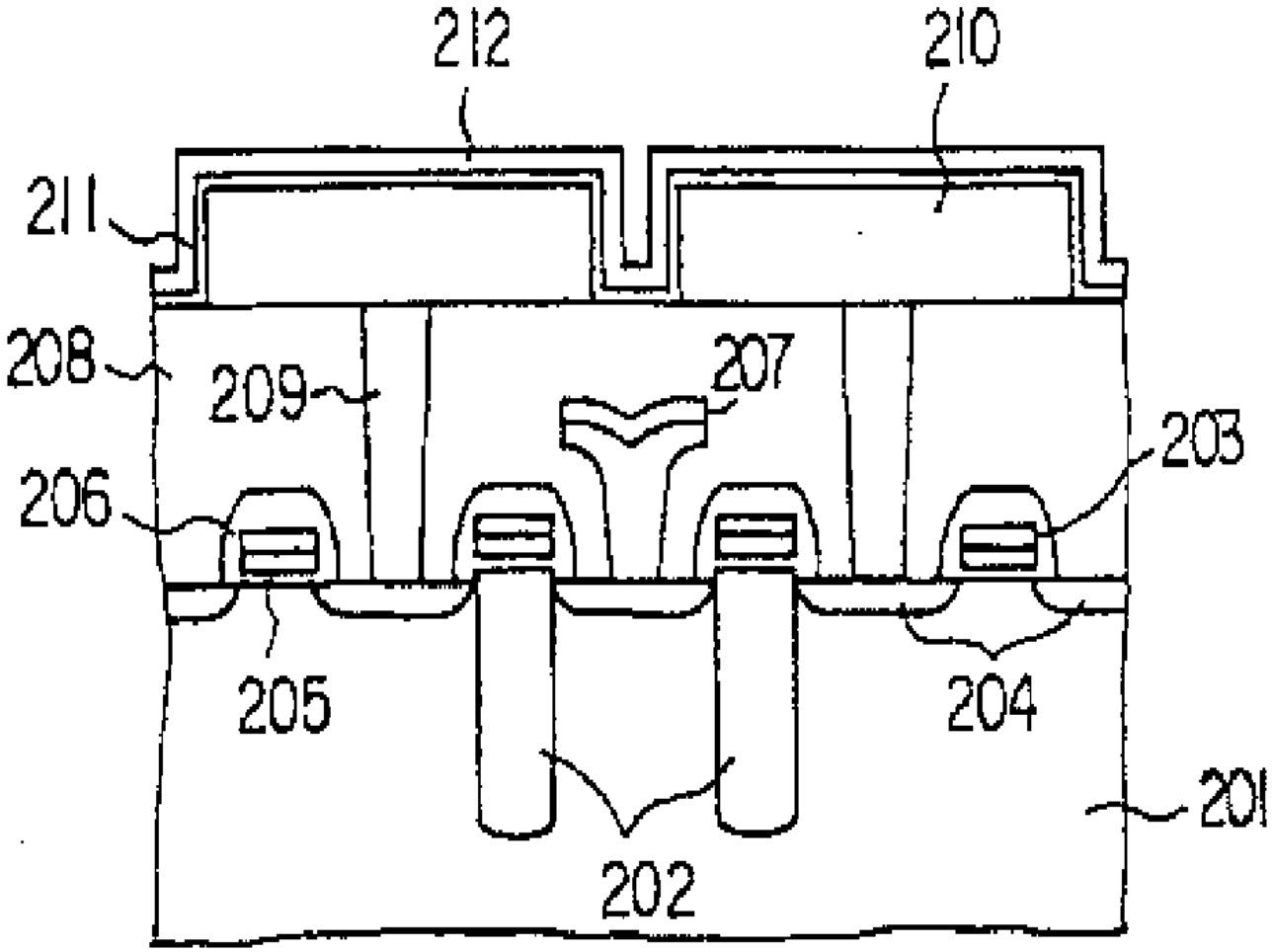
도면 20c



도면 21


111A
111a
111b
111B
111a
111b
110
110a
110b
109b
112b
108a
112a
109A
109a
109b
105
109a
105
108
108a
106
106
109B
103b
103b
103A
103a
103a
103B
102
107
104
107
101
101a
101b

도면 22



도면 23

