

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： P7115P87

※ 申請日期： P7.4.30

※IPC 分類： H01L 21/56 (2006.01)

一、發明名稱：(中文/英文)

覆晶封裝方法

PACKAGE METHOD FOR FLIP CHIP

二、申請人：(共1人)

姓名或名稱：(中文/英文)

日月光半導體製造股份有限公司

ADVANCED SEMICONDUCTOR ENGINEERING, INC.

代表人：(中文/英文) 張虔生 Chang, Chien-Sheng

住居所或營業所地址：(中文/英文)

高雄市楠梓加工區經三路 26 號

26 Chin 3rd Rd., Nantze Export Processing Zone Kaoshiung, Taiwan

國籍：(中文/英文) 中華民國 Taiwan(R. O. C.)

三、發明人：(共1人)

姓名：(中文/英文)

1. 鍾智明 CHUNG, CHIH-MING

國籍：(中文/英文)

1. 中華民國 (R. O. C.)

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種覆晶封裝方法，且特別是有關於一種提高基板使用率之覆晶封裝方法。

【先前技術】

在科技日新月異的世代，利用積體電路元件所組成的電子產品，已成為現代人日常生活中不可或缺的工具。隨著電子產品邁向輕薄短小之設計的潮流，半導體封裝技術也相對地開發出許多高密度之半導體封裝的形式，例如覆晶封裝件。

覆晶封裝製程中需要形成底膠於晶片與基板之間。然而當晶片很薄或面積較大時，很容易發生溢膠問題。而溢出的膠會污染鄰近晶片的鐳墊，導致鄰近晶片之鐳墊在隨後的打線作業時，金線不易固定於被污染的鐳墊上。而且，近來客戶要求晶片尺寸日益縮小，使得晶片與鄰近晶片的鐳墊之間的距離跟著配合縮短，因此導致溢出的底膠更容易污染到鄰近晶片的鐳墊。

【發明內容】

有鑑於此，本發明就是在提供一種覆晶封裝方法，於開始形成底膠之處與鄰近晶片之鐳墊之間形成一溝槽，當底膠之溢膠發生時，溢膠會先填充溝槽內的空間而不會流至鄰近晶片之鐳墊，因此降低了污染鄰近晶片之鐳墊的機

會，並且提高鄰近晶片於打線作業之成功率，以提高產品良率並降低成本。並且，由於溝槽的形成，也使得晶片間的距離可以拉近而不會有錫墊遭受底膠之溢膠污染的問題，因此相同基板面積可以容納較多的晶片，使得基板使用率提升。

根據本發明之一方面，提出一種覆晶封裝方法，包括提供一基板，基板具有一切割道；形成一絕緣層於基板上，絕緣層具有一溝槽，溝槽係位於切割道上；將一晶片設置於基板上，晶片之設置位置係位於溝槽之一側且鄰近於溝槽，晶片係以覆晶接合之方式電性連接於基板；以及，從鄰近切割道之晶片之一側開始形成一底膠於晶片與基板之間。

為讓本發明之上述內容能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

本發明提出一種覆晶封裝方法，包括提供一基板，基板具有一切割道；形成一絕緣層於基板上，絕緣層具有一溝槽，溝槽係位於切割道上；將一晶片設置於基板上，晶片之設置位置係位於溝槽之一側且鄰近於溝槽，晶片係以覆晶接合之方式電性連接於基板；以及，從鄰近切割道之晶片之一側開始形成一底膠於晶片與基板之間。當底膠之溢膠發生時，溢膠會先填充溝槽內空間而不會流至鄰近晶片之錫墊，因此降低了污染鄰近晶片之錫墊的機會。以下

係舉出一較佳實施例做詳細說明，然此實施例僅為本發明之發明精神下的幾種實施方式之一，其說明之文字與圖示並不會對本發明之欲保護範圍進行限縮。

請參照第 1 圖，其繪示依照本發明較佳實施例之覆晶封裝方法之流程圖。覆晶封裝方法包括以下步驟。首先，請同時參照第 2A 圖及第 2B 圖，第 2A 圖繪示本實施例之基板之俯視圖，第 2B 圖繪示第 2A 圖中基板之前視圖。於步驟 102 中，提供一基板 202，基板 202 具有一切割道 204。

接著，請同時參照第 3A 圖及第 3B 圖，第 3A 圖繪示本實施例之形成有絕緣層與鐳墊之基板之俯視圖，第 3B 圖繪示第 3A 圖中基板沿著 1A-1A' 之剖視圖。於步驟 104 中，形成一絕緣層 206 於基板 202 上，絕緣層 206 具有一溝槽 208，溝槽 208 係位於切割道 204 上。其中，絕緣層 206 係包括綠漆、隔離層、ABF 介電層 (Ajinomoto Build-up film) 或其它介電材質。溝槽 208 之寬度係可以小於或等於切割道 204 之寬度，溝槽 208 之長度係可小於或等於切割道 204 之長度，本實施例係以溝槽 208 之寬度與長度分別小於切割道 204 之寬度與長度為例作說明。另外，於本步驟中，覆晶封裝方法更包括形成多個鐳墊 214 於基板 202 上，溝槽 208 例如係以一曝光顯影技術形成，溝槽 208 可以在形成絕緣層 206 中對應至鐳墊 214 的開口 213 之製程中一併完成。因此，溝槽之形成是相當簡單的，而且不會額外增加製程成本。

另外，溝槽 208 所形成的凹陷空間吸收了基板 202 在

後續製程中因加熱動作所產生的熱膨脹量，使得基板 202 整體之翹曲量(Warpage)降低，因此提升了覆晶封裝件的製程良率。

然後，請同時參照第 4A 圖及第 4B 圖，第 4A 圖繪示本實施例之設置有晶片之基板之俯視圖，第 4B 圖繪示第 4A 圖中基板沿著 1B-1B' 之剖視圖。於步驟 106 中，將一晶片 210 設置於基板 202 上，晶片 210 之設置位置係位於溝槽 208 之一側且鄰近於溝槽 208，晶片 210 係以覆晶接合之方式電性連接於基板 202。此外，晶片 210 更具有多個錫球 211，晶片 210 係藉由錫球 211 與基板 202 電性連接。此外，於本步驟中，亦可形成另一晶片 212 於基板 202 上，晶片 210 與晶片 212 係分別位於切割道 204 之兩側。晶片 212 可以直接設置於基板 202 上或是堆疊在覆晶式晶片上，本實施例係以堆疊在覆晶式晶片 215 之形式為例作說明。基板 202 上具有的鐳墊 214 係用以與晶片 212 電性連接，電性連接的方式係可採用打線技術完成，為了使金線的長度適中，鐳墊 214 係形成於切割道 204 與晶片 212 之間。

然後，請同時參照第 5 圖其繪示本實施例之形成底膠時之基板之俯視圖。於步驟 108 中，從鄰近切割道 204 之晶片 210 之一側 219 開始形成底膠 216 於晶片 210 與基板 202 之間，當底膠 216 開始被放置於鄰近於晶片 210 之一側 219 時，藉由虹吸原理，底膠 216 會慢慢被吸入晶片 210 與基板 202 之間。其中，形成底膠 216 的方式係可採用

噴射(Jetting)方式或點膠方式(Dispensing or No-Flow)。

在不形成溝槽的情況下，於形成底膠的過程當中，假如有溢膠產生，則溢膠將可能污染到錫墊。請參照第 6A 圖，其繪示不形成溝槽時，溢膠分佈之示意圖。當絕緣層 206 不具溝槽時，底膠之一溢膠 221 因為沒有溝槽可以被容納，所以只能順勢流至鄰近晶片，例如是晶片 212，之錫墊 214 上，而使錫墊 214 受到汙染。因此導致在後續的打線作業中，金線無法穩固地黏著於錫墊 214 上。在這種情況下，則必需加大晶片 210 與錫墊 214 的間距來降低錫墊 214 受到汙染的機率。如此，將會浪費基板 202 之可使用的空間。

於形成底膠的過程當中，如果有溢膠產生的話，本實施例將可有效地使溢膠避免污染到鄰近晶片之錫墊。請參照第 6B 圖，其繪示本實施例之形成有凹槽之覆晶封裝方法之溢膠分佈示意圖。底膠 216 之一溢膠 218 會先流進溝槽 208 之空間內，而避免了溢膠 218 流至錫墊 214 而污染錫墊 214，如此，晶粒 210 與錫墊 214 的間距不需加大，因此而節省基板 202 之可使用的空間。

此外，為了電性連接晶片 212 與錫墊 214，於步驟 108 後，覆晶封裝方法更可包括形成多條金線 217 之步驟。請參照第 7A 圖及第 7B 圖，第 7A 圖繪示本實施例之形成有多條金線之基板之俯視圖，第 7B 圖繪示第 7A 圖中基板沿者 1C-1C' 之剖視圖。藉由打線作業，形成多條金線 217 連接晶片 212 與錫墊 214，以使晶片 212 經由金線 217 與錫

墊 214 電性連接。

此外，於步驟 108 後，覆晶封裝方法更可包括沿著切割道 204 切割基板 202，以形成覆晶封裝件 220 之步驟。請參照第 8 圖，其繪示本實施例之覆晶封裝件之示意圖。使用一切割刀 222 切割基板 202 後，形成覆晶封裝件 220 及 224，其中，為了保護金線 217 免於受潮及外物侵蝕，在切割前以封膠 226 覆蓋晶片 212 及金線 217。

此外，在切割過程中，由於絕緣層 206 的質地較軟，在切割完後很容易在邊緣形成毛邊。然而，由於溝槽的形成，使得具有溝槽之切割道所具有的絕緣層成份相較於不具有溝槽之切割道所具有的絕緣層成份還少，當絕緣層的成分較少時，切割後的覆晶封裝件所殘留的毛邊也自然地變得較少。如此，有助於覆晶封裝件成品品質的提升。

在打線作業中，為了使金線能夠穩固定於錫墊 214 上，錫墊須保持潔淨，不能夠有雜質在錫墊上，否則金線無法穩固在錫墊上。若錫墊污染過於嚴重，例如是底膠 216 之溢膠流至錫墊 214 上(如第 6A 圖所示)，甚至會發生無法打線的不良問題。所以本實施例之溝槽 208 之形成，使得當底膠 216 之溢膠 218 發生時，溢膠 218 會先填充溝槽 208 內之空間而不會流至錫墊 214 上，因此降低了污染錫墊 214 的機會，使後續的打線作業中的金線 217，可以穩定地固定於錫墊 214 上。此外，由於溝槽的形成，使得溢膠的區域範圍也可以被控制的較小，晶片間的距離得以拉近，以

使基板容納更多的晶片而提高基板的使用率。

請參照第 9 圖，其繪示本實施例之溝槽之另一結構之示意圖。絕緣層 302 具有多個溝槽 304，溝槽 304 係位於切割道 306 上。本發明之覆晶封裝方法所形成的溝槽並不侷限第 1 圖之溝槽形式，溝槽的分佈係可隨著覆晶封裝件於基板上的分佈方式而配合變更。因此，多種溝槽的配置方式增加了製程的規劃彈性。

此外，溝槽的尺寸可以配合底膠量調整，例如，底膠量因配合產品尺寸而需要較多時，溝槽的尺寸則可以配合形成容積較大的溝槽以容納更多的溢膠量。如此，使得溢膠的區域範圍仍可以被控制的較小。

本發明上述實施例所揭露之覆晶封裝方法，具有多項優點，以下僅列舉部分優點說明如下：

1) 溝槽之形成，使得鄰近晶片之錫墊受到底膠污染的機率降低，提高了後續打線作業之成功率及確保打線品質。

2) 溝槽的形成，使得溢膠的區域範圍可以縮小，因此晶片間的距離得以縮短，使得相同的基板面積可以容納更多尺寸較小的晶粒。因此提高了基板的使用率。

3) 溝槽之形成，使得質地較軟的絕緣層數量減少，在基板切割成覆晶封裝件後，覆晶封裝件的切割邊緣所殘留的毛邊也減少了，因此提升了覆晶封裝件的成品品質。

4) 溝槽之形成，使得基板翹曲量降低，因此提升了覆晶封裝件的製程良率。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖繪示依照本發明較佳實施例之覆晶封裝方法之流程圖。

第 2A 圖繪示本實施例之基板之俯視圖。

第 2B 圖繪示第 2A 圖中基板之前視圖。

第 3A 圖繪示本實施例之形成有絕緣層與錫墊之基板之俯視圖。

第 3B 圖繪示第 3A 圖中基板沿著 1A-1A' 之剖視圖。

第 4A 圖繪示本實施例之設置有晶片之基板之俯視圖。

第 4B 圖繪示第 4A 圖中基板沿著 1B-1B' 之剖視圖。

第 5 圖繪示本實施例之形成底膠時之基板之俯視圖。

第 6A 圖繪示不形成溝槽時，溢膠分佈之示意圖。

第 6B 圖繪示本實施例之形成有凹槽之覆晶封裝方法之溢膠分佈示意圖。

第 7A 圖繪示本實施例之形成有多條金線之基板之俯視圖。

第 7B 圖繪示第 7A 圖中基板沿者 1C-1C' 之剖視圖。

第 8 圖繪示本實施例之覆晶封裝件之示意圖。

第 9 圖繪示本實施例之溝槽之另一結構之示意圖。

【主要元件符號說明】

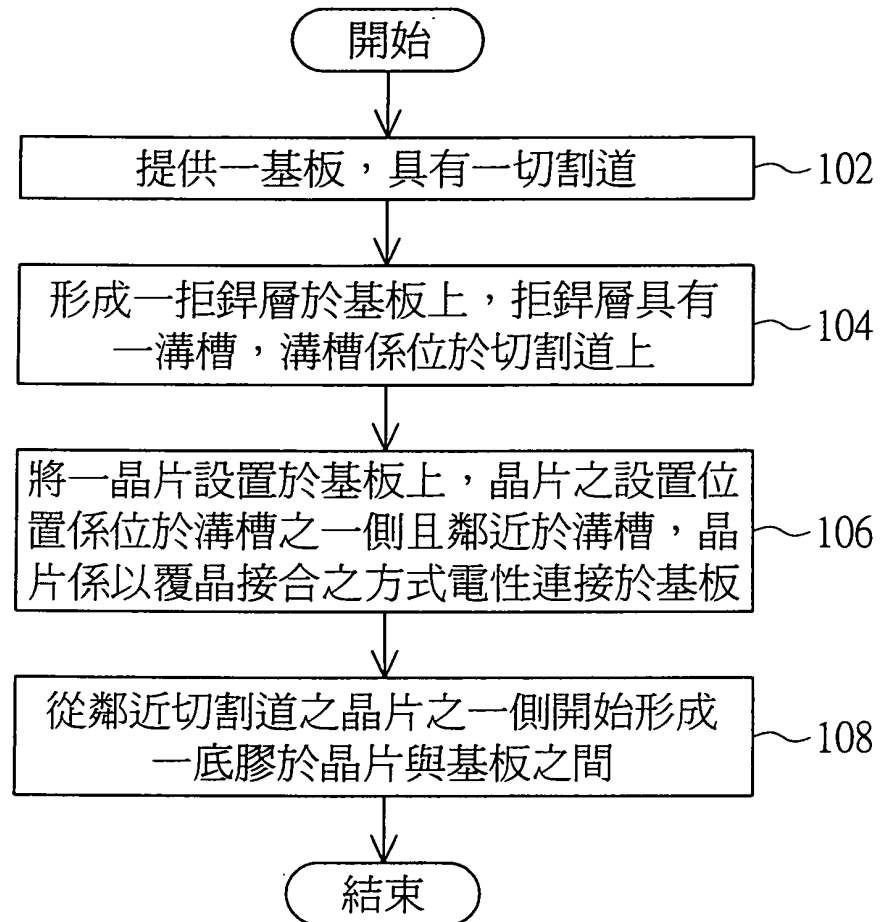
- 202：基板
- 204、306：切割道
- 206、302：絕緣層
- 208、304：溝槽
- 210、212：晶片
- 211：錫球
- 213：開口
- 214：鐳墊
- 215：覆晶式晶片
- 216：底膠
- 217：金線
- 218、221：溢膠
- 219：一側
- 220、224：覆晶式晶片
- 222：切割刀
- 226：封膠

五、中文發明摘要：(中文案件名稱：覆晶封裝方法)

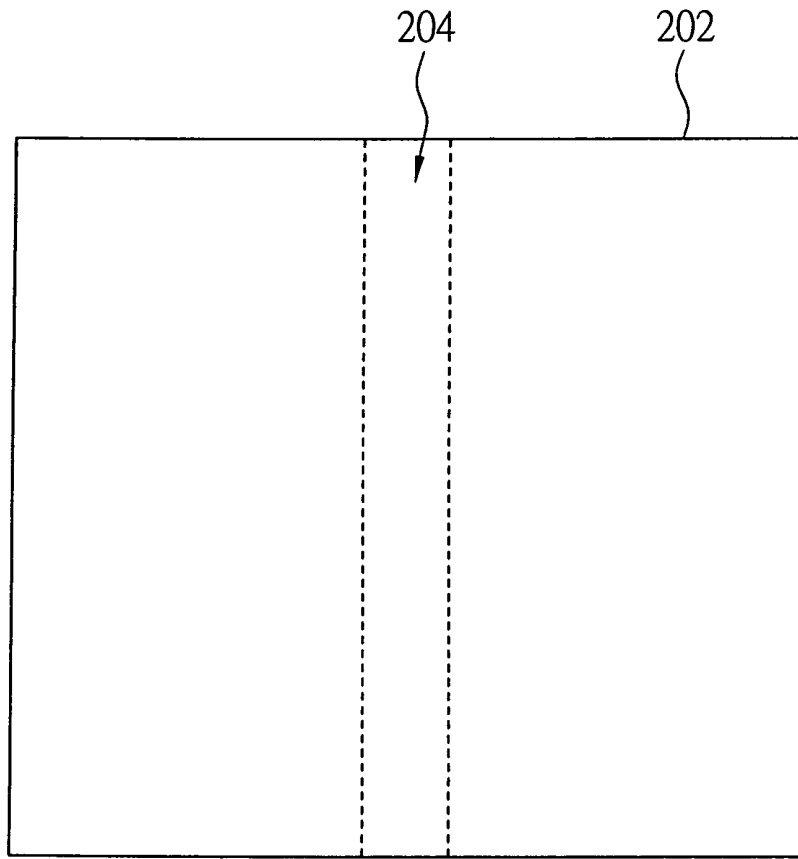
一種覆晶封裝方法，包括提供一基板，基板具有一切割道；形成一絕緣層於基板上，絕緣層具有一溝槽，溝槽係位於切割道上；將一晶片設置於基板上，晶片之設置位置係位於溝槽之一側且鄰近於溝槽，晶片係以覆晶接合之方式電性連接於基板；以及，從鄰近切割道之晶片之一側開始形成一底膠於晶片與基板之間。

六、英文發明摘要：(英文案件名稱：PACKAGE METHOD FOR FLIP CHIP)

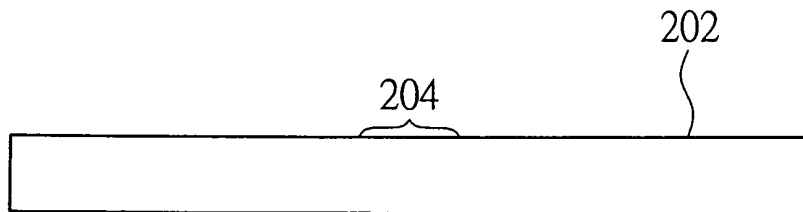
A package method for flip chip is provided. The method includes the following steps. Providing a substrate having a cutting street. Forming insulation on the substrate and insulation has a slot located the cutting street. Putting a chip on the substrate, the location of the chip is in a side of the slot and adjacent to the slot. The chip is electrically connected to the substrate by flipping. Forming an underfill which is starting from a side of the chip and the side is adjacent to the cutting street so as to fill with the space between the chip and the substrate.



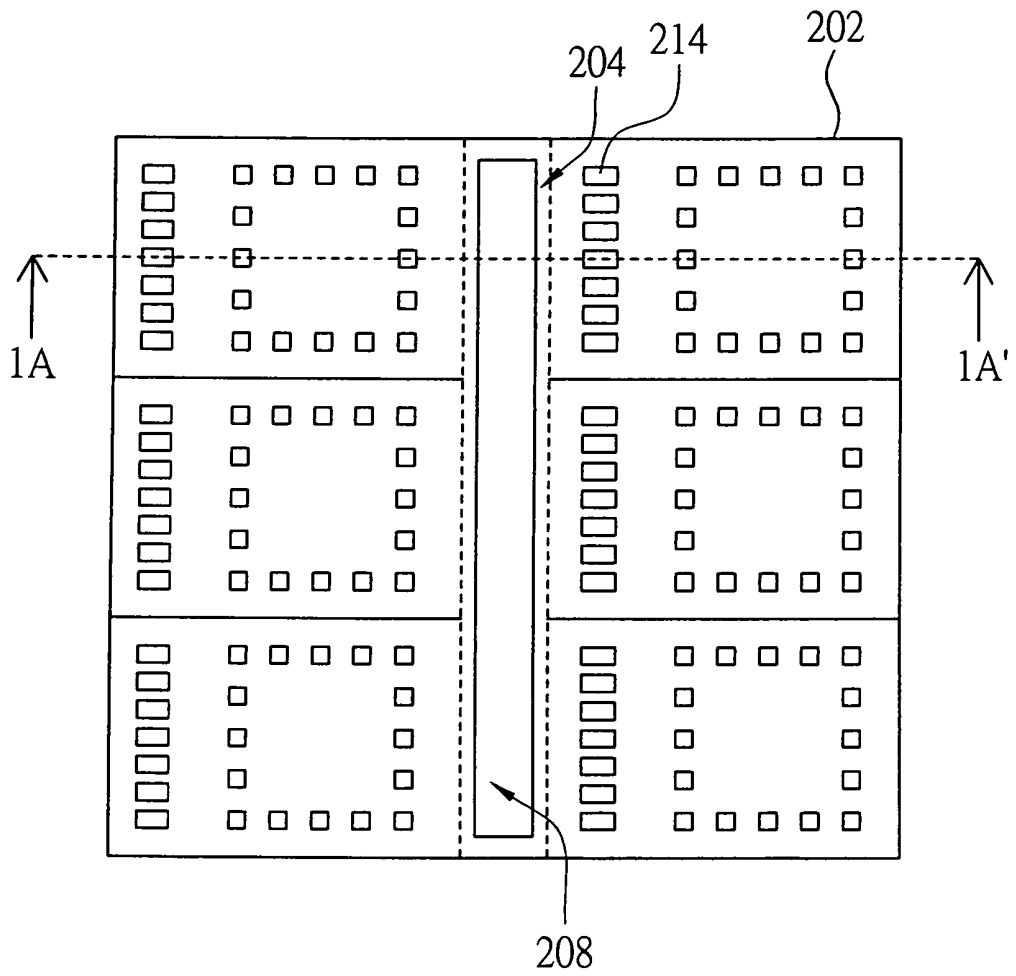
第 1 圖



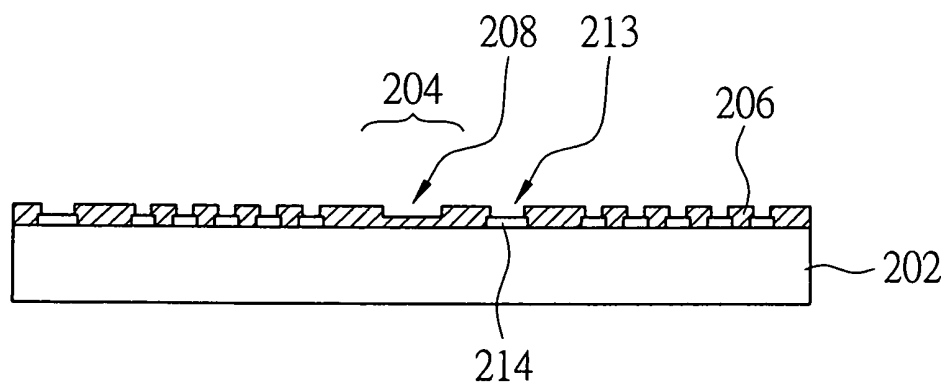
第 2A 圖



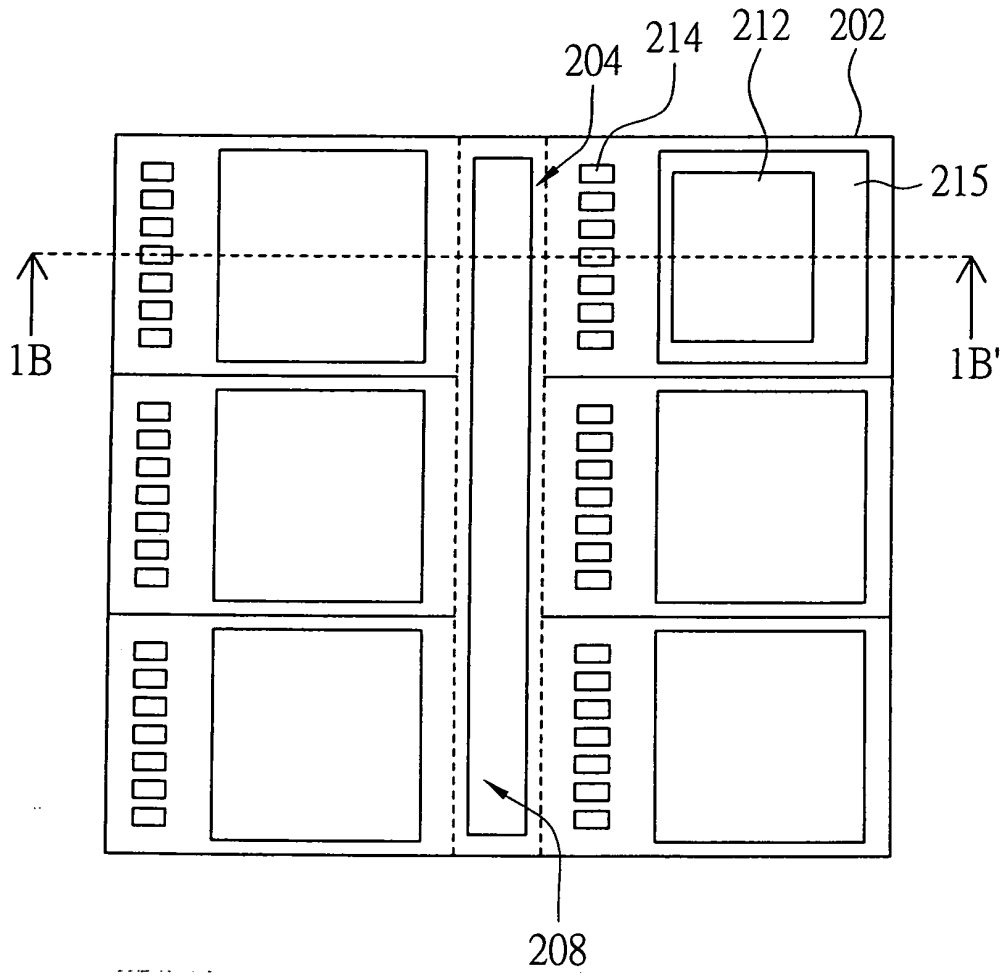
第 2B 圖



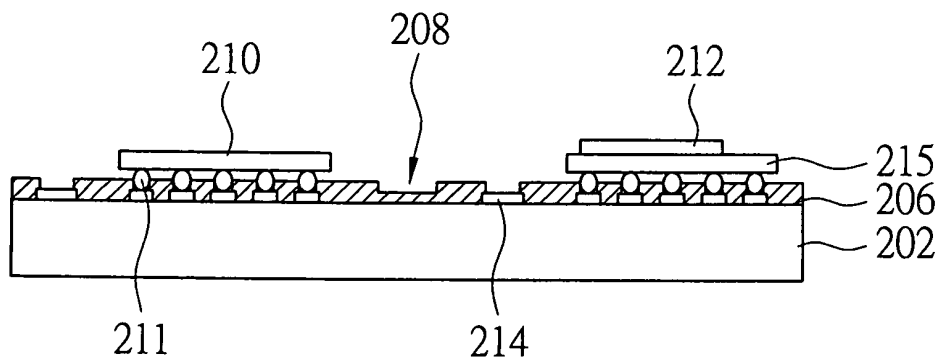
第 3A 圖



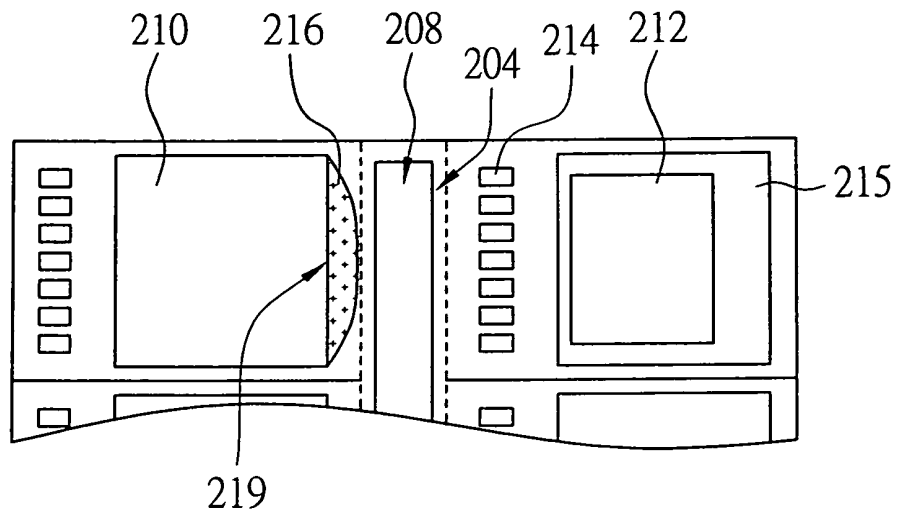
第 3B 圖



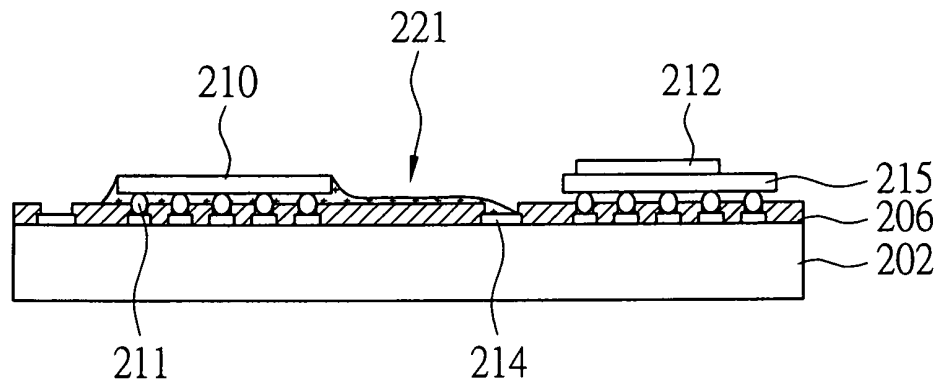
第 4A 圖



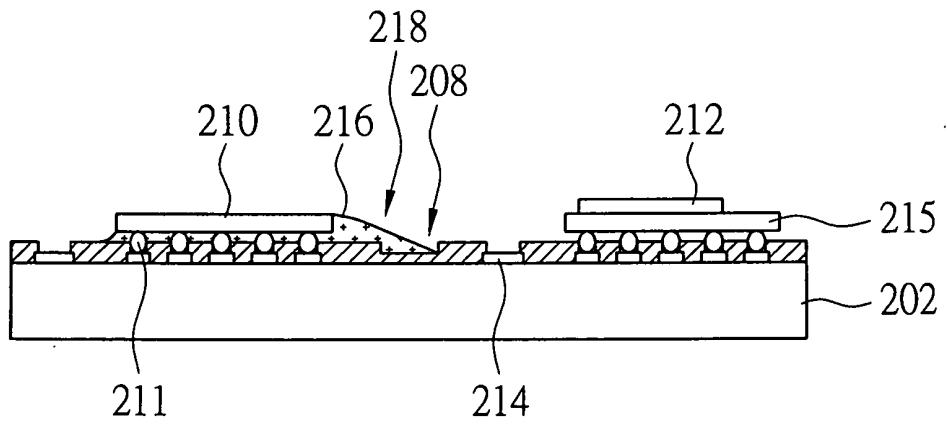
第 4B 圖



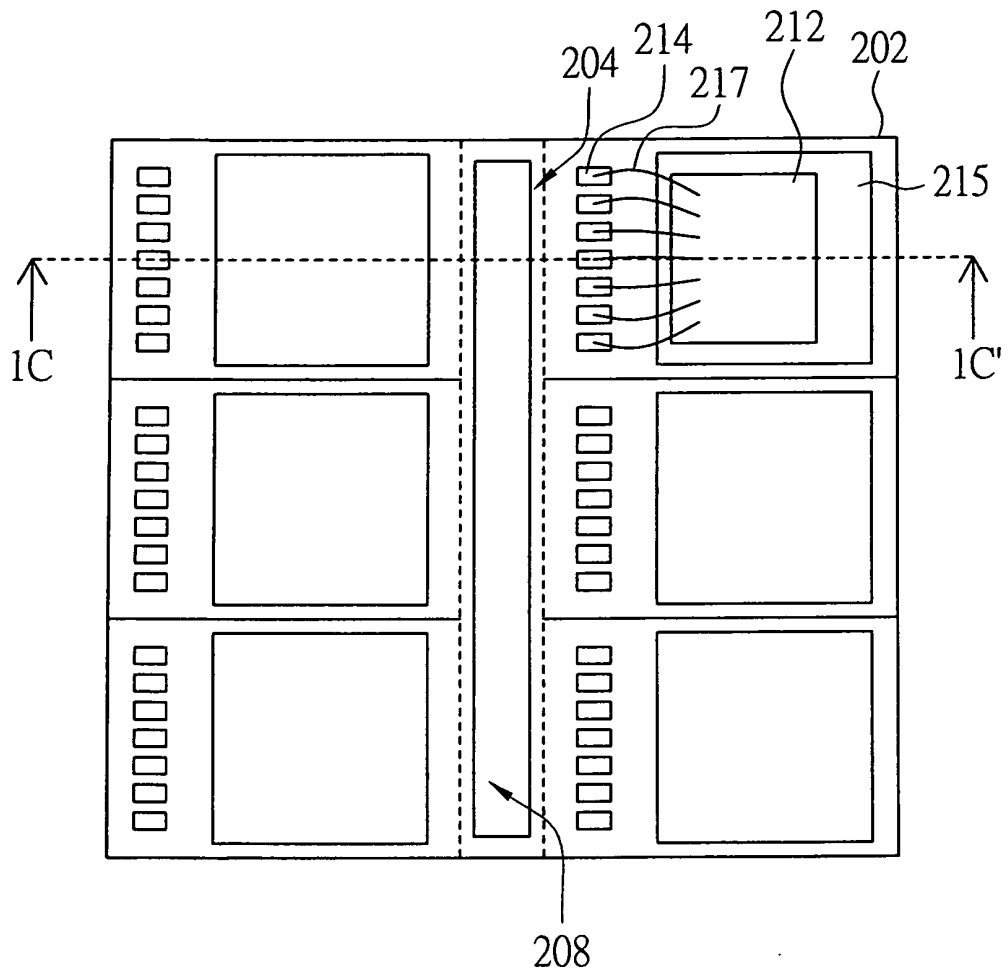
第 5 圖



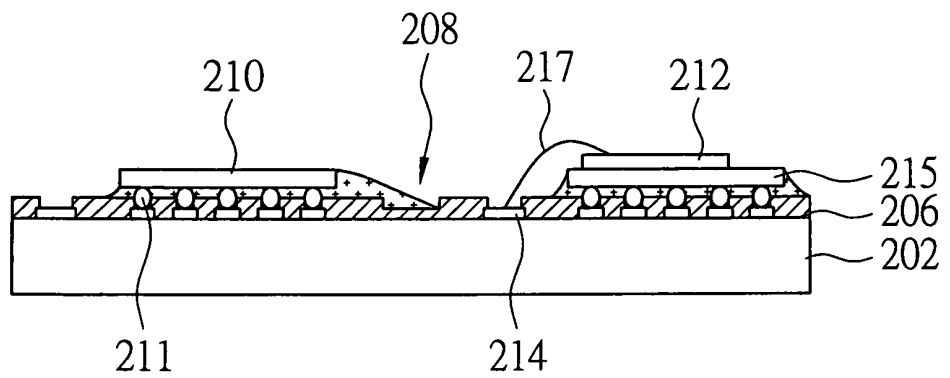
第 6A 圖



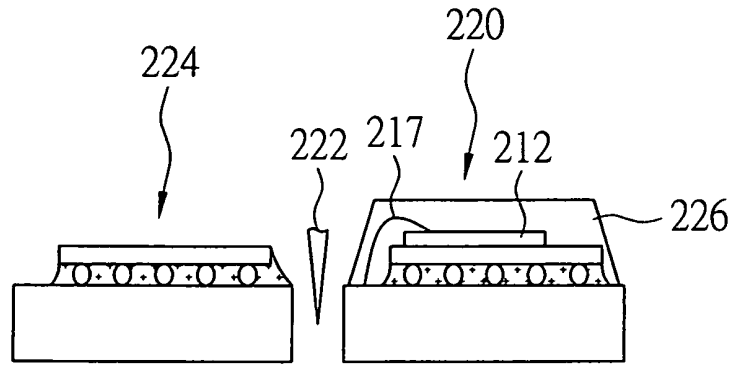
第 6B 圖



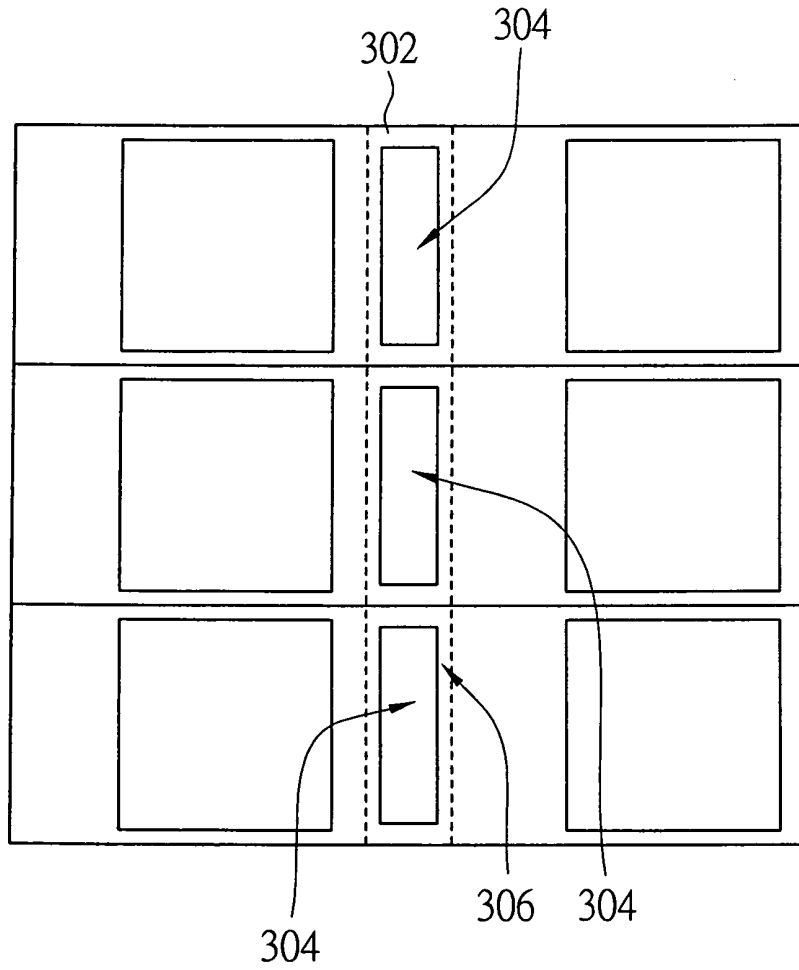
第 7A 圖



第 7B 圖



第 8 圖



第 9 圖

七、指定代表圖：

(一)本案指定代表圖為：第 1 圖

(二)本代表圖之元件符號簡單說明：無

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

101年 4月 3日 修正替換頁

2012/4/3_1st 申復&修正

十、申請專利範圍：

1. 一種覆晶封裝方法，包括：
 - (a)提供一基板，具有一切割道；
 - (b)形成一絕緣層於該基板上，該絕緣層具有一溝槽，該溝槽係位於該切割道上；
 - (c)將一晶片設置於該基板上，該晶片之設置位置係位於該溝槽之一側且鄰近於該溝槽，該晶片係以覆晶接合之方式電性連接於該基板；以及
 - (d)從鄰近該切割道之該晶片之一側開始形成一底膠於該晶片與該基板之間。
2. 如申請專利範圍第 1 項所述之覆晶封裝方法，其中，該溝槽之寬度係小於或等於該切割道之寬度。
3. 如申請專利範圍第 1 項所述之覆晶封裝方法，其中，該溝槽之長度係小於或等於該切割道之長度。
4. 如申請專利範圍第 1 項所述之覆晶封裝方法，其中該絕緣層具有複數個溝槽，該些溝槽係位於該切割道上。
5. 如申請專利範圍第 1 項所述之覆晶封裝方法，其中於該步驟(c)中，該晶片具有複數個錫球，該晶片係藉由該些錫球與該基板電性連接。
6. 如申請專利範圍第 1 項所述之覆晶封裝方法，其中於該步驟(a)中，該溝槽係以一曝光顯影技術形成。
7. 如申請專利範圍第 1 項所述之覆晶封裝方法，其中於該步驟(d)中，係以噴射方式(Jetting)形成該底膠。
8. 如申請專利範圍第 1 項所述之覆晶封裝方法，其中於該

101年 4月 3日修正替換頁

2012/4/3_1st 申復&修正

步驟(d)中，係以點膠方式(Dispensing or No-Flow)形成該底膠。

9. 如申請專利範圍第 1 項所述之覆晶封裝方法，其中於該步驟(d)之後，該方法更包括：

沿著該切割道切割該基板，以形成一覆晶封裝件。

10. 如申請專利範圍第 1 項所述之覆晶封裝方法，更包括：

形成另一晶片於該基板上，該晶片與該另一晶片係分別位於該切割道之兩側。

11. 如申請專利範圍第 10 項所述之覆晶封裝方法，其中，該基板上更具有複數個鐳墊，該些鐳墊係形成於該切割道與該另一晶片之間，該方法更包括：

形成複數條金線，以使該另一晶片分別經由該些金線與該些鐳墊電性連接。

12. 如申請專利範圍第 1 項所述之覆晶封裝方法，其中該溝槽之槽高度小於該絕緣層的厚度。