

公告本

申請日期	P1.8.2P
案 號	P111P68/2
類 別	H01L 2/31

A4
C4

(以上各欄由本局填註)

569340

發明專利說明書

一、發明 名稱	中 文	電子裝置及其製造方法
	英 文	"ELECTRONIC DEVICES AND METHODS OF MANUFACTURE"
二、發明 創作人	姓 名	1.丹尼斯 安迪許 DENIS ENDISCH 2.喬瑟夫 里渥特 JOSEPH LEVERT
	國 籍	1.德國 GERMANY 2.美國 U.S.A.
三、申請人	住、居所	1.美國加州庫普提諾市橘林路7598號 7598 ORANGE BLOSSOM DRIVE, CUPERTINO, CA 95014, U.S.A. 2.美國加州維斯塔市雪多瑞吉路1500號 1500 SHADOWRIDGE DRIVE, APT. 90, VISTA, CA 92083, U.S.A.
	姓 名 (名 稱)	美商哈尼威爾國際公司 HONEYWELL INTERNATIONAL INC.
	國 籍	美國 U.S.A.
	住、居所 (事務所)	美國紐澤西州摩里斯鎮哥倫比亞路101號 101 COLUMBIA ROAD, MORRISTOWN, NJ 07962, U.S.A.
	代 表 人 姓 名	羅傑 H. 克里斯 ROGER H. CRISS

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
美國 2001年08月29日 09/943,237 ☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝

訂

線

五、發明說明 (1)

發明範圍

本發明範圍和電子裝置有關，且特別和微電子裝置之電介體沉積有關。

發明背景

在一積體電路內主動及被動裝置之介電隔離經常是必要的，俾使此等裝置能具有相對高之密度，且通常係藉由結合淺溝隔離(STI)結構而達成，各類製造STI之方法在本領域是廣為人知的。

在一形成STI結構之方法中，化學氣相沉積法(CVD)係用於沉積介電材料(參閱美國專利案號6,146,971由陳等人所提出(公元2000年11月14日))。一典型作業包含於基板上生成熱氧化層，並緊接著將氮化矽沉積於該熱氧化層之上，此氮化矽接著進行模製及蝕刻以形成一溝道。一熱氧化層生成於溝道內，且二氧化矽採CVD沉積。在進一步之步驟中，該二氧化矽進行反相光罩(reverse masked)處理並自作用層面移除，化學機械研磨(CMP)然後用於磨平表層，且在進一步之步驟中，該氮化矽及熱氧化層在該基板之表面進行蝕刻處理。

儘管CVD沉積具有不少優點(例如CMP處理是廣為人知的，請參閱諸如ULSI技術，Chang及Sze所著，紐約McGraw-Hill公司1996年出版)，然而CVD先天所具有之限制卻降低此等處理作業之實用性，舉例而言，當氮化矽及熱氧化層自作用表層移除時，為避免因不同蝕刻造成層貌不一致，CVD氧化物及熱氧化物之蝕刻速率一般需大致相

五、發明說明 (2)

同，因此限制了CVD氧化物之選擇，進一步且特別的是，由於該等溝道具有相對高之深寬比(深度/寬度)，於CVD處理時在該等溝道內孔隙(voids)之形成變得更加頻繁。

為了克服至少上述之某些問題，吾人可使用高密度電漿化學氣相沉積法(plasma(HDP)-CVD)，在諸優點中，HDP-CVD結合沉積及蝕刻，並因此大幅減低了孔隙之形成，然而，HDP-CVD一般會造成基板之通量(throughput)速率降低，並且，使用HDP-CVD增加了截切角之風險，因此進一步降低了每生產期之整體產出。

避免CVD處理問題之另一種方式為使用旋塗材料(例如參閱Lou(公元2001年9月1日)之美國專利案號6,171,928)，旋塗材質一般具有所預期之間隙填充(gap filling)能力，因此，形成一STI結構之替代方法包含在基板上生成熱氧化物(亦稱為墊(pad)氧化物)，以及將氮化矽沉積於該熱氧化物上，接著對該氮化矽進行模製暨蝕刻以形成一溝道，一熱氧化物層於該溝道內生成(亦稱為內(liner)氧化物)，且將一旋塗化合物旋塗於該基板上，接著並予以固化。在下述之CMP步驟中，將對該晶片進行磨光，且該氮化矽/熱氧化層會蝕刻於該作用平面。

儘管利用旋塗材料之處理作業相對簡單，其卻存在數項缺點，且其特別包含了在固化步驟時於溝道內之旋塗材料收縮之情況，於溝道內之低密度固化旋塗材質具有較該熱氧化層明顯為高(約3至10倍)之濕率，且因此在固化進行後將無法配合蝕刻步驟(例如於作用平面進行氮化矽/熱氧化層之蝕刻)。

五、發明說明 (3)

因此，儘管製造電子裝置之各類方法在本領域中廣為人知，然該等方法或絕大部份之方法皆具有一或多項缺點，因此吾人仍需製造電子裝置之改良方法及裝置。

發明摘要

本發明用於構組暨生產一種電子裝置，其內含具有一下部及上部溝道之基板，該溝道之下部以固化旋塗化合物充填，而頂部則以化學氣相沉積材料充填，較佳情況為：該化學氣相沉積材料具有一表層並實體上和該基板之表層共面。

在本發明主題之一特性中，該溝道進一步包含一熱氧化塗層(墊)，且特別是所構劃之溝道具有一不小於5、且較佳情況下不小於8之深寬比(深度/寬度)，該溝道之下部應延伸至該溝道高度之60%、且較佳情況為80%，吾人進一步設計該溝道為一淺溝隔離(STI)結構元件。

在本發明主題之另一特性中，該旋塗化合物包含矽晶，且最好是由甲基倍半氧矽烷(methylsilsesquioxane-MSQ)、氫化倍半氧矽烷(hydrogensilsesquioxane-HSQ)、methylhydridosilsesquioxane、矽酸鹽(silicate)或perhydrosilazane所構成。較佳之化學氣相沉積(CVD)化合物包含矽晶、且較佳之情況為CVD化合物由矽甲烷(silane)或正硅酸乙酯(tetraethylorthosilicate)所組成。

在本發明主題之進一步特性中，製造此等裝置之特定較佳方法包含一步驟，其中一溝道形成於一基板中，且其中第一化合物藉由旋塗沉積法沉積於溝道中，自該溝道內移

五、發明說明 (4)

除該第一化合物之一部份使其平面低於該基板表層平面，且在進一步之步驟中，一第二化合物藉由化學氣相沉積法而沉積於該第一化合物之上方表層之上。

在本發明主題之進一步構劃特性中，該第一化合物藉由一旋乾(spin-rinse)處理、一濕式蝕刻處理或一乾式蝕刻(dry etch)處理進行部份移除，預劃之第一化合物包含甲基倍半氧矽烷(methylsilsesquioxane-MSQ)、氫化倍半氧矽烷(hydrogensilsesquioxane-HSQ)、methylhydrosilsesquioxane、矽酸鹽(silicate)及perhydrosilazane，且預劃之第二化合物包含正硅酸乙酯(tetraethylorthosilicate)及矽甲烷(silane)。

本發明之各項物件、特徵、外形及優點可由以下伴隨所附圖示之本發明較佳具體實施例之詳細描述而呈明顯。

圖示概要描述

圖1A為一早期技術電子裝置之垂直切面概要圖；

圖1B為依據本發明主題之電子裝置之垂直切面概要圖；

圖2為依據本發明主題之生產一電子裝置之示範方法流程圖。

本發明之詳細描述

在本領域中，STI結構單獨以一CVD化合物或一旋塗化合物充填，其通常出現之各類缺點(參閱上述)是廣為人知的。圖1A描述在早期技術中一較為普遍之缺點，其中一電子裝置100A具有一基板110A，該基板具有表層111A及溝道120A，該溝道120A進一步具有一熱氧化塗層(墊)150A，且該溝道以固化旋塗化合物充填。在固化步驟進行時，

五、發明說明(5)

由於溝道內尺寸之限制，該固化旋塗電介材料之下部(相對於該表層)130A和固化旋塗電介材料之上部(相對於該表層)130A'相較，具有較低之密度，因而在後續處理步驟中通常會產生不同之蝕刻狀況。

本案發明者已經發現該等電介材料可利用旋塗及CVD材料沉積於一電子裝置之下，且此等沉積結構較現存已知結構要呈現更多優點。在圖1B中，一電子裝置100B包含一基板110B，該基板具有一表層111B及溝道120B，溝道120B進一步被覆一熱氧化塗層(墊)150B，該溝道之下部121B以固化旋塗化合物130B充填，而該溝道頂部122B以CVD沉積化合物140B充填，CVD沉積化合物具有一表層141B，其和基板111B之表層共面。

在本發明主題之特定較佳特性中，電子裝置100B為一積體電路，其中基板110B為一具有實體上平滑表層111B之矽晶片，溝道120B蝕刻入基板且進一步被覆以熱氧化塗層150B。溝道下部121B自溝道底部向上延展至溝道高度之60%高度，並充填以固化HSQ 130B，其已被旋塗至基板110B上。溝道頂部122B(即為該溝道其餘之40%高度)則以CVD沉積鹽140B所形成之二氧化矽充填，CVD沉積之二氧化矽140B具有一表層141B，其實體上和矽晶基板111B之表層共面(亦即具有最大20奈米垂直位差)。

就基板而言，吾人應了解，儘管較佳情況下應使用矽晶片及其他以矽晶為基之半導體，但吾人亦可使用矽晶片以外之其他各類基板，且可替代之基板包含非矽晶半導體材

五、發明說明 (6)

質(例如以鍍或以鍍為基)以及無機/有機電介材質(例如聚矽酸鹽-polysilicates、聚芳香烴醚-poly(arylene ethers), 等等)。

在一般之設計構劃中, 基板110B之實體平面表層111B為一矽晶片表層, 如在此所使用之字詞"表層(surface)"代表各等功能性元件(例如傳導線路等)可賴以形成於基板上之任何區域, 而進一步在此使用之"實體平滑表層(substantially planar surface)"代表該表層已歷經磨光處理(例如化學機械研磨-CMP), 且其介於該表層之最高點及最低點間之不平差異將不大於5奈米至20奈米。在本發明主題之另一特性中, 該表層可進一步包含其他材質, 如功能性及非功能性材質, 例如, 功能性材質可包含電介材質、熱氧化層、及金屬等, 而非功能性材質可包含一蝕刻終止層(例如氮化矽)或其他光罩材料。

吾人亦構劃適合之溝道應蝕刻入基板內, 其正常寬度將介於約50奈米至500奈米之間, 且深度應介於約400奈米至700奈米之間, 然而介於約500奈米至5000奈米之較大寬度以及更大尺寸亦在構劃之內, 同樣地, 所構劃之溝道毋需受限於一特定深度, 且構劃之適當溝道深度將介於約200奈米至2000奈米間或更大。儘管所構劃溝道之深寬比非受限於一特定數或範圍, 特別預劃之較佳深寬比應不小於5(例如介於5至10間), 較佳情況為不小於8, 且最好是不小於10(例如介面10至15間), 同樣地, 吾人應了解, 所預劃溝道之設計(亦即路徑)可大幅變更, 且預劃之設計包含線狀、環狀

五、發明說明 (7)

及曲狀溝道及該等所有合理之組合。儘管在一般設計上，合適之溝道係蝕刻入基板內，吾人應了解溝道產生之形式並不限於本發明主題，因此由不同方法所形成之溝道亦可加以考慮，並且包含添加(亦即藉由添加邊牆至一表層)及減除(藉由自一表層移除材料而形成溝道)。

在必要時，所預劃之溝道可進一步包含和至少該板面及/或溝道邊牆之一部份連接之附加層或塗層，舉例而言，所預劃之附加層或塗層可包含一熱氧化塗層、一或多個有機及/或無機電介體、金屬、多晶矽(polysilicon)等等，現存有各式廣為人知之方法可在矽晶基板上產生溝道，且所有該等已知之方法皆適於和本發明之描述相結合。

至於就旋塗化合物而言，吾人預劃所有已知之旋塗電介體皆適於在此使用，且包含無機及有機旋塗化合物，該等化合物可需或無需一進一步固化步驟以形成電介體，舉例而言，適合之有機旋塗電介體包含共軛及非共軛芳香族聚合物(aromatic polymers)(例如聚亞醯胺(polyimides)，聚芳香烴(polyarylenes)等)及非芳香族聚合物(non-aromatic polymers)(例如環氧樹脂網(epoxy networks)，氰酸酯樹脂(cyanate ester resins)等)，而適合之無機旋塗電介體包括內含矽晶之各類化合物，且特別預劃之無機旋塗化合物為甲基倍半氧矽烷(methylsilsesquioxane-MSQ)、氫化倍半氧矽烷(hydrogensilsesquioxane-HSQ)、methyldridosilsesquioxane、矽酸鹽(silicate)及 perhydrosilazane，有用的 organohydridosiloxanes 係描述於美國專利案號 6,143,855 及

五、發明說明(8)

6,043,330內，在此以全文引用的方式納入本文中作為參考。一特別有用之organohydridosiloxane係由Honeywell國際公司生產銷售之HOSP™旋塗介電體。對於一特定應用之特定旋塗及固化情況而言，其通常基於旋塗化合物之型式、溝道深度、預期固化角度等，且可由具有一般技術之人員輕易決定毋需進行額外實驗。

吾人通常預劃該溝道之下部以旋塗化合物填充，在此所稱之"下部(lower portion)"代表該溝道自該溝道之底部(即該溝道位於該基板表層最低部份)延伸至位於該基板層表下之任何高度間之容積，因此吾人可預劃該溝道之下部可自該溝道之底部向上延伸至溝道10%之深度(即介於該溝道底部及該基板表層間之最大垂直深度)，較佳情況為40%、更佳之情況為60%、甚至更佳之情況為80%、最佳之情況為介於溝道深度之80%至95%之間，吾人應了解，使用旋塗化合物以在具有相對高深寬比(亦即大於5之深寬比)之溝道內形成一介電是有絕佳優點的，因為深寬比之增加通常會在一典型之CVD處理期間產生空訊(void formation)。

在進一步設計中，CVD沉積化合物最好應具有一類同於熱氧化物之抗蝕刻層(蝕刻速率介於熱氧化物之蝕刻速率之1至3倍間，較佳情況為1至2倍間，更佳之情況為介於1至1.5倍間)，且具有吾人已充份了解之CMP狀態，例如，適當之CVD沉積化合物包含矽，且更佳之CVD沉積化合物係由或矽甲烷(silane)或正硅酸乙酯(TEOS)所組成，然而在另一方面，除了矽化合物外之已知CVD化合物亦可在此使

五、發明說明(9)

用。考慮CVD化合物之沉積，吾人應了解特定狀況可迥異(像是高密度化學氣相沉積法HDP-CVD、低壓氣相沉積法LP-CVD、氣壓氣相沉積法AP-CVD、電漿輔助氣相沉積法PE-CVD)且將視所使用之材料而定。吾人進一步預劃該溝道之上部將以CVD沉積化合物填充，在此使用之字詞溝道"上部(upper portion)"係表示介於該溝道下部及基板表層間之溝道容積。吾人應進一步了解，一或多個附加層可置於固化旋塗化合物及CVD化合物之間，且預劃之附加層包括功能層(如電介體、導體、半導體)及非功能層(如接著增強劑)，儘管對於本發明主體並不具關鍵影響，其較佳之情況為該CVD化合物之上層應實體上和基板表層共面(即具有最大垂直位差50 nm)，在本領域中存在有各類廣為人知之共面化方法，且所有已知方法皆適於在此使用，特定之較佳方法為CMP法。

因此，一種依據本發明主題之製造電子裝置之方法包含一步驟，其中一溝道形成於具有一表層之基板上，且第一化合物使用旋塗沉積法沉積於該溝道內，在進一步驟中，該第一化合物自該溝道內進行部份移除，使得該化合物位於該溝道內之上平面低於該基板表層，在另一步驟中，一第二化合物藉由CVD法沉積於該第一化合物上平面。有關該基板、基板之表層、溝道、旋塗化合物(即該第一化合物)、及CVD沉積化合物(即該第二化合物)等之前文所述諸等考量可同樣適用於此。

儘管吾人預劃可採用所有已知之方法(例如濕式蝕刻及

五、發明說明 (10)

乾式蝕刻)將該旋塗化合物自該溝道進行部份移除，較佳之進行部份移除之方法應採用旋乾處理(infra)，預劃之旋乾處理包含一步驟，其中一溶劑混合物旋塗於一旋塗膜上(例如位於該溝道內之旋塗化合物)，其可以或無法被部份或完全固化，該溶劑混合物通常包含至少一溶劑(即一可破壞及/或分解旋塗膜層之合成物，亦稱為活性組成(active component))及至少一非溶劑(即一可使旋塗膜惰化或以至少低於溶劑十倍之速率破壞及/或分解該旋塗膜之合成物)，儘管該溶劑及該非溶劑之可溶混性並不具關鍵影響，較佳之情況為該等溶劑混合物應包含可和該非溶劑混合之溶劑。特定溶劑之選擇一般將依旋塗膜及所欲之移除速率而定，然而，吾人預劃所有已知之溶劑皆可在此使用，而預劃之溶劑包含水溶暨非水溶劑、酸及鹼皆可依極性、厭水性及混合性等各類標準加以選取。

因此，吾人預劃一移除旋塗化合物之方法包含一步驟，其中一旋塗化合物沉積於一基板之表層，在進一步之步驟中，該旋塗化合物以一溶劑混合物旋乾，其中該溶劑混合物包含一第一溶劑以分解該旋塗化合物，以及一第二溶劑以使該旋塗化合物惰化。特別預劃之旋塗化合物包含矽，而該第一溶劑包含乙酸丙酯，且該第二溶劑包含乳酸乙酯，然而各類之其他溶劑亦可加以選用，例如，該第一溶劑可為一酮體(如甲基異丁基酮)、酯類(如乙酸丙酯)、單甲基醚丙二醇乙酸酯(PGMEAA)、碳氫分子(如正己烷)，且該第二溶劑可為水、酒精(如乙醇，木醇)、乙腈、胺、或醃

五、發明說明 (11)

胺等。吾人進一步預劃適合之基板將予加熱至第一溫度以移除該溶劑混合物，且然後加熱至第二溫度以將該旋塗化合物固化。

吾人應特別注意在所預劃之旋乾處理作業中，該移除速率及該旋塗膜之磨平程度最好是透過各類參數控制，包含溶性選擇及速率、旋轉狀態、溫度、倒入(dispense)特性及容量等，例如對具有一較高之溶劑對非溶劑比率之溶劑混合物而言，通常將會產生一較高之移除速率，而磨平程度(DOP)一般而言可使用窄特徵物(narrow feature)內之微負載(micro-loading)加以控制。當活性組成因材質之移除比以新溶劑取代迅速而呈飽和時，微負載即發生於狹窄及稠密之特徵物內(溝道)，該微負載效應係由位於一溝道或特徵物內之流體動力所導致，其限制了新溶劑之供應。低比率之溶劑對非溶劑(即低濃度之活性組成)可增加效用，因為活性組成將較快飽和。和平坦區相較，微負載在窄特徵物及稠密圖樣區域中可有效地減少相對移除率。因微負載而改善之DOP最好是透過動態溶劑應用(例如旋乾)取代靜態應用而有最佳使用效果，因為新溶劑在平坦表層可不斷地供應，而在窄特徵物內之溶劑供應將受阻且因此減少。最佳之旋轉狀況視圖樣設計及特徵物密度而定，吾人亦應了解旋乾處理亦可用於除了將旋塗膜自STI結構形成中進行部份移除之其他應用，且預劃之處理包含需對一旋塗膜或化合物進行至少部份移除之所有處理，例如，預劃之其他處理包括一般需要進行一部份回蝕之該等處理(例如藉由

五、發明說明 (12)

IMD應用中之金屬聯接而將一圖樣晶圓上之電介材質移除)。

吾人進一步預劃一旋乾處理可由使用乾式蝕刻之一般旋塗式玻璃法(SOG)回蝕處理加以修改而成為節省成本之處理作業，該SOG回蝕處理作業通常是較為昂貴的，因為其需要執行數項處理步驟：1)金屬聯接之形成；2)電漿強化化學氣相沉積(PECVD)工具：使用CVD進行墊料氧化物沉積(此步驟可加以省略)；3)旋轉塗膜器：SOG旋塗、烘烤及固化，其填充間隙並改善區域平坦性；4)電漿蝕刻器：SOG之回蝕故使較少或無SOG留存於金屬線之上(此項作業在於避免"毒孔(poisoned vias)"產生)；5)PECVD工具；一氧化帽之沉積；6)CMP工具：氧化帽之CMP(此步驟可視SOG之磨平能力及製造處理作業之磨平需求而決定是否省略)。因此吾人應特別注意所預劃之處理作業將可有效節省耗時之蝕刻步驟(5)且通常產生一較佳之區域平坦性，其可進一步省卻了CMP處理需求。因此，吾人應了解，預劃之處理作業修改旋塗作業(4)而成為下列步驟：4a)旋轉塗膜；4b)選擇性之部份烘烤；4c)使用旋乾作業進行部份移除及膜面磨平；4d)烘烤處理；4e)固化處理。一旋乾處理可使用一傳統旋盤而和商用旋軌加以整合，並因此無需使用新的處理工具。因為旋乾處理如上述亦改善了平滑性，後續之CMP處理(6)可予以省略。

在本發明主體之進一步預劃特性中，形成一電子裝置之方法可額外包含一磨平步驟以在該基板之表層及CVD沉積化合物上層間達成共面要求，預劃磨平步驟通常包含所有

五、發明說明 (13)

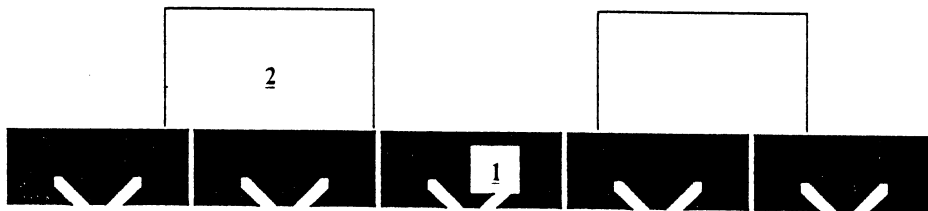
已知之磨平處理，然而所屬意之磨平處理應為CMP。

範例

旋乾處理

描述於本例中之旋乾處理作業範例可用於取代傳統回蝕間隙填充處理作業。

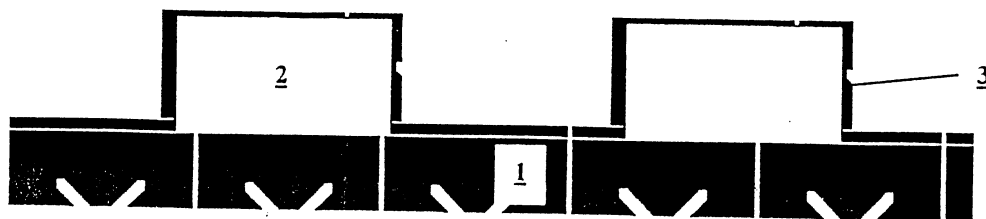
一半導體裝置結構係使用標準製造技術加以製造，一金屬聯接結構(2)形成於半導體基板(1)上如結構1所示，以一0.18微米(micron)之裝置體積而言，互連之金屬通常為具有少量摻雜之鋁，然而吾人認為金屬之選取不應受限於本發明之主體，且包含銅在內之其他金屬亦可加以使用，而用於減除法則以鋁較為適合。



結構1:金屬沉積及圖模(1:矽基皮，2:金屬聯接)

在第一層之金屬線(2)沉積後，隨著沉積一選擇性之氧化墊(3)(結構2)，該氧化墊厚度介於1至200奈米間，而50奈米為通用值。儘管吾人亦可使用諸如PECVD矽甲烷之其他氧化物，該氧化墊最好係使用PECVD TEOS沉積。為減少處理步驟之數目，吾人最好不使用氧化墊。

五、發明說明 (14)

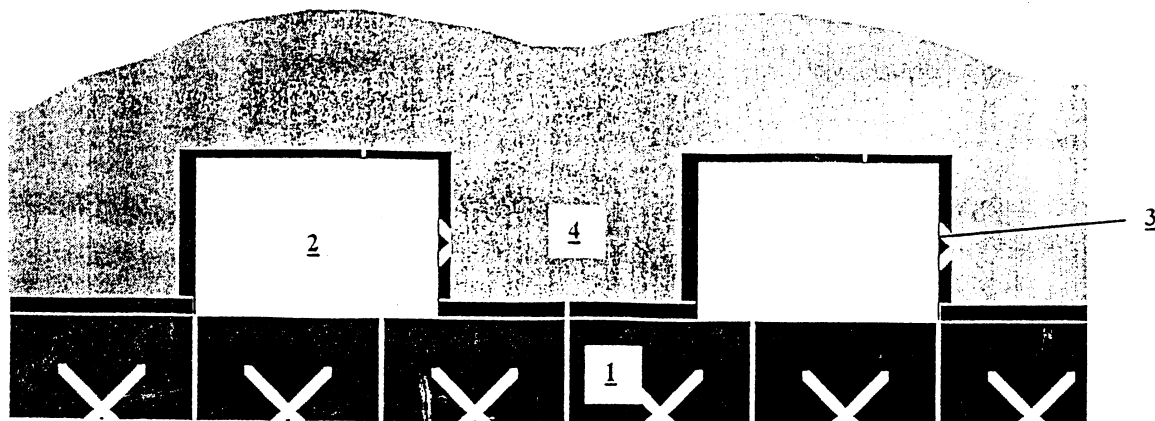


結構2：氧化墊沉積(1:矽基板，2)金屬聯接，3:氧化墊)

一旋塗材料(4，參閱結構3)然後沉積作為線間電介，該旋塗電介之厚度視旋塗介電體、金屬厚度及所需之平坦程度而定，例如就HOSP™旋塗介電體(來自Honeywell電子材料商之商用產品)而言，對一高800奈米之鋁線，具有最窄間隙為500奈米寬，則毯覆式膜層上之旋乾材料厚度一般為200至900奈米，一般以600奈米為佳。

儘管特定旋塗處理對旋乾處理之應用並不具任何關鍵影響，在此例中，HOSP™介電材料使用標準之旋塗作業沉積，然而為了進行旋乾，標準之烘烤處理已進行修改(標準為在150℃、200℃及350℃各持續1分鐘)俾令該旋乾處理最高之溫度不超過300℃，因為若是HOSP™介電材料以高於320℃溫度烘烤，其將無法以有機溶劑加以分解，而該最高溫度當然需因其他材料而異，該HOSP膜層然後暴露於單熱板介於溫度100至200℃間為時一分鐘，較佳溫度為150℃，烘烤處理使得該材料融化並流回以改善平坦性。

五、發明說明 (15)

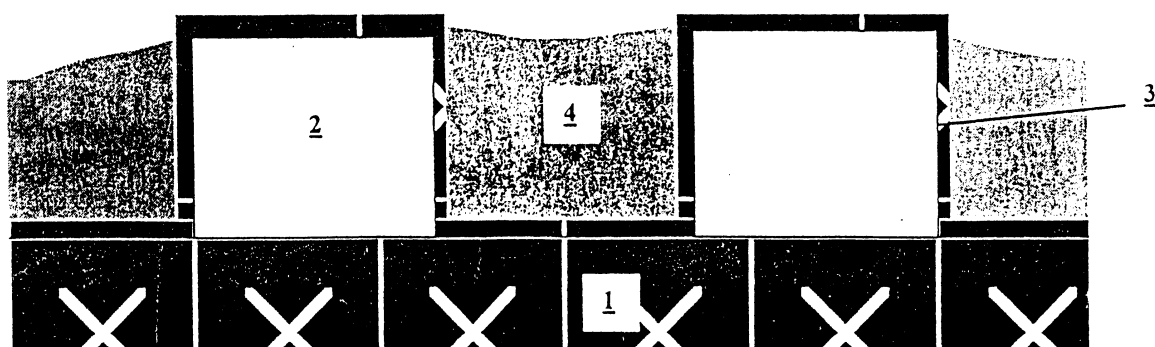


結構3：旋塗沉積(1:矽基板，2:金屬聯連，3:氧化墊
4:HOSP旋塗聚合物)

一溶劑混合物然後在旋乾處理時倒入(dispense)，以移除位於金屬線路頂端之旋塗材料(見結構4)並改善平坦性，該旋乾溶解處理並未移除旋塗膜以外之位於基板上之其他材質，儘管該旋乾處理可取代通用之旋轉塗膜器，但一旋轉蝕刻器亦可在此使用。倒入時之旋轉速度視材料、溶劑、晶圓體積、工具形體而定，且範圍可自每分鐘20轉(rpm)至6000 rpm，在許多應用中之旋乾處理時，建議1000 rpm為較佳之旋轉速度，本例中即使用此值。溶劑倒入速率視材料、溶劑、晶圓體積、工具形體而定，且範圍可自每秒0.1毫升(mL/s)至50 mL/s，在許多應用中之旋乾處理時，建議採用2 mL/s，本例中即使用此值。而用於HOSP之溶劑包括(但不限於)：酮體(如甲基異丁基酮)、酯類(如乙酸丙酯-PACE)、單甲基醚丙二醇乙酸酯(PGMEA)、碳氫分子(如正己烷)，非溶劑包括(但不限於)：水、酒精(如乙醇、木醇、異丁醇、乙基乳酸鹽(EL))、乙腈、胺、或醃胺等。

五、發明說明 (16)

一或多種溶劑和一或多種非溶劑之數種組合是可能的，且較佳之組合主要植基於在該應用中之材料、處理程序及所需之移除率而定。在此例中，以2:1之乙基乳酸鹽及PACE混合物為建議使用於旋乾處理之溶劑混合物，且該旋乾處理會進行足夠之時間。在旋乾處理作業時，自該金屬線頂端之該旋塗介電體移除速率較自窄間隙內之移除速率為快(如前述之微負載)，因此和該式回蝕處理或靜態濕式蝕刻相較之下具有較佳之平坦度。氧化墊不受旋乾處理影響，其和傳統乾式蝕刻處理相較之下為一優點，傳統乾式蝕刻亦會對氧化墊產生影響。在旋乾處理終了時，晶元將在停止倒入之狀態下以3000 rpm旋轉30秒以旋乾膜層，該膜層然後以350°C在熱盤上烘烤一分鐘，然後在水平爐中以含氧量少於20 ppm之氮氣層、溫度400°C條件下固化1小時，在旋乾處理終了時，旋塗材料(HOSP)自金屬線頂部移除，而旋塗材料仍留存於窄間隙內。

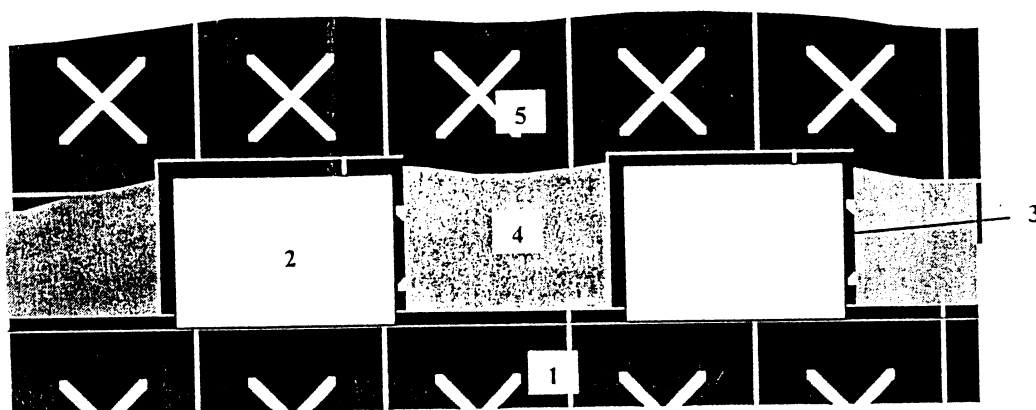


結構4：使用旋乾部份移除(1:矽基板，2:金屬聯接，3:氧化墊，4:旋塗聚合物)

一CVD氧化物然後沉積成層(見結構5)，該CVD氧化層

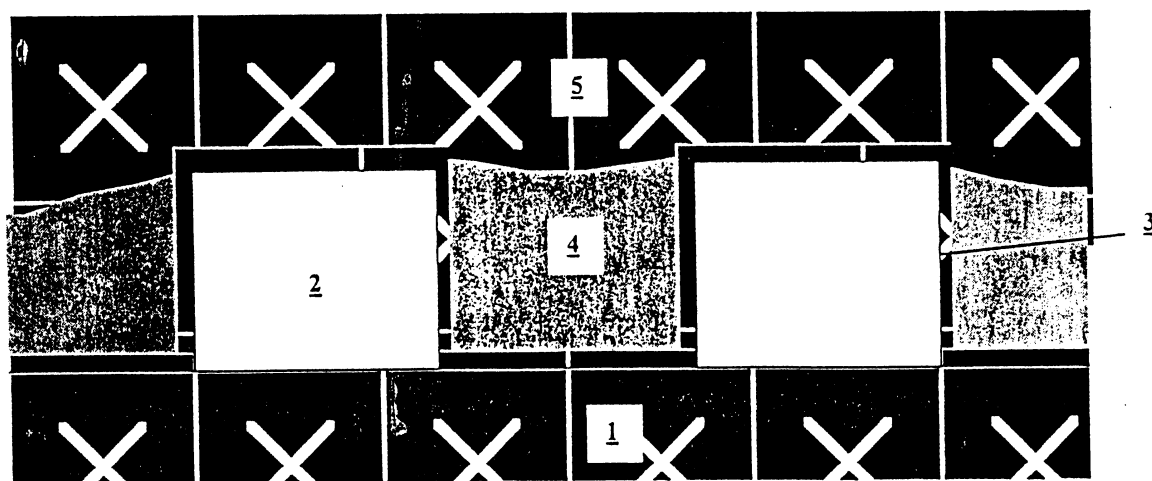
五、發明說明 (17)

之厚度視元件結構而定，且一般為500 nm至3000 nm，在此處理中一般使用PECVD TEOS。



結構5：CVD氧化物沉積(1:矽基板，2:金屬聯接，3:氧化墊，4:旋塗聚合物，5:氧化帽)

該結構然後可選擇性地進行化學機械研磨(CMP)處理，該CMP處理將該氧化層之部份移除並改善了平坦度(結構6)。



結構6：使用CMP之氧化磨平(1:矽基板，2:金屬聯接，3:氧化墊，4:旋塗聚合物，5:氧化帽)。

五、發明說明 (18)

旋轉蝕刻處理

儘管旋轉蝕刻處理具有和上述之旋乾處理之類似性，然而在此使用一無機溶劑作為蝕刻劑，此例中使用之旋塗材料為Accuglass® 512B，其為Honeywell之商品。成份及旋轉速度之選取欲在一墊覆膜層上產生一厚度為500 nm之薄膜，Accuglass 512B使用標準旋乾及烘烤處理沉積，其在80°C、150°C、及250°C分別進行1分鐘烘烤，晶圓然後在水平爐中以含氧量少於20 ppm之氮氣層、溫度400°C條件下固化1小時(該結構顯示於結構3)。

另一種固化處理方法為使用氧電漿灰化(oxygen plasma ashing)(混以10%氮)取代400°C烤爐固化，此處理作業應用於毯覆Accuglass® 512B薄膜可達500 nm厚度。

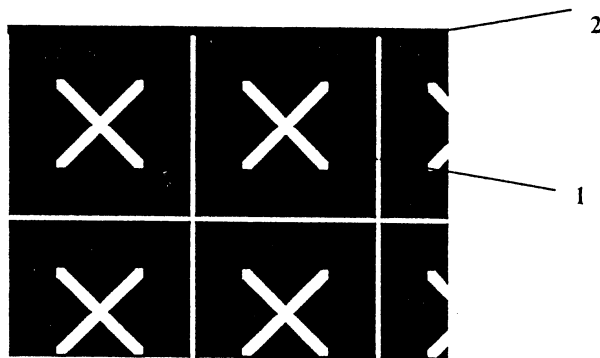
該晶圓然後在一旋轉蝕刻工具中進行處理，較佳之蝕刻劑視受蝕刻之材料而定，在此例中使用Accuglass® 512B之旋塗材料可使用10:1至500:1之BOE(緩衝過的氫氟酸)進行處理，而50:1是較佳之選擇，在蝕刻處理作業時之較佳旋轉速度為1000 rpm，該BOE流入速率設為每分鐘0.8公升(1 pm)，處理時間設為15秒，而毯覆蝕刻速率為每秒140埃(A/s)，其約高於TEOS氧化物墊料蝕刻速率40倍。在蝕刻處理終了時，該晶圓使用去離子(DI)水沖洗15秒並以3000 rpm旋轉30秒以將該薄膜旋乾，該旋乾處理將可適當地移除金屬頂部之材料，因此改善了整體之平坦度，對於使用旋轉蝕刻處理作業之樣本而言，位於金屬線頂部之該512B材料將完全移除。由於旋塗材料Accuglass® 512B對BOE之

五、發明說明 (19)

高選擇性，對TEOS墊之蝕入深度為5 nm，因此可加以忽略，後續之步驟和前述之步驟相同。

使用旋乾處理暨氧化帽之STI處理

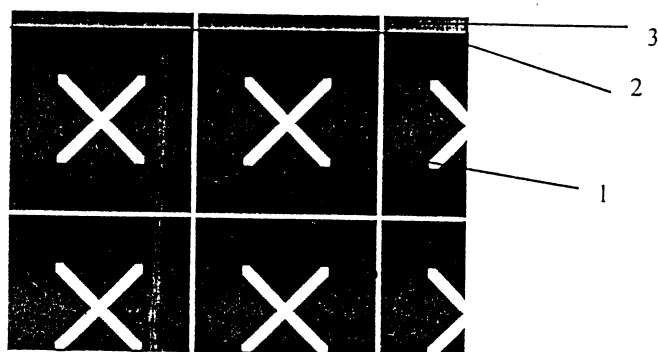
圖1B為一依據本發明較佳特性之淺溝隔離(STI)結構橫斷面概要圖，該處理作業之開始係在矽基板(結構7標號1)上以熱氧化作用(結構7)形成一墊氧化層(步驟1，結構7標號2)，該墊氧化層之厚度一般介於2至30 nm之間，而10 nm為較佳之厚度。



結構7：在基板表面之熱氧化沉積(1:矽基板，2:熱氧化物)

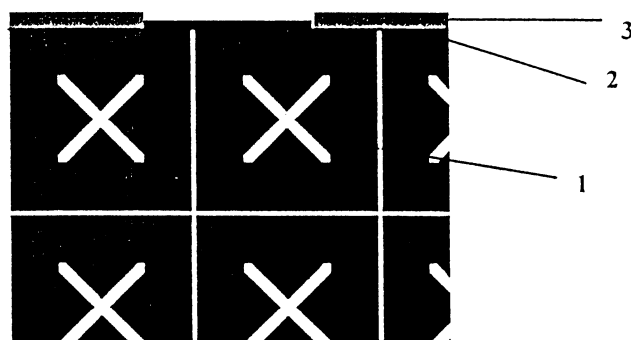
下一處理步驟(步驟2)為將氮化矽層(結構8標號3)沉積於墊氧化物上(結構8)，該氮化層之一般厚度為50至200 nm，而100 nm為較佳之厚度。

五、發明說明 (20)

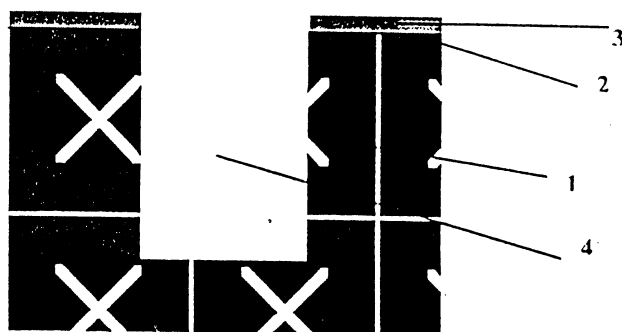


結構8：氮化矽沉積於熱氧化物之頂部(1:矽基板，2:墊氧化物，3:氮化矽)

下一步驟(步驟3)為將光阻層沉積於半導體基板上，一光微影術(步驟4)處理在於將一圖樣傳送至基板上，然後進行非等向性蝕刻(步驟5)以先蝕開氮化矽(結構9)，然後並形成溝道結構(結構10標號4)。



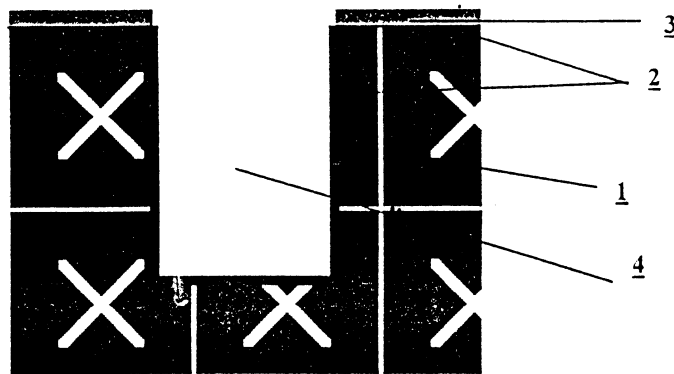
結構9：氮化矽圖樣(1:矽基板，2:熱氧化物，3:氮化矽)



結構10：矽溝道蝕刻(1:矽基板，2:熱氧化物，3:氮化矽，4:溝道)

五、發明說明 (21)

熱氧化作用(步驟6)然後用於在溝道邊牆及底部生成一氧化物，該溝道邊牆之厚度一般為5至15 nm，而10 nm為較佳之厚度(結構11)。

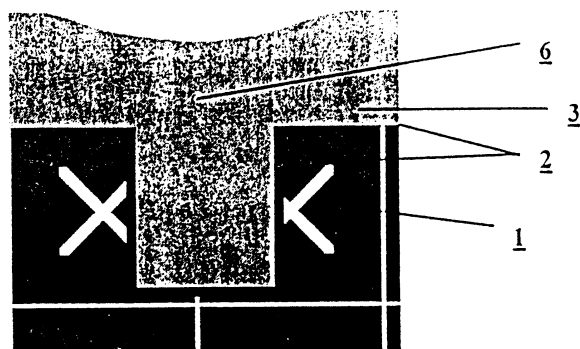


結構11: 生成於邊牆之熱氧化物(1:矽基板，2:熱氧化物，3:氮化矽，4:溝道)

一旋塗材料然後沉積於該溝道內(步驟7)(結構12標號6)，該旋塗介電體之較佳厚度視旋塗介電體、溝道寬度及高度及深寬比配置而定。對一溝道深度小於1微米之STI結構而言，HOSP™旋塗介電體為一適當之材料，而一般薄膜厚度為溝道之60至80%即已足夠，對一深度為600 nm之溝道而言，一毯覆膜層厚度最好為400 nm。儘管特定之旋塗作業對旋乾處理之應用並不具關鍵性之影響，然在此例中，HOSP™旋塗介電體係使用標準旋塗作業進行沉積，然而，為了執行旋乾處理，標準之烘烤處理已進行修改(標準為在150℃、200℃及350℃各持續1分鐘)俾令該旋乾處理最高之溫度不超過300℃，因為若是HOSP™介電材料以高於320℃溫度烘烤，其將無法以有機溶劑加以分解，而該最高溫度當然需因其他材料而異，該HOSP膜層然後暴露於單

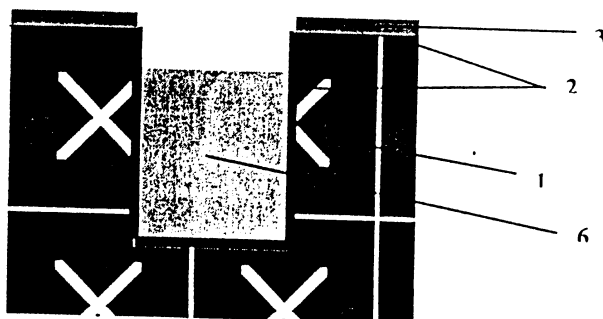
五、發明說明 (22)

熱板介於溫度100至200℃間為時一分鐘，較佳溫度為150℃，烘烤處理使得該材料融化並流回以改善平坦性。



結構12: 使用旋塗聚合物HOSP進行溝道填充(1:矽基板，2:熱氧化物，3:氮化矽，6:HOSPTM膜層)

HOSPTM膜層然後使用旋乾處理(步驟8)進行部份移除，一溶劑混合物在旋乾處理時倒入，以將所有HOSP聚合物自氮化物層(結構13)之頂部移除(使用和前述旋乾處理相同之程序)，該旋乾時間將適度調整以使該HOSP薄膜之頂部表層在該最窄溝道內之高度低於基板表面20至200 nm之間，該HOSP表層高度在較寬之溝道內將會更低。

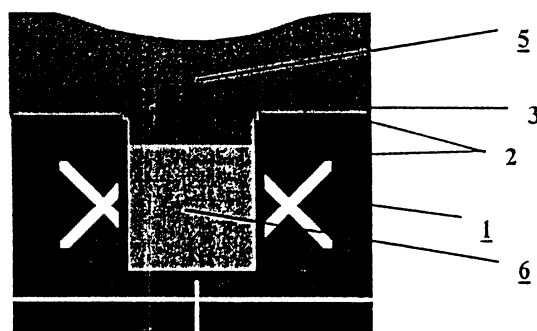


結構13: 旋塗膜之部份移除(1:矽基板，2:熱氧化物，3:氮化矽，4:旋塗聚合物)

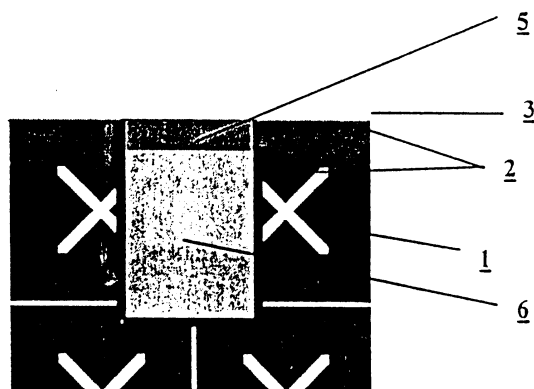
該膜層然後在熱盤上以350℃之溫度烘烤一分鐘(步驟9)

五、發明說明 (23)

，然後在一水平爐中以溫度 700°C 及20%:80%之氧:氮比率氣層狀態下進行1小時之固化(步驟10)，在固化處理時，該HOSP薄膜之有機成份將被氧化並移除，吾人可使用傅利葉紅外光分光光譜儀加以鑑定。一CVD氧化物然後進行沉積(步驟11)(結構14標號5)，而因為使用旋塗聚合物改善了平坦度以及因旋乾處理而具有平坦性(和僅具有CVD之標準作業相較)，故對CVD氧化層而言僅需較小之厚度即可，通常一氧化物厚度為溝道深度之20%至90%即足以在氧化物CMP處理後達到所需之平坦度(步驟12)(結構15)。



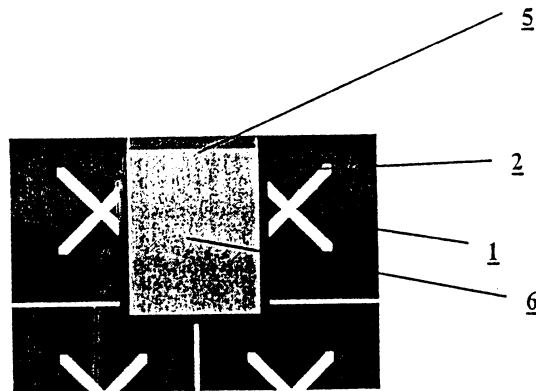
結構14: 氧化物沉積(1: 矽基板，2: 熱氧化物，3: 氮化矽，5: CVD氧化物，6: 旋塗聚合物)



結構15: 氧化物CMP(1: 矽基板，2: 熱氧化物，3: 氮化矽，5: CVD氧化物，6: 旋塗聚合物)

五、發明說明 (24)

在後續之步驟中，剩餘之氧化物及氮化物層將受蝕刻(步驟13)(結構16)。



結構16: 蝕刻以移除氮化層及熱氧化層之活性區域(1:矽基板，2:熱氧化物，3:氮化矽，5:CVD氧化物，6:旋塗聚合物)

吾人應了解使用預劃之製程具有其他優點：(1)可避免相對昂貴之HDP-CVD處理；(2)透過旋乾處理作業可大幅改善平坦度；(3)可減少氧化層之厚度，並因此降低了PECVD氧化物之成本及所需CMP之時間。

使用旋轉蝕刻處理暨氧化帽之STI處理

本例中之步驟1至6和前述之範例相同，步驟7幾乎和範例3相同，除了該HOSP薄膜係透過完全標準之烘烤處理進行(在150℃、200℃及350℃各烘烤1分鐘)，該晶圓然後進行固化(前述範例之步驟10)，在固化處理之後，即進行一旋轉蝕刻處理，該旋轉蝕刻處理使用和範例2相同之處理作業，並接續進行氧化物沉積(步驟11)、CMP(步驟12)及蝕刻(步驟13)。

五、發明說明 (25)

因此，吾人預劃之形成淺溝隔離結構之方法具有一步驟，其中該溝道形成於具有一表層之基板上，且第一化合物使用旋塗沉積法沉積於該溝道上，在另一步驟中，該第一化合物自該溝道內進行至少部份移除，俾使該化合物之上部表層位於該基板表層之下，且在一進一步之步驟中，一第二化合物使用化學氣相沉積法沉積於該基板表層並在該第一化合物上端表層之上，圖2描述本設計方法之流程圖範例。

因此，電子裝置之明確具體實施例及應用及其構組已完成描述，對熟知本領域之人士將清楚了解，對於所描述之內容可進行許多修改而不會偏移本發明之諸等觀念，本發明主體因此僅受限於所附申請專利範圍之精神，再者，在解釋說明及申請專利範圍時，所有字詞應以和本文脈絡一致之最大可能範圍加以解釋，特別的是，字詞"包含 (comprises and comprising)"應以非排外方式解讀為參考之相關元件、組成或步驟，亦即表示所參考之元件、組成或步驟可配合其他未明確條列之參考元件、組成或步驟一齊呈現、利用或組合。

四、中文發明摘要(發明之名稱：電子裝置及其製造方法)

本發明揭示一種電子裝置，其包含具有一下部及上部溝道之基板，該溝道之下部以固化旋塗(cured spin-on)化合物充填，而上部則以化學氣相沉積化合物充填，較佳情況為：該化學氣相沉積化合物具有一表層並實體上和該基板之表層共面。製造此等裝置之該等特定較佳方法包含一步驟，其在該基板內形成一溝道，且其中第一化合物藉由旋塗沉積方式沉積於溝道內，該第一化合物自該溝道移除一部份而使其平面低於該基板之表層，且在進一步之步驟中，第二化合物藉由化學氣相沉積法而沉積於第一化合物之上端表層之上。

英文發明摘要(發明之名稱："ELECTRONIC DEVICES AND METHODS OF MANUFACTURE")

An electronic device comprises a substrate with a trench having a lower portion and a top portion. The lower portion of the trench is filled with a cured spin-on compound, while the top portion is filled with a chemical vapor-deposited compound. Preferably, the chemical vapor-deposited compound has a surface that is substantially coplanar with the surface of the substrate. Particularly preferred methods of fabricating such devices include a step in which a trench is formed in the substrate, and in which a first compound is deposited in the trench by spin-on deposition. The first compound is partially removed from the trench to a level below the surface of the substrate, and in a further step, a second compound is deposited onto the upper surface of the first compound by chemical vapor deposition.

六、申請專利範圍

1. 一種電子裝置，包含：

一具有一溝道之基板，該溝道具有下部及上部；且

其中該溝道之下部以固化旋塗化合物填充，且上部以化學氣相沉積化合物填充。

2. 如申請專利範圍第1項之裝置，其中該基板具有一表層，其實質上和該化學氣相沉積化合物之頂層共面。

3. 如申請專利範圍第2項之裝置，其中該溝道進一步包含一熱氧化塗層。

4. 如申請專利範圍第3項之裝置，其中該溝道具有不小於5之深寬比(深/寬)。

5. 如申請專利範圍第3項之裝置，其中該溝道具有不小於8之深寬比(深/寬)。

6. 如申請專利範圍第1項之裝置，其中該旋塗化合物包含矽。

7. 如申請專利範圍第1項之裝置，其中該旋塗化合物係自甲基倍半氧矽烷(methylsilsesquioxane-MSQ)、氫化倍半氧矽烷(hydrogensilsesquioxane-HSQ)、methylhydrosilsesquioxane、矽酸鹽(silicate)，及perhydrosilazane等群族選取至少一項化合物組成。

8. 如申請專利範圍第1項之裝置，其中該化學氣相沉積化合物包含矽。

9. 如申請專利範圍第1項之裝置，其中該化學氣相沉積化合物係由矽甲烷(silane)或正硅酸乙酯(tetraethylorthosilicate)所構成。

六、申請專利範圍

- 10.如申請專利範圍第1項之裝置，其中該溝道具有一深度，且其中該溝道之下半部份可延伸至該深度之60%。
- 11.如申請專利範圍第1項之裝置，其中該溝道具有一深度，且其中該溝道之下半部份可延伸至該深度之80%。
- 12.一種形成一淺溝隔離結構之方法，包含：

在具有一表層之基板上形成一溝道，且使用旋塗沉積法將第一化合物沉積至該溝道內；

自該溝道內將該第一化合物進行部份移除，使得該化合物之上層面低於該基板之層面；以及

藉由化學氣相沉積法將第二化合物沉積於該基板表層以及該第一化合物之上層面之上。
- 13.如申請專利範圍第12項之方法，進一步包含磨平該隔離結構，俾使該基板之層面和該第二化合物之上層面在實體上共面。
- 14.如申請專利範圍第12項之方法，其中該基板表層及該溝道進一步包含一熱氧化塗層。
- 15.如申請專利範圍第13項之方法，其中該溝道具有不小於5之深寬比(深/寬)。
- 16.如申請專利範圍第12項之方法，進一步包含固化該第一化合物以形成一氧化層。
- 17.如申請專利範圍第12項之方法，其中部份移除之步驟包含自旋乾處理、一濕式蝕刻處理、及一乾式蝕刻處理等群組選取一處理作業進行。
- 18.如申請專利範圍第12項之方法，其中該第一化合物係自

六、申請專利範圍

甲基倍半氧矽烷(methylsilsesquioxane-MSQ)、氫化倍半氧矽烷(hydrogensilsesquioxane-HSQ)、methylhydrosilsesquioxane, 矽酸鹽(silicate), 及 perhydrosilazane 等群族選取至少一項化合物組成。

19.如申請專利範圍第12項之方法, 其中該化學氣相沉積化合物係由矽甲烷(silane)或正硅酸乙酯(tetraethylorthosilicate)所構成。

20.一種移除一旋塗化合物之方法, 包含:

在該基板之表層進行一旋塗化合物之旋塗沉積; 以及
以一溶劑混合物進行該旋塗化合物之旋乾, 其中該溶劑混合物包含第一溶劑用於分解旋塗化合物, 以及第二溶劑使該旋塗化合物惰化。

21.如申請專利範圍第20項之方法, 進一步包含將該基板加熱至第一溫度以移除該溶劑混合物, 且進一步將該基板加熱至第二溫度以使該旋塗化合物固化。

22.如申請專利範圍第20項之方法, 其中該旋塗化合物包含矽, 其中該第一溶劑包含乙酸丙酯, 且該第二溶劑包含乳酸乙酯。

23.如申請專利範圍第20項之方法, 其中該旋塗化合物包含矽, 其中該第一溶劑選自包含酮、酯、醚、碳氫分子之族群, 且該第二溶劑選自包含水、酒精、乙腈、胺、或醃胺之族群。

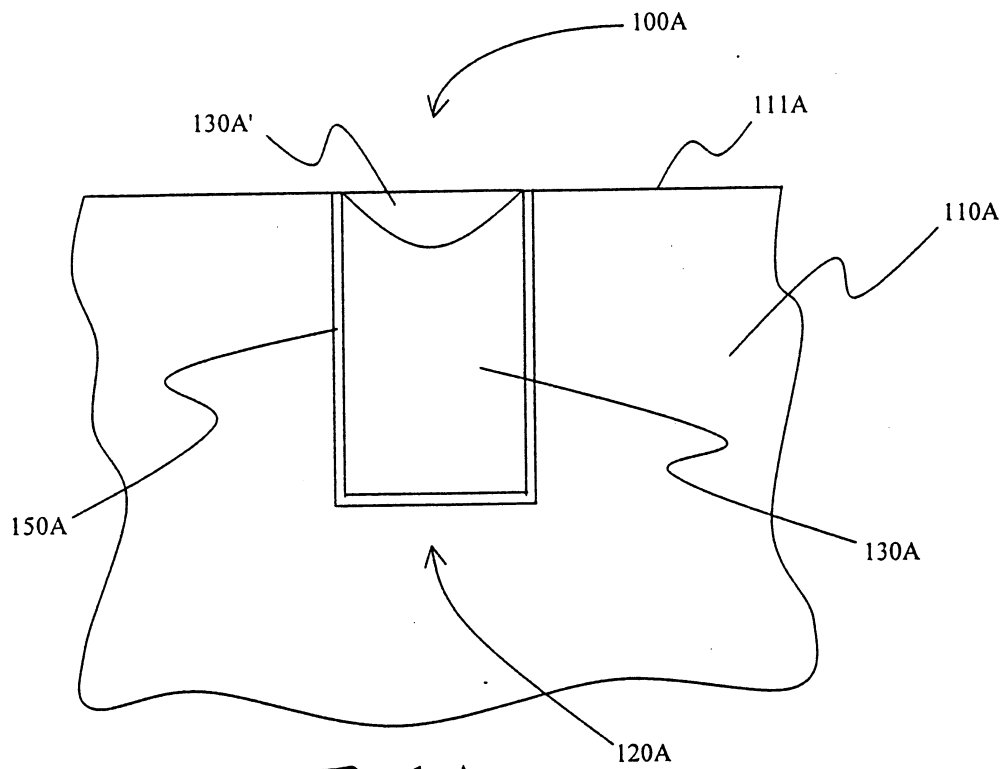


圖 1A
(先前技藝)

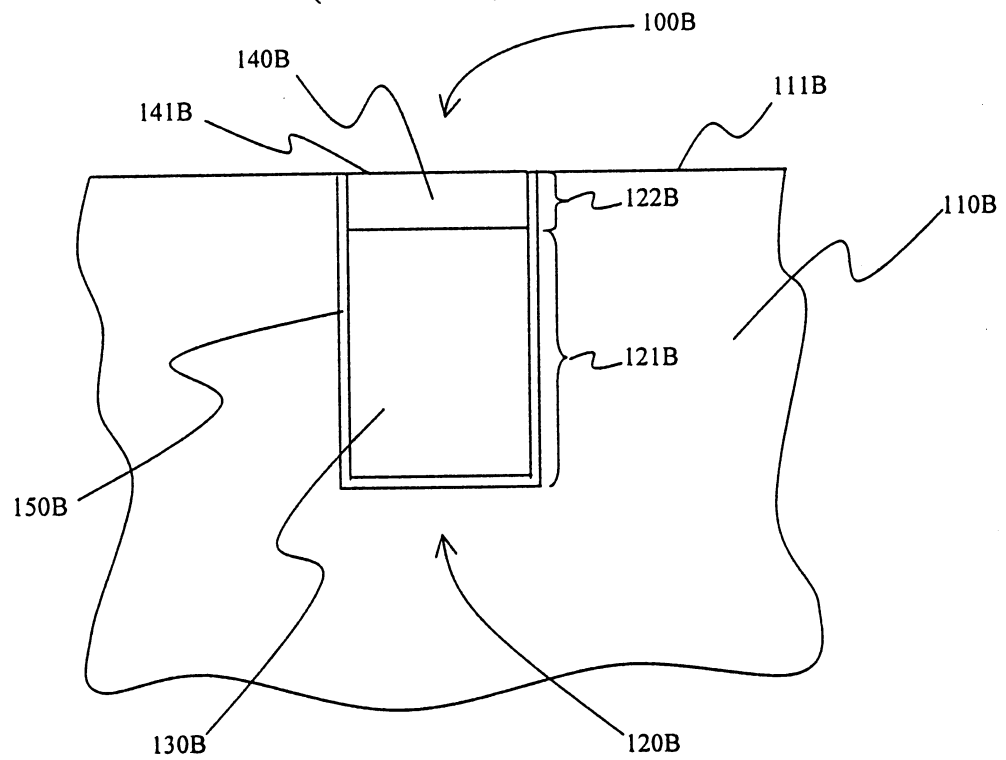


圖 1B

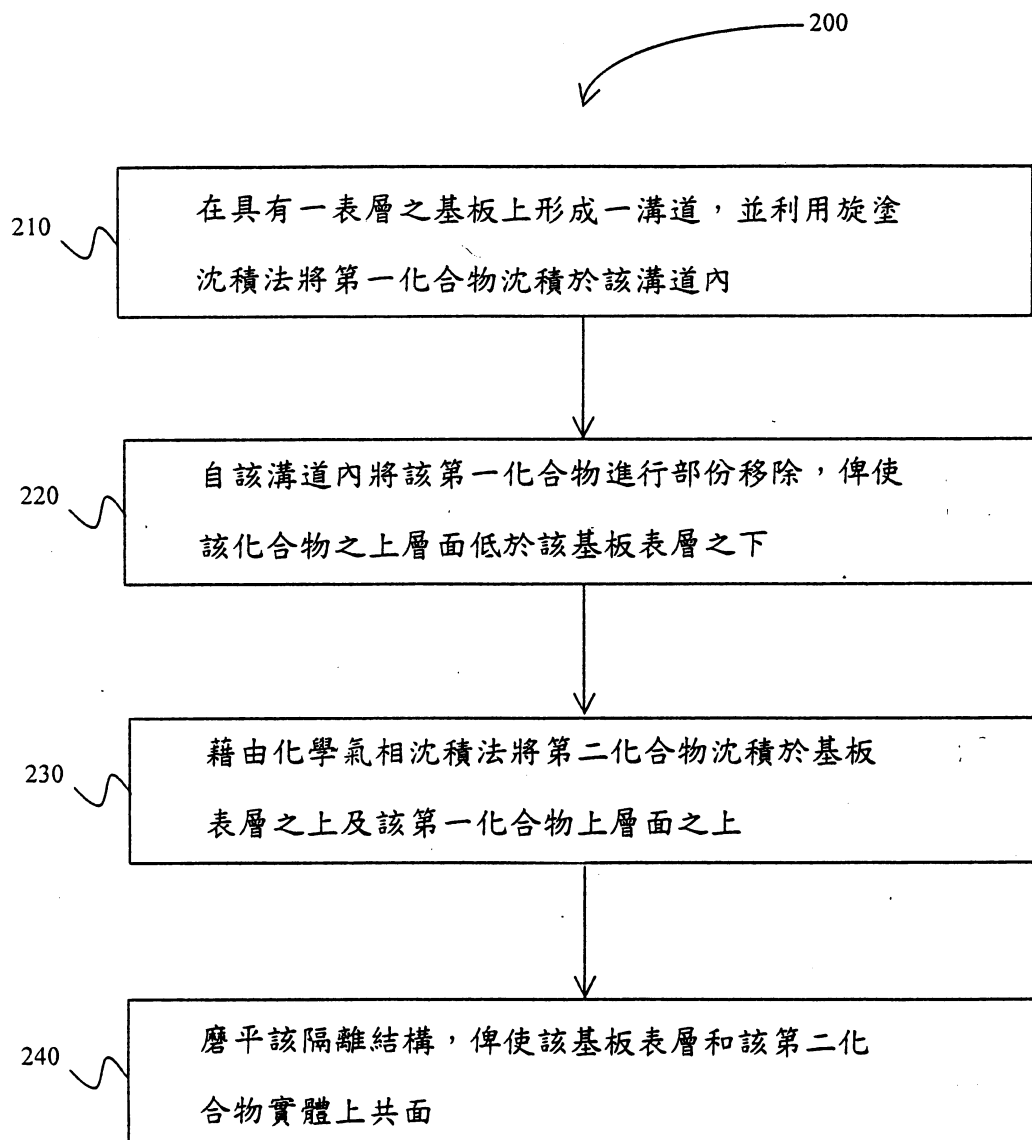


圖 2