

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第6991815号
(P6991815)

(45)発行日 令和4年1月13日(2022.1.13)

(24)登録日 令和3年12月10日(2021.12.10)

(51)国際特許分類

H 0 4 N	5/378(2011.01)	H 0 4 N	5/378
H 0 4 N	5/374(2011.01)	H 0 4 N	5/374

F I

請求項の数 13 (全23頁)

(21)出願番号	特願2017-192049(P2017-192049)	(73)特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成29年9月29日(2017.9.29)	(74)代理人	100126240 弁理士 阿部 琢磨
(65)公開番号	特開2019-68264(P2019-68264A)	(74)代理人	100124442 弁理士 黒岩 創吾
(43)公開日	平成31年4月25日(2019.4.25)	(72)発明者	磯田 尚希 東京都大田区下丸子3丁目30番2号キ ヤノン株式会社内
審査請求日	令和2年9月28日(2020.9.28)	(72)発明者	戸塚 洋史 東京都大田区下丸子3丁目30番2号キ ヤノン株式会社内
		(72)発明者	吉田 大介 東京都大田区下丸子3丁目30番2号キ 最終頁に続く

(54)【発明の名称】 撮像装置、撮像システム、移動体

(57)【特許請求の範囲】**【請求項 1】**

複数の画素と、前記複数の画素から信号が出力される複数の第1信号線と有する第1チップと、

前記第1チップに積層され、2次元状に配された複数の信号処理回路と複数の第2信号線とを有する第2チップと、

前記複数の第1信号線と前記複数の第2信号線を接続する接続部とを有し、

前記信号処理回路は、

前記接続部に接続された複数の第1入力ノードと、複数の第1出力ノードとを有し、前記複数の第1入力ノードのいずれかに入力された前記画素からの信号を前記複数の第1出力ノードのいずれかに出力する第1選択回路と、

前記複数の第1出力ノードの互いに異なる第1出力ノードにそれぞれ接続された複数の増幅回路と、

前記複数の増幅回路に接続された複数の第2入力ノードと、第2出力ノードとを備える第2選択回路と、

前記第2出力ノードから出力された出力信号をデジタル信号に変換するアナログデジタル変換部と、を含み、

前記複数の第2信号線の一部の第2信号線に、前記複数の画素の一部から前記信号が出力される期間に、前記複数の第2信号線の別の一部の第2信号線に、前記複数の画素の別の一部から前記信号が出力され、

前記第1選択回路に接続されるすべての前記複数の第1入力ノードの数が、前記第2選択回路に接続されるすべての前記複数の第2入力ノードの数より多いことを特徴とする撮像装置。

【請求項2】

前記第1選択回路によって選択された信号が、前記増幅回路に入力される、ことを特徴とする請求項1に記載の撮像装置。

【請求項3】

前記第1選択回路は、前記複数の増幅回路の1つに第1の信号を入力してから別の第2の信号を入力するまでの間に、他の前記複数の増幅回路へ順に信号を入力する、ことを特徴とする請求項1または請求項2に記載の撮像装置。 10

【請求項4】

前記複数の画素のそれぞれは選択トランジスタを含み、前記選択トランジスタは順にオフからオンに切り替わり、1つの画素の前記選択トランジスタがオンしてから次の画素の前記選択トランジスタがオンするまでの期間より、前記第1選択回路が1つの出力を切り替える間隔が長い、ことを特徴とする請求項3に記載の撮像装置。

【請求項5】

前記複数の増幅回路に共通の参照電圧が供給される、ことを特徴とする請求項1乃至請求項4のいずれか一項に記載の撮像装置。

【請求項6】

前記第1チップは前記参照電圧を出力する画素を有する、ことを特徴とする請求項5に記載の撮像装置。 20

【請求項7】

前記信号処理回路は、前記複数の増幅回路からの複数の出力信号から1つを選択し、選択された出力信号を前記アナログデジタル変換部に出力する第2選択回路を含む、ことを特徴とする請求項1乃至請求項6のいずれか一項に記載の撮像装置。

【請求項8】

前記第1選択回路への入力の数より、前記複数の増幅回路の数が少ない、ことを特徴とする請求項1乃至請求項7のいずれか一項に記載の撮像装置。

【請求項9】

前記第1チップは前記複数の増幅回路のいずれかに参照電圧を供給する画素を有する、ことを特徴とする請求項1乃至請求項8のいずれか一項に記載の撮像装置。 30

【請求項10】

平面視において、前記複数の画素と前記アナログデジタル変換部とが重なる、ことを特徴とする請求項1乃至請求項9のいずれか一項に記載の撮像装置。

【請求項11】

前記アナログデジタル変換部が、逐次比較型のアナログデジタル変換回路を含む、ことを特徴とする請求項1乃至請求項10のいずれか一項に記載の撮像装置。

【請求項12】

請求項1乃至請求項11のいずれか一項に記載の撮像装置と、前記撮像装置が出力する信号を処理することによって画像を生成する信号処理部と、を有する、ことを特徴とする撮像システム。 40

【請求項13】

請求項1乃至請求項11のいずれか一項に記載の撮像装置と、前記撮像装置からの信号に基づいて対象物までの距離情報を取得する距離情報取得手段と、を有する移動体であって、前記距離情報に基づいて前記移動体を制御する制御手段をさらに有する、ことを特徴とする移動体。

【発明の詳細な説明】

【技術分野】**【0001】**

本発明は、撮像装置、撮像システム、移動体に関する。

【背景技術】**【0002】**

複数の画素が複数行、複数列に渡って配された撮像装置が知られている。特許文献1は、複数の画素が配された第1チップと、画素が出力する信号をアナログデジタル変換（以下、A/D変換）するアナログデジタル変換部（以下、A/D変換部）が配された第2チップとが積層された撮像装置を開示している。特許文献1の撮像装置は、単一の列に配された複数の画素に対して、複数の信号線を有している。さらに、撮像装置は、複数の信号線から1つの信号線が選択し、当該選択された信号線をA/D変換部に接続する接続回路を備える。10

【0003】

さらに特許文献2には、複数の信号線で1つのA/D変換部を共有した構成が開示されており、A/D変換部と信号線との間には、加算・減算回路を構成する反転増幅器が配されている（特許文献2の図9）。

【先行技術文献】**【特許文献】****【0004】**

【文献】特開2016-171399号公報

特開2015-002469号公報20

【発明の概要】**【発明が解決しようとする課題】****【0005】**

特許文献1に記載の撮像装置には、S/Nが低下するという課題がある。接続回路によって、画素のアンプトランジスタTbと電流源CSとが構成するソースフォロア回路が、A/D変換部に接続される。一般に、ソースフォロア回路の出力の範囲は狭く、また、ソースフォロア回路のゲインは1に近い。そのため、A/D変換部や選択回路においてノイズが生じると、S/N比が大きく低下する。

【0006】

また特許文献2の構成では信号読出しの高速化という観点で検討が十分ではなかった。30

【0007】

以上の課題に鑑み、本発明は撮像装置においてS/N比を向上させ、信号読出しの速度を高速化することを目的とする。

【課題を解決するための手段】**【0008】**

1つの実施例に係る撮像装置は、複数の画素と、前記複数の画素から信号が出力される複数の第1信号線と有する第1チップと、前記第1チップに積層され、2次元状に配された複数の信号処理回路と複数の第2信号線とを有する第2チップと、前記複数の第1信号線と前記複数の第2信号線を接続する接続部とを有し、前記信号処理回路は、前記接続部に接続された複数の第1入力ノードと複数の第1出力ノードとを有し、前記複数の第1入力ノードのいずれかに入力された前記画素からの信号を前記複数の第1出力ノードのいずれかに出力する第1選択回路と、前記複数の第1出力ノードの互いに異なる第1出力ノードにそれぞれ接続された複数の增幅回路と、前記複数の增幅回路に接続された複数の第2入力ノードと、第2出力ノードとを備える第2選択回路と、前記第2出力ノードから出力された出力信号をデジタル信号に変換するアナログデジタル変換部と、を含み、前記複数の第2信号線の一部の第2信号線に、前記複数の画素の一部から前記信号が出力される期間に、前記複数の第2信号線の別の一部の第2信号線に、前記複数の画素の別の一部から前記信号が出力され、前記第1選択回路に接続されるすべての前記複数の第1入力ノードの数が、前記第2選択回路に接続されるすべての前記複数の第2入力ノードの数より多いことを特徴とする。40

【発明の効果】

【0009】

本発明により、S/N比を向上させ、信号読出しの速度を高速化することが可能である。

【図面の簡単な説明】

【0010】

【図1】撮像装置の構成を示す図

【図2】平面視における撮像装置の画素と信号処理回路の配置を示す図

【図3】(a)画素と(b)信号処理回路の等価回路を示す図

【図4】画素と信号処理回路の接続を示す図

【図5】画素と信号処理回路の接続を示す図

【図6】画素の等価回路を示す図

10

【図7】撮像装置の動作を示す図

【図8】画素と信号処理回路の接続を示す図

【図9】信号処理回路の等価回路を示す図

【図10】撮像装置の動作を示す図

【図11】画素と信号処理回路の接続を示す図

【図12】A/D変換回路の等価回路を示す図

【図13】A/D変換回路の動作を示す図

【図14】撮像システムの構成を示す図

【図15】移動体の構成を示す図

20

【図16】撮像システムの動作を示す図

【発明を実施するための形態】

【0011】

以下、図面を参照しながら各実施例を説明する。なお、以下の説明では、特に断りの無い限り、トランジスタはN型トランジスタであるものとする。しかし、以下に述べる実施例はN型トランジスタに限定されるものではなく、P型トランジスタを適宜用いてもよい。その場合には、トランジスタのゲート、ソース、ドレインの電位を、実施例中の説明に対し適宜変更することができる。例えば、スイッチとして動作させるトランジスタであれば、ゲートに供給する電位のローレベルとハイレベルとを、実施例中の説明に対し逆転させるようにすればよい。

30

【0012】

(実施例1)

(撮像装置の全体構成)

図1は、本実施例の撮像装置が備える、第1チップ1、第2チップ5を示した図である。第1チップ1と第2チップ5とは積層されている。第1チップ1には、複数行および複数列に渡って画素11が配されている。また、第2チップ5には、複数行および複数列に渡って、信号処理回路21が2次元状に配されている。なお、ここでは画素11と信号処理回路21のみを図示しているが、他に画素11を制御する制御線、画素11が出力する信号を伝送する信号線が適宜、第1チップ1に配される。また、垂直走査回路、タイミングジェネレータ等の駆動回路が適宜、第1チップ1あるいは第2チップ5に配される。

40

【0013】

(平面視における、画素と信号処理回路の配置関係)

図2は、平面視における、第1チップ1が備える画素11と、第2チップ5が備える信号処理回路21のレイアウトを示した図である。図2では、画素11が備えるカラーフィルタの色も合わせて示している。図2に示したRは、画素11が赤(R)のカラーフィルタを備えることを示している。以下、同じくG、Bはそれぞれ、画素11が緑(G)、青(B)のカラーフィルタを備えることを示している。別の言い方をすれば、第1色に対応する波長の光が入射する画素と、第2色に対応する波長の光が入射する画素とを備えるとも言える。典型的には、赤色に対応する波長は600～830nmである。また、緑色に対応する波長は、500～600nmである。また、青色に対応する波長は360～500

50

n mである。

【0014】

1つの信号処理回路21は、複数行および複数列に渡って配された画素11と重なるように配置されている。ここでは、1つの信号処理回路21は、4行12列の画素11に重なるように配置されている。後述するが、信号処理回路21は、マルチプレックス回路、增幅回路、アナログデジタル変換部を構成するアナログデジタル変換回路（以下、A/D変換回路）を有する。したがって、1つの信号処理回路21のマルチプレックス回路と增幅回路とA/D変換回路の一部、あるいは全部が、画素11に重なるように配置されていると言える。

【0015】

また、後述するが、1つの信号処理回路21のA/D変換回路は、第1色のカラーフィルタを備える画素11が出力する信号をA/D変換し、第2色のカラーフィルタを備える画素11が出力する信号のA/D変換を行わない。したがって、1つの信号処理回路21は、A/D変換を行う対象の画素11と、A/D変換を行わない対象の画素11との双方に対し、平面視において重なる関係となっている。

【0016】

なお、この配置は一例であって、本実施例では、1つの信号処理回路21に対し、複数の画素11が配されている形態を採用することができる。

【0017】

（撮像装置の等価回路）

図3(a)では、図2に示した画素11のうち、奇数列の画素11のみを示している。第1チップ1の画素11は、1列の画素11に対し、4本の信号線201(A)～(D)を有する。なお、以下では信号線201(A)～(D)を区別なく表記する場合には、単に信号線201と表記する。1行目の画素11は信号線201(A)に接続されている。以下、同様に2～4行目の画素11は、順に信号線201(B)～(D)に接続されている。信号線201(A)～(D)は、他の列においても、1列目の画素11と同じように配されている。

【0018】

信号線201(A)、201(C)のそれぞれは、接続部303を介して、信号処理回路21(A)に接続されている。また、信号線201(B)、201(D)のそれぞれは、接続部303を介して、信号処理回路21(B)に接続されている。信号処理回路21(A)と信号処理回路21(B)とは、同じ回路構成を持つ。そのため、両者に共通する説明の場合は、アルファベットを省略する。以下、信号処理回路21の構成について説明する。

【0019】

図3(b)は、信号処理回路21の等価回路を示す。複数の信号線201は、それぞれ、接続部303を介して信号処理回路21が備えるマルチプレックス回路（以下、MPX回路と表記する）350に接続されている。また、信号処理回路21は、增幅回路355、および、A/D変換回路（以下、明細書および図面にてADCと表記する）360を有する。MPX回路350の出力は、増幅回路355を介して、ADC360に接続される。したがって、MPX回路350は、複数の信号線201の1つを選択して、ADC360(A)に接続する選択部である。本図では複数の信号線201の信号のうち1つを選択して1つの増幅回路355に出力する構成となっているが、実際は1つのMPX回路350に対して複数の増幅回路355が設けられた構成となっている。したがってMPX回路350は複数の入力ノードと複数の出力ノードとを有し、複数の入力ノードのいずれかに入力された画素からの信号を複数の出力ノードのいずれかに出力する構成となっている。

【0020】

増幅回路355は、例えば、オペアンプである。増幅回路355は、反転入力端子と非反転入力端子とを備える。2つの入力端子の一方は、MPX回路350に接続される。2つの入力端子の他方には、参照電圧Vrefが供給される。図3の例では、参照電圧Vref

10

20

30

40

50

f は容量を介して供給される。当該容量にはリセット用のスイッチが接続される。増幅回路 355 の 2 つの出力端子は、それぞれ、ADC 360 に接続される。また、増幅回路 355 の 2 つの出力端子は、それぞれ、反転入力端子および非反転入力端子に、フィードバック容量を介して接続される。各帰還経路において、フィードバック容量と並列に、初期化スイッチが接続される。増幅回路 355 は 1 より大きいゲインを有する。例えば、増幅回路 355 は、1 倍と 4 倍のゲインを選択することができる。

【0021】

図 3 に示しているように、ADC 360 (A) に接続される画素 11 は全て、R のカラーフィルタを備える画素 11 である。一方、ADC 360 (B) に接続される画素 11 は全て、G のカラーフィルタを備える画素 11 である。このように、各々が第 1 色 (R) のカラーフィルタを備える複数の第 1 画素 11 は、第 2 AD 変換部である ADC 360 (B) に接続されずに第 1 AD 変換部である ADC 360 (A) に接続される。また、各々が第 2 色 (G) のカラーフィルタを備える複数の第 1 画素 11 は、第 1 AD 変換部である ADC 360 (A) に接続されずに第 2 AD 変換部である ADC 360 (B) に接続される。

10

【0022】

また、図 3 に示したように、第 2 チップ 5 は電流源 310 を有する。電流源 310 は、接続部 303 を介して、各列の信号線 201 に電流を供給する。

【0023】

(撮像装置の接続部周りの断面構造)

図 4 は、図 3 に示した撮像装置の断面構造を示した図である。図 4 では、4 行 1 列に配された画素 11 と、1 行目 1 1 列目の画素 11 を中心記載している。図 1 に示した第 1 チップ 1 と第 2 チップ 5 は、接合面 300 で接合されている。

20

【0024】

本実施例の撮像装置は、裏面照射型の撮像装置である。画素 11 は、不図示の光電変換部を備える。この光電変換部と、接合面 300 との間に信号線 201 が設けられている。信号線 201 は、画素 11 の所定の方向 (図では列に沿った方向) に延在している。信号線 201 は、接続配線 401 を介して接続部 303 に接続される。また、MPX 回路 350 (A) は、接続配線 405 を介して接続部 303 に接続される。接続配線 401、接続配線 405、接続部 303 は、平面視において重なるように配置されている。信号処理回路 21 と信号線 201 との接続は、接続配線 405 に対して、平面視において重なる位置に接続配線 401 を形成することによって行うことができるとも言える。そして、所定の方向に沿って延在する信号線 201 と接続配線 401 とを接続することによって、信号線 201 と、MPX 回路 350 とを接続することができる。信号線 201 が所定の方向に延在していることにより、接続配線 401 と信号線 201 との接続を容易にすることができる。他の例として、図 5 に示すように、第 1 チップ 1 ではなく第 2 チップ 5 に、所定の方向に延在する信号線 501 を設けることが考えられる。この場合においても、画素 11 と MPX 回路 350 (A) を接続することができる。しかしながら、図 5 に比べて、図 4 に示した、第 1 チップ 1 に、所定の方向に延在する信号線を設けることが好ましい。これは、画素 11 が備わる第 1 チップ 1 よりも、信号処理回路 21 が備わる第 2 チップ 5 の方が、配線層が多くなることに由来する。配線層の多い第 2 チップ 5 に、図 5 のように信号線 501 を設けるよりも、配線層の少ない第 1 チップ 1 に、図 4 のように信号線 201 を設ける方が、設計の自由度が高いためである。

30

【0025】

(画素の等価回路)

図 6 は、本実施例の画素 11 の等価回路図である。画素 11 は、光電変換部であるフォトダイオード 601a、601b を有する。フォトダイオード 601a、601b には、不図示の 1 つのマイクロレンズと、図 2 に示した配列に従って設けられたカラーフィルタを透過した光が入射する。つまり、フォトダイオード 601a に入射する光と、フォトダイオード 601b に入射する光の波長は実質的に同じである。

40

【0026】

50

フォトダイオード 601a は、転送トランジスタ 603a を介して、フローティングディフージョン部（以下、FD 部）605 に接続されている。また、転送トランジスタ 603a のゲートは、制御線 650 を介して、不図示の垂直走査回路に接続されている。フォトダイオード 601b は、転送トランジスタ 603b を介して、FD 部 605 に接続されている。また、転送トランジスタ 603b のゲートは、制御線 655 を介して、不図示の垂直走査回路に接続されている。

【0027】

FD 部 605 は、リセットトランジスタ 606 と、増幅トランジスタ 607 のゲートに接続されている。

【0028】

リセットトランジスタ 606 および増幅トランジスタ 607 は、電源電圧 Vdd が供給される。リセットトランジスタ 606 のゲートは、制御線 660 を介して、不図示の垂直走査回路に接続されている。

【0029】

増幅トランジスタ 607 は、選択トランジスタ 608 に接続されている。選択トランジスタ 608 のゲートは、制御線 665 を介して、不図示の垂直走査回路に接続されている。

【0030】

選択トランジスタ 608 は、信号線 201 に接続されている。

【0031】

（撮像装置の動作）

図 7 は、図 6 に示した画素 11 を備える撮像装置の動作を示した図である。

【0032】

図 7 の信号 PRES は、図 6 の制御線 660 を介して垂直走査回路からリセットトランジスタ 606 のゲートに供給される信号を示している。同じく、信号 PSEL は、制御線 665 を介して垂直走査回路から N 行目の画素 11 の選択トランジスタ 608 のゲートに供給される信号を示している。なお、信号 PSEL については、出力される画素 11 の行位置を末尾に合わせて示している。つまり、信号 PSEL(1) は、1 行目の画素 11 に出力される信号 PSEL であることを示している。信号 PTXA は、制御線 650 を介して垂直走査回路から転送トランジスタ 603a のゲートに供給される信号を示している。信号 PTXB は、制御線 655 を介して垂直走査回路から転送トランジスタ 603b のゲートに供給される信号を示している。

【0033】

図 7 では、MPX 回路 350(A)、ADC360(A) に関わる動作を示している。この MPX 回路 350(A)、ADC360(A) には、図 3 で示したように、R のカラーフィルタを備える、1 行目および 3 行目であって、1~12 列のうちの奇数列に位置する画素 11 の信号が入力される。したがって、図 7 では、1 行目、3 行目であって、1~12 列のうちの奇数列に位置する画素 11 の動作に関わる動作を示している。

【0034】

また、図 7 に示した信号 MPX は、不図示のタイミングジェネレータが、MPX 回路 350(A) に出力する信号を示している。信号 MPX の信号値の変化によって、MPX 回路 350(A) は、増幅回路 355(A) および ADC360(A) に出力する信号を、1~12 列のうち、奇数列の画素 11 に対応する信号線 201 の中から順次変更する。以下では、MPX 回路 350 が増幅回路 355 に信号を出力し、そして、増幅回路 355 が増幅された信号を ADC360 に出力することを、単に、MPX 回路 350 が ADC360 に信号を出力するとも言う。

【0035】

図 7 では、MPX 回路 350(A) が、ADC360(A) に信号を出力する列としてどの列を選択しているかを、Col_nm として示している。この nm の表記を説明する。n は画素 11 の列番号を示している。また、m は、1 列の画素 11 に対応して配される信号線 201(A)~(D) のアルファベットを示している。つまり、Col_1A であれ

10

20

30

40

50

ば、1列目の画素11に対応された信号線201(A)を示している。

【0036】

時刻t1において、垂直走査回路は、1行目および3行目の画素11に出力する信号PRESをHighレベルとしている。これにより、1行目の画素11のリセットトランジスタ606がオンしている。よって、FD部605は、電源電圧Vddに対応する電位にリセットされている。また、時刻t1において垂直走査回路は、信号PSEL(1)をHighレベルとしている。これにより、1行目の画素11の選択トランジスタ608がオンする。よって、図3に示した電流源310が供給する電流が、1行目の画素11の選択トランジスタ608を介して増幅トランジスタ607に供給される。これにより、電源電圧Vdd、増幅トランジスタ607、電流源310によるソースフォロワ回路が形成される。つまり、増幅トランジスタ607は、FD部605の電位に対応する信号を、選択トランジスタ608を介して信号線201に出力するソースフォロワ動作を行う。

10

【0037】

(動作：1行目の画素11に対応するN信号の読み出し)

時刻t2に、垂直走査回路は、1行目の画素11に出力する信号PRESをLowレベルとする。これにより、1行目の画素11のリセットトランジスタ606がオフする。よって、FD部605のリセットが解除される。増幅トランジスタ607は、リセットが解除されたFD部605の電位に基づく信号を、図3に示した信号線201(A)に出力する。この信号を、N信号(ノイズ信号)と表記する。これにより、各列の信号線201(A)には、画素11からN信号が出力されている。

20

【0038】

(動作：1行目の画素11に対応するN信号のAD変換)

時刻t2以降、MPX回路350(A)は、タイミングジェネレータから供給される信号MPXによって、1~12列のうち奇数列の画素11に対応する信号線201(A)を、順次ADC360(A)に接続する。

30

【0039】

ADC360(A)は、MPX回路350(A)から出力される、1列目の信号線201(A)のノイズ信号をデジタル信号にAD変換する。その後、順次、1~12列のうちの奇数列の画素11に対応する信号線201(A)に出力されているノイズ信号をデジタル信号にAD変換する。

【0040】

(動作：3行目の画素11に対応するN信号の読み出し)

時刻t16に、垂直走査回路は、3行目の画素11に出力する信号をLowレベルとする。これにより、3行目の画素11のリセットトランジスタ606がオフする。よって、FD部605のリセットが解除される。増幅トランジスタ607は、リセットが解除されたFD部605の電位に基づく信号であるN信号を、図3に示した信号線201(C)に出力する。これにより、各列の信号線201(C)には、画素11からノイズ信号が出力されている。

30

【0041】

(動作：3行目の画素11に対応するN信号のAD変換)

時刻t16以降、MPX回路350(A)は、タイミングジェネレータから供給される信号MPXによって、1~12列のうち奇数列の画素11に対応する信号線201(C)を、順次ADC360(A)に接続する。

40

【0042】

ADC360(A)は、MPX回路350(A)から出力される、1列目の信号線201(C)のN信号をデジタル信号にAD変換する。その後、順次、1~12列のうちの奇数列の画素11に対応する信号線201(C)に出力されているN信号をデジタル信号にAD変換する。

【0043】

(動作：1行目の画素11に対応するA+B信号の読み出し)

50

時刻 t_{16} に、垂直走査回路は、1行目の画素 11 に出力する信号 P T X A、P T X B を H i g h レベルとする。これにより、フォトダイオード 601a、601b が蓄積した電荷（本実施例では電子である）が、転送トランジスタ 603a、603b を介して F D 部 605 に転送される。F D 部 605 では、フォトダイオード 601a、601b のそれぞれの電荷が加算される。これにより、F D 部 605 は、フォトダイオード 601a、601b のそれぞれの電荷を加算した電荷に対応する電位となる。仮に、フォトダイオード 601a のみの電荷による F D 部 605 の電位に基づいて増幅トランジスタ 607 が出力する信号を A 信号とする。また、仮に、フォトダイオード 601b のみの電荷による F D 部 605 の電位に基づいて増幅トランジスタ 607 が出力する信号を B 信号とする。この表記に従うと、フォトダイオード 601a、601b のそれぞれの電荷を加算した電荷に対応する F D 部 605 の電位に基づいて増幅トランジスタ 607 が出力する信号は A 信号と B 信号を加算した A + B 信号とみなすことができる。各列の信号線 201 (A) には、1 行目の画素 11 の A + B 信号が出力されている。

【0044】

（1行目の画素 11 に対応する A + B 信号の A D 変換）

時刻 t_{30} 以降、M P X 回路 350 (A) は、タイミングジェネレータから供給される信号 M P X によって、1 ~ 12 列のうち奇数列の画素 11 に対応する信号線 201 (A) を、順次 A D C 360 (A) に接続する。

【0045】

A D C 360 (A) は、M P X 回路 350 (A) から出力される、1列目の信号線 201 (A) の A + B 信号をデジタル信号に A D 変換する。その後、順次、1 ~ 12 列のうちの奇数列の画素 11 に対応する信号線 201 (A) に出力されている A + B 信号をデジタル信号に A D 変換する。

【0046】

（動作：3行目の画素 11 に対応する A + B 信号の読み出し）

時刻 t_{30} に、垂直走査回路は、3行目の画素 11 に出力する信号 P T X A、P T X B を H i g h レベルとする。これにより、各列の信号線 201 (C) には、3行目の画素 11 の A + B 信号が出力されている。

【0047】

（動作：3行目の画素 11 に対応する A + B 信号の A D 変換）

時刻 t_{44} 以降、M P X 回路 350 (A) は、タイミングジェネレータから供給される信号 M P X によって、1 ~ 12 列のうち奇数列の画素 11 に対応する信号線 201 (C) を、順次 A D C 360 (A) に接続する。

【0048】

A D C 360 (A) は、M P X 回路 350 (A) から出力される、1列目の信号線 201 (C) の A + B 信号をデジタル信号に A D 変換する。その後、順次、1 ~ 12 列のうちの奇数列の画素 11 に対応する信号線 201 (C) に出力されている A + B 信号をデジタル信号に A D 変換する。

【0049】

（撮像装置が行う並行動作）

図 7 に示した動作では、以下のように、複数の動作を並行して行っている。

(1) 1行目の画素 11 に対応する N 信号の A D 変換と、3行目の画素 11 に対応する N 信号の読み出しとの並行動作

(2) 3行目の画素 11 に対応する N 信号の A D 変換と、1行目の画素 11 に対応する A + B 信号の読み出しとの並行動作

(3) 1行目の画素 11 に対応する A + B 信号の A D 変換と、3行目の画素 11 に対応する A + B 信号の読み出しとの並行動作

この並行動作により、A D C 360 (A) が 1 度の A D 変換を終えてから、次の A D 変換を行うまでの待機期間を短縮することができる。これにより、全ての画素 11 が出力する信号の A D 変換に要する期間を短縮することができる。よって、撮像装置の高フレームレ

ート化を進展させることができる。

【0050】

(本実施例の効果)

本実施例の撮像装置では、信号処理回路21が増幅回路355を含む。そのため、ADC360で生じるノイズが重畠される前に、信号が増幅される。結果として、SN比を向上させることができる。

【0051】

(他の形態)

本実施例では、第1色のカラーフィルタが配された画素11が接続され、第2色のカラーフィルタが配された画素11が接続されていない信号線201が、ADC360に接続される例を説明した。この例では、当該ADC360と第2色のカラーフィルタが配された画素11とが接続される接続部が設けられない形態となる。

10

【0052】

本実施例は、この例に限定されるものでは無い。例えば、図8に示したように、1列の画素11に対し、複数の信号線が配され、この複数の信号線がMPX回路350によって、選択的にADC360に接続される例にも適用することが可能である。この例の場合には、異なる色のカラーフィルタを備える複数の画素11が、1つの信号処理回路21に接続される。この構成においても、上記したSN比向上の効果を得ることができる。

【0053】

(実施例2)

20

本実施例について、実施例1と異なる点を中心に説明する。本実施例の撮像装置においては、信号処理回路21の構成が、実施例1の信号処理回路21と異なる。具体的に、本実施例の信号処理回路21は、2つのマルチプレックス回路と、その間に並列に配置された複数の増幅回路を備える。その他の構成は、実施例1の撮像装置の構成と同じとすることができる。以下、実施例1と異なる点を中心に説明する。

【0054】

図9は、本実施例の撮像装置の信号処理回路21の等価回路を示している。信号処理回路21が、MPX回路350とADC360とを含む点は、実施例1と同様である。なお、図9では、MPX回路350の入力に、符号sf1～sf8が付されている。図9では、MPX回路350の8入力であるが、入力の数は特に限定されない。

30

【0055】

MPX回路350は4つの出力ノードを備える。MPX回路350の各出力ノードには、増幅回路355が接続される。信号処理回路21は、4つの増幅回路355a～355dを備える。MPX回路350は、入力sf1と入力sf5のいずれかを選択し、選択された入力信号を増幅回路355aに出力する。また、MPX回路350は、入力sf2と入力sf5のいずれかを選択し、選択された入力信号を増幅回路355bに出力する。他の入力についても同様である。各増幅回路355の反転入力端子および非反転端子の一方には、MPX350から出力された信号が容量を介して入力される。各増幅回路355の反転入力端子および非反転端子の他方には、参照信号Vrefが入力される。複数の増幅回路355に、共通の参照信号Vrefが供給されうる。

40

【0056】

複数の増幅回路355の出力は、共通のマルチプレックス回路356（以下、MPX回路356）に接続される。MPX回路356は、複数の増幅回路355の出力の1つを選択肢、選択された信号をADC360に出力する。MPX回路356は、複数の増幅回路355の反転出力端子からの信号の中から1つの信号を選択する。また、MPX回路356は、複数の増幅回路355の非反転出力端子からの信号の中から1つの信号を選択する。

【0057】

なお、図9が示すとおり、MPX回路350への入力の数より、MPX回路356への入力の数が少ない。また、MPX回路350への入力の数より、複数の増幅回路355の数が少ない。

50

【 0 0 5 8 】

このように、本実施例では、2つの選択回路（MPX回路350およびMPX回路356）の間に、複数の増幅回路355が並列に接続される。このような構成により、信号出力の高速化が可能である。

【 0 0 5 9 】

図10を用いて本実施例の信号処理回路21の動作を説明する。図10は、出力線201ごとの信号に対する処理動作を模式的に示している。

【 0 0 6 0 】

入力sf1に接続された出力線201の信号の処理について説明する。まず信号SEL1がオンすることで、画素11のソースフォロア回路から、入力sf1に接続された出力線201へ、画素信号が出力される。そのごとMUX1のタイミングで、MPX回路355aは、入力sf1を選択し、そして、入力sf1の信号を後段の増幅回路355aに出力する。増幅回路355aの出力が安定した時点（MUX2）で、MPX回路356が増幅回路355aの出力を後段のADC360に出力する。ADC360は、増幅回路355aによって増幅された画素信号に対してAD変換を行う。図10は、N信号のAD変換を例に示している。10

【 0 0 6 1 】

信号SEL1がオンしてから所定の時間が経過した後、信号SEL5がオンする。これにより、画素11のソースフォロア回路から、入力sf5に接続された出力線201へ、画素信号が出力される。その後MUX1のタイミングで、MPX回路350は、入力sf5を選択し、そして、入力sf5の信号を後段の増幅回路355aに出力する。このように1つの増幅回路355にある信号が入力されたから次の信号が入力されるまでには、当該増幅回路355の前の信号の出力が安定するまでの期間が経過する。20

【 0 0 6 2 】

ここで本実施例では、MPX回路350の後段に複数の増幅回路355が並列に接続されている。そのため、1つの増幅回路355の前の信号の出力が安定するまでの期間に、他の増幅回路355に信号を入力することができる。具体的には、信号SEL1がオンしてから信号SEL5がオンするまでの間に、信号SEL2～4がオンしている。これにより、MPX回路350は、入力sf2～sf4の信号を順次、増幅回路355b～355dへ出力している。結果として複数の信号を出力する動作を高速化することが可能である。30

【 0 0 6 3 】

図10が示すとおり、1つのMPX回路350に接続された複数の画素11において、選択トランジスタを制御する信号SEL1～8が順次オンする。信号SEL1～8がオンする間隔に対して、MPX回路350が1つの出力を切り替える間隔が長い。たとえば、信号SEL1がオンしてから信号SEL2がオンするまでの間隔より、入力sf1に対するタイミングMUX1と入力sf5に対するタイミングMUX1との間隔のほうが長い。これにより、画素信号の伝達経路にある各回路の出力が十分に安定する時間が確保される。

【 0 0 6 4 】

また、別の観点では、増幅回路355の後段に選択回路（MPX回路356）が配される。これにより、選択回路で生じるノイズの影響を低減することが可能である。結果として、画質を向上させることができる。40

【 0 0 6 5 】

続いて、本実施例の変形例を説明する。図11は、撮像装置の画素と信号処理回路の接続を示す図である。図11の撮像装置は、参照信号Vrefを出力するダミー画素12を有する。各ダミー画素は出力線dummyに接続される。出力線dummyには電流源が接続されている。ダミー画素12は、画素11と同様に増幅トランジスタ607を含む。そのため、増幅トランジスタ607と出力線dummyに接続された電流源とがソースフォロア回路を構成する。ダミー画素12には、光電変換部の代わりに基準電圧を供給する電50

圧供給部が配される。このような構成により、ダミー画素 1 2 は参照電圧 V_{ref} を出力することができる。

【 0 0 6 6 】

ダミー画素 1 2 が参照電圧 V_{ref} を出力する事で、複数の出力線 2 0 1 の間に発生するクロストークを打ち消すことができる。また、複数の列にダミー画素 1 2 を配置し、かつ、複数の列にダミー画素 1 2 の出力を互いにショートする事で、参照信号 V_{ref} に重畠されるトランジスタ起因のノイズを平均化する事が可能である。結果として、画質を向上させることができる。

【 0 0 6 7 】

(実施例 3)

10

本実施例について、実施例 1 と異なる点を中心に説明する。本実施例の撮像装置は、実施例 1 および実施例 2 の ADC 360 として、逐次比較型の A/D 変換器を用いた例である。その他の構成は、実施例 1 または実施例 2 の撮像装置の構成と同じとすることができる。

【 0 0 6 8 】

(逐次比較型 A/D C の等価回路)

図 1 2 は、本実施例の ADC 360 の等価回路図である。

【 0 0 6 9 】

ADC 360 は入力端子 IN 及び出力端子 OUT を有し、入力端子 IN から入力されたアナログ信号 S_{in} (MPX 回路 350 の出力) をデジタル信号 S_{out} に変換して出力端子 OUT から出力する。このアナログ信号 S_{in} は、実施例 1 で説明した、N 信号と S 信号の一方あるいは両方とすることができる。ADC 360 は MPX 回路出力を 5 ビットの分解能でデジタル信号 S_{out} に変換する。

20

【 0 0 7 0 】

ADC 360 はアナログ信号 S_{in} との比較に用いられる比較信号を生成する生成回路 8 10 を更に有する。生成回路 8 10 はバイナリウェイトの容量値を有する複数の容量素子 $c_{p0} \sim c_{p4}$ と、容量素子 $c_{p0} \sim c_{p4}$ に接続された複数のスイッチ $s_{w0} \sim s_{w4}$ とを有する。複数のスイッチ $s_{w0} \sim s_{w4}$ によって、容量素子 $c_{p0} \sim c_{p4}$ のうちの 1 つ以上を選択するスイッチ回路が構成される。バイナリウェイトとは、公比 2 の等比数列をなす重み（容量値）の集合のことである。図 1 2 の例では、容量素子 $c_{p0} \sim c_{p4}$ は順に、1C、2C、4C、8C、16C の容量値を有する。容量素子 $c_{p0} \sim c_{p4}$ の一方の電極は生成回路 8 10 の供給端子 SPL に接続され、他方の電極はそれぞれスイッチ $s_{w0} \sim s_{w4}$ に接続される。スイッチ $s_{w0} \sim s_{w4}$ はそれぞれ、一端が容量素子 $c_{p0} \sim c_{p4}$ に接続され、他端が端子 A と端子 B との間をトグルする。端子 A には接地電位 GND が供給され、端子 B には基準電圧 VRF が供給される。基準電圧 VRF は ADC 360 の外部から供給される定電圧であり、接地電位 GND よりも大きな値である。スイッチ s_{w0} が端子 A にトグルすると、容量素子 c_{p0} に接地電位 GND が供給され、スイッチ s_{w0} が端子 B にトグルすると、容量素子 c_{p0} に基準電圧 VRF が供給される。他のスイッチ $s_{w1} \sim s_{w4}$ についても同様である。スイッチ $s_{w0} \sim s_{w4}$ が切り替わることによって、供給端子 SPL と基準電圧 VRF との間に接続される容量素子の合成容量値が変化し、その結果として供給端子 SPL から出力される比較信号 V_{cmp} の値が変化する。

30

【 0 0 7 1 】

ADC 360 は比較器 8 15 を更に有する。比較器 8 15 はアナログ信号 S_{in} の値と比較信号 V_{cmp} の値とを比較して、比較結果に応じた信号を出力する。比較器 8 15 の非反転端子には容量素子 c_{p6} を介してアナログ信号 S_{in} が供給され、比較器 8 15 の反転端子には生成回路 8 10 の供給端子 SPL から比較信号 V_{cmp} が供給される。それにより、アナログ信号 S_{in} の値が比較信号 V_{cmp} の値以上の場合に HIGH が出力され、アナログ信号 S_{in} の値が比較信号 V_{cmp} の値未満の場合に LOW が出力される。この例ではアナログ信号 S_{in} の値と比較信号 V_{cmp} の値が等しい場合に HIGH を出力しているが、LOW を出力してもよい。容量素子 c_{p6} はアナログ信号 S_{in} の値を比較

40

50

信号 V c m p との比較が可能な範囲に調整する。本実施形態では、説明を簡単にするために、アナログ信号 S i n の値は接地電位 G N D 以上、基準電圧 V R F 以下であり、アナログ信号 S i n と同じ大きさの信号が比較器 8 1 5 の非反転端子に供給される場合を扱う。

【 0 0 7 2 】

図 1 2 の例ではアナログ信号 S i n を比較器 8 1 5 の非反転端子に供給し、比較信号 V c m p を比較器 8 1 5 の反転端子に供給するが、アナログ信号 S i n の値と比較信号 V c m p の値との大小関係を判定できれば他の構成も取りうる。例えば、アナログ信号 S i n と比較信号 V c m p との差分を比較器 8 1 5 の非反転端子に供給し、接地電位 G N D を比較器 8 1 5 の反転端子に供給してもよい。

【 0 0 7 3 】

A D C 3 6 0 はスイッチ s w 5、s w 6 を更に有する。これらのスイッチ s w 5、s w 6 が導通状態になると、比較器 8 1 5 の非反転端子、反転端子に接地電位 G N D が供給され、比較器 8 1 5 がリセットされる。

【 0 0 7 4 】

A D C 3 6 0 は、制御回路 8 2 0 を更に備える。制御回路 8 2 0 には比較器 8 1 5 から比較結果が供給され、制御回路 8 2 0 はこの比較結果に基づいてデジタル信号 S o u t を生成し、出力端子 O U T から出力する。制御回路 8 2 0 はまた、各スイッチ s w 0 ~ s w 6 に制御信号を送信してその状態を切り替える。

【 0 0 7 5 】

(逐次比較型 A D C の動作)

図 1 3 において、s w 0 ~ s w 6 は制御回路 8 2 0 からスイッチ s w 0 ~ s w 6 に供給される制御信号の値を示す。スイッチ s w 0 ~ s w 4 は、供給される制御信号が H i g h である場合に端子 B へトグルし、制御信号が L o w である場合に端子 A へトグルする。スイッチ s w 5、s w 6 は、供給される制御信号が H i g h である場合に導通状態となり、制御信号が L o w である場合に非導通状態となる。図 1 3 の下側にはアナログ信号 S i n 及び比較信号 V c m p が示される。図 1 3 では、アナログ信号 S i n の値が 2 進数で 0 0 1 1 0 に相当する場合を例として扱う。

【 0 0 7 6 】

続いて、A D 変換器 1 0 0 の A D 変換動作を時系列に沿って説明する。制御回路 8 2 0 は準備期間において、スイッチ s w 0 ~ s w 4 に供給される制御信号を L o w にし、スイッチ s w 5、s w 6 に供給される制御信号を H i g h にする。これにより、比較器 8 1 5 の非反転端子及び反転端子が接地電位 G N D にリセットされるとともに、比較信号 V c m p の値が接地電位 G N D に等しくなる。その後、制御回路 8 2 0 はスイッチ s w 5、s w 6 に供給される制御信号を L o w にする。以降の動作において、比較器 8 1 5 の非反転端子にはアナログ信号 S i n が供給され続ける。

【 0 0 7 7 】

次に、逐次比較期間が始まると、制御回路 8 2 0 はスイッチ s w 4 に供給される制御信号を H i g h に変更する。これにより、スイッチ s w 4 は端子 B にトグルし、バイナリウェイトの中で 1 番目に大きな容量値を有するキャパシタ c p 4 を介して生成回路 8 1 0 の供給端子 S P L に基準電圧 V R F が印加される。その結果、比較信号 V c m p が V R F / 2 だけ増加し、比較信号 V c m p の値は V R F / 2 に等しくなる。制御回路 8 2 0 は、比較器 8 1 5 からの比較結果に基づいて、アナログ信号 S i n の値が比較信号 V c m p の値 (V R F / 2) よりも小さいと判定し、スイッチ s w 4 に供給される制御信号を L o w に戻す。それにより、比較信号 V c m p の値は接地電位 G N D に戻る。この比較結果は、デジタル信号 S o u t の値の M S B (L S B を 1 ビット目とした場合に 5 ビット目) が 0 であることを意味する。

【 0 0 7 8 】

次に、制御回路 8 2 0 はスイッチ s w 3 に供給される制御信号を H i g h に変更する。これにより、バイナリウェイトの中で 2 番目に大きな容量値を有するキャパシタ c p 3 を介して生成回路 8 1 0 の供給端子 S P L に基準電圧 V R F が印加される。その結果、比較信号 V c m p が V R F / 2 だけ増加し、比較信号 V c m p の値は V R F / 2 に等しくなる。制御回路 8 2 0 は、比較器 8 1 5 からの比較結果に基づいて、アナログ信号 S i n の値が比較信号 V c m p の値 (V R F / 2) よりも小さいと判定し、スイッチ s w 3 に供給される制御信号を L o w に戻す。それにより、比較信号 V c m p の値は接地電位 G N D に戻る。この比較結果は、デジタル信号 S o u t の値の M S B (L S B を 1 ビット目とした場合に 5 ビット目) が 0 であることを意味する。

10

20

30

40

50

号 V c m p が V R F / 4 だけ増加し、比較信号 V c m p の値は V R F / 4 に等しくなる。制御回路 820 は、比較器 815 からの比較結果に基づいて、アナログ信号 S i n の値が比較信号 V c m p の値 (V R F / 4) よりも小さいと判定し、スイッチ s w 3 に供給される制御信号を L o w に戻す。それにより、比較信号 V c m p の値は接地電位 G N D に戻る。この比較結果は、デジタル信号 S o u t の値の 4 ビット目が 0 であることを意味する。

【 0 0 7 9 】

次に、制御回路 820 はスイッチ s w 2 に供給される制御信号を H i g h に変更する。これにより、バイナリウェイトの中で 3 番目に大きな容量値を有するキャパシタ c p 2 を介して生成回路 810 の供給端子 S P L に基準電圧 V R F が印加される。その結果、比較信号 V c m p が V R F / 8 だけ増加し、比較信号 V c m p の値は V R F / 8 に等しくなる。

10

制御回路 820 は、比較器 815 からの比較結果に基づいて、アナログ信号 S i n の値が比較信号 V c m p の値 (V R F / 8) よりも大きいと判定し、スイッチ s w 2 に供給される制御信号を H i g h のままにする。それにより、比較信号 V c m p の値は V R F / 8 に維持される。この比較結果は、デジタル信号 S o u t の値の 3 ビット目が 1 であることを意味する。

【 0 0 8 0 】

次に、制御回路 820 はスイッチ s w 1 に供給される制御信号を H i g h に変更する。これにより、バイナリウェイトの中で 4 番目に大きな容量値を有するキャパシタ c p 1 と、キャパシタ c p 2 を介して生成回路 810 の供給端子 S P L に基準電圧 V R F が印加される。その結果、比較信号 V c m p が V R F / 16 だけ増加し、比較信号 V c m p の値は V R F * 3 / 16 に等しくなる。なお、本明細書で用いる「*」は乗算を意味している。

20

制御回路 820 は、比較器 815 からの比較結果に基づいて、アナログ信号 S i n の値が比較信号 V c m p の値 (V R F * 3 / 16) よりも大きいと判定し、スイッチ s w 1 に供給される制御信号を H i g h のままにする。それにより、比較信号 V c m p の値は V R F * 3 / 16 に維持される。この比較結果は、デジタル信号 S o u t の値の 2 ビット目が 1 であることを意味する。

【 0 0 8 1 】

最後に、制御回路 820 はスイッチ s w 0 に供給される制御信号を H i g h に変更する。これにより、バイナリウェイトの中で 5 番目に大きな容量値を有するキャパシタ c p 0 と、c p 1 、c p 2 を介して生成回路 810 の供給端子 S P L に基準電圧 V R F が印加される。その結果、比較信号 V c m p が V R F / 32 だけ増加し、比較信号 V c m p の値は V R F * 7 / 32 に等しくなる。制御回路 820 は、比較器 815 からの比較結果に基づいて、アナログ信号 S i n の値が比較信号 V c m p の値 (V R F * 7 / 32) よりも小さいと判定し、スイッチ s w 0 に供給される制御信号を L o w に戻す。それにより、比較信号 V c m p の値は V R F * 3 / 16 に戻る。この比較結果は、デジタル信号 S o u t の値の 1 ビット目が 0 であることを意味する。

30

【 0 0 8 2 】

以上の逐次比較により、制御回路 820 はアナログ信号に対応するデジタル信号 S o u t が 00110 であると決定する。

40

【 0 0 8 3 】

このようにして、A D C 360 は、入力されるアナログ信号に対応するデジタル信号を生成する A D 変換を行うことができる。

【 0 0 8 4 】

(他の A D 変換形式)

実施例 2 では、A D C 360 として、逐次比較型の A D 変換器を用いた例を説明した。A D C 360 は、この逐次比較型の A D 変換器に限定されるものでは無い。例えば、他の A D 変換器として、ランプ信号比較型、デルタシグマ型、パイプライン型、フラッシュ型等の種々の A D 変換器を用いることができる。

【 0 0 8 5 】

(実施例 4)

50

図14は、本実施例による撮像システム500の構成を示すブロック図である。本実施例の撮像システム500は、上述の各実施例で述べた撮像装置のいずれかの構成を適用した撮像装置200を含む。撮像システム500の具体例としては、デジタルスチルカメラ、デジタルカムコーダー、監視カメラ等が挙げられる。図14に、上述の各実施例のいずれかの撮像装置を撮像装置200として適用したデジタルスチルカメラの構成例を示す。

【0086】

図14に例示した撮像システム500は、撮像装置200、被写体の光学像を撮像装置200に結像させるレンズ5020、レンズ5020を通過する光量を可変にするための絞り504、レンズ5020の保護のためのバリア506を有する。レンズ5020及び絞り504は、撮像装置200に光を集光する光学系である。

10

【0087】

撮像システム500は、また、撮像装置200から出力される出力信号の処理を行う信号処理部5080を有する。信号処理部5080は、必要に応じて入力信号に対して各種の補正、圧縮を行って出力する信号処理の動作を行う。信号処理部5080は、撮像装置200より出力される出力信号に対してA/D変換処理を実施する機能を備えていてもよい。この場合、撮像装置200の内部には、必ずしもA/D変換回路を有する必要はない。

【0088】

撮像システム500は、更に、画像データを一時的に記憶するためのバッファメモリ部510、外部コンピュータ等と通信するための外部インターフェース部（外部I/F部）512を有する。更に撮像システム500は、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体514、記録媒体514に記録又は読み出しを行うための記録媒体制御インターフェース部（記録媒体制御I/F部）516を有する。なお、記録媒体514は、撮像システム500に内蔵されていてもよく、着脱可能であってもよい。

20

【0089】

更に撮像システム500は、各種演算を行うとともにデジタルスチルカメラ全体を制御する全体制御・演算部518、撮像装置200と信号処理部5080に各種タイミング信号を出力するタイミング発生部520を有する。ここで、タイミング信号などは外部から入力されてもよく、撮像システム500は、少なくとも撮像装置200と、撮像装置200から出力された出力信号を処理する信号処理部5080とを有すればよい。全体制御・演算部518及びタイミング発生部520は、撮像装置200の制御機能の一部又は全部を実施するように構成してもよい。

30

【0090】

撮像装置200は、画像用信号を信号処理部5080に出力する。信号処理部5080は、撮像装置200から出力される画像用信号に対して所定の信号処理を実施し、画像データを出力する。また、信号処理部5080は、画像用信号を用いて、画像を生成する。

【0091】

上述した各実施例の撮像装置による撮像装置を用いて撮像システムを構成することにより、より良質の画像が取得可能な撮像システムを実現することができる。

【0092】

（実施例5）

本実施例の撮像システム及び移動体について、図15及び図16を用いて説明する。

40

【0093】

図15は、本実施例による撮像システム及び移動体の構成例を示す概略図である。図16は、本実施例による撮像システムの動作を示すフロー図である。

【0094】

本実施例では、車載カメラに関する撮像システムの一例を示す。図15は、車両システムと共に搭載される撮像システムの一例を示したものである。撮像システム701は、撮像装置702、画像前処理部715、集積回路703、光学系714を含む。光学系714は、撮像装置702に被写体の光学像を結像する。撮像装置702は、光学系714により結像された被写体の光学像を電気信号に変換する。撮像装置702は、上述の各実施

50

例のいずれかの撮像装置である。画像前処理部 715 は、撮像装置 702 から出力された信号に対して所定の信号処理を行う。画像前処理部 715 の機能は、撮像装置 702 内に組み込まれていてもよい。撮像システム 701 には、光学系 714、撮像装置 702 及び画像前処理部 715 が、少なくとも 2 組設けられており、各組の画像前処理部 715 からの出力が集積回路 703 に入力されるようになっている。

【0095】

集積回路 703 は、撮像システム用途向けの集積回路であり、メモリ 705 を含む画像処理部 704、光学測距部 706、視差演算部 707、物体認知部 708、異常検出部 709 を含む。画像処理部 704 は、画像前処理部 715 の出力信号に対して、現像処理や欠陥補正等の画像処理を行う。メモリ 705 は、撮像画像の一次記憶、撮像画素の欠陥位置を格納する。光学測距部 706 は、被写体の合焦や、測距を行う。視差演算部 707 は、複数の撮像装置 702 により取得された複数の画像データから視差（視差画像の位相差）の算出を行う。物体認知部 708 は、車、道、標識、人等の被写体の認知を行う。異常検出部 709 は、撮像装置 702 の異常を検出すると、主制御部 713 に異常を発報する。

10

【0096】

集積回路 703 は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよいし、これらの組合せによって実現されてもよい。また、FPGA (Field Programmable Gate Array) や ASIC (Application Specific Integrated Circuit) 等によって実現されてもよいし、これらの組合せによって実現されてもよい。

20

【0097】

主制御部 713 は、撮像システム 701、車両センサ 710、制御ユニット 720 等の動作を統括・制御する。なお、主制御部 713 を持たず、撮像システム 701、車両センサ 710、制御ユニット 720 が個別に通信インターフェースを有して、それぞれが通信ネットワークを介して制御信号の送受を行う（例えば CAN 規格）方法も取りうる。

【0098】

集積回路 703 は、主制御部 713 からの制御信号を受け或いは自身の制御部によって、撮像装置 702 へ制御信号や設定値を送信する機能を有する。例えば、集積回路 703 は、撮像装置 702 内の電圧スイッチ 13 をパルス駆動させるための設定や、フレーム毎に電圧スイッチ 13 を切り替える設定等を送信する。

30

【0099】

撮像システム 701 は、車両センサ 710 に接続されており、車速、ヨーレート、舵角などの自車両走行状態及び自車外環境や他車・障害物の状態を検出することができる。車両センサ 710 は、視差画像から対象物までの距離情報を取得する距離情報取得手段もある。また、撮像システム 701 は、自動操舵、自動巡航、衝突防止機能等の種々の運転支援を行う運転支援制御部 711 に接続されている。特に、衝突判定機能に関しては、撮像システム 701 や車両センサ 710 の検出結果を基に他車・障害物との衝突推定・衝突有無を判定する。これにより、衝突が推定される場合の回避制御、衝突時の安全装置起動を行う。

【0100】

また、撮像システム 701 は、衝突判定部での判定結果に基づいて、ドライバーに警報を発する警報装置 712 にも接続されている。例えば、衝突判定部の判定結果として衝突可能性が高い場合、主制御部 713 は、ブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして、衝突を回避、被害を軽減する車両制御を行う。警報装置 712 は、音等の警報を鳴らす、カーナビゲーションシステムやメーターパネルなどの表示部画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

40

【0101】

本実施例では、車両の周囲、例えば前方又は後方を撮像システム 701 で撮影する。図 15 (b) に、車両前方を撮像システム 701 で撮像する場合の撮像システム 701 の配置

50

例を示す。

【0102】

2つの撮像装置702は、車両700の前方に配置される。具体的には、車両700の進退方位又は外形（例えば車幅）に対する中心線を対称軸に見立て、その対称軸に対して2つの撮像装置702が線対称に配置されると、車両700と被写対象物との間の距離情報の取得や衝突可能性の判定を行う上で好ましい。また、撮像装置702は、運転者が運転席から車両700の外の状況を視認する際に運転者の視野を妨げない配置が好ましい。警報装置712は、運転者の視野に入りやすい配置が好ましい。

【0103】

次に、撮像システム701における撮像装置702の故障検出動作について、図16を用いて説明する。撮像装置702の故障検出動作は、図16に示すステップS810～S880に従って実施される。

10

【0104】

ステップS810は、撮像装置702のスタートアップ時の設定を行うステップである。すなわち、撮像システム701の外部（例えば主制御部713）又は撮像システム701の内部から、撮像装置702の動作のための設定を送信し、撮像装置702の撮像動作及び故障検出動作を開始する。

【0105】

次いで、ステップS820において、有効画素から画素信号を取得する。また、ステップS830において、故障検出用に設けた故障検出画素からの出力値を取得する。この故障検出画素は、有効画素と同じく光電変換部を備える。この光電変換部には、所定の電圧が書き込まれる。故障検出用画素は、この光電変換部に書き込まれた電圧に対応する信号を出力する。なお、ステップS820とステップS830とは逆でもよい。

20

【0106】

次いで、ステップS840において、故障検出画素の出力期待値と、実際の故障検出画素からの出力値との該非判定を行う。

【0107】

ステップS840における該非判定の結果、出力期待値と実際の出力値とが一致している場合は、ステップS850に移行し、撮像動作が正常に行われていると判定し、処理ステップがステップS860へと移行する。ステップS860では、走査行の画素信号をメモリ705に送信して一次保存する。その後、ステップS820に戻り、故障検出動作を継続する。

30

【0108】

一方、ステップS840における該非判定の結果、出力期待値と実際の出力値とが一致していない場合は、処理ステップはステップS870に移行する。ステップS870において、撮像動作に異常があると判定し、主制御部713、又は警報装置712に警報を発報する。警報装置712は、表示部に異常が検出されたことを表示させる。その後、ステップS880において撮像装置702を停止し、撮像システム701の動作を終了する。

【0109】

なお、本実施例では、1行毎にフローチャートをループさせる例を例示したが、複数行毎にフローチャートをループさせてもよいし、1フレーム毎に故障検出動作を行ってもよい。

40

【0110】

なお、ステップS870の警報の発報は、無線ネットワークを介して、車両の外部に通知するようにしてもよい。

【0111】

また、本実施例では、他の車両と衝突しない制御を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。さらに、撮像システム701は、自車両等の車両に限らず、例えば、船舶、航空機或いは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用するこ

50

とができる。

【 0 1 1 2 】

[変形実施例]

本発明は、上記実施例に限らず種々の変形が可能である。

【 0 1 1 3 】

例えば、いずれかの実施例の一部の構成を他の実施例に追加した例や、他の実施例の一部の構成と置換した例も、本発明の実施例である。

【 0 1 1 4 】

また、上述の実施例は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらの例示によって本発明の技術的範囲が限定的に解釈されてはならない。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な態様で実施することができる。

10

【 符号の説明 】

【 0 1 1 5 】

1 第 1 チップ

5 第 2 チップ

1 1 画素

2 1 信号処理回路

3 0 3 接続部

3 1 0 電流源

20

7 0 3 マルチプレックス回路 (M P X 回路)

7 0 4 A D 変換回路 (A D C)

20

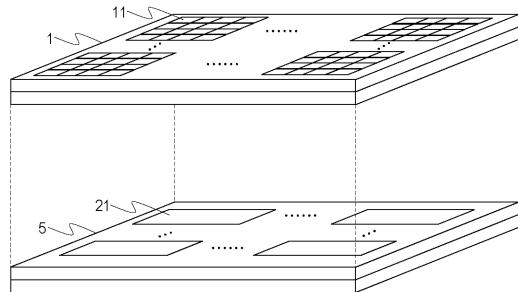
30

40

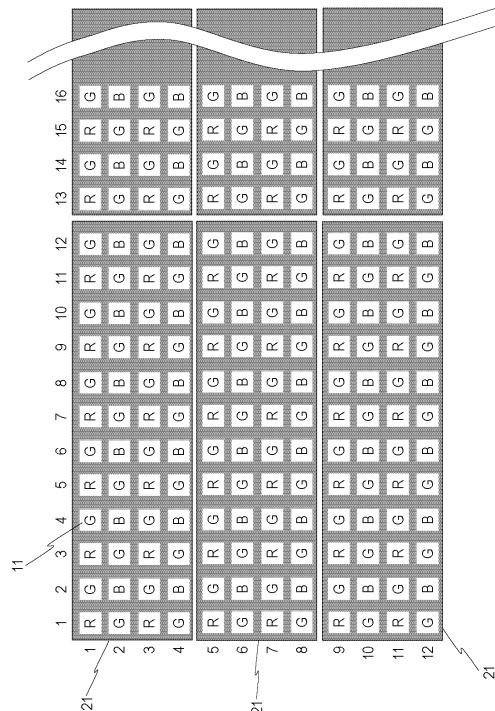
50

【図面】

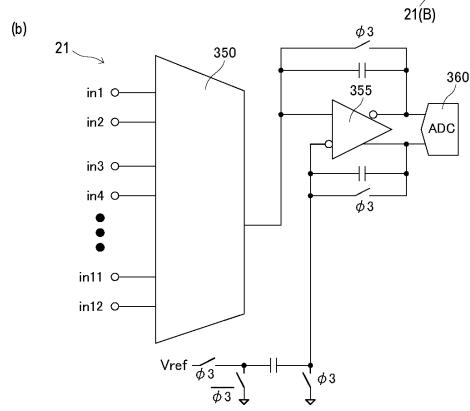
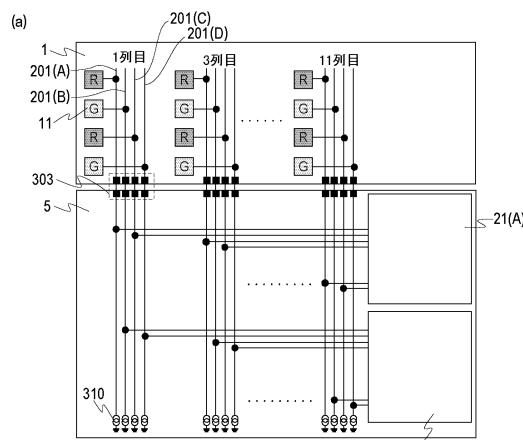
【図 1】



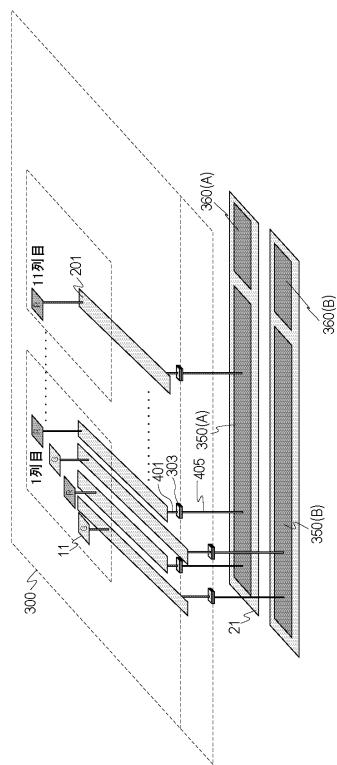
【図 2】



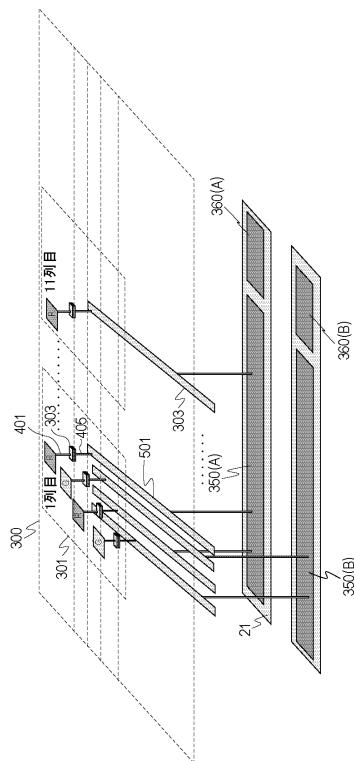
【図 3】



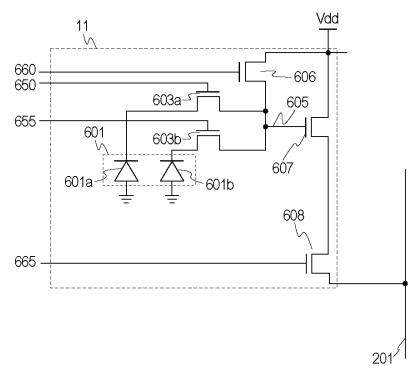
【図 4】



【図 5】



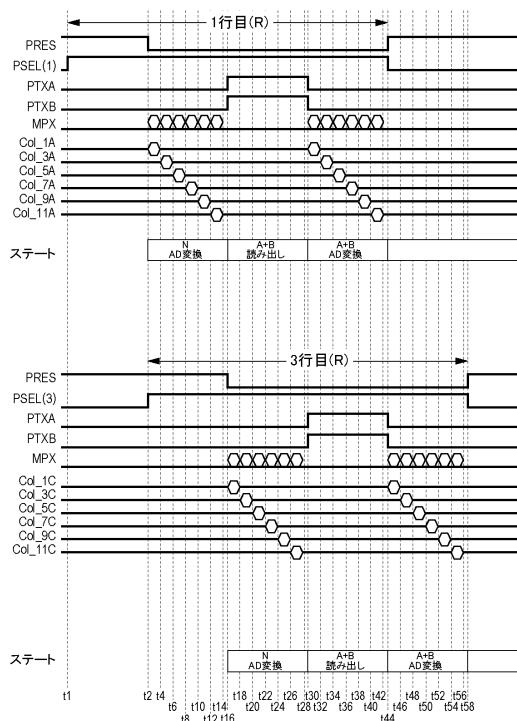
【図 6】



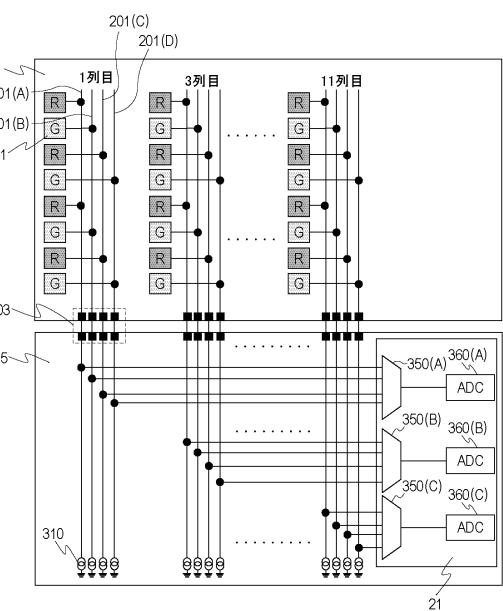
10

20

【図 7】



【図 8】

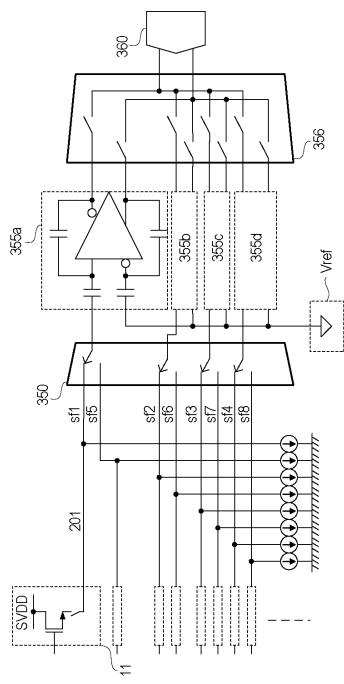


30

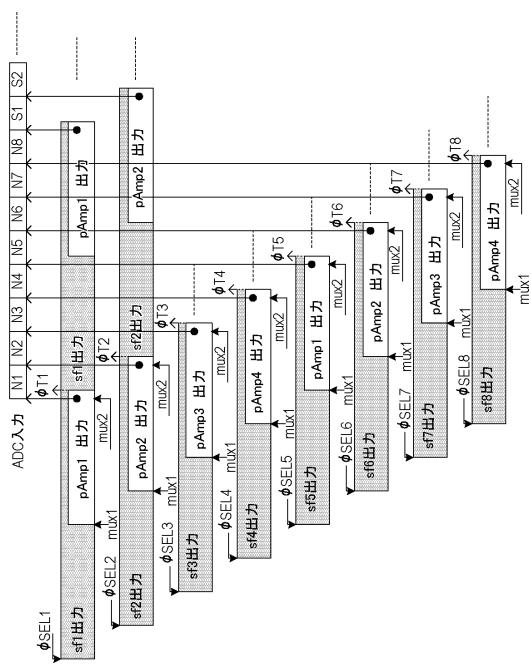
40

50

【図9】



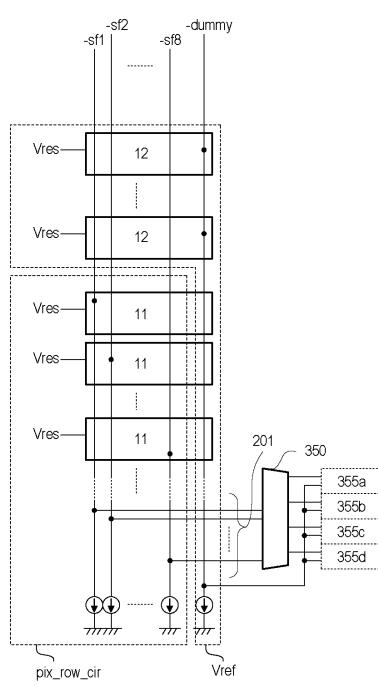
【図10】



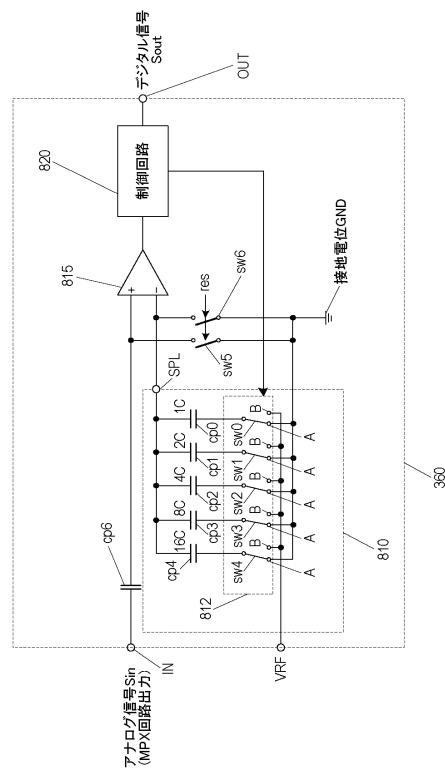
10

20

【図 1-1】



【図12】

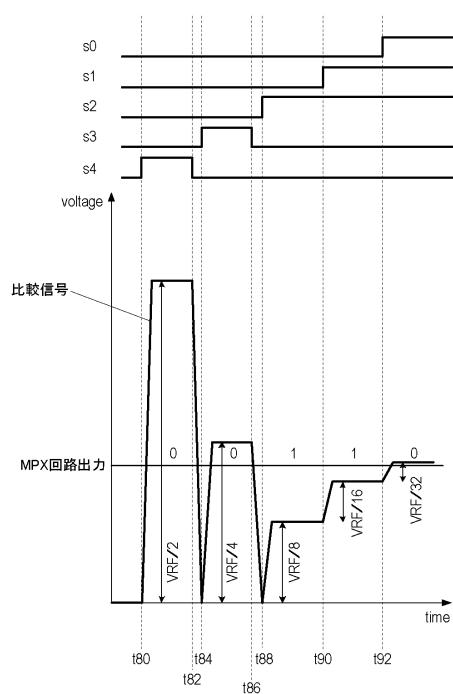


30

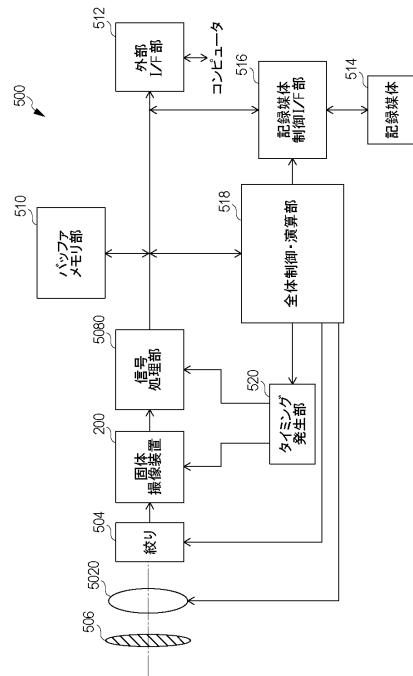
40

50

【図 1 3】



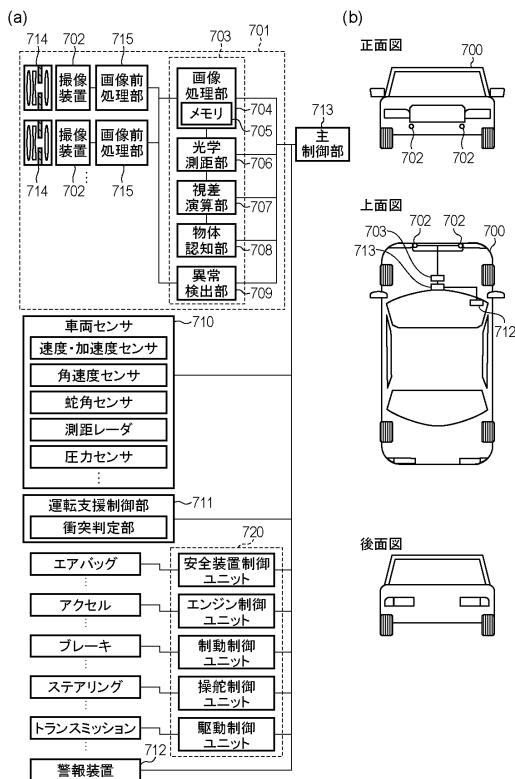
【図 1 4】



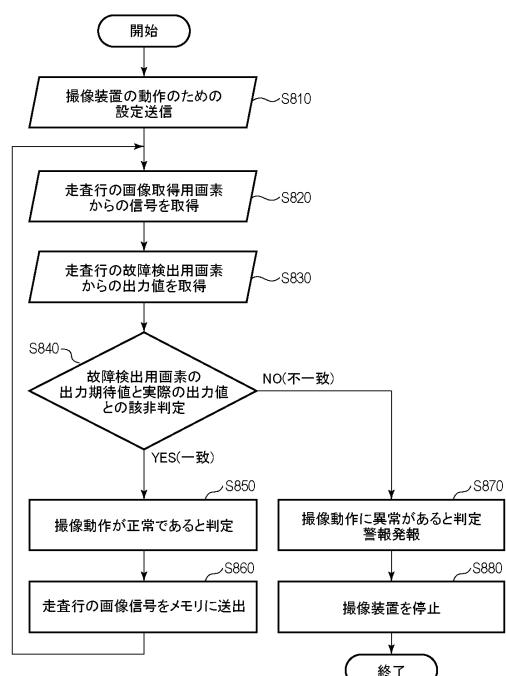
10

20

【図 1 5】



【図 1 6】



30

40

50

フロントページの続き

ヤノン株式会社内

審査官 松永 隆志

- (56)参考文献
- 特表2014-532361 (JP, A)
 - 特開2015-122730 (JP, A)
 - 特開2003-198956 (JP, A)
 - 特開2017-147663 (JP, A)
 - 特開2016-052132 (JP, A)

- (58)調査した分野 (Int.Cl., DB名)

- H04N 5/225 - 5/378
- H04N 9/00 - 9/11