

申請日期：90-1-10

案號：90100497

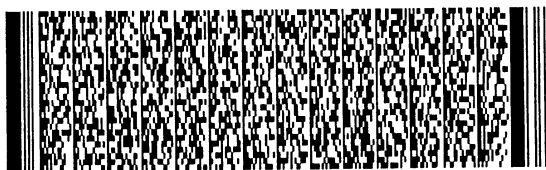
類別：H03K 17/00

(以上各欄由本局填註)

發明專利說明書

497332

一、 發明名稱	中文	高電壓開關電路及具有該電路之半導體記憶裝置
	英文	High Voltage Switch Circuit and Semiconductor Memory Device Provided with the Same
二、 發明人	姓名 (中文)	1. 河井伸治
	姓名 (英文)	1. Shinji KAWAI
	國籍	1. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式會社內
三、 申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. 三菱電機株式會社
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓名 (中文)	1. 谷口一郎
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

日本 JP

申請日期

2000/05/12 2000-140357

案號

主張優先權

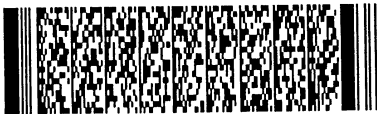
有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

[發明之背景]

發明之領域

本發明有關於高電壓開關電路及具有該電路之半導體記憶裝置，特別是有關於可以進行電壓緩和，和保證具有正常之開關動作之構造。

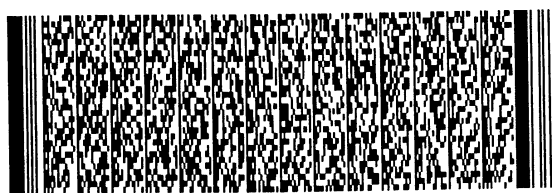
背景技術之說明

習知之高電壓開關電路是用來變換被輸入之信號之振幅位準之電路。該高電壓開關電路用來將被變換成為電源電壓位準VCC或接地電壓位準GND之狀態之輸入信號(振幅位準VCC-GND)，變換成為在正的高電壓位準VPP和接地電壓位準GND之狀態之間變換之信號(振幅位準VPP-GND)，或變換成為在負的高電壓位準VN和電源電壓位準VCC之狀態之間變換之信號(振幅位準VN-VCC)($|VN| > VCC$)。

高電壓開關電路由開關用之電晶體(開關電晶體)和電壓緩和用電晶體構成。在開關動作時，在開關電晶體之源極-汲極之間施加高電壓，但是在這時由於產生熱載子會造成電晶體之電流值或臨限值之劣化，所以不能確保電路之正常動作。因此，配置電壓緩和用電晶體，用來進行電晶體之電壓緩和。

此種高電壓開關電路例如可以用來控制對半導體記憶裝置之記憶單元之資料之寫入，資料之讀出，和資料之抹除等。

但是，依照習知之高電壓開關電路時，電壓緩和用電晶體之閘極電壓被固定在一定之電壓(以高電壓VPP變換時成



五、發明說明 (2)

為電源電壓VCC，以高電壓VN變換時成為接地電壓GND)。

因此，依照習知之構造，當進行開關之高電壓在電源電壓VCC或接地電壓GND近傍時，會有電路不能進行動作之問題。另外，在半導體記憶裝置中，需要使用能夠保證正確之開關動作和最佳之電壓緩和之高電壓開關電路，用來控制記憶之動作。

[發明之概要]

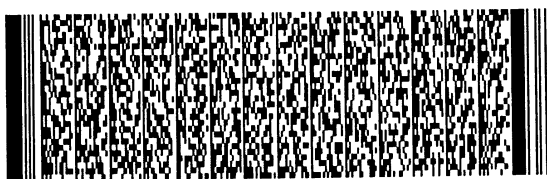
本發明提供可以保證正確之開關動作和最佳之電壓緩和之高電壓開關電路及具有該電路之半導體記憶裝置。

本發明之一態樣是一種高電壓開關電路，具備有：第1電源節點，可以供給絕對值大於電源電壓之高電壓；第2電源節點，被供給有低於電源電壓之電壓；開關電路，包含有：第1電晶體，依照輸入信號和供給自第1電源節點之電壓，用來變換輸入信號之電壓位準；和第2電晶體，依照輸入信號和供給自第2電源節點之電壓，用來變換輸入信號之電壓位準；經由變換在電源電壓位準和接地電壓位準之狀態之間變換之輸入信號之振幅位準，藉以進行輸出；和第3電晶體，連接在第1電晶體和第2電晶體之間，其閘極電壓被控制。

最好使第3電晶體之動作用來緩和第1電晶體或第2電晶體之汲極-源極間之電壓。

更好是利用用以使第1電源節點成為高電壓之控制信號，用來變換第3電晶體之閘極電壓。

最好是使第1電源節點之電壓在經過第1期間後，從電源



五、發明說明 (3)

電壓達到高電壓；和利用在第1電源節點之電壓開始變化後經過比第1期間短之第2期間被活性化之信號，用來變換第3電晶體之閘極電壓。

最好是第1電源節點之電壓達到指定位準時被活性化之信號，用來變換第3電晶體之閘極電壓。

最好是利用對電源電壓之相關性較小之規定電壓位準之控制信號，用來控制第3電晶體之閘極電壓。另外，規定電壓可以任意的變更。

最好是利用與高電壓無關之促成一定電流流動之偏移電壓，用來控制第3電晶體之閘極。

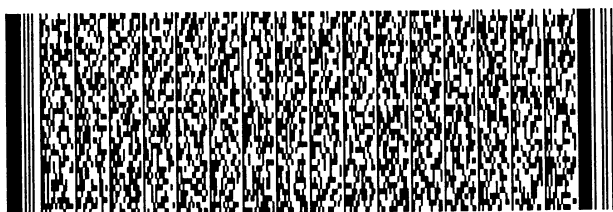
因此，依照上述之高電壓開關電路時，可以控制電壓緩和用之電晶體之閘極電壓。所以當電源節點之電壓達到所希望之高電壓時，可以緩和電晶體之電壓，和即使電源節點之電壓變低時亦可以正常的進行動作。

特別是可以利用使電源節點之電壓位準成為高電壓之控制信號，用來控制電壓緩和用之電晶體之閘極電壓。

特別是可以利用當電源節點之電壓位準上升或下降時被活性化之信號，用來控制電壓緩和用之電晶體之閘極電壓。

特別是可以利用當電源節點之電壓達到所希望之位準時被活性化之信號，用來控制電壓緩和用之電晶體之閘極電壓。

特別是可以利用對電源電壓無關或相關性小之信號，用來控制電壓緩和用之電晶體之閘極電壓。



五、發明說明 (4)

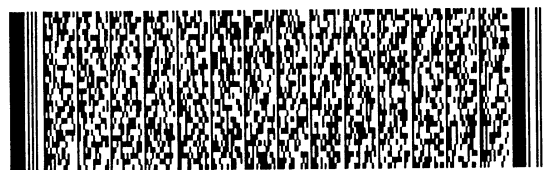
利用此種方式，電路之動作不會停止，可以實現最佳之電壓緩和。

本發明之另一態樣是一種半導體記憶裝置，具備有：記憶單元陣列，包含有多個記憶單元；控制電路，用來控制記憶單元陣列之動作；動作信號產生電路，根據控制電路之控制，用來產生動作信號藉以使記憶單元陣列進行動作；高電壓產生電路，在待用狀態時輸出電源電壓，在記憶單元陣列之動作時進行活性化，用來產生絕對值大於電源電壓之高電壓；和高電壓開關電路，用來變換和輸出動作信號之振幅位準；高電壓開關電路包含有：第1電源節點，用來接受高電壓產生電路所輸出之電壓；第2電源節點，用來供給低於電源電壓之電壓；開關電路，具有：第1電晶體，依照動作信號和供給自第1電源節點之電壓，用來變換動作信號之電壓位準；和第2電晶體，依照動作信號和供給自第2電源節點之電壓，用來變換動作信號之電壓位準；經由變換動作信號之電壓位準藉以進行輸出；和第3電晶體，連接在第1電晶體和第2電晶體之間，其閘極電壓被控制。

最好是使第3電晶體之動作用來緩和第1電晶體或第2電晶體之汲極-源極間之電壓。

更好是控制電路包含有控制信號產生電路，用來產生控制信號藉以使高電壓產生電路活性化；利用控制信號用來變換第3電晶體之閘極電壓。

更好是控制電路包含有：控制信號產生電路，用來產生



五、發明說明 (5)

控制信號藉以使高電壓產生電路活性化；和延遲電路，用來使控制信號延遲一定之時間；利用該延遲電路之輸出用來變換第3電晶體之閘極電壓。

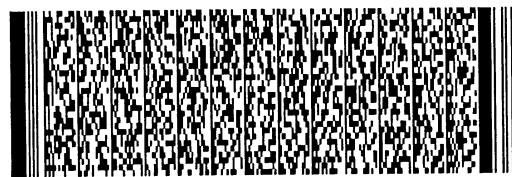
更好是控制電路包含有：控制信號產生電路，用來產生控制信號藉以使高電壓產生電路活性化；和檢測信號產生電路，當高電壓產生電路之輸出達到指定之位準時進行活性化，用來產生檢測信號；利用檢測信號用來變換第3電晶體之閘極電壓。

最好是使動作信號成為電源電壓和接地電壓之2個狀態；控制電路包含有信號產生電路，用來產生對電源電壓之相關性小之規定電壓位準之控制信號；利用控制信號用來變換第3電晶體之閘極電壓。另外，利用信號產生電路可以任意的變更上述之規定電壓。

更好是使動作信號成為電源電壓和接地電壓之2個狀態；控制電路包含有偏移電壓產生電路，用來產生供給到第3電晶體之閘極電壓之偏移電壓，藉以在第3電晶體具有與高電壓無關之一定電流流動。

因此，依照上述之半導體記憶裝置時，在對進行記憶動作之動作信號之電壓位準進行開關之高電壓開關電路中，可以控制電壓緩和用之電晶體之閘極電壓。所以可以依照記憶動作實現電壓緩和，與有無記憶動作無關的，可以正常的進行動作。

特別是可以利用使產生高電壓之電路活性化之控制信號，用來控制電壓緩和用之電晶體之閘極電壓。



五、發明說明 (6)

特別是可以利用用以使控制信號(用來使產生高電壓之電路活性化)延遲之信號，用來控制電壓緩和用之電晶體之閘極電壓。

特別是可以利用活性化信號用來控制電壓緩和用之電晶體之閘極電壓，在記憶單元陣列之動作時，當從產生高電壓之電路輸出之電壓成為指定之位準時該活性化信號進行活性化。

特別是可以利用對電源電壓無關或相關性小之電壓位準之信號，用來控制電壓緩和用之電晶體之閘極電壓。

利用此等方式，依照本發明之半導體記憶裝置時，因為可以保證高電壓開關電路之正常之動作和電壓緩和，所以可以保證正確之動作。

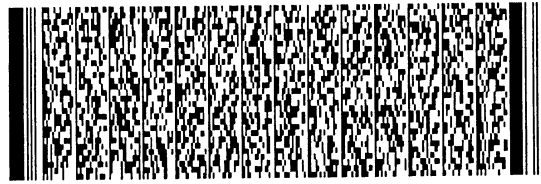
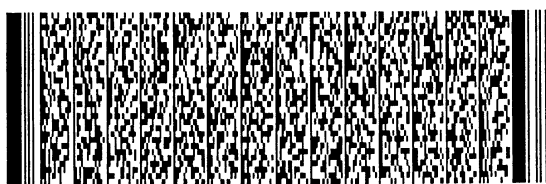
經由下面聯合附圖之對本發明之詳細說明，當可更加明白本發明之上述和其他目的、特徵、觀點和優點。

[較佳實施例之說明]

下面將使用附圖用來詳細的說明本發明之實施形態。在圖中之相同部份或相當部份附加相同之元件編號，而其重複之說明則加以省略。

[第1實施形態]

下面說明第1實施形態之高電壓開關電路及具有該電路之半導體記憶裝置。第1實施形態之高電壓開關電路2是用來將輸入信號VIN(振幅VCC-GND)變換成為信號VOUT(振幅VPP-GND)之電路，如圖1所示，由電晶體Q1~Q6和反相器IVO構成。電晶體Q1~Q4為PMOS電晶體，電晶體Q5，Q6為



五、發明說明 (7)

NMOS 電晶體。

高電壓開關電路2接受來自信號輸入節點IN之輸入信號VIN，和接受來自控制信號輸入節點A用以控制電壓緩和用電晶體之閘極電壓之閘控制信號A，藉以從輸出節點OUT輸出信號VOUT。

電晶體Q5連接在節點N3和用以接受接地電壓GND之節點GND之間，以其閘極接受輸入信號VIN。反相器IV0用來使輸入信號VIN反相和輸出。電晶體Q6連接在節點OUT和節點GND之間，以其閘極接受反相器IV0之輸出。

電晶體Q3連接在節點N1和節點N3之間，電晶體Q4連接在節點N2和節點OUT之間。

電晶體Q1連接在用以接受高電壓之節點VPP和節點N1之間，其閘極與節點OUT連接。電晶體Q2連接在節點VPP和節點N2之間，其閘極與節點N3連接。

電晶體Q3、Q4為電壓緩和用電晶體，用來構成電壓緩和電路10藉以緩和構成電路之電晶體之閘極電壓。與習知者不同的，構建成為電壓緩和用電晶體Q3、Q4之閘極不是被施加一定之電壓，而是接受從外部輸入之閘控制信號A。

在將高電壓開關電路2內藏在半導體記憶裝置之情況時，利用用以控制記憶單元之寫入/抹除之寫入/抹除控制電路1用來調整閘控制信號A之電位。

對於包含有高電壓開關電路2之半導體記憶裝置1000，使用圖2進行說明。半導體記憶裝置1000如圖2所示，具備有：寫入/抹除控制電路1；位址緩衝器100，用來接受來自



五、發明說明 (8)

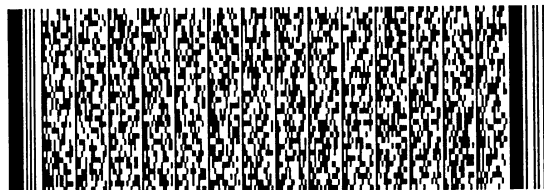
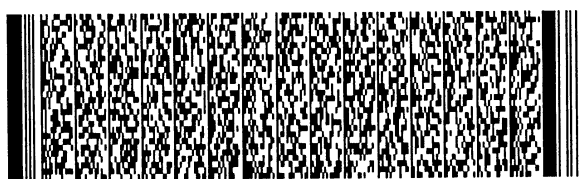
外部之位址AD；資料輸入/輸出緩衝器101，用來進行資料之輸入/輸出；記憶單元陣列MR，包含有被配置成行列狀之多個記憶單元；X解碼器102和Y解碼器103，用來從記憶單元陣列MR中選擇任意之記憶單元；井/源極解碼器104，用來驅動對記憶單元進行資料之寫入/抹除/讀出用之井電壓和源極電壓；感測放大器，用來讀出記憶單元之資料，和寫入電路，用來進行資料之寫入。在該圖中，感測放大器和寫入電路以1個之塊105表示。

寫入/抹除控制電路1利用接受自晶片外部之控制信號CNT(晶片賦能信號，寫入賦能信號等)之輸入，和被稱為命令之專用之資料輸入，用來控制內部電路之動作。另外，寫入/抹除/讀出之每一個晶片動作由專用之命令CM決定。

半導體記憶裝置1000更具備有：高電壓產生電路106，用來使電源電壓VCC升壓藉以產生正的高電壓VPP；負高電壓產生電路107，用來使接地電壓GND降壓藉以產生負的高電壓VN；基準電壓產生電路108，用來產生電壓位準控制用之基準電壓VREF；和高電壓開關電路120，依照來自寫入/抹除控制電路1之信號，用來變換和輸出接受自位址緩衝器100之信號(輸入信號VIN)之振幅位準。

當進行對記憶單元之資料之寫入/資料之抹除/資料之讀出時，使用高電壓產生電路106之輸出之高電壓VPP，負高電壓產生電路107之輸出之負的高電壓VN。

高電壓開關電路120用來進行當寫入/抹除/讀出動作時



五、發明說明 (9)

被施加高電壓之電路(X解碼器102，Y解碼器103，井/源極資料解碼器104)之控制，將輸入信號VIN之振幅位準從VCC-GND間變換成為VPP-GND或VCC-VN間，然後進行輸出。上述之高電壓開關電路2被包含在高電壓開關電路120。

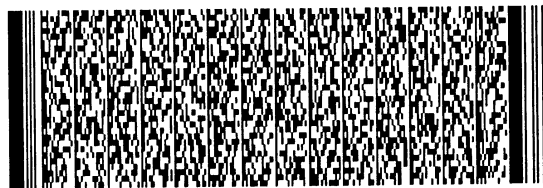
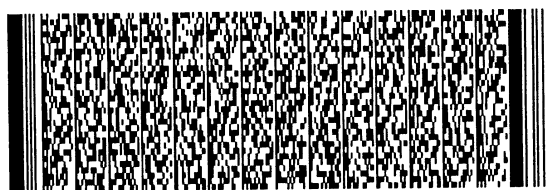
當被輸入有用以指定特定之動作之命令CM時，寫入/抹除控制電路1就輸出特定之控制信號。利用寫入/抹除控制電路1之控制，用來使高電壓產生電路106，負高電壓產生電路107和基準電壓產生電路108活性化/非活性化。

當高電壓產生電路106活性化時，從高電壓產生電路106輸出之電壓，自電源電壓位準VCC上升成為一定之高電壓位準VPP。當負高壓產生電路107被活性化時，從負高電壓產生電路107輸出之電壓，自接電壓位準GND下降成為一定之負的高電壓位準VN。

另外，利用寫入/抹除控制電路1之高電壓產生電路106之控制和負高電壓產生電路107之控制可以分別獨立的進行。因此，高電壓產生電路106和負高電壓產生電路107之活性/非活性時序互相獨立。另外，高電壓開關電路2以節點VPP接受高電壓產生電路106之輸出。

下面將說明第1實施形態之高電壓開關電路2之控制方法。首先，為著比較用，說明電壓緩和用電晶體之控制方法與高電壓開關電路2不同之高電壓開關電路900。

圖30所示之高電壓開關電路900是將輸入信號VIN(振幅VCC-GND)變換成為信號VOUT(振幅VPP-GND)之電路，由電晶體Q91～Q96和反相器IV90構成。電晶體Q91～Q94為PMOS



五、發明說明 (10)

電晶體，電晶體Q95、Q96為NMOS電晶體。

電晶體Q95連接在節點N90和用以接受接地電壓GND之節點GND之間，以其閘極接受輸入信號VIN。反相器90用來使輸入信號VIN反相和輸出。電晶體Q96連接在該電路之輸出節點之節點OUT和節點GND之間，以其閘極接受反相器IV90之輸出。

電晶體Q93連接在電晶體Q91和節點N90之間，電晶體Q94連接在電晶體Q92和節點OUT之間。電晶體Q93、Q94之閘極接受電源電壓VCC。

電晶體Q91、Q92之各個之一方之導通端子，與用以接受正的高電壓VPP之節點VPP連接，電晶體Q91之閘極與節點OUT連接，電晶體Q92之閘極與節點N90連接。

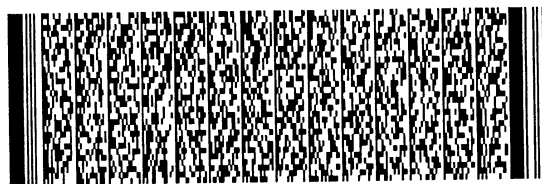
電晶體Q93、Q94(電壓緩和用電晶體)構成電壓緩和電路910。利用電壓緩和電路910用來緩和對高電壓進行開關時之構成電晶體之源極-汲極間之電壓。

利用高電壓開關電路900用來將輸入信號VIN(振幅位準VCC-GND)變換成為信號VOUT(振幅位準VPP-GND)。

但是，電壓緩和用電晶體之閘極電壓被固定在一定之電壓(電源電壓VCC)。因此，進行開關之高壓在電源電壓VCC或接地電壓GND近傍時，不能保證電路動作。

與此相對的，在第1實施形態中，用以控制電壓緩和用電晶體之閘極之閘控制信號A，依照施加在高電壓開關電路2之節點VPP之電壓位準的變化。

參照圖3，高電壓開關電路2在時刻 $t_0 \sim t_1$ ，時刻 $t_3 \sim$



五、發明說明 (11)

t_4 ，接受電源電壓VCC位準之輸入信號VIN。另外，在初期狀態，節點VPP被施加電源電壓VCC。

在節點VPP被施加電源電壓VCC之時刻($\sim t_2$)，開控制信號A為接地電壓位準GND。因此，在時刻 $t_0 \sim t_1$ 接受之輸入信號VIN被變換成為電源電壓位準VCC之信號VOUT和被輸出。

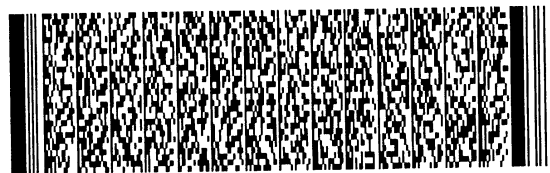
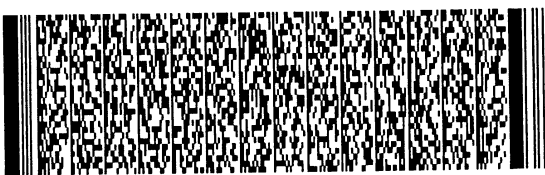
在對節點VPP開始施加高電壓之時刻(時刻 t_2)，使開控制信號A從接地電壓位準GND變換成為電源電壓位準VCC。

利用此種方式實行電壓緩和，和將在時刻 $t_3 \sim t_4$ 接受到之輸入信號VIN變換成為高電壓位準VPP之信號VOUT的進行輸出。

然後，當施加在節點VPP之電壓之電壓位準進行下降(結束高電壓之施加)之時刻(時刻 t_5)，使開控制信號A從電源電壓位準VCC變換成為接地電壓位準GND。

利用此種控制方法，當使高電壓進行開關時，高電壓開關電路2中之內部節點N1、N2之電壓位準，如圖4所示的進行變化。參照圖4，源極-汲極間之電壓，在電晶體Q1、Q2被緩和成為 $\{VPP - (VCC + |V_{thp}|)\}$ ，在電晶體Q3、Q4被緩和成為 $(VCC + |V_{thp}|)$ 。其中之 V_{thp} 表示電晶體Q3、Q4之臨限值。

然後，當結束對節點VPP施加高電壓，或不施加高電壓而是施加電源電壓VCC時，就使電壓緩和用電晶體之閘極從電源電壓位準VCC變成接地電壓位準GND，或固定在接地電壓位準GND。利用此種方式，高電壓開關電路2即使在施



五、發明說明 (12)

加到節點VPP之電壓變低時亦可以正常的動作。

下面將說明該控制方法應用在半導體記憶裝置1000之情況。當不需要高電壓時，寫入/抹除控制電路1輸出接地電壓位準GND之閘控制信號A。在此時刻，高電壓產生電路106為非活性狀態。

當將用以指定特定之動作之命令CM輸入到寫入/抹除控制電路1時，就從寫入/抹除控制電路1輸出電源電壓位準VCC之閘控制信號A，用來使高電壓產生電路106活性化。

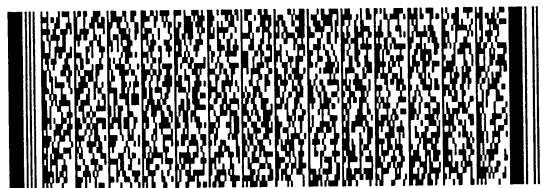
然後，當結束高電壓之施加時，使閘控制信號A變換成為接地電壓位準GND，用來使高電壓產生電路106非活性化。施加在節點VPP之電位之位準下降成為電源電壓位準VCC。利用此種控制方法可以保證半導體記憶裝置1000之正確之寫入/抹除/讀出動作。

另外，閘控制信號A亦可以使用用以控制高電壓產生電路106之活性/非活性之信號。

另外，適於使用本發明之高電壓開關電路之構造並不只限於圖1所示者。圖5表示高電壓開關電路之另一構造例。圖5所示之高電壓開關電路2A具備有電晶體Q1、Q2、Q5、Q6，由電晶體Q3、Q4、Q7和Q8構成之電壓緩和電路10A，和反相器IV0。電晶體Q7、Q8為NMOS電晶體。

在高電壓開關電路2A，電晶體Q3、Q4、Q7、Q8之各個具有作為電壓緩和用電晶體之功能。

電晶體Q7連接在電晶體Q3和電晶體Q5之間，電晶體Q8連接在電晶體Q4和電晶體Q6之間。電晶體Q7、Q8之閘極接受



五、發明說明 (13)

電源電壓。

圖6表示高電壓開關電路之更另一構造例。圖6所示之高電壓開關電路2B具備有電晶體Q1、Q2、Q5、Q6，由電晶體Q7和Q8構成之電壓緩和電路10B，和反相器IV0。在高電壓開關電路2B，電晶體Q7、Q8之各個具有作為電壓緩和用電晶體之功能。

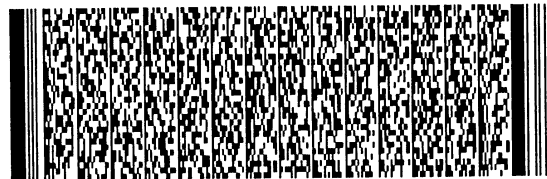
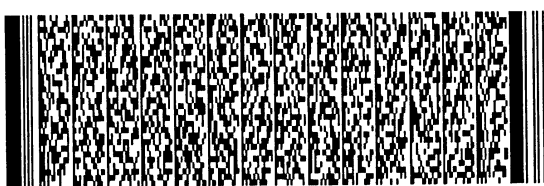
電晶體Q1連接在節點VPP和節點N1之間，以其閘極接受節點OUT之信號VOUT。電晶體Q2連接在節點VPP和節點OUT之間，以其閘極接受節點N1之信號。

電晶體Q7連接在節點N1和電晶體Q5之間，電晶體Q8連接在節點OUT和電晶體Q6之間。電晶體Q7、Q8之閘極接受閘控制信號A。

另外，在上述之說明中，所說明之電路構造將輸入信號VIN變換成為振幅位準VPP-GND之信號VOUT，但是對於將輸入信號VIN變換成為振幅位準VN-VCC之信號VOUT之電路，亦可以應用該控制方法(VN:負的高電壓)。在此種情況，如後面所述，依照接受負的高電壓VN之節點VN之電壓位準，變化施加在電壓緩和用電晶體之閘極之閘控制信號。利用此種方式，即使節點VN之電壓位準在接地電位準GND之近傍時，亦可以保證正常之動作。

[第2實施形態]

下面說明第2實施形態之高電壓開關電路。第2實施形態之高電壓開關電路2，如圖7所示，以電晶體Q3、Q4之閘極接受AND電路90所輸出之閘控制信號A。



五、發明說明 (14)

AND 電路90 以其輸入接受寫入/抹除控制電路1 所輸出之控制信號B 和計時器電路4 之輸出。計時器電路4 在接受到來自寫入/抹除控制電路1 之H 位準之控制信號B 起之指定期間後，輸出H 位準之信號。

下面說明計時器電路4。該計時器電路4 包含有電晶體Q20～Q22，電容元件C1 和反相器IV1。電晶體Q20 為PMOS 電晶體，電晶體Q21、Q22 為NMOS 電晶體。

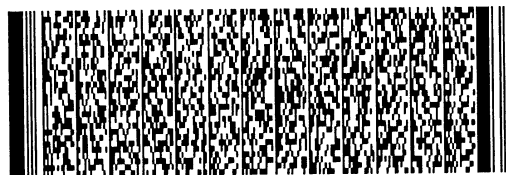
電晶體Q20 連接在用以接受電源電壓之節點和節點N5 之間，電晶體Q21 和Q22 串聯連接在節點N5 和用以接受接地電壓GND 之節點GND 之間。電晶體Q20 和Q22 之各個之閘極接受控制信號B，電晶體Q21 之閘極接受基準電壓產生電路3 所輸出之基準電壓VREF。

電容元件C1 連接在節點N5 和節點GND 之間，反相器IV1 用來使節點N5 之信號反相和輸出。

AND 電路90 以其輸入接受反相器IV1 之輸出和控制信號B，藉以輸出閘控制信號A。

基準電壓產生電路3，如圖8 所示，包含有電晶體Q61～Q65 和電阻元件R1 和R2。電晶體Q61、Q62、Q65 為PMOS 電晶體，電晶體Q63、Q64 為NMOS 電晶體。

電阻元件R1 連接在用以接受電源電壓VCC 之節點VCC 和節點N60 之間。電晶體Q61 和Q63 串聯連接在節點VCC 和用以接受接地電壓GND 之節點GND 之間。電晶體Q62 和Q64 串聯連接在節點N60 和節點GND 之間。電晶體Q63 和Q64 構成電流鏡電路。



五、發明說明 (15)

電晶體Q65和電阻元件R2串聯連接在節點VCC和節點GND之間，從電晶體Q65和電阻元件R2之連接節點輸出基準電壓VREF。

下面將說明基準電壓VREF。利用電晶體Q63和Q64(電流鏡電路)使電晶體61具有與電阻元件R1相同之電流流動。當電晶體Q61之電導和臨限值分別為 $\beta 1$ ， V_{thQ1} 時，在電阻元件R1流動之電流IR1可以滿足式(1)。電阻元件R1之電阻值為R1，電阻元件R2之電阻值為R2。

$$IR1 = V_{thQ1} + \sqrt{(2I / \beta 1)} \dots\dots\dots (1)$$

$$I = V_{thQ1} / R1 \dots\dots\dots (2)$$

另外，在式(1)中，因為 $\sqrt{(2I / \beta 1)}$ 之值非常小所以式(3)可以成立。

$$IR1 = V_{thQ1} \dots\dots\dots (3)$$

因此，變成輸出可以滿足式(4)之基準電壓VREF。

$$VREF = V_{thQ1} \times (R2 / R1) \dots\dots\dots (4)$$

下面將說明第2實施形態之高電壓開關電2之控制方法。依照施加在高電壓開關電路2之節點VPP之電壓之位準，變化控制信號B。然後，依照控制信號B和計時器電路4之輸出產生閘控制信號A。

計時器電路4之輸出，從控制信號B之上升時序起，於延遲指定期間(延遲時間 $\Delta t1$)之後，變成為電源電壓位準VCC。延遲時間 $\Delta t1$ 依照電容元件C1所儲存之電荷量和放電該電荷之電流進行調整。

依照式(5)，當施加在節點VPP之電壓變成為電壓緩和所



五、發明說明 (16)

需要之電壓位準時，使閘控制信號A從接地電壓位準GND變換成為電源電壓VCC位準。另外，在式(5)中， t_r 表示高電壓之上升時間，VPP表示節點VPP之電壓。

$$V(t) = (VPP - VCC) / t_r \times t + VCC \quad \dots\dots\dots (5)$$

參照圖9，在對節點VPP施加電源電壓VCC之時刻($\sim t_2$)，控制信號B為接地電壓位準GND。因此，在時刻 $t_0 \sim t_1$ 接受到之輸入信號VIN被變換成為電源電位準VCC之信號VOUT和被輸出。

在對節點VPP開始施加高電壓之時刻(時刻 t_2)，使控制信號B從接地電壓位準GND變換成為電源電壓位準VCC。

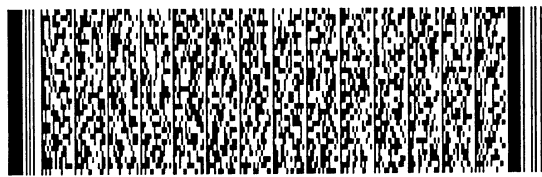
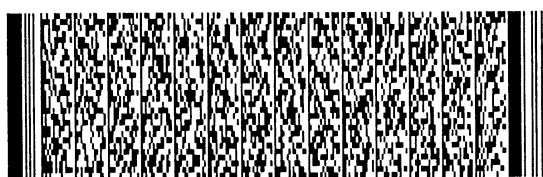
從對節點VPP開始施加高電壓起，於經過指定期間($t_2 + \Delta t_1$)後，閘控制信號A變成為電源電壓位準VCC。在該時刻，施加在節點VPP之電壓達到指定電壓V0(電壓緩和所需要之電壓)。

利用此種方式實行電壓緩和，和使時刻 $t_3 \sim t_4$ 所接受之輸入信號VIN被變換成為高電壓位準VPP之信號VOUT和被輸出。

然後，在施加到節點VPP之電壓之電壓位準進行下降(結束高電壓之施加)之時刻(時刻 t_5)，使控制信號B從電源電壓位準VCC變換成為接地電壓位準GND。

利用此種控制方法，當高電壓進行開關時，可以緩和和高電壓開關電路2之內部節點N1，N2之電壓位準。

另外，在結束對節點VPP施加高電壓時，或是不施加高電壓而是施加電源電壓VCC時，電壓緩和用電晶體Q3, Q4之



五、發明說明 (17)

開極電極從電源電壓VCC變成接地電壓GND，或固定在接地電壓GND。利用此種方式，高電壓開關電路2即使在施加到節點VPP之電壓之位準較低之情況時，亦可以進行正常之開關。

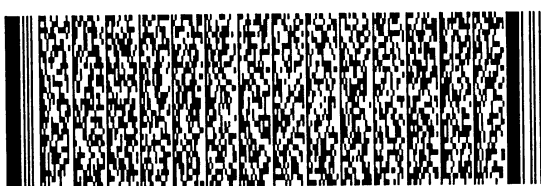
下面將說明該控制方法應用在半導體記憶裝置1000之情況。基準電壓產生電路3被包含在基準電壓產生電路108。當不需要高電壓時，寫入/抹除控制電路1對AND電路90輸出接地電壓位準GND之控制信號B。在該時刻，高電壓產生電路106變成為非活性狀態。

然後，當將用以指定特定之動作之命令CM輸入到寫入/抹除控制電路1時，就從寫入/抹除控制電路1輸出電源電壓位準VCC之控制信號B，用來使高電壓產生電路106進行活性化。

然後，當高電壓產生電路106之輸出電壓超過指定之電壓位準V0時，輸入到電壓緩和用電晶體之開極之開控制信號A就變成為電源電壓位準。

當結束高電壓之施加時，控制信號B變換成為接地電壓位準GND，用來使高電壓產生電路106非活性化。施加在節點VPP之電壓之位準進行下降，變成為電源電壓位準VCC。利用此種控制方法，半導體記憶裝置1000可以實現正確之寫入/抹除/讀出動作。另外，控制信號亦可以使用用以控制高電壓產生電路106之活性/非活性之信號。

另外，第2實施形態之方法，不只是高電壓開關電路2，亦可以應用在上述之高電壓開關電路2A, 2B等。另外，亦



五、發明說明 (18)

可應用在將輸入符號VIN變換成為振幅位準VN-VCC之信號VOUT之高電壓開關電路。

[第3實施形態]

下面將使用圖10和圖11用來說明第3實施形態之高電壓開關電路。在第3實施形態中，AND電路90依照寫入/抹除控制電路1所輸出之控制信號B和VPP檢測電路5所輸出之位準檢測信號C，用來輸出開控制信號A。高電壓開關電路2所包含之電壓緩和用電晶體Q3,Q4以其閘極接受由控制信號B和位準檢測信號C產生之閘極信號A。

下面將說明VPP檢測電路5。VPP檢測電路5如圖11所示，包含有電阻元件R1,R2和電壓比較電路12。電阻元件R1,R2串聯連接在用以接高電壓之節點VPP和用以接受接地電壓之節點GND之間。電阻元件R1和R2之連接節點，形成與電壓比較電路12之正的輸入端子連接。在電壓比較電路12之負的輸入端，接受基準電壓產生電路3所輸出之基準電壓VREF。

利用電阻元件R1,R2對節點VPP所接受到之電壓進行分壓。其結果是獲得式(6)所示之電壓VPPn。電阻元件R1,R2之電阻值為R1,R2。

$$VPPn = VPP \times \{R2 / (R1 + R2)\} \dots\dots\dots (6)$$

電壓比較電路12用來使分壓電壓VPPn和基準電壓VREF進行比較，藉以輸出成為比較結果之位準檢測信號C。以能滿足式(7)之方式決定電阻值R1,R2。

$$VREF = VPP \times \{R2 / (R1 + R2)\} \dots\dots\dots (7)$$



五、發明說明 (19)

假如分壓電壓 $VPP_n > VREF$ 時，就從VPP產生電路5輸出H位準之位準檢測信號C，在其以外之情況時，就輸出L位準之位準檢測信號C。

在將上述之構造應用在半導體記憶裝置1000之情況，高電壓產生電路106之輸出分別供給到VPP檢測電路5之節點VPP和高電壓開關電路2之節點VPP。

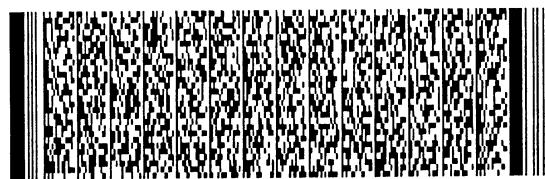
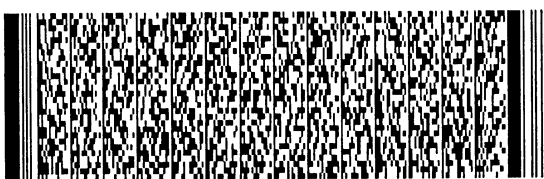
下面將說明第3實施形態之高電壓開關電路2之控制方法，依照施加在高電壓開關電路2之節點VPP之電壓之位準，變化控制信號B。然後，依照控制信號B和VPP檢測電路5所輸出之位準檢測信號C，用來產生閘控制信號A。當施加在節點VPP之電壓超過指定之位準時，位準檢測信號C就變成為H位準。

參照圖12，在對節點VPP施加電源電壓VCC之時刻($\sim t_2$)，控制信號B之電壓位準為接地電壓位準GND。因此，在時刻 $t_0 \sim t_1$ 接受到之輸入信號VIN被變換成為電源電壓位準VCC之信號VOUT和被輸出。

在開始對節點VPP施加高電壓之時刻(時刻 t_x)，使控制信號B從接地電壓位準GND變換成為電源電壓位準VCC。閘控制信號A從接地電壓位準GND變換成為電源電壓位準VCC($t_2 < t_x < t_3$)。

利用此種方式實行電壓緩和，和在時刻 $t_3 \sim t_4$ 所接受到之輸入信號VIN被變換成為高電壓位準VPP之信號VOUT和被輸出。

另外，在對節點VPP施加之電壓之位準進行下降(結束高



五、發明說明 (20)

電壓之施加)之時刻(時刻 t_5)，使控制信號B從電源電壓位準VCC變換成為接地電壓位準GND。開控制信號A從電源電壓位準VCC變換成為接地電壓位準GND。當施加在節點VPP之電壓下降成為低於檢測位準 V_0 時(時刻 t_y)，位準檢測信號C從電源電壓位準VCC變換成為接地電壓位準GND。

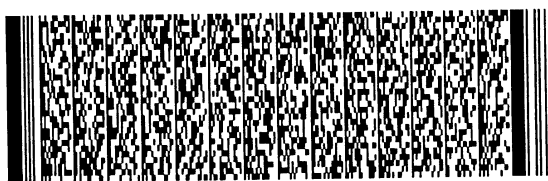
利用此種控制方法，當使高電壓進行開關時，可以緩和和高電壓開關電路2之內部節點N1, N2之電壓位準。然後，在結束對節點VPP施加高電壓，或不施加高電壓而是施加電源電壓VCC時，使電壓緩和用電晶體之閘極從電源電壓VCC變換成為接地電壓GND，或固定在接地電壓GND。利用此種方式，即使施加在節點VPP之電壓變低時，高電壓開關電路2亦可以正常的進行動作。

下面將說明該控制方法應用在半導體記憶裝置1000之情況。在不需要高電壓時，寫入/抹除控制電路1對AND電路90輸出接地電壓位準GND之控制信號B。在此時刻，高電壓產生電路106為非活性狀態。

當對寫入/抹除控制電路1輸入用以指定特定之動作之命令CM時，就從寫入/抹除控制電路1輸出電源電壓位準VCC之控制信號B，用來使高電壓產生電路106活性化。

當高電壓產生電路106之輸出電壓超過檢測位準 V_0 時，輸入到電壓緩和用電晶體之閘極之閘控制信號A就變成為電源電壓位準VCC。

然後，當結束高電壓之施加時，將控制信號B變換成為接地電壓位準GND，用來使高電壓產生電路106非活性化。



五、發明說明 (21)

施加在節點VPP之電壓之位準下降成為電源電壓位準VCC。

利用此種控制，半導體記憶裝置1000可以保證具有正確之寫入/抹除/讀出動作。另外，控制信號B亦可以使用用以控制高電壓產生電路106之活性/非活性之信號。

另外，亦可以將檢測位準V0設定成為電壓上升時和電壓下降時不同。在變更上升時和下降時之檢測位準之情況，使VPP檢測電路5之電阻元件R1, R2成為可變電阻，依照上升時和下降時從寫入/抹除控制電路1輸出之信號，變化電阻值。

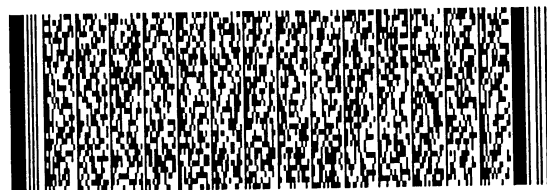
另外，第3實施形態之方法，不只是高電壓開關電路2，亦可以應用在上述之高電壓開關電路2A, 2B等。另外，亦可以應用在將輸入信號VIN變換成為振幅位準VN-VCC之信號VOUT之高電壓開關電路。

[第4實施形態]

下面將使用圖13用來說明第4實施形態之高電壓開關電路。在第4實施形態中，AND電路90接受1/2VPP檢測電路6之輸出作為動作電源電壓。

下面說明該1/2VPP檢測電路6。1/2VPP檢測電路6包含有電晶體Q30～Q37。電晶體Q30～Q33為PMOS電晶體，電晶體Q34～Q37為NMOS電晶體。

電晶體Q30連接在用以供給高電壓之節點VPP和節點N10之間，電晶體Q34連接在節點N10和用以接受接地電壓GND之節點GND之間。電晶體30之閘極與節點N10連接。電晶體Q34, Q36之閘極接受基準電壓產生電路3所輸出之基準電壓



五、發明說明 (22)

VREF。

電晶體Q31連接在節點VPP和節點N11之間，其閘極與節點N10連接。電晶體Q35和Q32串聯連接在節點N11和節點N12之間，電晶體Q36連接在節點N12和節點GND之間。電晶體Q35之閘極與節點N11連接，電晶體Q32之閘極與節點N12連接。

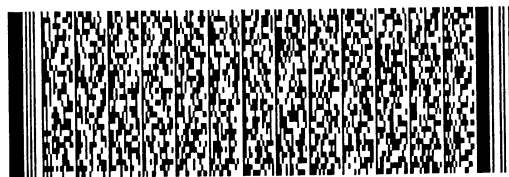
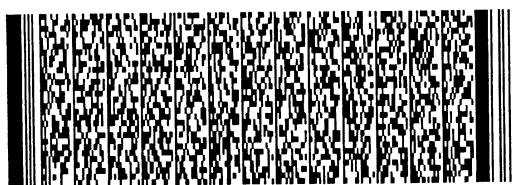
電晶體Q37連接在節點VPP和節點N13之間，電晶體Q33串聯連接在節點N13和節點GND之間。電晶體Q37之閘極與節點N11連接，電晶體Q33之閘極與節點N12連接。

電晶體Q33和Q37之連接節點之節點N13，成為高電壓VPP之 $1/2$ 之電壓位準($1/2VPP$)。

下面將說明第4實施形態之高電壓開關電路2之控制方法。依照控制信號B和位準檢測信號C產生用以控制電壓緩和使用電晶體之閘極之閘控制信號A。這時，將閘控制信號A變換成為與VCC之相關性較小之電壓 $1/2VPP$ 。在供給到節點VPP之電壓超過檢測位準V0之範圍內，使閘控制信號A成為 $1/2VPP$ 位準。

參照圖14，在對節點VPP施加電源電壓VCC之時刻($\sim t2$)，控制信號B和位準檢測信號C為接地電壓位準GND。閘控制信號A為接地電壓位準GND。因此，在時刻 $t0 \sim t1$ 接受到之輸入信號VIN被變換成為電源電壓位準VCC之信號VOUT和被輸出。

在開始對節點VPP施加高電壓之時刻(時刻 $t2$)，控制信號B從接地電壓位準GND變換成為電源電壓位準VCC。



五、發明說明 (23)

當檢測到施加在節點VPP之電壓超過檢測位準V0時(時刻t2)，位準檢測信號C就從接地電壓位準GND變換成為電源電壓位準VCC。閘控制信號A成為 $1/2VPP$ 位準。

利用此種方式實行電壓緩和，和將時刻t3~t4所接受到之輸入信號VIN變換成為高電壓位準VPP之信號VOUT和進行輸出。

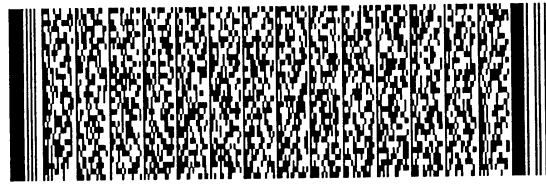
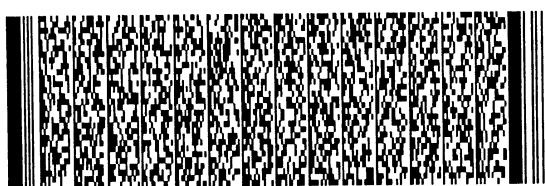
另外，在施加到節點VPP之電壓位準進行下降(結束高電壓之施加)之時刻(時刻t5)，控制信號B從電源電壓位準VCC變換成為接地電壓位準GND。閘控制信號A變換成為接地電壓位準GND。

然後，當施加在節點VPP之電壓下降成為低於檢測位準V0時(時刻ty)，位準檢測信號C從電源電壓位準VCC變換成為接地電壓位準GND。

利用此種控制方法，當高電壓進行開關時，高電壓開關電路2中之內部節點N1, N2之電壓位準就如圖15所示的變化。參照圖15，構成本電路之PMOS電晶體之源極-汲極間之電壓被緩和成為 $(1/2VPP + |V_{thp}|)$ 。

然後，當結束對節點VPP施加高電壓時，或不施加高電壓而是施加電源電壓VCC時，電壓緩和用電晶體之閘極就從 $1/2VPP$ 位準變換成為接地電壓位準GND，或固定在接地電壓位準GND。利用此種方式，即使施加在節點VPP之電壓變低時，該高電壓開關電路2亦可以正常的進行動作。

下面將說明該控制方法應用在半導體記憶裝置1000之情況。當不需要高電壓時，寫入/抹除控制電路1輸出接地電



五、發明說明 (24)

壓位準GND之控制信號B。在此時刻該高電壓產生電路106成為非活性狀態。

當用以指定特定之動作之命令CM被輸入到寫入/抹除控制電路1時，從寫入/抹除控制電路1輸出電源電壓位準VCC之控制信號B，用來使高電壓產生電路106活性化。然後，當高電壓產生電路106之輸出電壓超過檢測位準V0時，輸入到電壓緩和用電晶體之閘極之閘控制信號A就變成為 $1/2V_{PP}$ 位準。

當結束高電壓之施加時，控制信號B變換成為接地電壓位準GND，用來使高電壓產生電路106非活性化。施加在節點VPP之電壓之位準下降為電源電壓位準VCC。

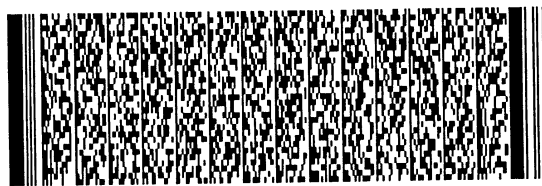
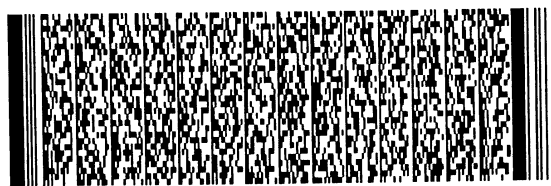
利用此種控制，半導體記憶裝置1000可以實現正確之寫入/抹除/讀出動作。另外，控制信號B亦可以使用用以控制高電壓產生電路106之活性/非活性之信號。

另外，第4實施形態之方法，不只是高電壓開關電路2，亦可以應用在上述之高電壓開關電路2A, 2B等。另外，亦可以應用在將輸入信號VIN變換成為振幅位準VN-VCC之信號VOUT之高電壓開關電路。

[第5實施形態]

下面將使用圖16用來說明第5實施形態之高電壓開關電路。在第5實施形態中，AND電路90接受定電壓產生電路7之輸出作為動作電源電壓。

下面將說明定電壓產生電路7。定電壓產生電路7包含有電晶體Q40～Q45和可變電阻Rx和Ry。電晶體Q40, Q41, Q45



五、發明說明 (25)

為PMOS電晶體，電晶體Q42, Q43為NMOS電晶體。

電晶體Q40～Q44構成電流鏡差動放大器。電晶體Q40, Q41為PMOS電流鏡電路，電晶體Q44具有作為定電流源之功能。電晶體Q40連接在用以供給高電壓之節點VPP和節點N20之間，電晶體Q41連接在節點VPP和節點N21之間。電晶體Q40和Q41之各個之閘極，形成與節點N21連接。

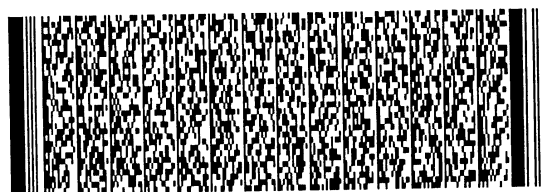
電晶體Q42連接在節點N20和節點N22之間，電晶體Q43連接在節點N21和節點N22之間。電晶體Q42之閘極接受基準電壓產生電路3所輸出之基準電壓VREF，電晶體Q43之閘極連接到可變電阻Rx和Ry之連接節點。電晶體Q44連接在節點N22和用以接受接地電壓GND之節點GND之間，以其閘極接受寫入/抹除控制電路1所輸出之控制信號D。

電晶體Q45連接在節點VPP和節點N23之間，可變電阻Rx和Ry串聯連接在節點N23和節點GND之間。節點N23之電壓Vconst可以滿足式(8)。另外，可變電阻Rx, Ry之各個之電阻值分別為Rx, Ry。

$$V_{const} = V_{REF} \times \{(R_x + R_y) / R_y\} \dots\dots\dots (8)$$

其中，基準電壓VREF，因為如式(4)所示的與電源電壓VCC無關，所以電壓Vconst亦與電源電壓VCC無關。

下面將說明第5實施形態之高電壓開關電路2之控制方法。依照控制信號B，位準檢測信號C和控制信號D，用來產生用以控制電壓緩和用電晶體之閘極之閘控制信號A。這時，將閘控制信號A之電壓變換成為與電源電壓VCC無關之電壓Vconst。供給到節點VPP之電壓在檢測位準V0以上



五、發明說明 (26)

之範圍內，使閘控制信號A成為定電壓位準 V_{const} 。

參照圖17，在對節點VPP施加電源電壓VCC之時刻($\sim t_2$)，因為控制信號B和位準檢測信號C為接地電壓位準GND，所以閘控制信號A成為接地電壓位準GND。因此，在時刻 $t_0 \sim t_1$ 接受到之輸入信號VIN被變換成為電源電壓位準VCC之信號VOUT和被輸出。

在開始對節點VPP施加高電壓之時刻(時刻 t_2)，控制信號B, D從接地電壓位準GND變換成為電源電壓位準VCC。

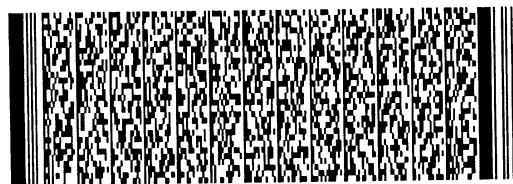
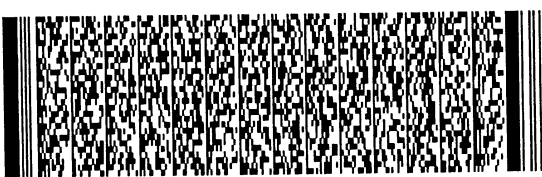
當施加在節點VPP之電壓超過檢測位準 V_0 時(時刻 t_2)，位準檢測信號C從接地電壓位準GND變換成為電源電壓位準VCC。閘控制信號A之電壓變成為定電壓位準 V_{const} 。

利用此種方式實行電壓緩和，和將時刻 $t_3 \sim t_4$ 所接受到之輸入信號VIN變換成為高電壓位準VPP之信號VOUT和進行輸出。

然後，在施加到節點VPP之電壓之位準進行下降(結束高電壓之施加)之時刻(時刻 t_5)，使控制信號B從電源電壓位準VCC變換成為接地電壓位準GND。閘控制信號A變換成為接地電壓位準GND。

當施加在節點VPP之電壓下降到低於檢測位準 V_0 時(時刻 t_y)，位準檢測信號C就從定電壓位準 V_{const} 變換成為接地電壓位準GND。

利用此種控制方法，當使高電壓進行開關時，高電壓開關電路2中之內部節點N1, N2之電壓位準，如圖18所示的進行變化。參照圖18，電晶體Q1, Q2之源極-汲極間之電壓被



五、發明說明 (27)

緩和成為 $\{VPP-(V_{const}+|V_{thp}|)\}$ ，電晶體Q3, Q4之源極-汲極間之電壓被緩和成為 $(V_{const}+|V_{thp}|)$ 。

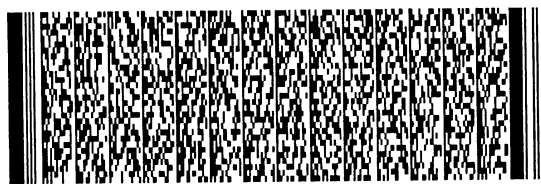
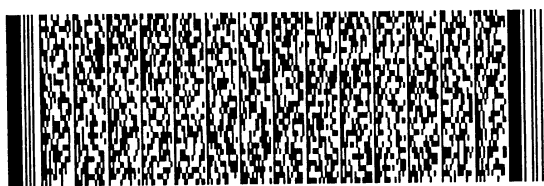
然後，當結束對節點VPP施加高電壓，或不施加高電壓而是施加電源電壓VCC時，使電壓緩和用電晶體之閘極從定電壓位準 V_{const} 變換成為接地電壓位準GND，或固定在接地電壓位準GND。利用此種方式，即使施加在節點VPP之電壓變低時，該高電壓開關電路2亦可以正常的進行動作。

經由調整定電壓產生電路7之可變電阻之電阻值，可以任意的設定定電壓 V_{const} 之位準。

下面將說明將該控制方法應用在半導體記憶裝置1000之情況。在不需要高電壓時，寫入/抹除控制電路1輸出接地電壓位準GND之控制信號B, D。在此時刻高電壓產生電路106為非活性狀態。

當將用以指定特定之動作之命令CM輸入到寫入/抹除控制電路1時，就從寫入/抹除電路1輸出電源電壓位準VCC之控制信號B, D，用來使高電壓產生電路106活性化。然後，當高電壓產生電路106之輸出電壓超過檢測位準 V_0 時，輸入到電壓緩和用電晶體之閘極之閘控制信號A之電壓就變成為 V_{const} 。

當結束施加高電壓時，控制信號B變換成為接地電壓位準GND，用來使高電壓產生電路106非活性化。施加在節點VPP之電壓之位準下降成為電源電壓位準。另外，控制信號D成為接地電壓位準GND。



五、發明說明 (28)

利用此種控制，半導體記憶裝置可以實現正確之寫入/抹除/讀出動作。另外，控制信號B亦可以使用用以控制高電壓產生電路106之活性/非活性之信號。

另外，圖19、圖20表示定電壓產生電路7之可變電阻 R_x ， R_y 之一實例。圖19所示之可變電阻之構成包含有串聯連接在節點X和節點Y之間之多個電阻元件 $R(1) \sim R(n)$ ，和用以選擇電阻元件之開關元件(電晶體) $T1 \sim Tn$ 。

開關元件 $T1 \sim Tn$ 之各個在接受到開關元件控制信號 $\phi 1 \sim \phi n$ 時進行ON。利用開關元件之ON/OFF，用來變化節點X和節點Y之間之電阻值。

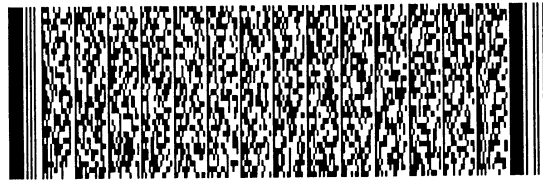
圖20所示之可變電阻之構成包含有串聯連接在節點X和節點Y之間之多個電阻元件 $R(1) \sim R(n)$ ，和用以選擇電阻元件之熔線 $F1 \sim Fn$ 。利用熔線之熔斷用來變化節點X和節點Y之間之電阻值。

[第6實施形態]

下面將使用圖21用來說明第6實施形態之高電壓開關電路。圖21所示之高電壓開關電路8是用來將輸入信號VIN(振幅VCC-GND)變換成為信號VOUT(振幅VCC-VN)之電路。其中，VN為如上所述之負的高電壓。

高電壓開關電路8由電晶體 $Q1n \sim Q5n$ 和反相器IV2構成。電晶體 $Q1n, Q2n$ 為PMOS電晶體，電晶體 $Q3n, Q4n, Q5n$ 為NMOS電晶體。

高電壓開關電路8接受來自信號輸入節點IN之輸入信號VIN，和接受來自控制信號輸入節點A之用以控制電壓緩和



五、發明說明 (29)

用電晶體之閘極電壓之閘控制信號A，藉以從輸出節點OUT輸出信號VOUT。

電晶體Q5n連接在節點N1n和用以接受負的高電壓之節點VN之間，以其閘極接受輸出節點OUT之信號VOUT。電晶體Q6n連接在節點N2n和節點VN之間，以其閘極接受節點N3n之信號。

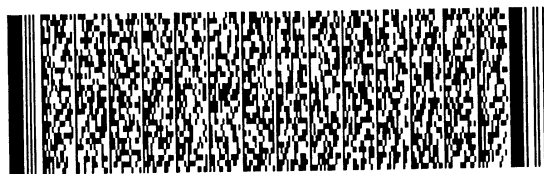
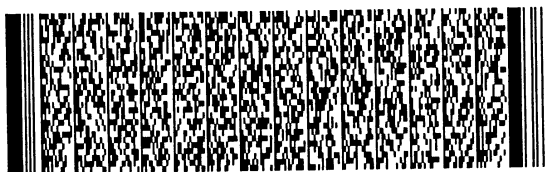
電晶體Q3n連接在節點N1n和節點N3n之間，電晶體Q4n連接在節點N2n和節點OUT之間。

電晶體Q1n連接在信號輸入節點IN和節點N3n之間，其閘極與用以接受接地電壓之節點GND連接。反相器IV2用來使節點IN之信號反相。電晶體Q2n連接在反相器IV2之輸出節點和節點OUT之間，其閘極與節點GND連接。

電晶體Q3n, Q4n是電壓緩和用電晶體，用來構成電壓緩和電路20，藉以緩和構成電路之電晶體之閘極電壓。與習知者不同的，電壓緩和用電晶體Q3n, Q4n之閘極被構建成為不是被施加一定之電壓，而是接受從外部輸入之閘控制信號A。

輸入到電晶體Q3n, Q4n之閘極之閘控制信號A從NAND電路91輸出，該NAND電路91接受寫入/抹除控制電路1所輸出之控制信號B和VN檢測電路9所輸出之位準檢測信號E。

VN檢測電路9如圖22所示，包含有電阻元件R1, R2和電壓比較電路12。在VN檢測電路9中，電阻元件R1, R2串聯連接在用以接受電源電壓VCC之節點VCC和用以接受負的高電壓VN之節點VN之間。電阻元件R1和R2之連接節點，形成連接



五、發明說明 (30)

到電子比較電路12之正的輸入端子。在電壓比較電路12之負的輸入端子，接受基準電壓產生電路3所輸出之基準電壓VREF。

利用電阻元件R1, R2用來對以節點VN接受到之電壓進行分壓。其結果是獲得式(9)所示之電壓VNn。另外，VN表示節點VN之電壓位準。電阻元件R1, R2之電阻值為R1, R2。

$$VNn = (VCC + VN) \times \{R2 / (R1 + R2)\} \quad \dots\dots\dots (9)$$

電壓比較電路12用來使分壓電壓VNn和基準電壓VREF進行比較，藉以輸出其比較結果之位準檢測信號E。以能滿足式(10)之方式決定電阻值R1, R2。

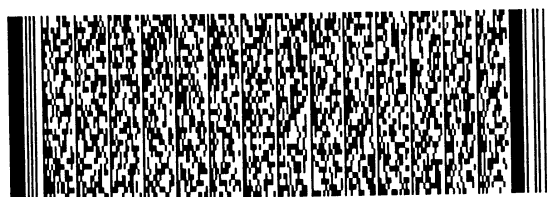
$$VREF = (VN + VCC) \times \{R2 / (R1 + R2)\} \quad \dots\dots\dots (10)$$

假如分壓電壓VNn < 基準電壓VREF時，位準檢測信號E成為H位準，在其以外之情況，位準檢測信號E成為L位準。

在將上述之構造應用在半導體記憶裝置1000之情況時，在高電壓開關電路120包含高電壓開關電路8，負高電壓產生電路107之輸出分別供給到VN檢測電路9之節點VN和高電壓開關電路8之節點VN。

下面將說明第6實施形態之高電壓開關電路8之控制方法。依照施加在節點VN之電壓之位準使控制信號B變化。另外，依照控制信號B，和VN檢測電路9所輸出之位準檢測信號E，用來產生閘控制信號A。當施加在節點VN之電壓低於指定之位準時，位準檢測信號E變成為H位準。

參照圖23，高電壓開關電路8在時刻t0 ~ t1，時刻t3 ~ t4成為GND位準，在其以外之時刻接受電源電壓位準VCC之



五、發明說明 (31)

輸入信號VIN。另外，當初期狀態，在節點VN被施加接地電壓GND。

在節點VN被施加接地電壓GND之時刻($\sim t_2$)，控制信號B之電壓位準為接地電壓位準GND。因此，在時刻 $t_0 \sim t_1$ 所接受到之輸入信號VIN被變換成為接地電壓位準GND之信號VOUT和被輸出。

在對節點VN開始施加負的高電壓之時刻(時刻 t_2)，控制信號B從接地電壓位準GND變換成為電源電壓位準VCC。

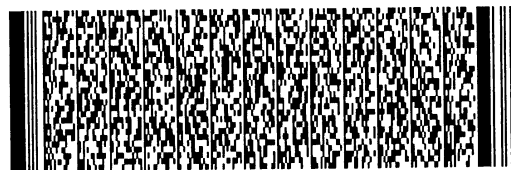
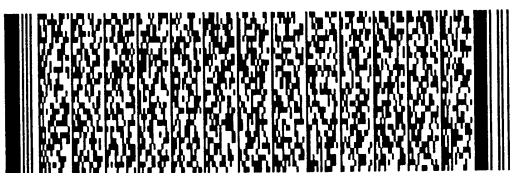
當施加在節點VN之電壓變成低於檢測位準V1時(時刻 t_x)，位準檢測信號E從接地電壓位準GND變換成為電源電壓位準VCC。開控制信號A從電源電壓位準VCC變換成為接地電壓位準GND($t_2 < t_x < t_3$)。

利用此種方式實行電壓緩和，和將時刻 $t_3 \sim t_4$ 所接受到之輸入信號VIN變換成為負的高電壓位準VN之信號VOUT和進行輸出。

然後，在施加到節點VN之電壓之位準進行上升(結束負的高電壓之施加)之時刻(時刻 t_5)，控制信號B從電源電壓位準VCC變換成為接地電壓位準GND。開控制信號A從接地電壓位準GND變換成為電源電壓位準VCC。

當施加在節點VN之電壓超過檢測位準V1時(時刻 t_y)，位準檢測信號E從電源電壓位準VCC變換成為接地電位準GND。

利用此種控制方法，當使高電壓進行開關時，高電壓開關電路8中之內部節點N1n, N2n之電壓位準如圖24所示的進



五、發明說明 (32)

行變化。參照圖24，NMOS電晶體之源極-汲極間之電壓，在電晶體Q3n, Q4n被緩和成為 $(VCC + V_{thn})$ ，在電晶體Q5n, Q6n被緩和成為 $|V_N - V_{thn}|$ 。其中之 V_{thn} 表示電晶體Q3n, Q4n之臨限值。

然後，在結束對節點VN施加負的高電壓，或不施加負的高電壓而是施加接地電壓GND時，電壓緩和用電晶體之閘極從接地電壓位準GND變換成為電源電壓位準VCC，或固定在電源電壓位準VCC。利用此種方式，即使施加在節點VN之電壓之絕對值變小時，高電壓開關電路8亦可以正常的進行動作。

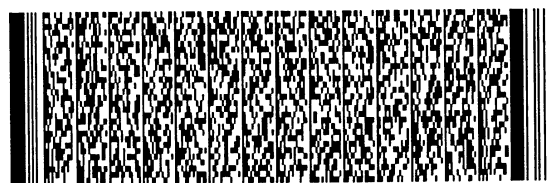
下面將說明該控制方法應用在半導體記憶裝置1000之情況。在不需負的高電壓時，寫入/抹除控制電路1對NAND電路91輸出L位準之控制信號B。在該時刻負高電壓產生電路107成為非活性狀態。

當將用以指定特定之動作之命令CM輸入到寫入/抹除控制電路1時，就從寫入/抹除控制電路1輸出電源電壓位準VCC之控制信號B，用來使負高電壓產生電路107活性化。

當負高電壓產生電路107之輸出電壓低於檢測位準V1時，被輸入到電壓緩和用電晶體之閘極之閘控制信號A就變成為接地電壓位準GND。

然後，當結束施加負的高電壓時，控制信號B變換成為接地壓位準GND，用來使負高電壓產生電路107非活性化。施加在節點VN之電壓之位準上升成為電源電壓位準VCC。

利用此種控制可以保證半導體記憶裝置1000之正確之寫



五、發明說明 (33)

入/抹除/讀出動作。另外，控制信號B亦可以使用用以控制負高電壓產生電路107之活性/非活性之信號。

另外，應用本發明之高電壓開關電路之構造並不只限於圖21所示者。圖25表示高電壓開關電路之另一構造例。圖25所示之高電壓開關電路8A具備有電晶體Q1n, Q2n, Q5n, Q6n，由電晶體Q3n, Q4n, Q7n和Q8n構成之電壓緩和電路20A，和反相器IV2。電晶體Q7n, Q8n為PMOS電晶體。

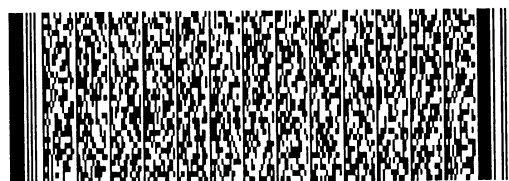
在高電壓開關電路8A中，電晶體Q3n, Q4n, Q7n，Q8n之各個具有作為電壓緩和用電晶體之功能。

電晶體Q7n連接在電晶體Q1n和電晶體Q3n之間，電晶體Q8n連接在電晶體Q2n和電晶體Q4n之間。電晶體Q7n, Q8n之閘極接受接地電壓。從電晶體Q4n和Q8n之連接節點(節點OUT)輸出信號VOUT。

圖26表示高電壓開關電路之更另一構造例。圖26所示之高電壓開關電路8B具備有電晶體Q1n, Q2n, Q5n, Q6n，由電晶體Q7n和Q8n構成之電壓緩和電路20B，和反相器IV2。在高電壓開關電路8B，電晶體Q7n, Q8n之各個具有作為電壓緩和用電晶體之功能。

電晶體Q7n連接在電晶體Qn1和電晶體Q5n之間，以其閘極接受閘控制信號A。電晶體Q8n連接在電晶體Qn2和電晶體Q6n之間，以其閘極接受閘控制信號A。從電晶體Q8n和Q6n之連接節點(節點OUT)輸出信號VOUT。

另外，第1～第5實施形態以及下面所說明之第7實施形態之控制方法亦可適用在高電壓開關電路8。



五、發明說明 (34)

[第7實施形態]

下面將說明第7實施形態之高電壓開關電路。在第7實施形態中，高電壓開關電路2如圖27所示，以電晶體Q3, Q4之閘極接受偏移電壓產生電路11所輸出之閘控制信號A。

下面將說明偏移電壓產生電路11。該偏移電壓產生電路11如圖27所示，包含有可變電阻Ry和電晶體Q50~Q53。電晶體Q50, Q51為PMOS電晶體，電晶體Q52, Q53為NMOS電晶體。

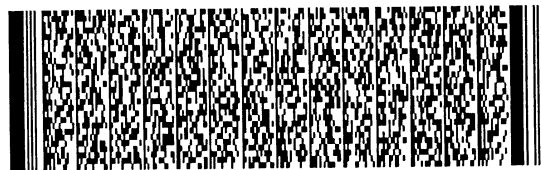
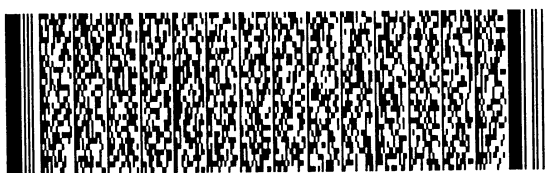
電晶體Q50連接在用以接受高電壓之節點VPP和可變電阻Ry之一方之端子之間，以其閘極接受NAND電路91所輸出之控制信號F。電晶體Q51連接在可變電阻Ry之另一方之端子和節點N30之間，其閘極與節點N30連接。

電晶體Q52連接在節點N30和用以接受接地電壓GND之節點GND之間，以其閘極接受基準電壓產生電路3所輸出之基準電壓VREF。電晶體Q53連接在節點N30和節點GND之間，以其閘極接受NAND電路91所輸出之控制信號F。

節點N30之閘控制信號A(電壓Vbias)供給到高電壓開關電路8之控制信號輸入節點A。

在可變電阻Ry具有與來自節點VPP之高電壓無關之一定之偏移電流Iconst流動。同樣的，利用電壓Vbias使電晶體Q3具有一定之偏移電流Iconst流動。

在使上述之構造應用在半導體記憶裝置1000之情況時，高電壓產生電路106之輸出分別供給到VPP檢測電路5之節點VPP，偏移電壓產生電路11之節點VPP和高電壓開關電路



五、發明說明 (35)

2 之節點VPP。

下面將說明第7實施形態之高電壓開關電路2之控制方法。偏移電壓產生電路11之控制之進行是根據寫入/抹除控制電路1所輸出之控制信號B，和VPP檢測電路5所輸出之位準檢測信號C。開控制信號A依照節點VPP之電壓位準，從接地電壓位準GND變換成為 $V_{bias} = \{VPP - (|V_{thp}| + R_y \times I_{const})\}$ 。

另外， V_{thp} 表示電晶體Q50, Q3之臨限值。

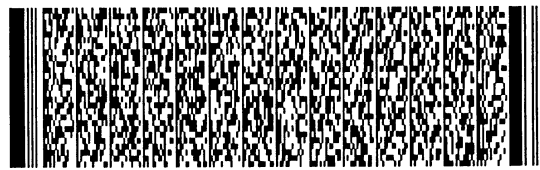
參照圖28，高電壓開關電路2在時刻 $t_0 \sim t_1$ ，時刻 $t_3 \sim t_4$ 接受電源電壓位準VCC，在以外之時刻接受接地電壓位準GND之輸入信號VIN。另外，在初期狀態對節點VPP施加電源電壓VCC。

在對節點VPP施加電源電壓VCC之時刻($\sim t_2$)，控制信號B為接地電壓位準GND。因此，在時刻 $t_0 \sim t_1$ 接受到之輸入信號VIN被變換成為電源電壓位準VCC之信號VOUT和被輸出。

在開始對節點VPP施加高電壓之時刻(時刻 t_2)，控制信號B從接地電壓位準GND變換成為電源電壓位準VCC。

當施加在節點VPP之電壓超過檢測位準 V_0 時(時刻 t_x)，位準檢測信號C從接地電壓位準GND變換成為電源電壓位準VCC。控制信號F從電源電壓位準VCC變換成為接地電壓位準GND。施加在控制信號輸入節點A之電壓 V_{bias} 從接地電壓位準GND變換成為 $\{VPP - (|V_{thp}| + R_y \times I_{const})\}$ 。

利用此種方式實行電壓緩和，和將時刻 $t_3 \sim t_4$ 所接受到



五、發明說明 (36)

之輸入信號VIN變換成為高電壓位準VPP之信號VOUT和輸出。

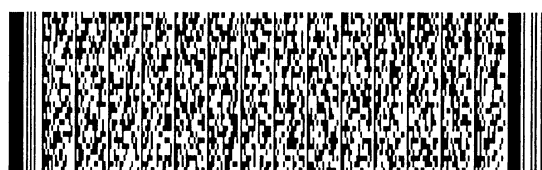
然後，在施加到節點VPP之電壓之位準進行下降(結束高電壓之施加)之時刻(時刻t5)，使控制信號B從電源電壓位準VCC變換成為接地電壓位準GND。控制信號F從接地電壓位準GND變換成為電源電壓位準VCC。開控制信號A變換成為接地電壓位準GND。

然後，當施加在節點VPP之電壓低於檢測位準V0時(時刻ty)，位準檢測信號C從電源電壓位準VCC變換成為接地電壓位準GND。

利用此種控制方法，當使高電壓進行開關時，高電壓開關電路2中之內部節點N1, N2之電壓位準如圖29所示的進行變化。參照圖29，源極-汲極間之電壓，在電晶體Q1, Q2被緩和為 $(R_y \times I_{const})$ ，在電晶體Q3, Q4被緩和為 $(V_{PP} - R_y \times I_{const})$ 。

然後，當結束對節點VPP施加高電壓，或不施加高電壓而是施加電源電壓VCC時，就使電壓緩和用電晶體之閘極從 $\{(V_{PP} - (|V_{thp}| + R_y \times I_{const}))\}$ 變換成為接地電壓位準GND，或固定在接地電壓位準GND。利用此種方式，即使施加在節點VPP之電壓變低時，高電壓開關電路2亦可以正常的進行動作。

另外，經由調整偏移電壓產生電路11之可變電阻之電阻值，可以任意的設定 $\{(V_{PP} - (|V_{thp}| + R_y \times I_{const}))\}$ 之位準。



五、發明說明 (37)

下面將說明該控制方法應用在半導體記憶裝置1000之情況。在不需要高電壓時，寫入/抹除控制電路1輸出接地電壓位準GND之控制信號B。在該時刻，高電壓產生電路106成為非活性狀態。

當將用以指定特定之動作之命令CM輸入到寫入/抹除電路1時，就從寫入/抹除控制電路1輸出電源電壓位準VCC之控制信號B，用來使高電壓產生電路106活性化。然後，當高電壓產生電路106之輸出電壓超高檢測位準V0時，輸入到電壓緩和用電晶體之閘極之閘控制信號A變成為Vbias位準。

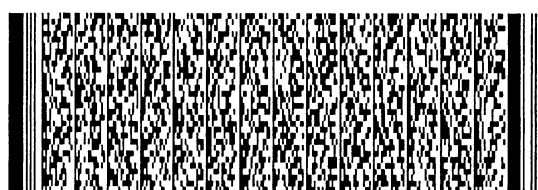
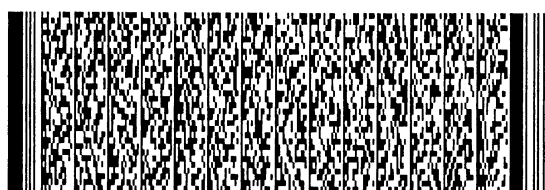
當結束高電壓之施加時，控制信號B變換成為接地電壓位準GND，用來使高電壓產生電路106非活性化。施加在節點VPP之電壓之位準下降為電源電壓位準VCC。

利用此種控制，半導體記憶裝置1000可以實現正確之寫入/抹除/讀出動作。另外，控制信號B亦可以使用用以控制高電壓產生電路106之活性/非活性之信號。

另外，第7實施形態之方法，不只是高電壓開關電路2，亦可以應用在上述之高電壓開關電路2A, 2B。另外，亦可以應用在將輸入信號VIN變換成為振幅位準VN-VCC之信號VOUT。

[第8實施形態]

下面將說明第8實施形態中之VPP檢測電路之另一構造例。第8實施形態之VPP檢測電路5A如圖31所示，包含有電晶體TP1～TP4，TN1～TN4，和反相器IV10。電晶體TP1～



五、發明說明 (38)

TP4 為PMOS 電晶體，電晶體TN1 ~ TN4 為NMOS 電晶體。

電晶體TP1 和TP2 之各個連接在用以接受電源電壓VCC 之節點VCC 和節點Z3 之間。電晶體TN3 和TN1 串聯連接在節點Z3 和用以接受接地電壓GND 之節點GND 之間。

電晶體TP1，TN1 之各個之閘極接受用以使VPP 檢測電路5A 活性化之活性化信號CNE，電晶體TN3 之閘極接受基準電壓VREF。電晶體TP2 之閘極連接到節點Z3。

電晶體TP4 連接在用以接受高電壓VPP 之節點VPP 和節點Z1 之間，電晶體TP3 連接在節點Z1 和節點Z2 之間。電晶體TN4, TN2 串聯連接在節點GND 和節點Z2 之間。

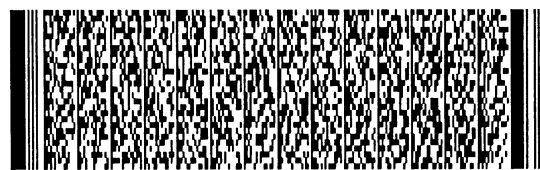
電晶體TP4 之閘極與節點VCC 連接，電晶體TP3 之閘極與節點Z3 連接。電晶體TN4 之閘極接受基準電壓VREF，電晶體TN2 之閘極接受活性化信號CNE。

反相器IV10 用來使節點Z2 之信號反相，藉以輸出位準檢測信號IPASS。

下面將說明VPP 檢測電路5A 之動作。當活性化信號CNE 變成為H 位準時，電晶體TN1 和TN2 變成為ON 狀態，電晶體TP1 變成為OFF 狀態。在此種狀態，VPP 檢測電路5A 監視VPP 位準，當VPP 位準變高時使位準檢測信號IPASS 成為L 位準，當VPP 位準變低時使位準檢測信號IPASS 成為H 位準。

以閘極接受基準電壓VREF 之電晶體TN3 和TN4 作為定電流源。

電晶體TP2 和TP3 作為電流鏡電路的進行動作。電晶體TP2 接受在電晶體TN3 流動之電流。電流鏡電路之動作是使



五、發明說明 (39)

與在電晶體TP2流動之電流相等之電流，在電晶體TP3流動。

另外一方面，在電晶體TN4亦為定電流流動，所以在電晶體TP3流動之電流變成與在電晶體TN4流動之電流相等。但是，要使在電晶體TP3流動之電流與在電晶體TN4流動之電流相等時，節點Z1之電位必需為電源電壓位準(VCC位準)。

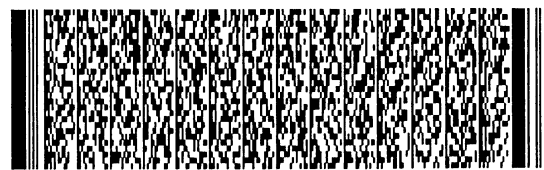
當節點Z1之電位低於VCC位準時，在電晶體TP3流動之電流小於在電晶體TN4流動之電流。利用此種方式使節點Z2之電壓位準降低，位準檢測信號IPASS變成為H位準。

相反的，當節點Z1之電位高於VCC位準時，在電晶體TP3流動之電流變成大於在電晶體TN4流動之電流。利用此種方式，節點Z2之電壓位準上升，用來使位準檢測信號IPASS變成為L位準。

當節點VPP之電位大於 $VCC + |V_{thp}|$ 時，節點Z1之電位高於VCC位準。另外， V_{thp} 是電晶體TP4之臨限值。

依照此種方式之第8實施形態之VPP檢測電路5A時，可以檢測高電壓VPP之電壓位準。因此，對於上述之實施形態之高電壓開關電路，經由配置VPP檢測電路5A用以代替VPP檢測電路5，可以獲得與上述之實施形態之效果相同之效果。

另外，此處所示之實施形態之各點只作為舉例之用，不應視為限制用者。本發明之範圍不以上述之實施形態之說明表示，而是以申請專利範圍表示，包含與申請專利範圍

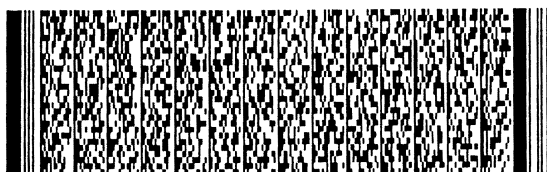


五、發明說明 (40)

同等意思和範圍之所有之變更。

元件編號之說明

1	寫入/抹除控制電路
2	高電壓開關電路
5	VPP 檢測電路
9	VN 檢測電路
100	位址緩衝器
101	資料輸入/輸出緩衝器
102	X 解碼器
103	Y 解碼器
104	井/源極解碼器
105	寫入電路/感測放大器
106	高電壓產生電路
107	負高電壓產生電路
108、3	基準電壓產生電路
120	高電壓開關電路
1000	半導體記憶裝置
MR	記憶單元陣列



圖式簡單說明

圖1用來說明第1實施形態之高電壓開關電路2。

圖2表示包含有第1實施形態之高電壓開關電路2之半導體記憶裝置1000之全體構成之概要。

圖3是時序圖，用來表示第1實施形態之高電壓開關電路2之控制方法。

圖4是時序圖，用來說明第1實施形態之高電壓開關電路2之電壓緩和作用。

圖5是電路圖，用來表示高電壓開關電路2A之構造。

圖6是電路圖，用來表示高電壓開關電路2B之構造。

圖7用來說明第2實施形態之高電壓開關電路2之控制。

圖8是電路圖，用來表示基準電壓產生電路3之構造之一實例。

圖9是時序圖，用來表示第2實施形態之高壓開關電路2之控制方法。

圖10用來說明第3實施形態之高電壓開關電路2之控制。

圖11是電路圖，用來表示VPP檢測電路5之構造。

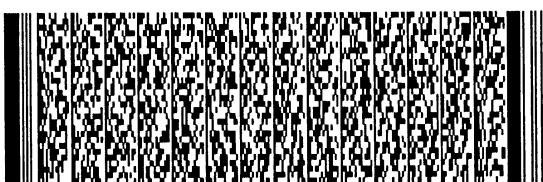
圖12是時序圖，用來表示第3實施形態之高電壓開關電路2之控制方法。

圖13用來說明第4實施形態之高電壓開關電路2之控制。

圖14是時序圖，用來表示第4實施形態之高電壓開關電路2之控制方法。

圖15是時序圖，用來說明第4實施形態之高電壓開關電路2之電壓緩和作用。

圖16用來說明第5實施形態之高電壓開關電路2之控制。



圖式簡單說明

圖17是時序圖，用來表示第5實施形態之高電壓開關電路2之控制方法。

圖18是時序圖，用來說明第5實施形態之高電壓開關電路2之電壓緩和作用。

圖19和圖20是電路圖，用來表示可變電阻之構造例。

圖21用來說明第6實施形態之高電壓開關電路8之控制。

圖22是電路圖，用來表示VN檢測電路9之構造。

圖23是時序圖，用來表示第6實施形態之高電壓開關電路8之控制方法。

圖24是時序圖，用來說明第6實施形態之高電壓開關電路8之電壓緩和作用。

圖25是電路圖，用來表示高電壓開關電路8A之構造。

圖26是電路圖，用來表示高電壓開關電路8B之構造。

圖27用來說明第7實施形態之高電壓開關電路2之控制。

圖28是時序圖，用來表示第7實施形態之高電壓開關電路2之控制方法。

圖29是時序圖，用來表示第7實施形態之高電壓開關電路2之電壓緩和作用。

圖30是電路圖，用來表示包含有電壓緩和電路之高電壓開關電路900之一實例。

圖31是電路圖，用來表示第8實施形態之VPP檢測電路5A之構造。



四、中文發明摘要 (發明之名稱：高電壓開關電路及具有該電路之半導體記憶裝置)

本發明之高電壓開關電路具備有：PMOS電晶體，以其一方之導通端子接受高電壓；NMOS電晶體，以其一方之導通端子接受接地電壓；和電壓緩和用電晶體。在電壓緩和用電晶體之閘極，被施加依照高電壓之電壓位準變化電位之閘控制信號A。利用此種方式，高電壓開關電路可以與電壓位準無關的正常進行動作。

英文發明摘要 (發明之名稱：High Voltage Switch Circuit and Semiconductor Memory Device Provided with the Same)

A high voltage switch circuit according to the present invention includes PMOS transistors having one conductive terminals receiving a high voltage, NMOS transistors having one conductive terminals receiving a ground voltage, and transistors for voltage control. The transistors for voltage control have their gates supplied with gate control signals of which potential change in accordance with the level of the high voltage. Thus, a high voltage switch circuit which can



四、中文發明摘要 (發明之名稱：高電壓開關電路及具有該電路之半導體記憶裝置)

英文發明摘要 (發明之名稱：High Voltage Switch Circuit and Semiconductor Memory Device Provided with the Same)

normally operate independent of the voltage level
can be provided.



六、申請專利範圍

1. 一種高電壓開關電路，其特徵是具備有：

第1電源節點，可以供給絕對值大於電源電壓之高電壓；

第2電源節點，被供給有低於上述之電源電壓之電壓；

開關電路，包含有：第1電晶體，依照輸入信號和供給自上述第1電源節點之電壓，用來變換上述之輸入信號之電壓位準；和第2電晶體，依照上述之輸入信號和供給自上述第2電源節點之電壓，用來變換上述之輸入信號之電壓位準；經由變換在上述電源電壓位準和接地電壓位準之狀態之間變換之上述輸入信號之振幅位準，藉以進行輸出；和

第3電晶體，連接在上述之第1電晶體和上述之第2電晶體之間，其閘極電壓被控制。

2. 如申請專利範圍第1項之高電壓開關電路，其中

上述之第3電晶體之動作用來緩和上述之第1電晶體或上述之第2電晶體之汲極-源極間之電壓。

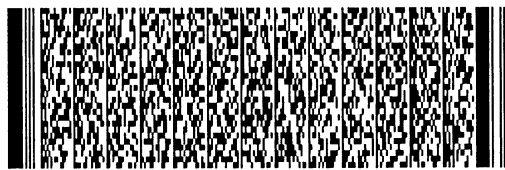
3. 如申請專利範圍第2項之高電壓開關電路，其中

利用用以使上述第1電源節點成為上述高電壓之控制信號，用來變換上述第3電晶體之閘極電壓。

4. 如申請專利範圍第2項之高電壓開關電路，其中

上述之第1電源節點之電壓在經過第1期間後，從上述之電源電壓達到上述之高電壓；和

利用在上述第1電源節點之電壓開始變化後經過比上述第1期間短之第2期間被活性化之信號，用來變換上述之第



六、申請專利範圍

3 電晶體之閘極電壓。

5. 如申請專利範圍第2項之高電壓開關電路，其中利用上述第1電源節點之電壓達到指定位準時被活性化之信號，用來變換上述之第3電晶體之閘極電壓。

6. 如申請專利範圍第2項之高電壓開關電路，其中利用對上述電源電壓之相關性較小之規定電壓位準之控制信號，用來控制上述之第3電晶體之閘極電壓。

7. 如申請專利範圍第2項之高電壓開關電路，其中利用與上述高電壓無關之促成一定電流流動之偏移電壓，用來控制上述之第3電晶體之閘極。

8. 一種半導體記憶裝置，其特徵是具備有：

記憶單元陣列，包含有多個記憶單元；

控制電路，用來控制上述之記憶單元陣列之動作；

動作信號產生電路，根據上述控制電路之控制，用來產生動作信號藉以使上述之記憶單元陣列進行動作；

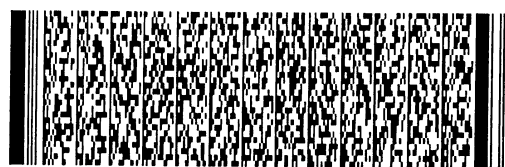
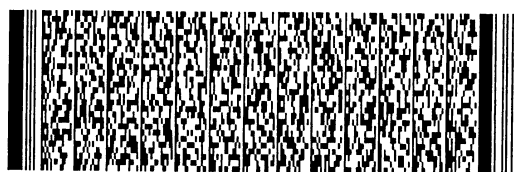
高電壓產生電路，在待用狀態時輸出電源電壓，在上述之記憶單元陣列之動作時進行活性化，用來產生絕對值大於上述之電源電壓之高電壓；和

高電壓開關電路，用來變換和輸出上述之動作信號之振幅位準；

上述之高電壓開關電路包含有：

第1電源節點，用來接受上述之高電壓產生電路所輸出之電壓；

第2電源節點，用來供給低於上述之電源電壓之電壓；



六、申請專利範圍

開關電路，具有：第1電晶體，依照上述之動作信號和供給自上述第1電源節點之電壓，用來變換上述之動作信號之電壓位準；和第2電晶體，依照上述之動作信號和供給自上述第2電源節點之電壓，用來變換上述之動作信號之電壓位準；經由變換上述之動作信號之電壓位準藉以進行輸出；和

第3電晶體，連接在上述之第1電晶體和上述之第2電晶體之間，其閘極電壓被控制。

9. 如申請專利範圍第8項之半導體記憶裝置，其中

上述之第3電晶體之動作用來緩和上述之第1電晶體或上述之第2電晶體之汲極-源極間之電壓。

10. 如申請專利範圍第9項之半導體記憶裝置，其中

包含有控制信號產生電路，用來產生控制信號藉以使上述之高電壓產生電路活性化；

利用上述之控制信號用來變換上述之第3電晶體之閘極電壓。

11. 如申請專利範圍第9項之半導體記憶裝置，其中

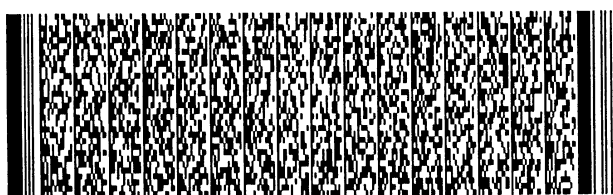
上述之控制電路包含有：

控制信號產生電路，用來產生控制信號藉以使上述之高電壓產生電路活性化；和

延遲電路，用來使上述之控制信號延遲一定之時間；

利用該延遲電路之輸出用來變換上述之第3電晶體之閘極電壓。

12. 如申請專利範圍第9項之半導體記憶裝置，其中



六、申請專利範圍

上述之控制電路包含有：

控制信號產生電路，用來產生控制信號藉以使上述之高電壓產生電路活性化；和

檢測信號產生電路，當上述之高電壓產生電路之輸出達到指定之位準時進行活性化，用來產生檢測信號；

利用上述之檢測信號用來變換上述之第3電晶體之閘極電壓。

13. 如申請專利範圍第9項之半導體記憶裝置，其中

上述之動作信號成為上述之電源電壓和接地電壓之2個狀態；

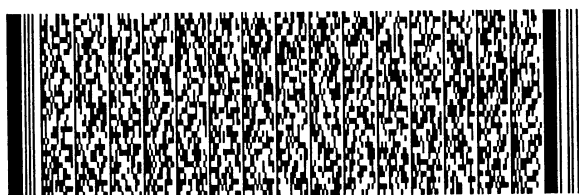
上述之控制電路包含有信號產生電路，用來產生對上述電源電壓之相關性小之規定電壓位準之控制信號；

利用上述之控制信號用來變換上述之第3電晶體之閘極電壓。

14. 如申請專利範圍第9項之半導體記憶裝置，其中

上述之動作信號成為上述之電源電壓和接地電壓之2個狀態；

上述之控制電路包含有偏移電壓產生電路，用來產生供給到上述第3電晶體之閘極電壓之偏移電壓，藉以在上述之第3電晶體具有與上述高電壓無關之一定電流流動。



90100497

圖 1

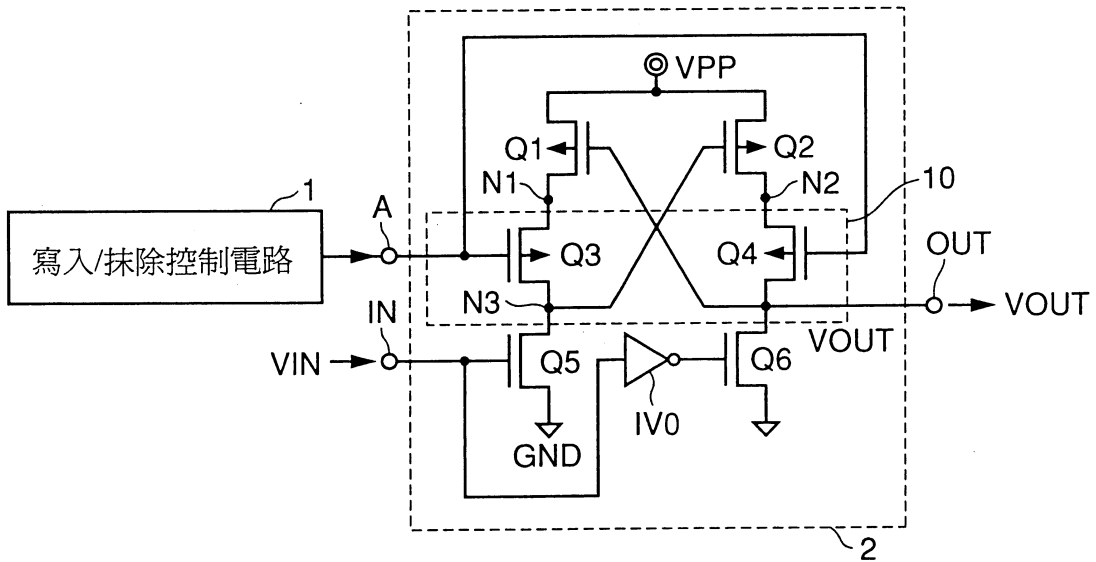


圖 2

控制 CNT 信號輸入

命令 CM 輸入

資料輸入/輸出

位址 AD 輸入

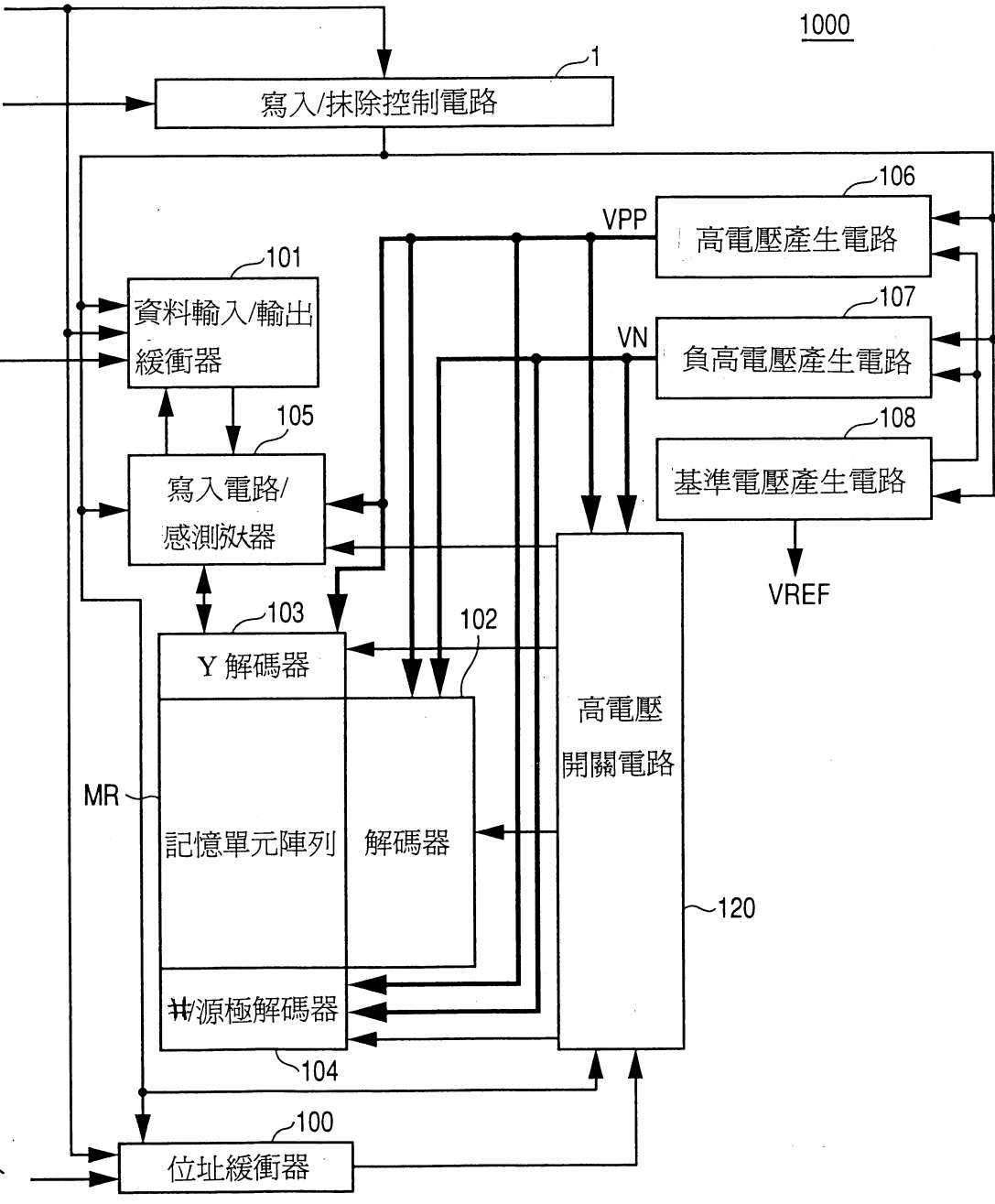


圖 3

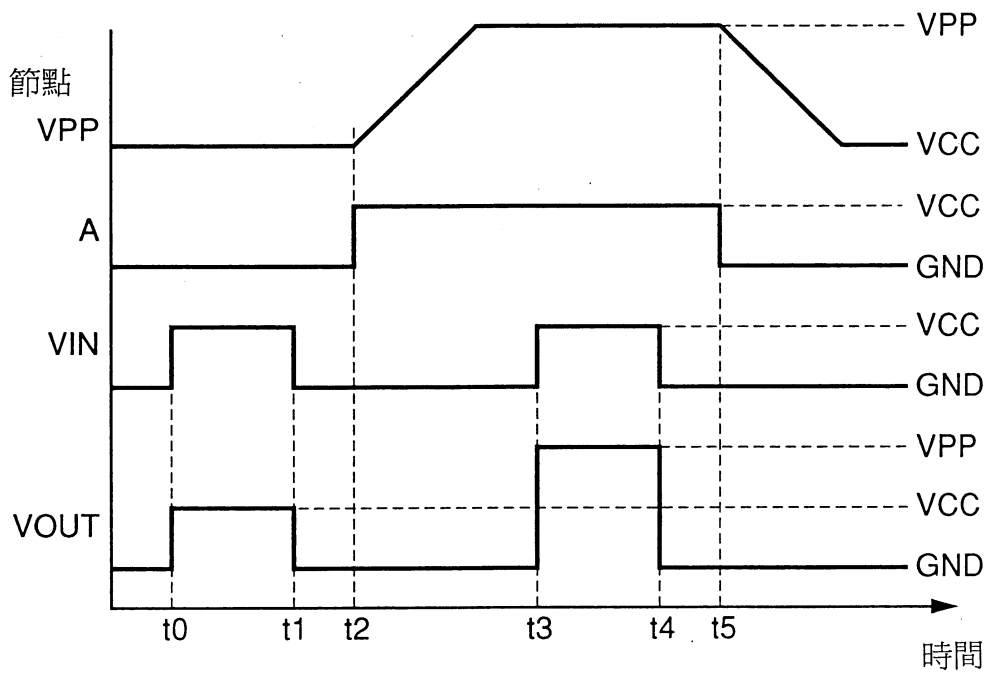
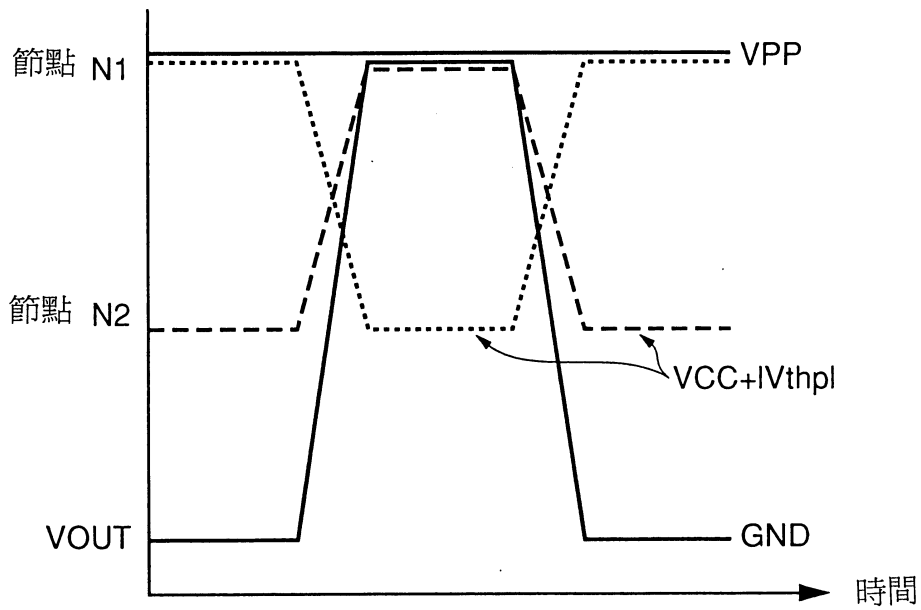


圖 4



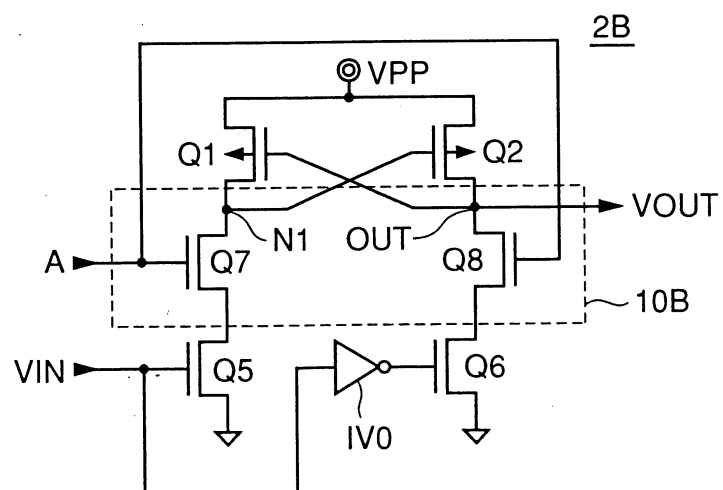


圖 9

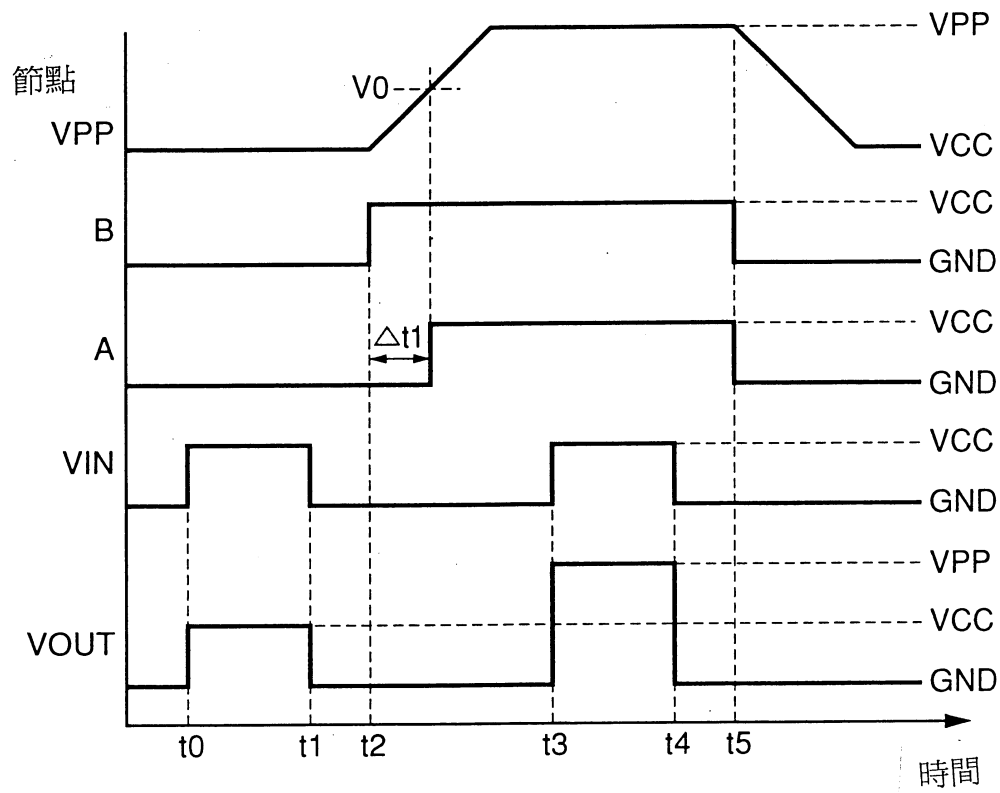


圖 10

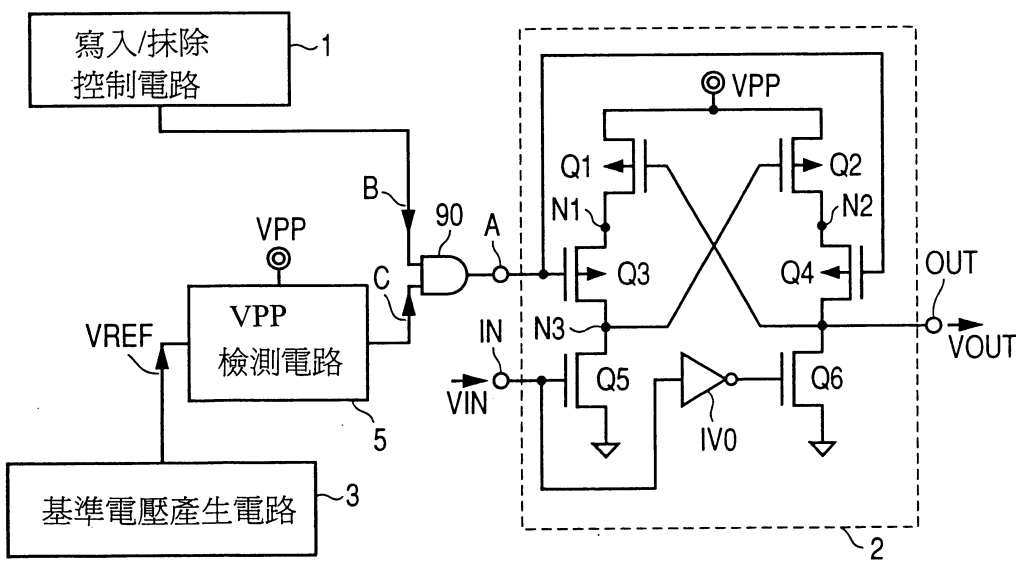


圖 11

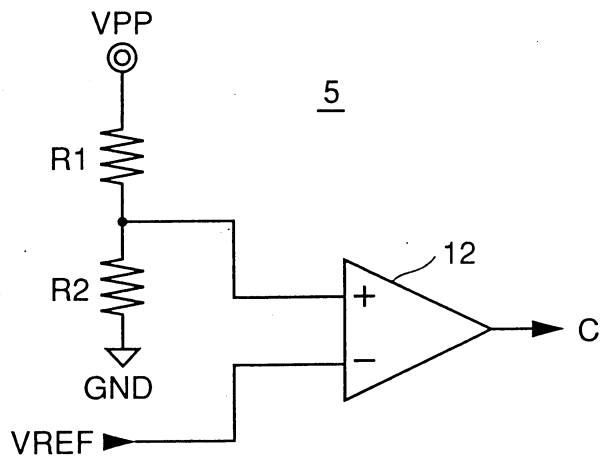


圖 12

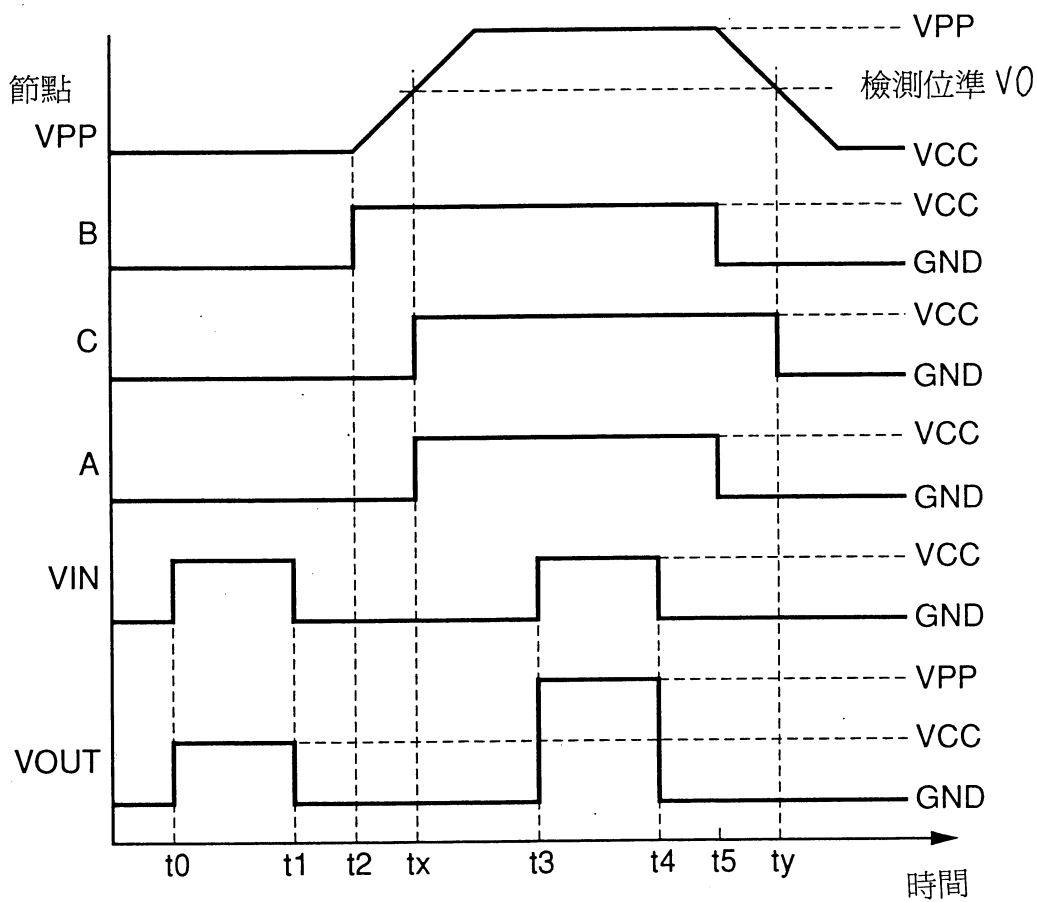


圖 13

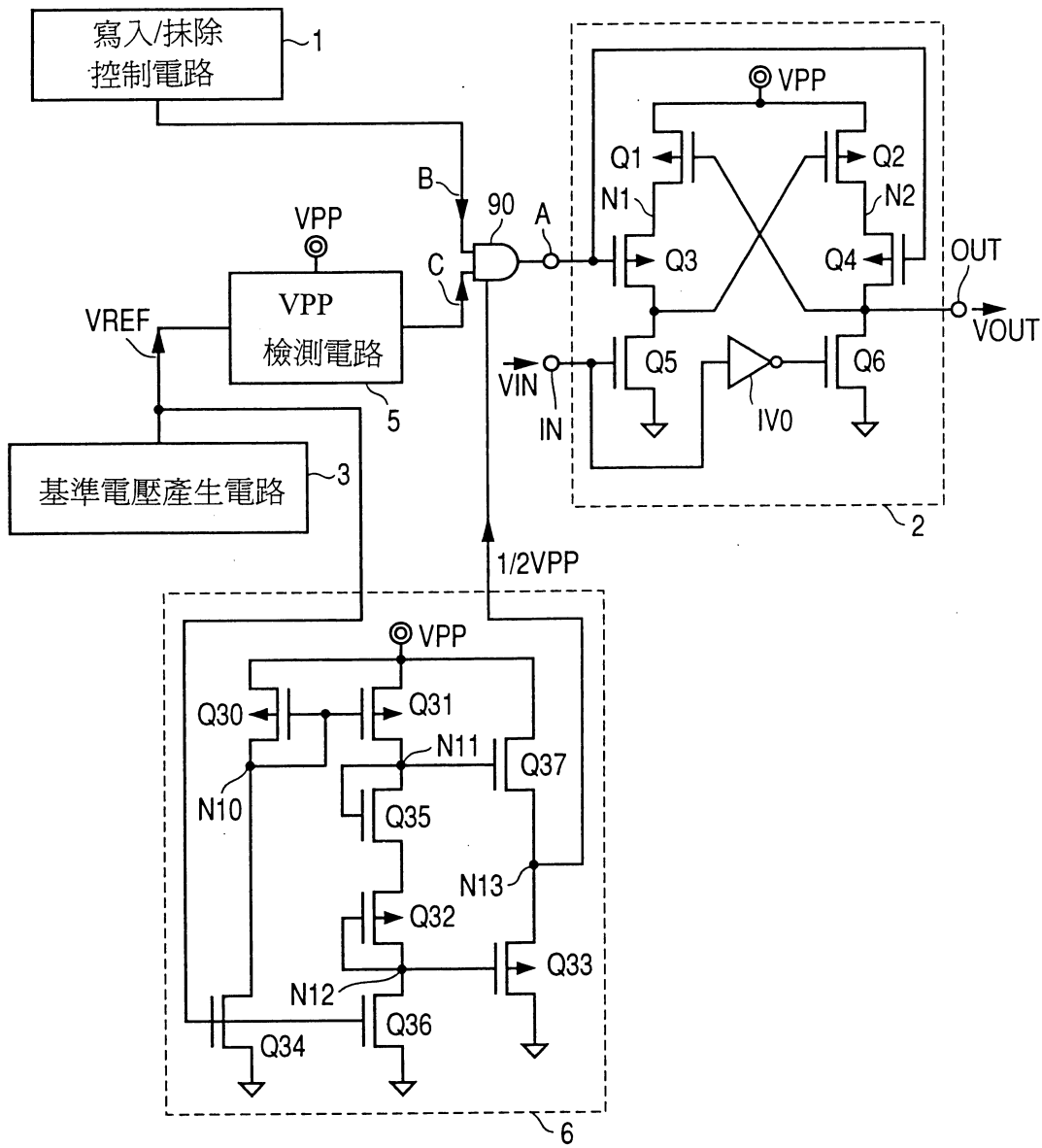


圖 14

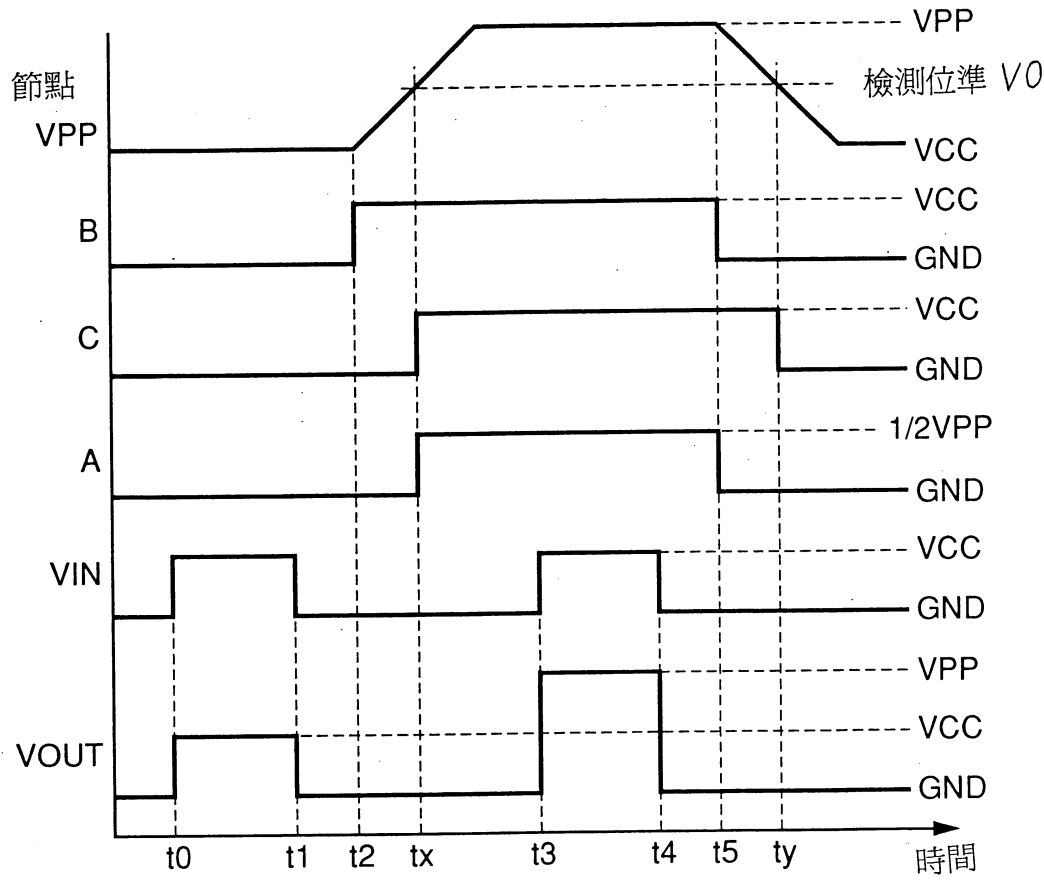
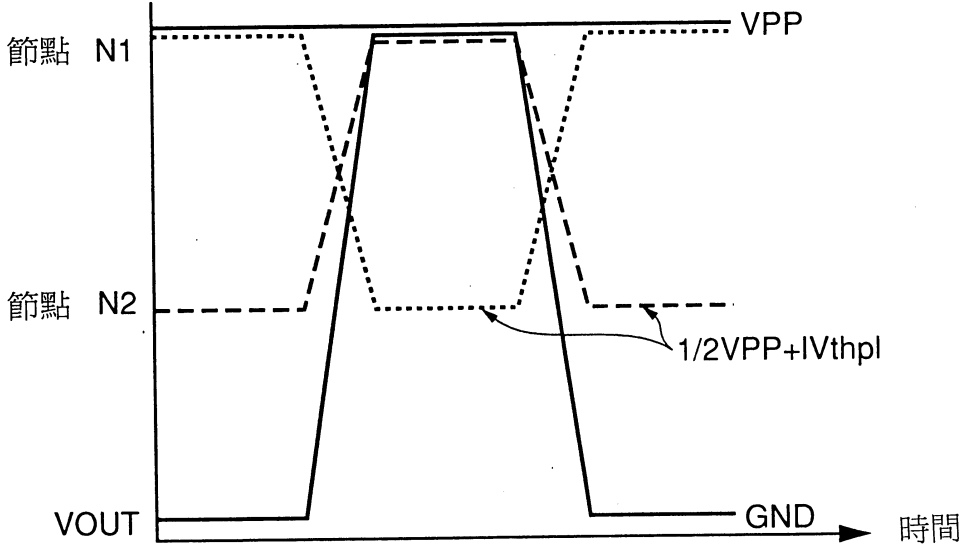


圖 15



16

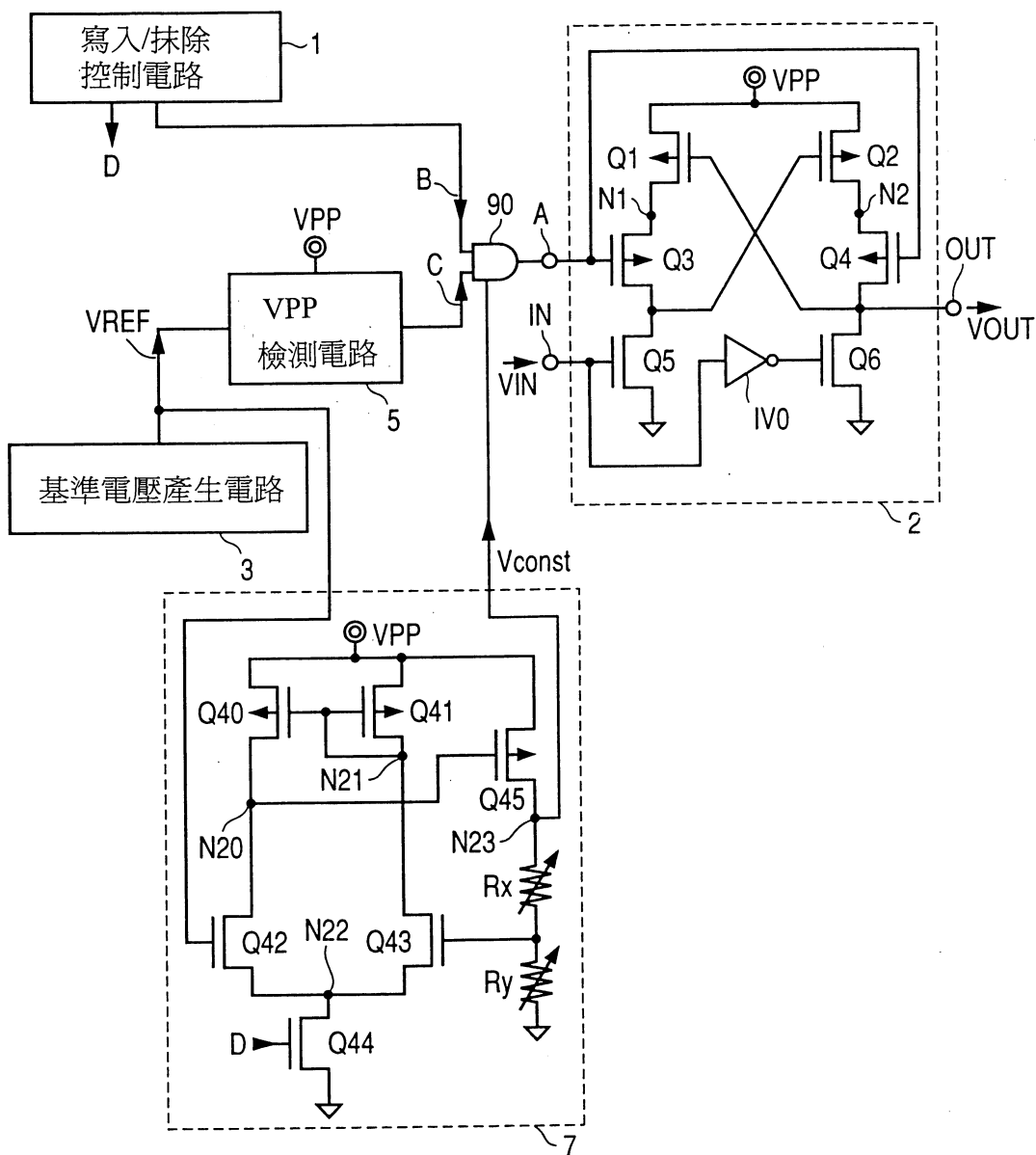


圖 17

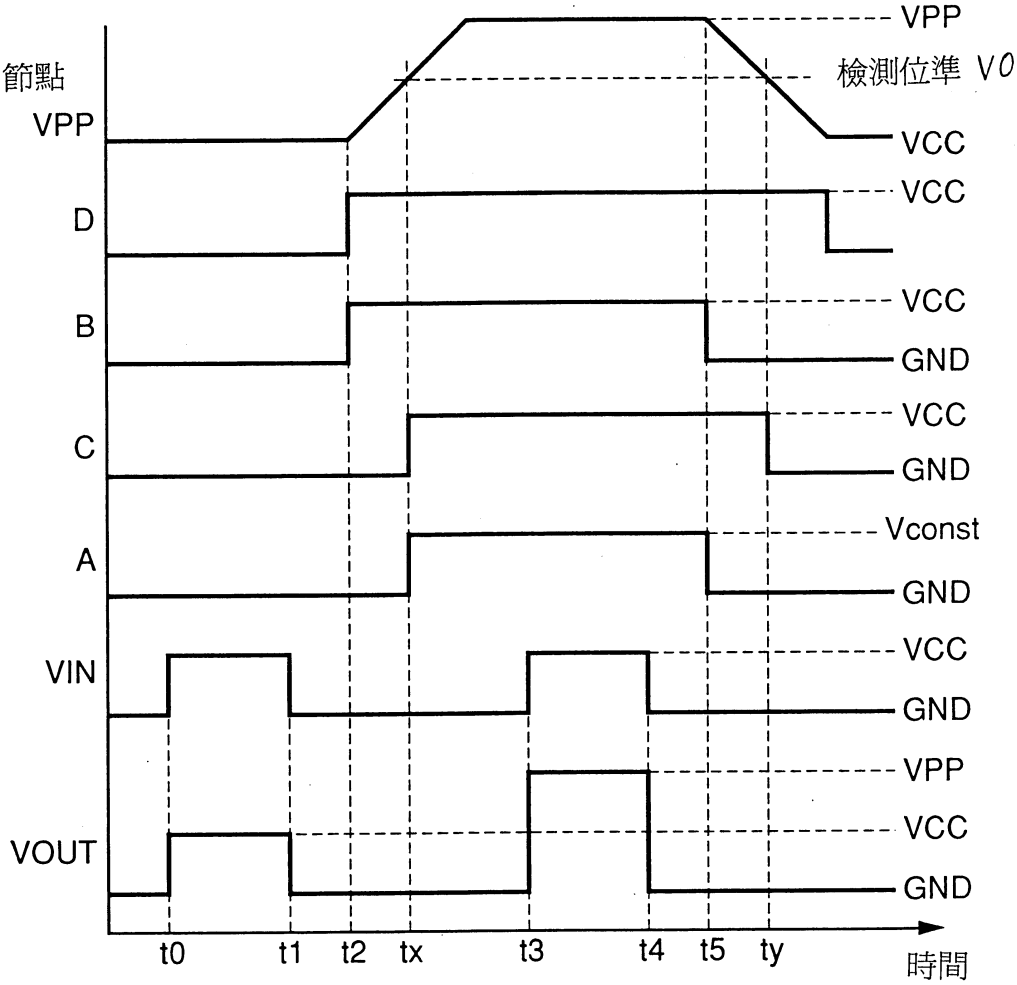


圖 18

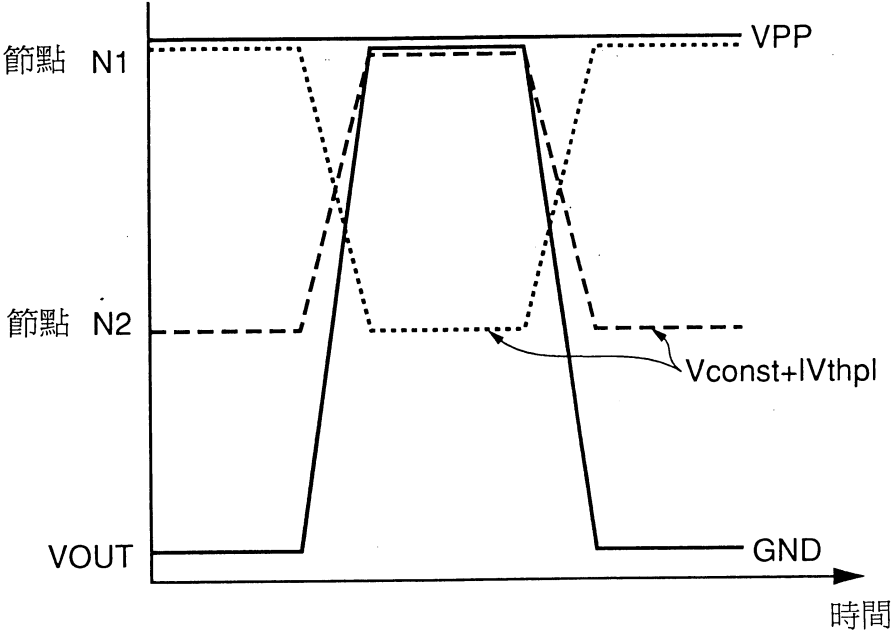


圖 19

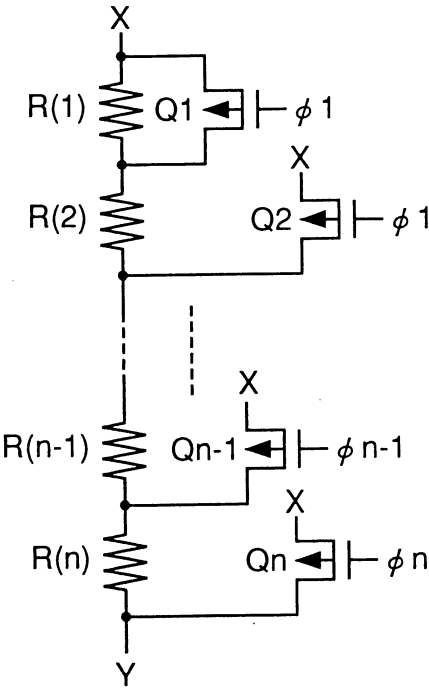


圖 20

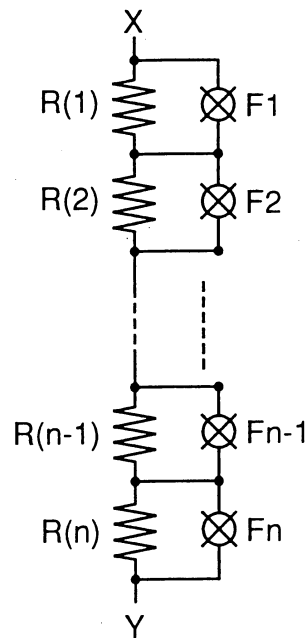


圖 21

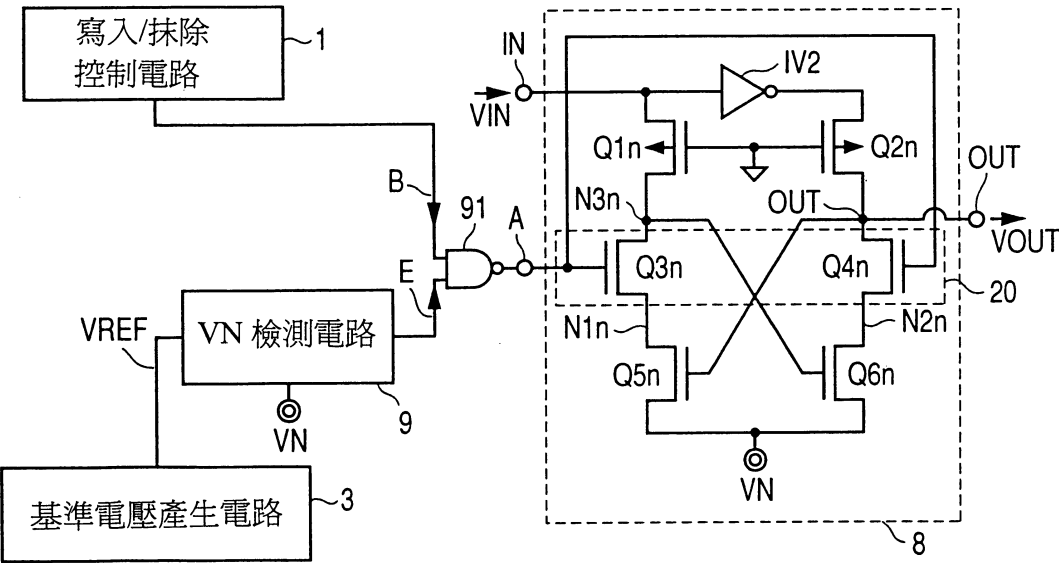


圖 22

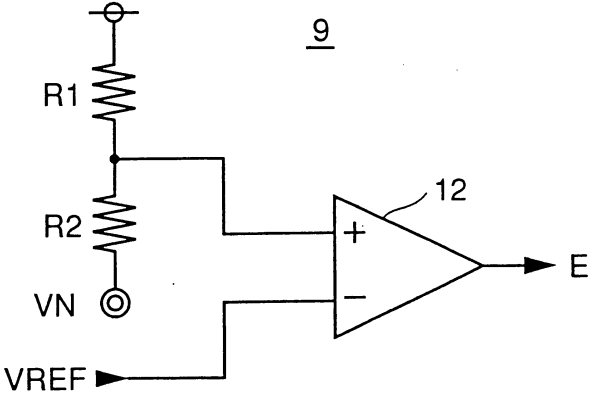


圖 23

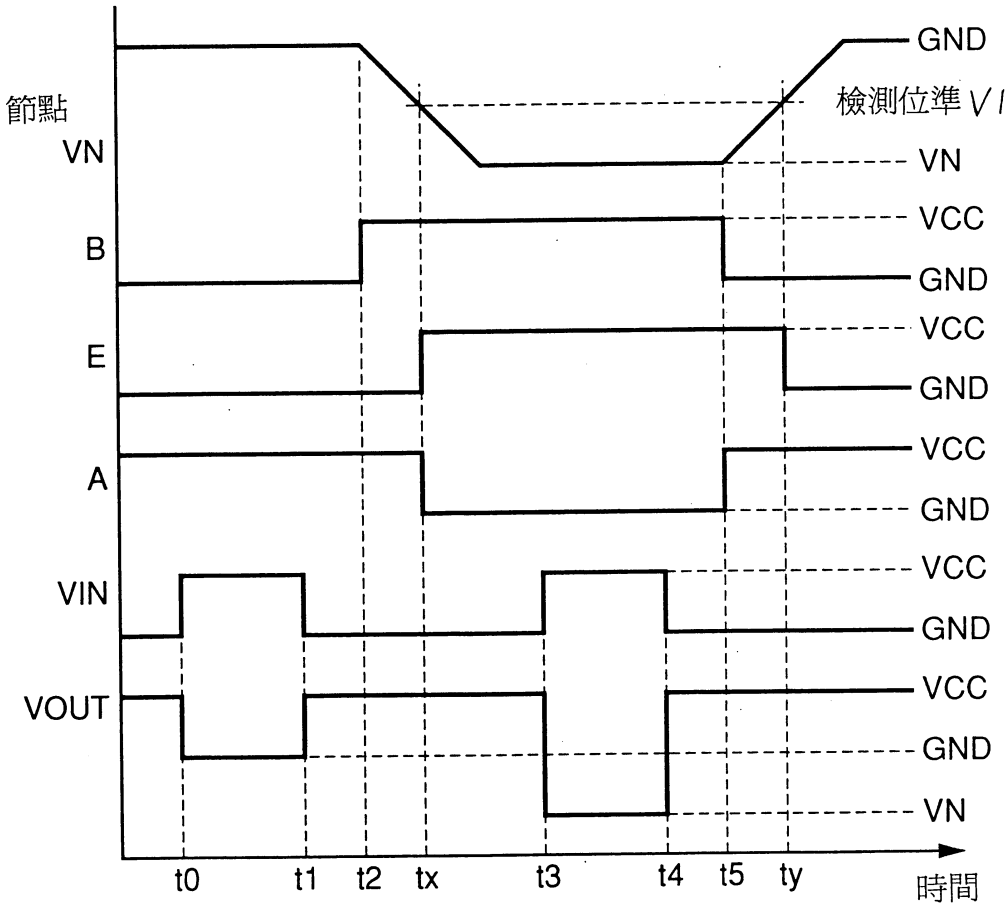
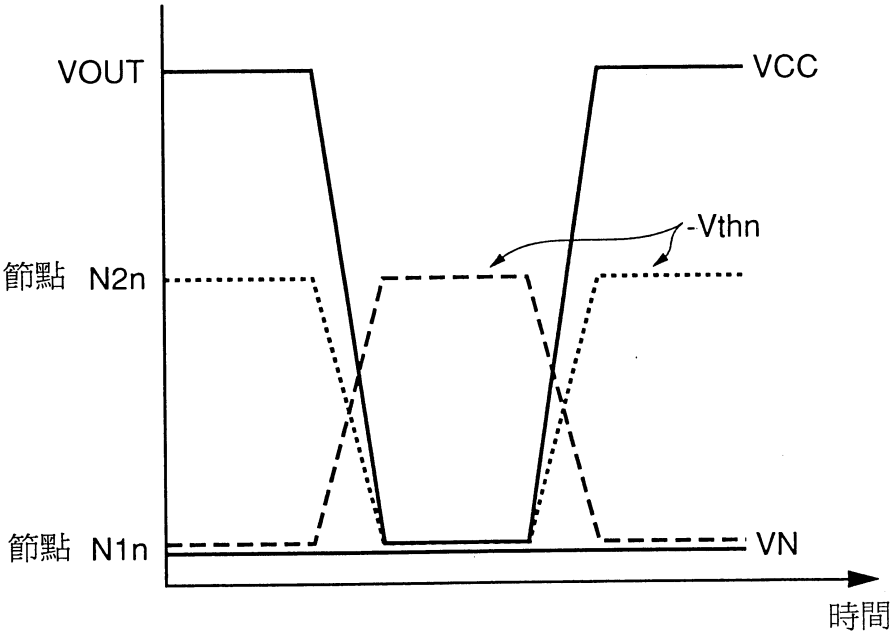


圖 24



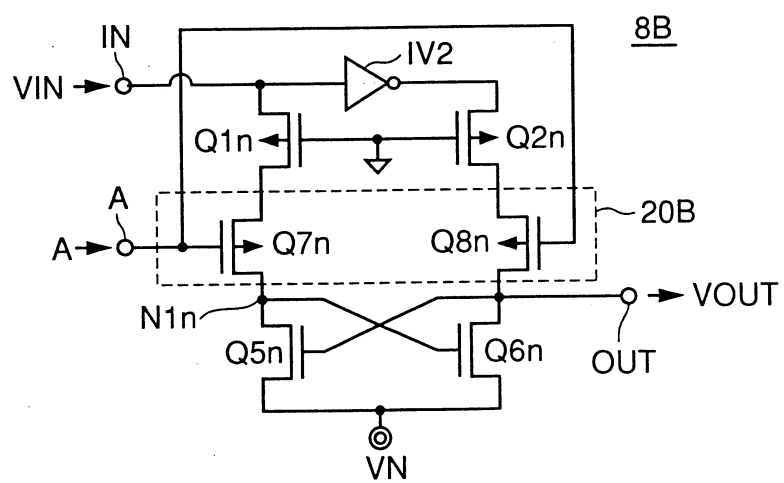


圖 27

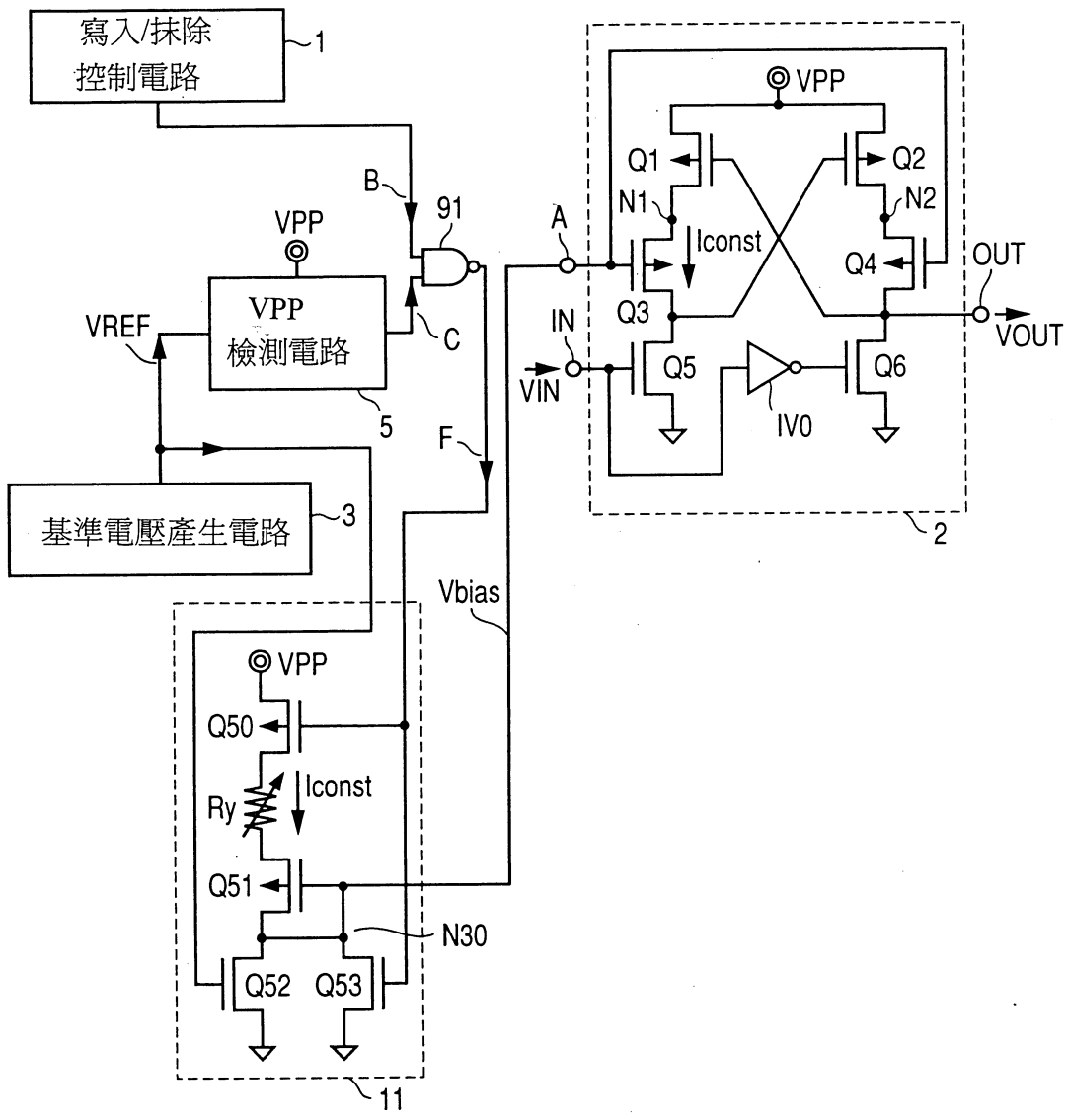


圖 28

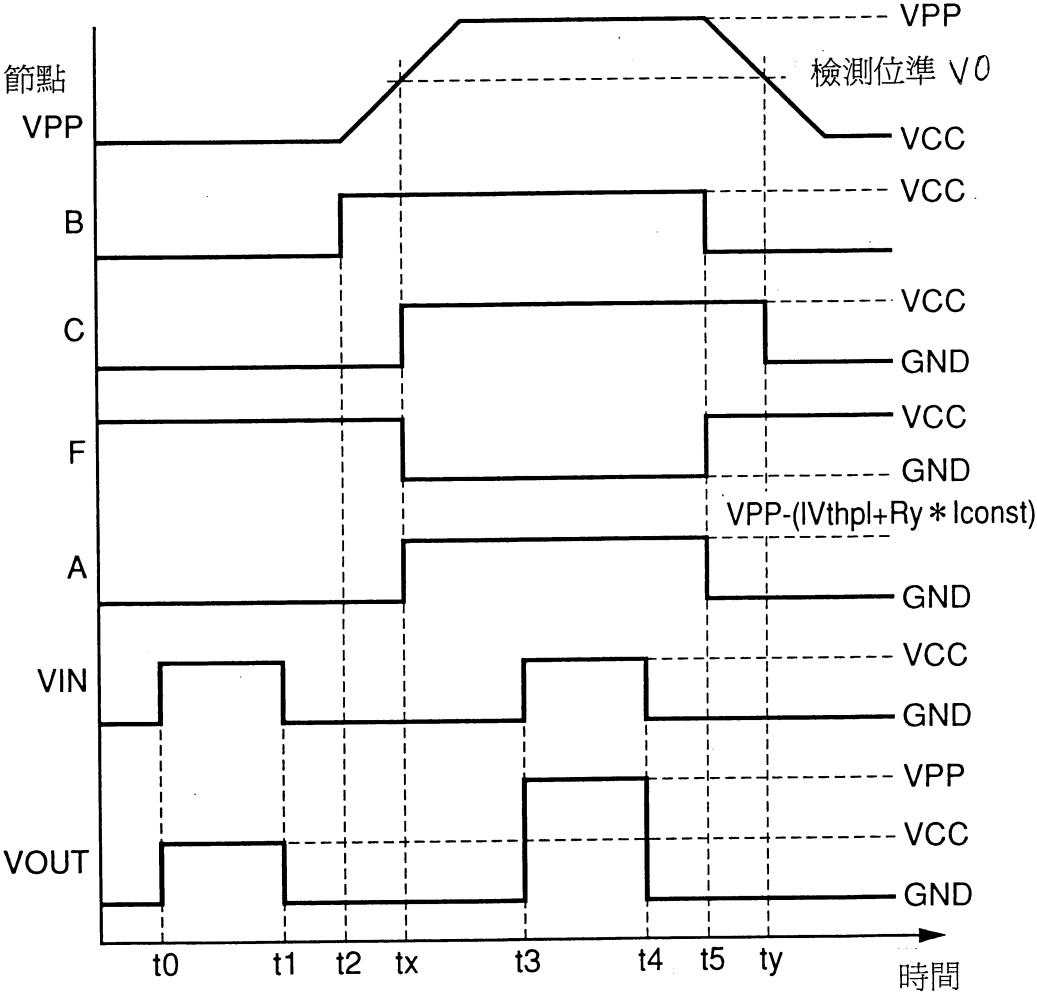


圖 29

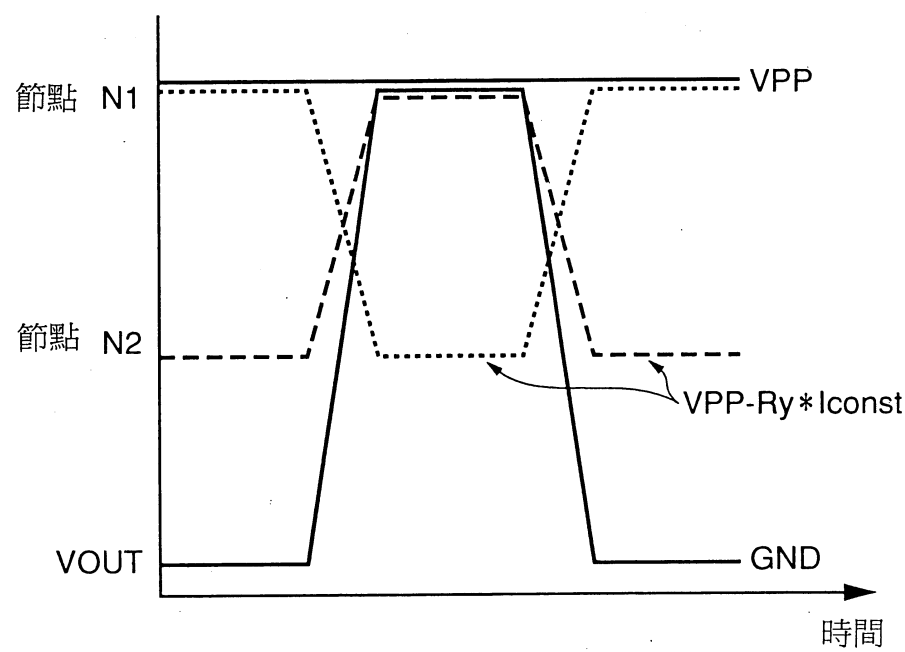


圖 30

