



# (12) 发明专利

(10) 授权公告号 CN 108108564 B

(45) 授权公告日 2021.06.11

(21) 申请号 201711472887.4

(56) 对比文件

(22) 申请日 2017.12.29

CN 2444345 Y, 2001.08.22

(65) 同一申请的已公布的文献号

审查员 刘洛

申请公布号 CN 108108564 A

(43) 申请公布日 2018.06.01

(73) 专利权人 安徽皖通邮电股份有限公司

地址 230000 安徽省合肥市阜阳北路334号

(72) 发明人 潘樱子 王娟

(74) 专利代理机构 北京科亿知识产权代理事务所(普通合伙) 11350

代理人 汤东风

(51) Int. Cl.

G06F 9/445 (2018.01)

G06F 30/398 (2020.01)

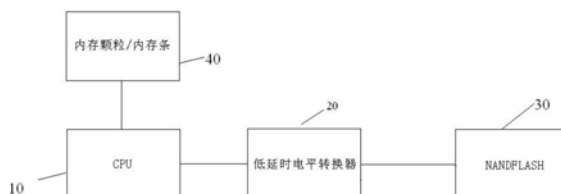
权利要求书1页 说明书3页 附图2页

## (54) 发明名称

一种提高系统启动速度的装置和方法

## (57) 摘要

一种提高系统启动速度的装置和方法,可优化电路结构,缩短CPU到NANDFLASH之间的信号延时,提高NANDFLASH访问频率,从而提高整个系统的启动速度,提升用户体验。包括CPU、低延时电平转换器、NANDFLASH、内存条/内存颗粒;其中,所述CPU的NANDFLASH信号通过低延时电平转换器进行电平转换后与NANDFLASH相连,内存条/内存颗粒直接与中央处理器相连。与常用的采用CPLD进行电平转相比,本发明采用低延时双向电平转换器实现中央处理器(CPU)NANDFLASH接口到NANDFLASH之间的电平转化,使得中央处理器(CPU)与NANDFLASH之间的信号延时由20ns降低到10ns以下,中央处理器(CPU)可以以更高的频率访问NANDFLASH,提高整个系统的启动速度。



1. 一种提高系统启动速度的方法,其特征在于:包括如下步骤:

步骤1:当CPU(10)对NANDFLASH(30)进行写操作时,CPU(10)将通过低延时电平转换器(20)向NANDFLASH(30)发送控制信号、命令、地址和数据,所有信号的方向都是由中央处理器CPU(10)发送到NANDFLASH(30);

步骤2:假设中央处理器CPU(10)发出的信号在低延时电平转换器(20)中的延时为 $T_2$ ,各芯片间PCB走线延时忽略不计;写NANDFLASH(30)操作时,CPU(10)发出的所有信号都会经历 $T_2$ 的延时到达NANDFLASH(30),在不考虑电平转换器件不同端口延时差异的情况下,NANDFLASH(30)接收到的命令、地址、数据相位关系跟CPU(10)发出来的信号时序关系基本相同;

步骤3:当CPU(10)对NANDFLASH(30)进行读操作时,CPU(10)发出控制信号首先经过 $T_2$ 延时后到达NANDFLASH(30),NANDFLASH(30)把读出的数据信号送入到低延时电平转换器(20),再经过 $T_2$ 的延时到达中央处理器CPU(10);此时CPU(10)接收到数据信号的时间已比直接外挂NANDFLASH(30)进行读操作延时了2个 $T_2$ 时间;这个延时将会使CPU(10)采样数据信号窗口缩短 $2*T_2$ 。

2. 根据权利要求1所述的提高系统启动速度的方法,其特征在于:所述步骤2中 $T_2$ 延时大小并不影响CPU(10)对NANDFLASH(30)的写操作时序。

3. 根据权利要求2所述的提高系统启动速度的方法,其特征在于:所述步骤2中CPU(10)写NANDFLASH(30)的频率可以达到NANDFLASH(30)/CPU(10)中NANDFLASH控制器可支持的上限频率。

4. 根据权利要求3所述的提高系统启动速度的方法,其特征在于:所述步骤3中必须把CPU(10)中NANDFLASH(30)输出的读使能信号有效脉宽增大 $2*T_2$ 时间,以满足CPU(10)读NANDFLASH(30)时序要求。

5. 根据权利要求1-4任意一项所述的提高系统启动速度的方法,其特征在于:所述低延时电平转换器(20)为低延时双向电平转换器,延时小于等于4.5ns。

6. 根据权利要求5所述的提高系统启动速度的方法,其特征在于:所述低延时电平转换器(20)采用TXB0304RUTR芯片。

## 一种提高系统启动速度的装置和方法

### 技术领域

[0001] 本发明涉及电路设计领域,具体涉及一种提高系统启动速度的装置和方法。

### 背景技术

[0002] 在通讯设备中,一种常见的CPU小系统电路框图如图1所示,该小系统包括处理器(CPU)、内存条/内存颗粒、可编程逻辑芯片(CPLD)、NANDFLASH。其中CPU是整个小系统的核心,小系统其它电路均为它服务;内存条/内存颗粒是程序执行的空间;CPLD用于实现外围接口扩展和电平转换等功能,NANDFLASH用于存放BOOT和系统版本。系统上电完成后,CPU访问NANDFLASH,获取其中信息,使系统得以顺利启动。CPU对NANDFLASH的访问速度直接决定了整个设备的启动速度。

[0003] 通讯设备,如路由器、交换机中多数CPU的NANDFLASH接口是1.8V电平标准的,而常用的NANDFLASH是3.3V电平标准,通常会使用一片CPLD来实现1.8V到3.3V的电平转换。信号经过CPLD后,会带来20ns左右的延时,影响CPU读NANDFLASH数据信号的建立时间,CPU中的NANDFLASH控制器必须增大读使能信号有效时间才能满足自身采样数据建立时间的要求。这无疑加长了CPU读NANDFLASH的周期,限制了CPU对NANDFLASH的访问频率,导致设备的启动时间增加。在实现NANDFLASH接口电平转换的同时,减小电平转换导致的延时,提高CPU访问NANDFLASH的频率,将提高系统的启动速度。

### 发明内容

[0004] 本发明提出的一种提高系统启动速度的方法,可优化电路结构,缩短CPU到NANDFLASH之间的信号延时,提高NANDFLASH访问频率,从而提高整个系统的启动速度,提升用户体验。

[0005] 为实现上述目的,本发明采用了以下技术方案:

[0006] 一种提高系统启动速度的装置,包括中央处理器(CPU)、低延时电平转换器、NANDFLASH、内存条/内存颗粒。其中所述中央处理器(CPU)的NANDFLASH信号通过低延时电平转换器进行电平转换后与NANDFLASH相连,内存条/内存颗粒直接与中央处理器(CPU)相连。

[0007] 当中央处理器(CPU)对NANDFLASH30进行写操作时,中央处理器(CPU)将通过低延时电平转换器向NANDFLASH30发送控制信号、命令、地址和数据。此时,所有信号的方向都是由中央处理器(CPU)发送到NANDFLASH30。假设中央处理器(CPU)发出的信号在低延时电平转换器中的延时为 $T_2$ ,各芯片间PCB走线延时忽略不计。在写NANDFLASH30操作时,中央处理器(CPU)发出的所有信号都会经历 $T_2$ 的延时到达NANDFLASH,在不考虑电平转换器件不同端口延时差异的情况下,NANDFLASH30接收到的命令、地址、数据相位关系跟中央处理器(CPU)发出来的信号时序关系基本相同。 $T_2$ 延时大小并不影响中央处理器(CPU)对NANDFLASH30的写操作时序。中央处理器(CPU)写NANDFLASH的频率可以达到NANDFLASH/中央处理器(CPU)中NANDFLASH控制器可支持的上限频率。

[0008] 但是对于读操作,中央处理器(CPU)发出控制信号首先经过T2延时后到达NANDFLASH,NANFLASH把读出的数据信号送入到低延时电平转换器,再经过T2的延时到达中央处理器(CPU)。此时中央处理器(CPU)接收到数据信号的时间已比直接外挂NANDFLASH30进行读操作延时了2个T2时间。这个延时将会使中央处理器(CPU)采样数据信号窗口缩短 $2 * T2$ ,设计人员必须把大中央处理器(CPU)中NANDFLASH控制器输出的读使能信号有效脉宽增大 $2 * T2$ 时间,以满足中央处理器(CPU)读NANDFLASH30时序要求。读使能信号有效时间的增加,导致整个读周期时间增加,NANDFLASH读操作速度降低。选用T2小的低延时电平转换器进行电平转换将会使这一情况得到有效改善。

[0009] 由上述技术方案可知,本发明采用低延时电平转换器代替CPLD进行1.8V与3.3V之间的电平转换,如TXB0304RUTR等自感应方向低延时双向电平转换器,该芯片输入到输出的延时小于等于4.5ns,能自动感应输入输出方向,能实现1.8V与3.3V之间电平转换,最高信号速率达到140Mbps。使用该方案后, $2 * T2$ 延时由20ns缩短为9ns,NANDFLASH30读有效信号低电平持续时间可缩短11ns,读操作周期可缩短11ns,提高了NANDFLASH30读速率。

[0010] 本发明的技术效果在于:与常用的采用CPLD进行电平转相比,本发明采用低延时双向电平转换器实现中央处理器(CPU)NANDFLASH接口到NANDFLASH之间的电平转化,使得中央处理器(CPU)与NANDFLASH之间的信号延时由20ns降低到10ns以下,中央处理器(CPU)可以以更高的频率访问NANDFLASH,提高整个系统的启动速度。

## 附图说明

[0011] 图1是常用CPU小系统电路结构框图;

[0012] 图2是本发明系统电路框图;

[0013] 图3是CPU写NANDFLASH时序图;

[0014] 图4是CPU读NANDFLASH时序图。

## 具体实施方式

[0015] 下面结合附图对本发明做进一步说明:

[0016] 如图2所示,本实施例所述的一种提高系统启动速度的装置,包括中央处理器(CPU)10、低延时双向电平转换器20、NANDFLASH30、内存条/内存颗粒40。

[0017] 所述中央处理器(CPU)10的NANDFLASH接口,通过低延时电平转换芯片20实现1.8V转3.3V后与NANDFLASH30相连。NANDFLASH30中存放着系统启动时需要的BOOT和软件版本。

[0018] 系统上电后,中央处理器(CPU)10根据配置,选择从NANDFLASH30启动,中央处理器(CPU)10产生访问NANDFLASH30的时序,获取BOOT和软件版本。

[0019] 当中央处理器(CPU)10对NANDFLASH30进行写操作时,中央处理器(CPU)10发送给NANDFLASH30的时序,如图3,需要满足NANDFLASH写操作时序要求。这些信号时序可以通过配置中央处理器(CPU)10寄存器实现。在进行写操作时,所有的信号都由中央处理器(CPU)10发出,经过低延时电平转换芯片20后到达NANDFLASH30。低延时电平转换芯片20各通道之间延时差异极小,对整个NANDFLASH30写时序要求影响可以忽略不计。在满足时序要求的前提下,写使能信号周期越短,写NANDFLASH30的速度就越快。低延时电平转换芯片20带来的4.5ns延时,不影响中央处理器(CPU)10对NANDFLASH30访问时序。

[0020] 当中央处理器 (CPU) 10对NANDFLASH30进行读操作时,中央处理器 (CPU) 10先要发送片选 (CE\_B)、命令锁存使能 (CLE)、地址锁存使能 (ALE)、写使能 (WE\_B)、读使能 (RE\_B) 这些控制信号给低延时电平转换芯片20,经过4.5ns延时后,这些信号到达NANDFLASH30。NANDFLASH30在RE\_B信号下降沿之后的TREA时间,向低延时电平转换器件20送出数据信号 (DATA),数据信号 (DATA) 在低延时电平转换器件20经过4.5ns延时后送入到中央处理器 (CPU) 10。中央处理器 (CPU) 10对数据信号的采样信号窗口为 $TRP - TREA + TRHOH$ 。其中TRP是RE\_B有效脉冲宽度,TREA为NANDFLASH30收到RE\_B有效后输出数据的时间,TRHOH是RE\_B信号拉高后NANDFLASH30输出数据保持的时间,如图4。在经过低延时电平转换芯片20后,到达NANDFLASH30的RE\_B有效信号其实已经延时了4.5ns,这导致NANDFLASH30输出数据的时间也会延时4.5ns。NANDFLASH30输出的数据还将经过低延时电平转换器件20才到达中央处理器 (CPU) 10,这使得数据比中央处理器 (CPU) 10直接外挂NANDFLASH30晚9ns。通过调整中央处理器 (CPU) 中NANDFLASH控制器的寄存器配置,使RE\_B有效信号提前9ns以保证数据能够有足够的建立、保持时间被正确采样。

[0021] 本实施例中,采用的低延时双向电平转换器,延时仅为4.5ns,与采用CPLD进行电平转换相比,读写周期可以缩短11ns。通过对中央处理器 (CPU) 10进行合理配置,可提高NANDFLASH访问速度,进而提高整个系统的启动速度。

[0022] 以上所述的实施例仅仅是对本发明的优选实施方式进行了描述,并非对本发明的范围进行限定,在不脱离本发明设计精神的前提下,本领域普通技术人员对本发明的技术方案作出的各种变形和改进,均应落入本发明的保护范围内。

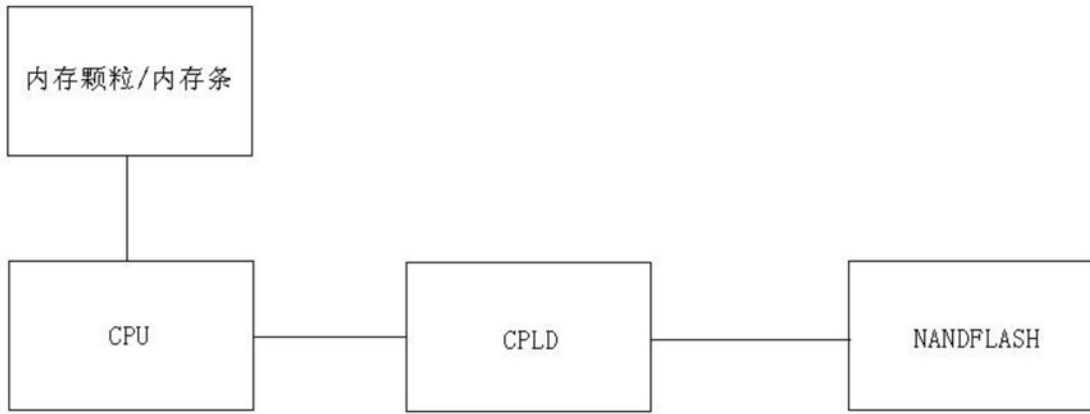


图1

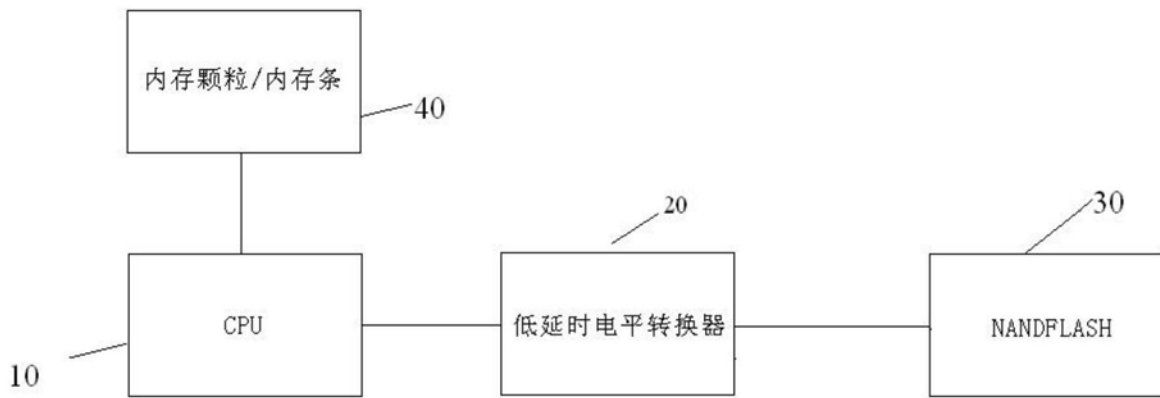


图2

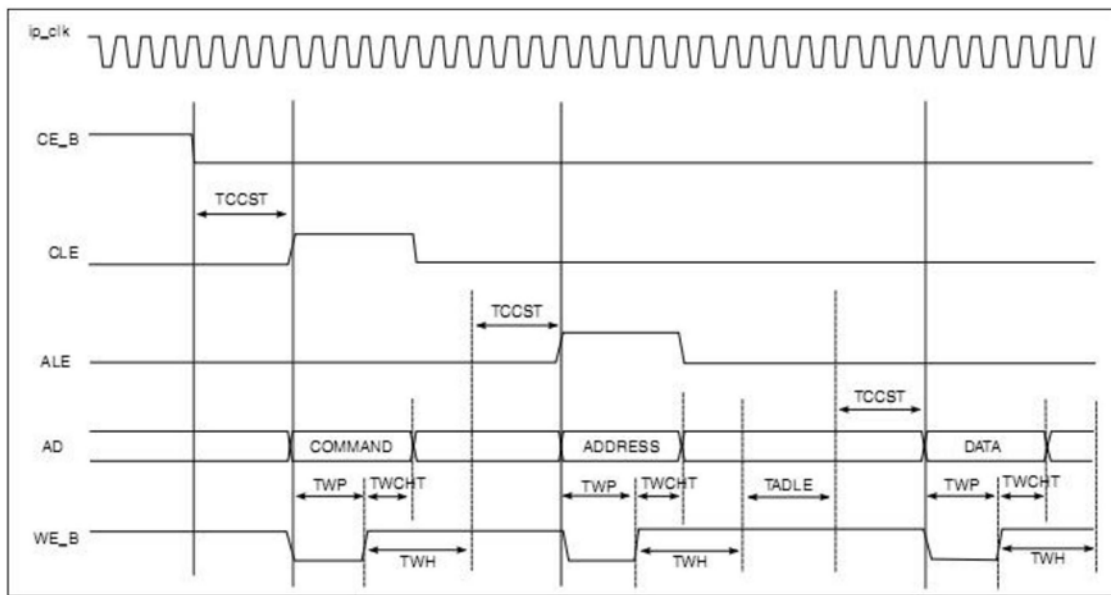


图3

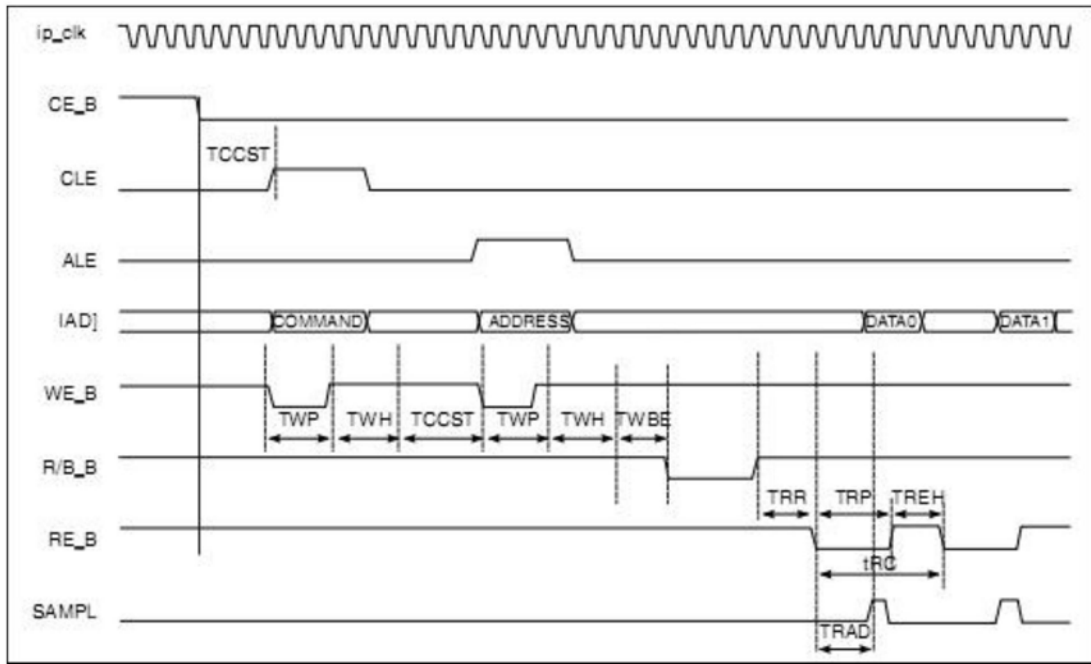


图4