

申請日期： 91.12.6	IPC分類
申請案號： 91135504	G06F 9/312

(以上各欄由本局填註)

# 發明專利說明書

200301138

一、 發明名稱	中文	降低記憶體潛伏時間之方法與設備
	英文	METHOD AND APPARATUS TO REDUCE MEMORY LATENCY
二、 發明人 (共2人)	姓名 (中文)	1. 布萊恩·J·麥基 2. 玉·B·周
	姓名 (英文)	1. McGee, Brian J. 2. Jade B. Chau
	國籍 (中英文)	1. 美國 US 2. 美國 US
	住居所 (中文)	1. 美國加州95112聖荷西市北一街400號308室 2. 美國加州95120聖荷西市庫司布魯克巷6030號
	住居所 (英文)	1. 400, North First Street, #308, San Jose, California, 95112, U. S. A. 2. 6030, Crossbrook Court, San Jose, California, 95120, U. S. A.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 昇陽電腦股份有限公司
	名稱或 姓名 (英文)	1. Sun Microsystems, Inc.
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國加州95054聖塔克拉克市網絡圓環4150號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 4150 Network Circle, Santa Clara, California, 95054, U. S. A.
	代表人 (中文)	1. 玫兒琳·葛勒賓斯里
代表人 (英文)	1. Marilyn Glaubensklea	



## 一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
美國 US	2001/12/07	10/020,565	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

熟習該項技術者易於獲得,不須寄存。

## 五、發明說明 (1)

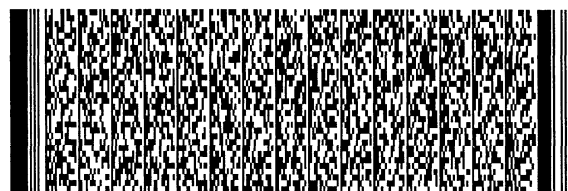
## 一、【發明所屬之技術領域】

本發明係有關於微處理器，且特別指在微處理器中保持資料的一致性。

## 二、【先前技術】

現代電腦系統使用一種記憶體階層，以讓電腦的記憶體能在速度、尺寸、和成本之間達到最佳的平衡。這些電腦系統通常使用一個如DRAM的主記憶體，和一個較大而較慢的輔助記憶體，如磁性儲存器或硬碟。一個較小、較快的快取記憶體，如靜態隨機存取記憶體(SRAM, Static Random Access Memory)，通常裝置在CPU和主記憶體之間。此高速的快取記憶體儲存CPU最近所需要的資訊，以增加此電腦系統的頻寬。這樣子，執行一個電腦程式的最近請求的資訊，可以由此快取記憶體快速的提供到中央處理單元(CPU, Central Process Unit)，從而不需存取慢很多的主記憶體和輔助記憶體。此快取記憶體雖然很快，但是非常昂貴，因此通常很小以使成本最小化。

圖1說明一熟知的一般電腦系統100，具有一CPU102，包含CPU執行單元104、一個內部(例如L1)快取記憶體106、一個外部快取控制器108、一個主記憶體控制器110。通常內部快取記憶體106被耦合到一外部(例如L2)快取記憶體109，並控制它，主記憶體控制器110被耦合到主記憶體112，並控制它。雖然為了簡化而未顯示出，記憶體控制器110包含一個寫入佇列以儲存對主記憶體112的未

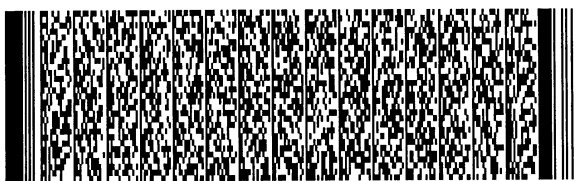


## 五、發明說明 (2)

決寫入請求，一個讀取佇列以儲存對主記憶體112的未決讀取請求。CPU 102也被耦合到一個系統匯流排114，系統匯流排114接著經由一個輸入/輸出(I/O, input/output)控制器118耦合到一個輔助記憶體116、經由一個I/O控制器122耦合到一個監視器120、經由一個I/O控制器126耦合到一個網路連接器124。

在一個電腦程式執行時，此電腦程式藉由CPU102內的一個程式計數器增量，以命令CPU102取得指令。由此，CPU102取得程式計數器所識別的指令。若此被識別的指令請求資料，發出一個指定該資料位置的位址請求。CPU102先向內部快取106搜尋此指定資料。若在內部快取106中找到此指定資料，此資料立即被提供到CPU執行單元104去處理。另一方面，若未在內部快取記憶體106中找到此指定資料，則接著搜尋外部快取記憶體109。

若此指定資料未在外部快取記憶體109中尋得，此位址請求被提供到主記憶體控制器110，接著將此位址請求排隊在其記憶體讀取佇列中。此記憶體讀取佇列提供此讀取請求到主記憶體112，主記憶體112接著搜尋此指定位址。由此，主記憶體112將此請求資料送回CPU執行單元104去處理。主記憶體112也將資料對應的線送回內部快取記憶體106，所以識別在此資料線中其它資訊的隨後的位址請求會發生一個內部快取命中，從而使此資料被送回內部快取內部快取記憶體106，而非從慢很多的主記憶體。這樣子，省去存取主記憶體有關的潛伏時間，從而增加

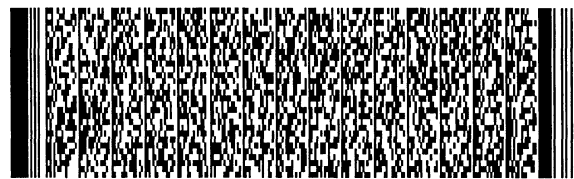
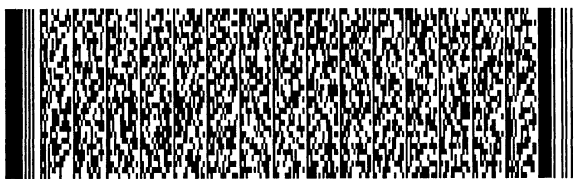


## 五、發明說明 (3)

CPU102 的資料頻寬。

儲存在內部快取記憶體106的線上的資料被CPU執行單元104修改，以回應此電腦程式的指令，所以並不會永遠和儲存在主記憶體112中的原始複本一致。通常儲存在內部快取記憶體106的一條線上的被修改過資料，直到此快取線需要儲存自主記憶體的取得的新資料，才會被寫回主記憶體112。在一個熟知的快取取代操作中，內部快取記憶體106的一條線被選取以儲存此新資料。若此要被取代的快取列尚未被修改，且因此和主記憶體112的原始複本一致，此快取列被刪除。在另一方面，若此快取列已經被修改，且因此不再和主記憶體112的原始複本一致，此快取列在一個熟知的寫回操作中被寫回主記憶體112。在寫回時，一個識別此被修改的快取資料的寫入請求被提供到主記憶體控制器110，主記憶體控制器110接著in turn儲存此位址請求在其寫入佇列中。此寫入佇列接著發送此寫入請求到主記憶體112，主記憶體112接著用此修改過的資料更新到此被識別的位址中。這樣子，維持資料的一致性。

此讀取和寫入佇列為單一佇列，通常將其個別的讀取和寫入請求發送到主記憶體112，其次序和CPU102發送的次序相同以維持適當的次序，其再確保資料的一致。因此，發送請求到主記憶體112時，寫入請求和讀取請求糾纏在一起，由它們對應指令的執行次序決定。因為維持在此CPU管線中一個固定的執行流程依靠此取得指令和此取



## 五、發明說明 (4)

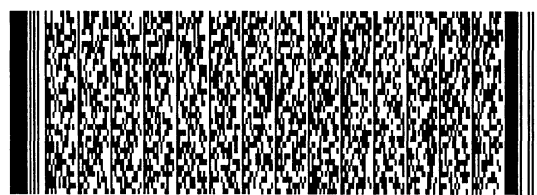
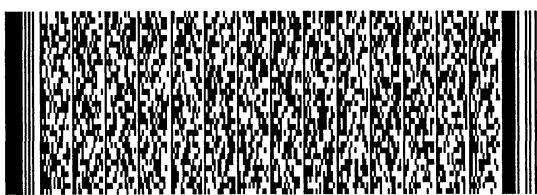
得指令所請求的資料之即時返回，即依靠此讀取請求即時的發送，發送寫入請求到主記憶體會拖延讀取請求到主記憶體的發送，而使在此管線中的指令執行暫停。

此外，因為在一個讀取請求之後的一個寫入請求被送到主記憶體112的瞬間，需要主記憶體112從讀取操作切換到寫入操作，反之亦然，被送到主記憶體112糾纏的寫入和讀取請求，將導致主記憶體讀取和寫入操作之間大量的切換次數。因主記憶體操作切換相關的延遲會降低CPU102的效能。

因此，需要用一個方式發送讀取和寫入請求到記憶體，以最小化管線執行的暫停，並最小化主記憶體在讀取和寫入操作之間切換的頻率。

## 三、【發明內容】

公開一種方法和設備，使得對主記憶體的讀取請求跳過到主記憶體的寫入請求，以增加管線效率，而同時保持資料的一致性。依照本實施例，一個控制主記憶體的記憶體控制單元包含一個讀取佇列、一個寫入佇列、和一個定序佇列。此讀取佇列儲存對主記憶體的讀取請求，並包含頭、尾和發送指標，其中此頭指標指示包含此最高優先或最早確認讀取請求的該列，此尾指標指示此讀取佇列的下一個可用列，此發送指標指示對此讀取佇列的一個發送點。此寫入佇列儲存對此主記憶體的寫入請求，並包含一個指示此寫入佇列中最早寫入請求的頭指標，和一個指示此寫入佇列中下一可用列的尾指標。此定序電路被耦合到



## 五、發明說明 (5)

此讀取佇列和此寫入佇列，並使得在任何寫入請求發送到主記憶體之前，先發送此讀取請求到主記憶體，而不管它們被發送的次序，除非偵測到一個寫後讀取的情況(RAW, Read After Write)。當一個讀取請求定址到一個較早的寫入請求定址的相同資料時，一個RAW情況發生，在此情況中，此寫入請求先於此讀取請求被發送到主記憶體，使得此讀取請求取得被此寫入請求更新的資料。否則，此讀取請求取得無效的資料(例如舊資料)。

明確的說，每一個將被排隊在此讀取佇列中的讀取請求，和已經排隊在此寫入佇列中的寫入請求比較，以偵測一個RAW情況。若沒有一個匹配，此定序電路使此等讀取請求在此等寫入請求之前發送到主記憶體，即使此寫入請求早於此等讀取請求，藉著使讀取請求跳過寫入請求，被一個電腦程式的指令請求的資料會較快速的返回主記憶體以執行，從而最小化管線執行暫停。此外，讓讀取請求跳過寫入請求會導致較連貫的讀取請求被發送到主記憶體，從而有利於減少主記憶體在讀取和寫入操作之間切換的頻率。

若有一個匹配，即有一個RAW情況，此寫入佇列的尾指標(例如，指示包含此匹配寫入請求的此寫入佇列索引)被儲存為此定序電路的一項。由此，此定序電路使得此寫入佇列發送其寫入請求到主記憶體，直到此寫入佇列的頭指標等於儲存在此定序電路的此寫入佇列尾項，這時此定序電路中的此寫入索引尾項無效。這樣子，此較早的匹配



#### 五、發明說明 (6)

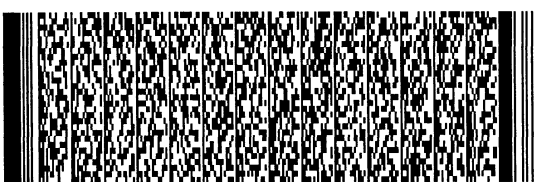
寫入請求在此讀取請求之前被發送到主記憶體，從而確保此讀取請求取得此更新過的資料。在一些實施例中，被排隊在此寫入佇列中所有的寫入請求，在偵測到一個RAW情況時，被發送到主記憶體。

本實施例也使寫入請求跳過較早的讀取請求。在一實施例中，將被排隊在此寫入佇列中的每一個寫入請求，和每一個已被程在讀取佇列中的讀取請求比較，以偵測一個匹配，其指示一個讀後寫入(WAR, Write After Read)情況。若沒有一個匹配，此等寫入請求先於此排隊在讀取佇列中的此等讀取請求被發送，而不危害資料的一致性，即使此等讀取請求早於此等寫入請求。例如為防止此寫入佇列變滿而造成管線執行暫停，需要先於較早的讀取請求發送此等寫入請求。

若有一個匹配，其指示一個WAR情況，此讀取佇列尾指標(例如指示包含此匹配讀取請求的此讀取佇列索引)被儲存為此定序電路中一項。由此，此定序電路使得此讀取佇列發送其讀取請求到主記憶體，直到此讀取佇列發送指標等於儲存在此定序電路中的此讀取佇列尾項，這時此定序電路中的此讀取佇列索引項無效。這樣子，此較早的匹配讀取請求先於此寫入請求發送到主記憶體，從而確保此讀取請求取得此更新前的資料。

#### 四、【實施方式】

以下討論的實施例在一個電腦系統200的情況中，只



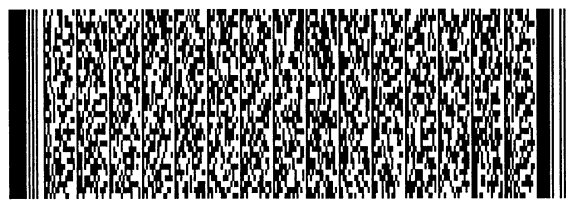


## 五、發明說明 (7)

是為了簡化。本實施例同樣的可應用到不同架構和組態的其它電腦系統。例如以下只討論單一處理器系統的情況，本發明很容易應用到多處理器的電腦系統。此外，此處指定的訊號和控制位元的特定邏輯位準是任意的，因此在需要處可以顛倒。此外，單一信號線可為多信號線或匯流排，多信號線或匯流排可為單一信號線。且雙向匯流排可用單向匯流排代替。因此，本發明並不被此處描述的特殊例子所限制，而包含申請專利範圍所定義的所有實施例。

參考圖2，依照本發明的一個實施例構成的一個電腦系統200，包含一個CPU 202、一個主記憶體112、一個系統匯流排114。主記憶體112是任一熟知的記憶體，如DRAM。系統匯流排114被耦合到處理器202，並可以任一熟知的匯流排架構實現。雖然為了簡化而未在圖2中顯示，電腦系統200包含如圖1所示其它的習知元件，例如輔助記憶體116、監視器120、和網路連接器124，皆耦合到系統匯流排114。此外，在其它的實施例中，額外的處理器202(未顯示以簡化)亦耦合到系統匯流排114。

處理器202包含CPU執行單元104、一個CPU匯流排203、一個快取單元204、一個系統匯流排介面單元(BIU)206和一個記憶體控制單元(MCU)208。CPU執行單元104包含熟知的元件，例如算術邏輯單元(ALU, Arithmetic Logic Unit)、移位電路、一個程式計數器和其它執行單元，都用在一個電腦程式中的指令和資料處理。CPU匯流排203以熟知的方式，協助CPU執行單元104、

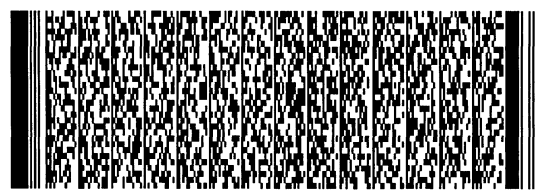
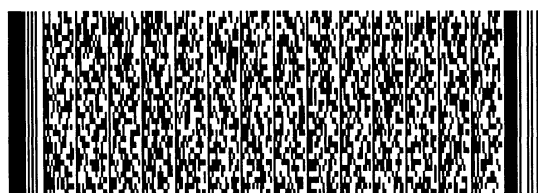


## 五、發明說明 (8)

快取單元204、BIU206、和MCU208之間的通訊。BIU206提以熟知的方式，協助處理器202、系統匯流排114之間的通訊。

快取單元204是習知的，並包含一個快取記憶體216和熟知的控制邏輯(未顯示)以控制快取記憶體216的操作。快取記憶體216是一個多階快取記憶體，例如，有一個Level 1(L1)快取、Level 2(L2)快取、和Level 3(L3)快取。此L1快取分為一個指令快取和一個資料快取，且包含額外的快取，例如一個預取快取，用以儲存臆測指令和/或資料取得。在一些實施例中，此L2、L3快取在處理器202的外部。

MCU208被耦合到主記憶體112，並控制對主記憶體112的存取，圖示中包含一個記憶體讀取佇列(MRQ, Memory Read Queue)210、一個記憶體寫入佇列(MWQ, Memory Write Queue)220、和一個定序電路230。MCU208也包含額外電路(未顯示以簡化)以控制主記憶體112。MRQ210是一個熟知的關聯記憶體(CAM, Content Addressable Memory)，儲存讀取請求，直到請求被送到主記憶體112，且包含一個關聯的RAM，以儲存此每一個讀取請求的狀態和控制資訊。MWQ220是一個熟知的CAM，儲存寫入請求，直到請求被送到主記憶體112，且包含一個關聯的RAM，以儲存此每一個寫入請求的狀態和控制資訊。在一實施例中，MRQ210包含16列，為主記憶體112儲存讀取請求到16個，MWQ220包含5列，為主記憶體112儲存寫入請求到5

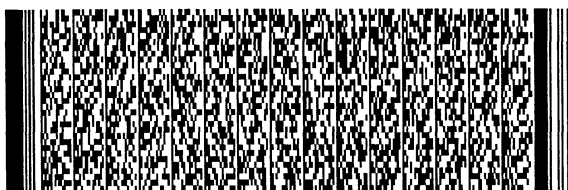


## 五、發明說明 (9)

個。在一實施例中，MRQ210和MWQ220包含28位元CAM資訊欄，以儲存28位元的位址，且包含2位元RAM資訊欄以儲存兩個額外的位址位元。

定序電路230監視MRQ210和MWQ220，且由此重新指定這些排隊中的讀取和寫入請求的優先權，使得這些讀取和寫入指令，以一個相互次序紊亂的方式送到主記憶體112，而不危及資料的一致性。如上述，要維持在此CPU執行管線的流程順暢，需要被請求的資料從主記憶體即時並連續的返回。藉著讓讀取請求跳過較早的寫入請求，定序電路230讓來自主記憶體的被請求資料能即時返回此CPU以執行，從而使因為發送讀取請求到主記憶體的延遲產生的執行暫停最小化。此外，送出許多的讀取請求到主記憶體，但不插入寫入請求於其中的能力，有利於減少主記憶體在寫入和讀取操作之間的切換頻率。因此，主記憶體切換於寫入和讀取操作的相關延遲減少，其再使處理器202的記憶體頻寬增加。

明確的說，當每個讀取請求被排隊在MRQ210時，其位址請求和MWQ220的這些寫入請求位址作比較，以偵測RAW情況。若不匹配，先將此讀取請求被送到主記憶體112，再將排隊在MWQ220中的寫入請求送到主記憶體112，儘管這些寫入請求早於此讀取請求。相反的，若有一個匹配，即一個RAW情況，則此匹配寫入請求比此讀取請求先送到主記憶體112，以維持資料的一致性。在一些實施例中，偵測到RAW情況時，所有較早的寫入請求都被送到主記憶



## 五、發明說明 (10)

體112。這樣子，多個寫入請求從MCU208送到送到主記憶體112，而不用切換記憶體讀取和寫入操作，從而減少主記憶體112在讀取和寫入操作間切換的頻率。

本實施例也該寫入請求跳過較早的讀取請求，例如為了在寫入佇列變滿之前，先將寫入請求送到主記憶體。為使寫入請求跳過讀取請求且不危害資料的一致性，將被排隊在MWQ220的每個寫入請求和已排隊在MRQ210中的讀取請求比較。若有一個匹配，即一個WAR情況，此匹配讀取請求比此寫入請求先送到主記憶體112，使得此讀取請求在較新的寫入請求修改資料前，先取回此資料。反之，若沒有匹配，則這些寫入請求先於這些讀取請求被送到主記憶體，即使這些讀取請求比這些寫入請求早。

圖3是一個MCU300的方塊圖，它是圖2的MCU208的一個實施例。MCU300包含MRQ210、MWQ220、定序電路230、一個MUX302、和切換邏輯304。如上述，MRQ210和MWQ220是熟知的CAM元件，因此為了簡化，在此不詳述其元件和操作。因此雖然圖3中未顯示，MRQ210和MWQ220都包含比較元暫存器、位址解碼器、匹配旗標電路、優先權編碼器、和其它熟知的元件。再者，雖然圖3中未顯示，MCU300也包含至少一個資料緩衝器，以儲存在MRQ210和MWQ220排隊中的請求的相關資料。

發送到CPU匯流排203的讀取和寫入請求來自例如快取單元204(見圖2)，被提供到切換邏輯304的一個輸入端，切換邏輯304包含一第一輸出端，耦合到BUS301，和一第

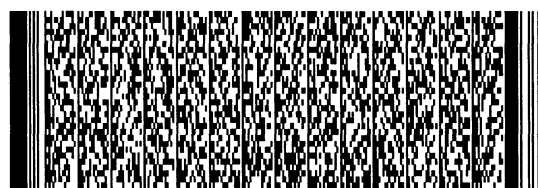


## 五、發明說明 (11)

二輸出端，耦合到BUS303。每一個提供到切換邏輯304的請求包含一個控制位元，指示此請求是一個讀取或寫入請求。為回應此控制位元，切換邏輯304安排讀取請求的路徑到BUS301，安排寫入請求的路徑到BUS303。

MRQ210具有一寫入端，耦合到301、一比較輸入端，耦合到BUS303、和一讀取輸出端，耦合到BUS211。MRQ210經由雙向BUS305提供匹配、有效、和指標資訊到定序電路230，並經由BUS305接收來自定序電路230的位址和控制資訊。回應來自定序電路230的位址和控制資訊，MRQ210送出至少一個讀取請求到BUS211上。MRQ210也包含一額外的欄，有效位元單元212，以指示有效讀取請求是否被排隊在MRQ210的對應列。在一個實施例中，MRQ210也包含一額外的欄，發送位元(未顯示以簡化)，指示對應的讀取請求是否已被送到主記憶體112。此外，雖然圖3中未顯示，MRQ210包含熟知的頭、尾、和發送指標，這裏的頭指標指示此最高優先或最早有效讀取請求，此尾指標指示MRQ210的下個可用列，此發送指標指示MRQ210的一個發送點。在其它的實施例中，沒有此發送指標，且此頭指標用以指示尚未發送到主記憶體的最高優先或最早的讀取指令。

MWQ220具有一個寫入輸入端，耦合到BUS303、一個比較輸入端，耦合到301、和一個讀取輸出端耦合到BUS221。MWQ220經由雙向BUS311提供匹配、有效、和指標資訊到定序電路230，並經由BUS311接收來自定序電路230的位址和控制資訊。回應來自定序電路230的位址和控制

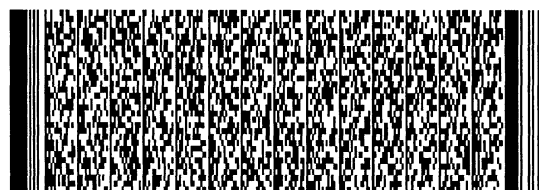


## 五、發明說明 (12)

資訊，MWQ220 送出至少一個寫入請求到BUS211上。MWQ220 也包含一額外的欄，有效位元單元cell222，以指示是否有效讀取請求被排隊在MWQ220的對應列。在一個實施例中，MWQ220也包含一額外的欄，發送位元(未顯示出以簡化)，指示對應的讀取請求是否被送到主記憶體112。此外，雖然圖3中未顯示，MWQ220包含一個熟知的頭、尾指標。

MUX302包含輸入端，經由BUS211接收來自MRQ210的讀取請求，並經由BUS221接收來自MWQ220的寫入請求。回應定序電路230經由線315提供的一個控制信號，MUX302選擇性的從BUS211發送讀取請求，或從BUS221發送寫入請求，經由BUS317到主記憶體112。

定序電路230顯示包含發送邏輯232，發送邏輯232經由雙向BUS 233耦合到定序佇列234。定序佇列234包含許多列，每個用以儲存一個讀取請求的讀取佇列索引，此讀取請求定址到一個較早的寫入請求相同的資料，或是一個寫入請求的寫入佇列索引，此寫入請求定址到和較早的讀取請求相同的資料。定序佇列234也包含一個額外的欄單元236，以儲存有效位元，用以指示定序佇列234對應的列是否含有一個有效索引項。此外定序佇列234包含一個額外的欄單元238，以儲存交易類型位元，每個指示一個對應的索引是否指向儲存在MRQ210的一個讀取請求或儲存在MWQ220的一個寫入請求。此外，定序佇列234包含一個熟知的頭和尾指標，此OQ頭指標指示此將被執行的此定序佇



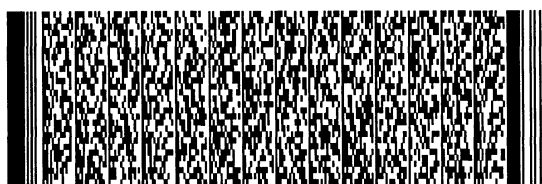
## 五、發明說明 (13)

列，而此0Q尾指標指示在定序佇列234中下一個可用的列。在一些實施例中，定序佇列234是一個CAM裝置，但在其它的實施例，定序佇列234是以習知的暫存器和比較器實現。在一實施例中，定序佇列234包含8列，以儲存請求索引到8個。

在操作時，若一個將被排隊在MRQ210的讀取請求和一個已被排隊在MWQ220的寫入請求相符，此MWQ尾指標被儲存為在定序佇列234的一列中的一個索引項，此列被0Q尾指標指定。此MWQ尾指標指示此MWQ索引，此MWQ索引包含對應於此RAW情況(例如此匹配寫入請求)的此寫入請求。同似的，若一個將被排隊在MWQ220的寫入請求和一個已被排隊在MRQ210的讀取請求相符，此MRQ尾指標被儲存為在定序佇列234的一列中的一個索引項，此列被0Q尾指標指定。

發送邏輯232監視定序佇列234的有效項，每個有效項對應一個RAW情況或一個WAR情況，並因此指示一個可能的資料一致性問題。正常操作下，例如，當定序佇列234中不存在任何有效項時，發送邏輯232使MRQ210先於在MWQ220中排隊的寫入請求，發送其讀取請求到主記憶體112，而不顧順序，即不顧此寫入請求早於此讀取請求。如此，雖然定序佇列234中沒有儲存有效的MWQ索引項，發送邏輯232容許讀取請求跳過寫入請求，使得來自主記憶體112的資料更快速的返回處理器202執行。

偵測到定序佇列234中的一個有效項時，發送邏輯232

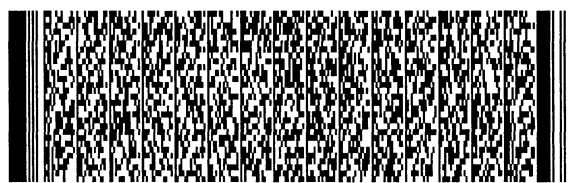
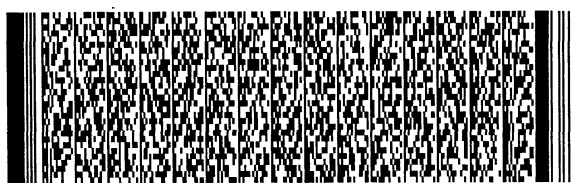


## 五、發明說明 (14)

控制送出讀取和寫入請求到主記憶體112，並使MRQ210和/或MWQ220在保持資料一致性的順序下送出個別的請求到主記憶體112。例如，若一個讀取請求在請求此相同資料的一個寫入請求後發出，發送邏輯232使MWQ220先於此讀取請求發送到主記憶體112前，發送此較早的寫入請求到主記憶體112，使得此讀取請求會取得此更新後的資料。相同的，若一個寫入請求在一個請求此相同資料的一讀取請求後發出，發送邏輯232使得MRQ210先於此寫入請求發送前，發送此較早的讀取請求到主記憶體112，使得此讀取請求會取得此被此寫入請求更新前的資料。

以下參照圖4和圖5的流程圖，描述MCU 300的一個實施例的操作。最初MRQ210和MWQ220是空的。因此，MRQ210的此頭、尾、和發送指標被初始化為在MRQ210中第一可用列，相同的，對MWQ220的此頭指標和尾指標被初始化為MWQ220中第一可用列。在一實施例中，此第一可用的列是具有最低邏輯位址的這一系列，然而在其它的實施例中，此第一可用的列是任何其它適合的列。

當一個請求被發送到CPU匯流排203上，且被接收到切換邏輯304中時(步驟400)，切換邏輯304檢查和此請求相關的控制位元，判定此請求是一個讀取請求或一個寫入請求。若此發出的請求是一個讀取請求，在步驟401檢驗，安排此讀取請求的路徑經由BUS301，到MRQ210的該寫入輸入端和MWQ220的比較輸入端(步驟402)。此讀取請求排隊在MRQ210中被MRQ尾指標指示的該列(步驟404)。此有效位





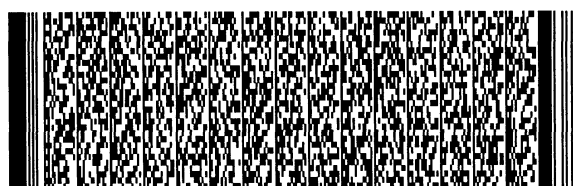
## 五、發明說明 (15)

元212確定，且此MRQ指標被增量到下一可用列(步驟406)。

此讀取請求同時被使用作為一個搜尋鍵，並和MWQ220中所儲存的全部有效寫入請求比較(步驟408)。若在MWQ220中不存在匹配，步驟410檢測，MWQ220經由BUS311，藉著否定其匹配旗標，指示此不匹配情況到發送邏輯232(步驟412)。發送邏輯232使MRQ210發送在MRQ210中彼此MRQ發送指標指定的讀取請求，經由MUX302到主記憶體112，以回應經由BUS305到MRQ210和線315到MUX302的位址和控制信號(步驟414)。此MRQ發送指標被增量到MRQ210中下一個最高優先的該列(步驟416)。在MRQ210包含發送位元的實施例中，對此讀取請求的此發送位元被確定，以指示此請求已經被發送到主記憶體112。

若有一個新的請求發送到CPU匯流排203，並被接收到MRQ210中，步驟418檢測，程序進行到步驟401。否則，若一個新的請求尚未被接收到MRQ210中，發送邏輯232使用此MRQ發送指標，使MRQ210發送額外的讀取請求到主記憶體112，不管儲存在MWQ220中未決的寫入請求。這樣子，讀取請求可跳過寫入請求，使得資料可更快速的從主記憶體112中返回，以被處理器202執行。

若在MWQ220中有一個匹配，在步驟410中測試，具有一個RAW情況，因為此讀取請求定址的資料已經被一個先前的指令修改過，但尚未被寫回主記憶體112(MWQ220中的匹配寫入請求指示)。因此，為了維持資料的一致性，此



## 五、發明說明 (16)

較早的匹配寫入請求必須在讀取請求前被發送到主記憶體112。為回應此匹配條件，MWQ220確定其匹配旗標，並經由BUS311提供此匹配旗標和MWQ尾指標到定序電路230(步驟420)。此MWQ尾指標被輸入定序佇列234中，被此OQ尾指標指示的此列，作為一個索引項，且此對應的有效位元236被確定(步驟422)。且此交易類型位元238被否定(例如邏輯0)，以指示此定序佇列項對應儲存在MWQ220中的一個寫入請求。

為回應此定序佇列項，發送邏輯232使MWQ220經由MUX302發送此匹配寫入請求到主記憶體112，以回應經由BUS311提供到MWQ220和經由線315提供到MUX302的位址和控制信號(步驟424)。明確的說，當此定序佇列有效位元確定時，發送邏輯232使MWQ220以先進先出(FIFO, First In First Out)的方式，開始發送其寫入請求，直到此MWQ頭指標等於儲存在定序佇列234的MWQ尾指標。因此，當此MWQ220頭指標隨著每一個發送到主記憶體112的寫入請求增量時，發送邏輯232將此MWQ頭指標和儲存在定序佇列234的MWQ尾指標作比較。當此MWQ頭指標等於儲存在定序佇列234的MWQ尾指標時，發送邏輯232使MWQ220停止發送額外的寫入請求到主記憶體112，使此定序佇列項無效，例如否定其有效位元236，並增量OQ頭指標到此下一最高優先列(步驟426)。

若在定序佇列234中不存在其它的有效項，在步驟428中測試，發送邏輯232再次使得MRQ210開始以和寫入請求

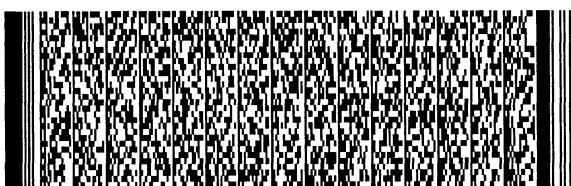


## 五、發明說明 (17)

順序紊亂的方式，發送讀取請求到主記憶體112(步驟414)。相反的，若在定序佇列234中存在其它的有效項，發送邏輯232以上述的方式處理它們，以保持資料一致性。因為定序佇列234儲存多個MWQ索引或尾指標項，一個被排隊在MRQ210中未決的讀取請求，和儲存在MWQ220中的多個寫入請求匹配。此外，定序佇列234中的此許多列讓發送邏輯232同時處理多個資料一致性問題(例如RAW或WAR情況)。

若在任何時候，MRQ210中沒有未決的讀取請求，MRQ210經由BUS305向發送邏輯232通知此情況，由此使MWQ220開始經由MUX302發送其寫入請求到主記憶體112。在一實施例中，發送邏輯讓MWQ220發送其中儲存未決的寫入請求到主記憶體112，直到另一個讀取請求被發送到CPU匯流排203，並被接收到切換邏輯304中。

若此被接收到切換邏輯304中的這個請求是一個寫入請求，在步驟401中測試，此請求被安排路徑經由BUS303到MWQ220的此寫入端和MRQ210的此比較端。(圖5的步驟500)。此寫入請求被排隊到MWQ220中彼此MWQ尾指標指示的這一系列(步驟502)。此對應的MWQ有效位元222被確定，而此MWQ尾指標被增量為MWQ220的下一個可用列。此寫入請求也被用來作為一個搜尋鍵，並和儲存在MRQ210中的未決讀取請求比較(步驟504)。若不存在匹配，步驟506測試，MRQ210藉由否定其匹配旗標，指示此不匹配情況到發送邏輯232(步驟508)。由此，發送邏輯232使MWQ220先於



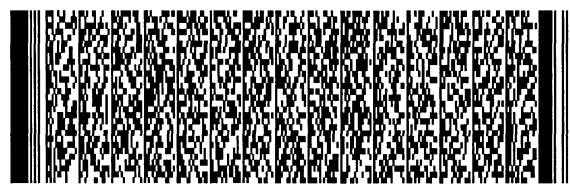
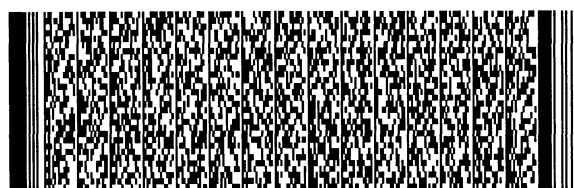
## 五、發明說明 (18)

較早的讀取請求發送其寫入請求(步驟509)。

如上述，需要在MWQ220變滿之前，發送寫入請求到主記憶體112，以防止管線執行暫停。在一實施例中，MWQ220包含一標誌，當一個預定數目的寫入請求被排隊在MWQ220中，且正等待被發送到主記憶體112時，此標誌通知發送邏輯232。在一實施例中，當4個或4個以上的寫入請求儲存在MWQ220時，MWQ220確定此標誌，不管其它指示被使用。為回應此被確定的標誌，發送邏輯232使MWQ220在任何較早的讀取請求前，開始發送其寫入請求到主記憶體，使MWQ220不會變滿。

相反的，如果MRQ210中有一個匹配，在步驟506中測試，那麼此寫入請求匹配一個較早的讀取請求，而且有一個WAR情況。因此，為了維持資料的一致性，此較早的匹配讀取請求在此寫入請求被發送到主記憶體112。為回應此匹配狀況，MRQ210確定一個匹配旗標，並經由BUS305將此匹配旗標和MRQ尾指標到發送邏輯232(步驟510)。此MRQ尾指標被輸入到定序佇列234中被0Q尾指標指示的列，作為一個索引項(步驟512)。此對應的定序佇列有效位元236，和交易類型位元238被確定(例如到邏輯1)以指示此定序索引項對應到儲存在MRQ210中的一個讀取請求。

為回應儲存在定序佇列234中的此MRQ索引項(即MRQ尾指標)，發送邏輯232使MRQ210經由MUX302，發送此匹配讀取請求到主記憶體112(步驟514)。明確的說，當此定序佇列有效位元被確定時，發送邏輯232使MRQ210開始以FIFO



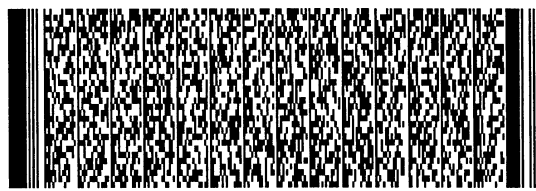
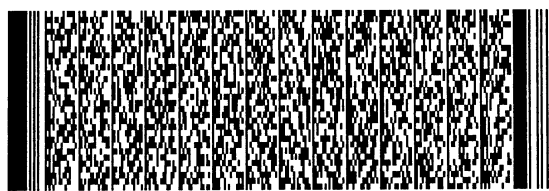
## 五、發明說明 (19)

的方式發送其讀取請求，直到此MRQ發送指標等於儲存在定序佇列234的此MRQ索引項。因此，當此MRQ發送指標隨著每一個被發送到主記憶體112的指標增量時，發送邏輯232比較此MRQ發送指標和儲存在定序佇列234的尾指標。

當此MRQ發送指標等於儲存在定序佇列234中的此MRQ尾項時，發送邏輯232使此定序佇列序項無效，例如藉著使其對應的有效位元236無效，並增量此0Q頭指標(步驟516)。

若在定序佇列234中有額外的項，在步驟518中測試，它們被上述的方式處理(步驟520)。否則發送邏輯232再次該讀取請求以彼此間順序紊亂的方式，發送到主記憶體112(步驟509)。藉著比較比較將被排隊在MRQ210的進入寫入請求，和已經被排隊在MRQ210中的請求，本實施例確定發送到CPU匯流排203上的讀取請求，在任何接著為相同資料的寫入請求被發送到主記憶體112前，先被發送到主記憶體112，由此維持資料的一致性。

雖然於上詳細說明了不同的特殊實施例，但熟乎本技術者可在不背離本發明精神和範圍的情況下，作不同的改變、組成和變型。因此本申請專利範圍包含所有在本發明精神和範圍內不同的改變、組成和變型。例如，在一些實施例中，MRQ210和MWQ220的有效位元212和有效位元222分別儲存在定序電路230中。



## 圖式簡單說明

## 五、【圖式簡單說明】

圖1是一個包含一個CPU的習知電腦系統的方塊略圖。

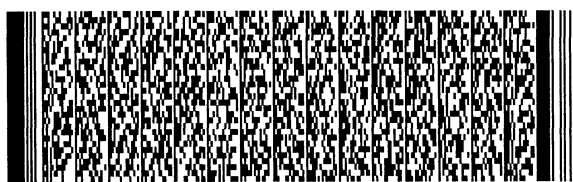
圖2是依照本發明的一個實施例的CPU方塊略圖。

圖3是圖2中的CPU的記憶體控制單元的一個實施例之方塊略圖。

圖4和圖5是流程圖，說明圖3中的該記憶體控制單元的一個實施例。

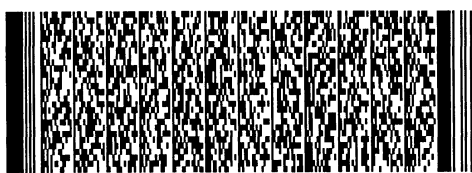
## 元件符號說明：

- 100、200 電腦系統
- 102、202 CPU
- 104 CPU執行單元
- 106 快取記憶體
- 108 外部快取控制器
- 109 外部快取記憶體
- 110 記憶體控制器
- 112 主記憶體
- 114 系統匯流排
- 116 輔助記憶體
- 118、122、126 輸入/輸出控制器
- 120 監視器
- 124 網路連接器
- 203 CPU匯流排
- 204 快取單元



圖式簡單說明

- 206 系統匯流排介面單元
- 208、300 記憶體控制單元
- 210 記憶體讀取佇列
- 212、222、236 有效位元
- 216 快取記憶體
- 220 記憶體寫入佇列
- 230 定序電路
- 232 發送邏輯
- 234 定序佇列
- 238 交易類型位元
- 302 多工器
- 304 切換邏輯
- 315 線
- 211、221、233、301、303、305、311、317 BUS



## 四、中文發明摘要 (發明名稱：降低記憶體潛伏時間之方法與設備)

一種記憶體介面單元，用以控制一個包含一個讀取佇列、一個寫入佇列、和一個定序電路的一個記憶體。該讀取佇列儲存對該記憶體的讀取請求，而該寫入佇列儲存對該記憶體的寫入請求。該定序電路被耦合到該讀取佇列和該寫入佇列，並讓該讀取和寫入請求以相互順序紊亂的方式發送到記憶體，以使效能最大化，且不危害資料的一致性。

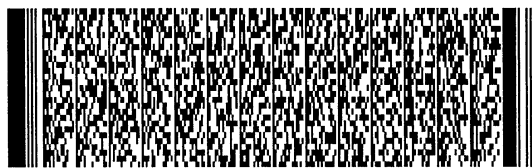
伍、(一)、本案代表圖為：第1圖

(二)、本案代表圖之元件代表符號簡單說明：

- 100 電腦系統
- 102 中央處理單元
- 104 CPU執行單元
- 106 內部快取記憶體
- 108 外部快取控制器

## 六、英文發明摘要 (發明名稱：METHOD AND APPARATUS TO REDUCE MEMORY LATENCY)

A memory interface unit for controlling a memory includes a read queue, a write queue, and an ordering circuit. The read queue stores read requests for the memory, and the write queue stores write requests for the memory. The ordering circuit is coupled to both the read queue and the write queue, and allows read and write requests to be dispatched to memory in an out-of-order manner





四、中文發明摘要 (發明名稱：降低記憶體潛伏時間之方法與設備)

- 109 外部快取記憶體
- 110 主記憶體控制器
- 112 主記憶體
- 114 系統匯流排
- 116 輔助記憶體
- 118、122、126 輸入/輸出控制器
- 120 監視器
- 124 網路連接器

六、英文發明摘要 (發明名稱：METHOD AND APPARATUS TO REDUCE MEMORY LATENCY)

with respect to each other to maximize performance without jeopardizing data coherency.



## 六、申請專利範圍

1. 一種用以發送讀取和寫入請求到一個記憶體的方法，包含：

將至少一個寫入請求排隊在一個寫入佇列中；

將一個進入的讀取請求排隊在一個讀取佇列中；

比較該讀取請求和在該寫入佇列中的該至少一個寫入請求，以偵測一個匹配寫入請求；

若有一個匹配寫入請求，儲存該匹配寫入請求的一個寫入佇列索引，作為在一個定序佇列中的一個第一項；與

發送該至少一個寫入請求到該記憶體，以回應該第一個定序佇列項。

2. 如申請專利範圍第1項的用以發送讀取和寫入請求到一個記憶體的方法，其中，該寫入佇列索引包含該寫入佇列的一個尾指標。

3. 如申請專利範圍第1項的用以發送讀取和寫入請求到一個記憶體的方法，其中，該匹配寫入請求指示一個在寫後讀取情況。

4. 如申請專利範圍第1項的用以發送讀取和寫入請求到一個記憶體的方法，其中，該發送包含：

從該寫入佇列發送該至少一個寫入請求到該記憶體，直到該寫入佇列的一個頭指標等於儲存在該定序佇列中的該寫入佇列索引。

5. 如申請專利範圍第4項的用以發送讀取和寫入請求到一個記憶體的方法，其中，該發送包含：

(a) 發送儲存在該寫入佇列中的該寫入佇列頭指標的



## 六、申請專利範圍

該寫入請求到該記憶體；

(b) 比較該寫入佇列頭指標和儲存在該定序佇列的該寫入佇列索引；與

(c) 在步驟(b)中若有一個匹配，使該第一定序佇列項無效；與

(d) 在步驟(b)中若沒有一個匹配，增量該寫入佇列頭指標；與

(e) 重覆步驟(a)到(d)。

6. 如申請專利範圍第4項的用以發送讀取和寫入請求到一個記憶體的方法，更包含：

使該第一定序佇列項無效。

7. 如申請專利範圍第4項的用以發送讀取和寫入請求到一個記憶體的方法，更包含：

否定一個交易類型位元，以指示該第一定序佇列索引項對應到一個寫入請求。

8. 如申請專利範圍第4項的用以發送讀取和寫入請求到一個記憶體的方法，更包含：

若沒有一個匹配寫入請求，在發送該至少一個寫入請求到該記憶體之前，先發送該讀取請求到該記憶體，即使該至少一個寫入請求早於該讀取請求。

9. 如申請專利範圍第1項的用以發送讀取和寫入請求到一個記憶體的方法，更包含：

比較每一個寫入請求和該讀取佇列中的該等讀取請求，以偵測一個匹配讀取請求；



## 六、申請專利範圍

若有一個匹配讀取請求，儲存該匹配讀取請求的一個讀取佇列索引，作為在該定序佇列中的一個第二項；與

發送該等讀取請求到該記憶體，以回應該第二定序佇列索引項。

10. 如申請專利範圍第9項的用以發送讀取和寫入請求到一個記憶體的方法，其中，該讀取佇列索引包含該讀取佇列的一個尾指標。

11. 如申請專利範圍第9項的用以發送讀取和寫入請求到一個記憶體的方法，其中，發送該等讀取請求包含：

從該讀取佇列發送該等讀取請求到該記憶體，直到該讀取佇列的一個發送指標等於儲存在該定序佇列的該讀取佇列索引。

12. 如申請專利範圍第11項的用以發送讀取和寫入請求到一個記憶體的方法，其中，發送該等讀取請求包含：

(a) 發送儲存在該讀取佇列中的該發送指標的該讀取請求到該記憶體；

(b) 比較該讀取佇列發送指標和儲存在該定序佇列的該讀取佇列索引；與

(c) 在步驟(b)中若有一個匹配，使該定序佇列中的該第二項無效；與

(d) 在步驟(b)中若沒有一個匹配，增量該讀取佇列發送指標；與

(e) 重覆步驟(a)到(e)。

13. 如申請專利範圍第11項的用以發送讀取和寫入請求到



## 六、申請專利範圍

一個記憶體的方法，更包含：

使該第二定序佇列項無效。

14. 如申請專利範圍第11項的用以發送讀取和寫入請求到一個記憶體的方法，更包含：

確定一個交易類型位元，以指示該第二定序佇列項對應到一個讀取請求。

15. 如申請專利範圍第9項的用以發送讀取和寫入請求到一個記憶體的方法，更包含：

若沒有一個匹配讀取請求，在發送該至少一個讀取請求到該記憶體前，先發送該等寫入請求到該記憶體，即使該至少一個讀取請求比該寫入請求早。

16. 一種用以用以發送讀取和寫入請求到一個記憶體的方法，包含：

將該等寫入請求排隊在一個寫入佇列中；

將該等讀取請求排隊在一個讀取佇列中；

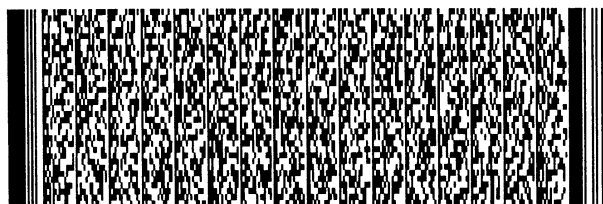
比較每一個讀取請求和在該寫入佇列中的該等寫入請求，以偵測一個匹配的較早寫入請求；

若有一個匹配的較早寫入請求，儲存該寫入佇列的一個尾指標，作為在一個定序佇列中的一個第一項；

比較每一個寫入請求和在該讀取佇列中的該等讀取請求，以偵測一個匹配的較早讀取請求；

若有一個匹配的較早讀取請求，儲存該讀取佇列的一個尾指標，作為在一個定序佇列中的一個第二項；與

以該第一和/或第二定序佇列項決定的一個順序，發



## 六、申請專利範圍

送該等寫入和讀取請求到該記憶體。

17. 如申請專利範圍第16項的用以發送讀取和寫入請求到一個記憶體的方法，其中該發送包含：

從該寫入佇列發送該等寫入請求到該記憶體，直到該寫入佇列的一個頭指標等於儲存在該定序佇列的該寫入佇列的尾指標。

18. 如申請專利範圍第17項的用以發送讀取和寫入請求到一個記憶體的方法，其中該發送更包含：

從該讀取佇列發送該等讀取請求到該記憶體，直到該讀取佇列的一個發送指標等於儲存在該定序佇列的該讀取佇列尾指標。

19. 如申請專利範圍第16項的用以發送讀取和寫入請求到一個記憶體的方法，更包含：

若沒有一個匹配的較早寫入請求，在發送該等寫入請求到該記憶體前，先發送該等讀取請求到該記憶體，即使該等寫入請求早於該等讀取請求。

20. 如申請專利範圍第16項的用以發送讀取和寫入請求到一個記憶體的方法，更包含：

若沒有一個匹配的較早讀取請求，在發送該等讀取請求到該記憶體前，先發送該等寫入請求到該記憶體，即使該等讀取請求早於該等寫入請求。

21. 一種記憶體控制器，用以發送讀取和寫入請求到一個記憶體，該記憶體控制器包含：

一讀取佇列，具有多數列，每一列用以儲存一個讀取



## 六、申請專利範圍

請求；

一寫入佇列，具有多數列，每一列用以儲存一個寫入請求；

一定序佇列，具有多數列，每一列用以儲存一個較早寫入請求的該寫入佇列索引，該請求定址到和一個較晚的讀取請求的該相同資料、或一個較早的讀取請求的該讀取佇列索引，該請求定址到和一個較晚的寫入請求的該相同資料；和

一發送邏輯，被耦合到該定序佇列和該讀取佇列和寫入佇列，該發送邏輯控制分別來自該讀取和寫入佇列的該等讀取和寫入請求到記憶體，以回應儲存在該定序佇列的該等讀取和/或寫入佇列索引。

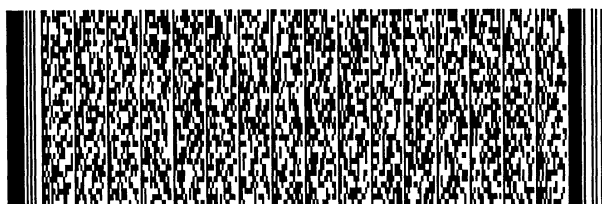
22. 如申請專利範圍第21項的記憶體控制器，其中，

該寫入佇列包含：一關聯記憶體，具有：一寫入輸入端，被耦合以接收該等寫入請求、一比較輸入端，被耦合以接收該等讀取請求、一控制端，被耦合到該發送邏輯、和一輸出端，被選擇性的耦合到該記憶體；和

該讀取佇列包含：一關聯記憶體，具有：一寫入輸入端，被耦合以接收該等讀取請求、一比較輸入端，被耦合以接收該等寫入請求、一控制端，被耦合到該發送邏輯、和一輸出端，被選擇性的耦合到該記憶體。

23. 如申請專利範圍第22項的記憶體控制器，更包含：

一多工器，具有：一第一輸入端，被耦合到該讀取佇列的該輸出端、一第二輸入端，被耦合到該寫入佇列的



## 六、申請專利範圍

該輸出端、一輸出端，被耦合到該記憶體的一個輸入端、一控制輸入端，被耦合到該發送邏輯。

24. 如申請專利範圍第22項的記憶體控制器，其中該定序佇列更包含多個有效位元，每一個位元指示一個有效項是否被儲存在該定序佇列中一個對應列。

25. 如申請專利範圍第24項的記憶體控制器，其中該定序佇列更包含多個交易類型位元，每一個位元指示一個對應的定序佇列項是否對應到一個寫入請求或一個讀取請求。

26. 如申請專利範圍第21項的記憶體控制器，更包含：

一裝置，用以比較每一個讀取請求和在該寫入佇列排隊的該等寫入請求，以偵測一個匹配的較早寫入請求。

27. 如申請專利範圍第26項的記憶體控制器，其中，用以比較的該裝置包含該寫入佇列。

28. 如申請專利範圍第27項的記憶體控制器，其中該寫入佇列包含一個關聯記憶體。

29. 如申請專利範圍第26項的記憶體控制器，其中若有一個匹配的較早寫入請求，該發送邏輯命令該寫入佇列發送該等寫入請求到該記憶體，直到該寫入佇列的一個頭指標等於儲存在該定序佇列中的該寫入佇列索引。

30. 如申請專利範圍第27項的記憶體控制器，其中若沒有一個匹配的較早寫入請求，該發送邏輯命令該讀取佇列在該等寫入請求前，發送該等讀取請求到該記憶體，即使該等寫入請求早於該讀取請求。

31. 如申請專利範圍第26項的記憶體控制器，更包含：





## 六、申請專利範圍

一裝置，用以比較每一個寫入請求和排隊在讀取佇列的該等讀取請求，以偵測一個匹配的較早讀取請求。

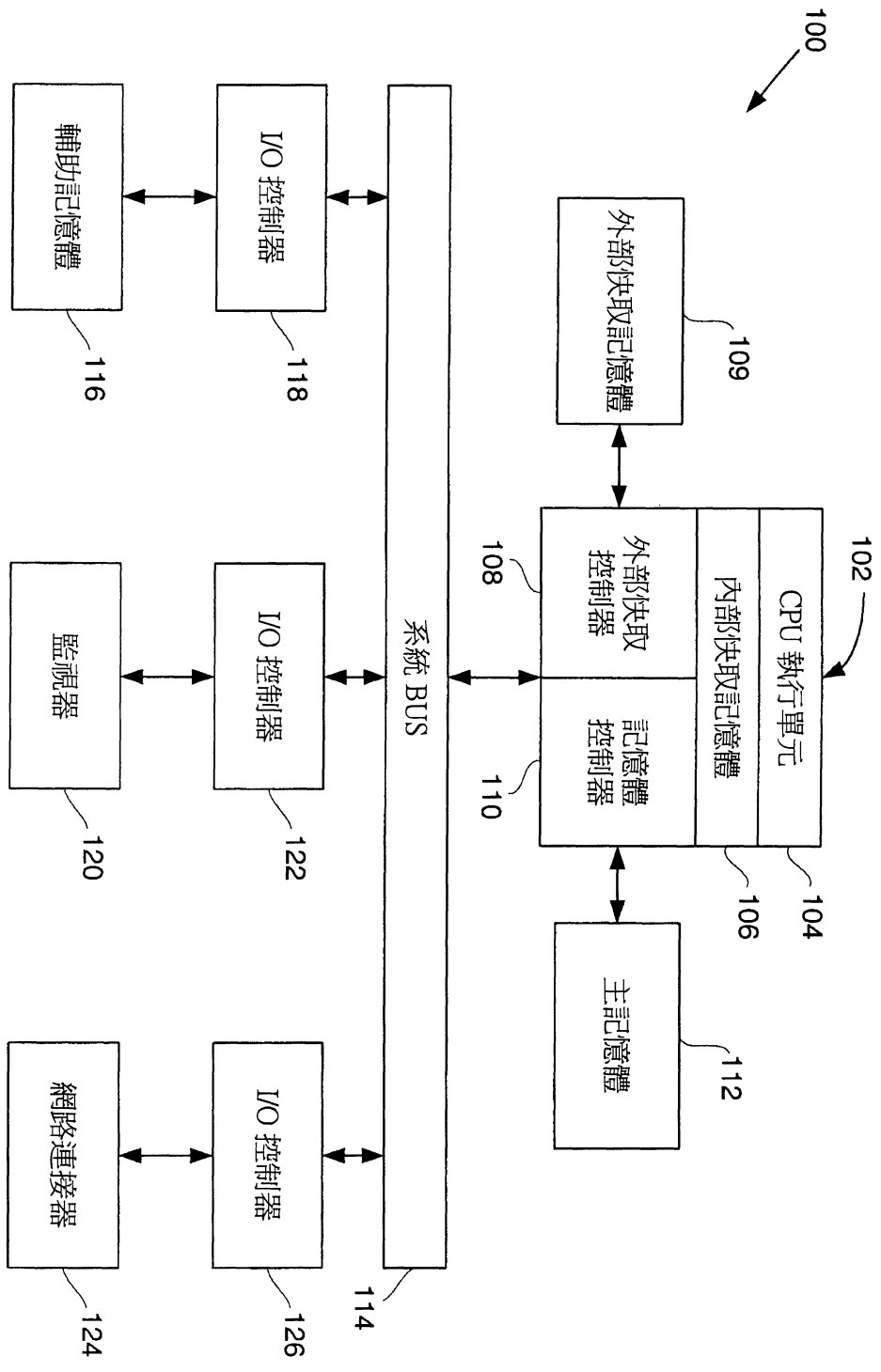
32. 如申請專利範圍第31項的記憶體控制器，其中用以比較的該裝置更包含該讀取佇列。

33. 如申請專利範圍第32項的記憶體控制器，其中該讀取佇列包含一關聯記憶體。

34. 如申請專利範圍第31項的記憶體控制器，其中若有一個匹配的較早讀取請求，該發送邏輯命令該讀取佇列發送該等讀取請求到該記憶體，直到該讀取佇列的一個發送指標等於該匹配的較早讀取請求的該讀取佇列索引。

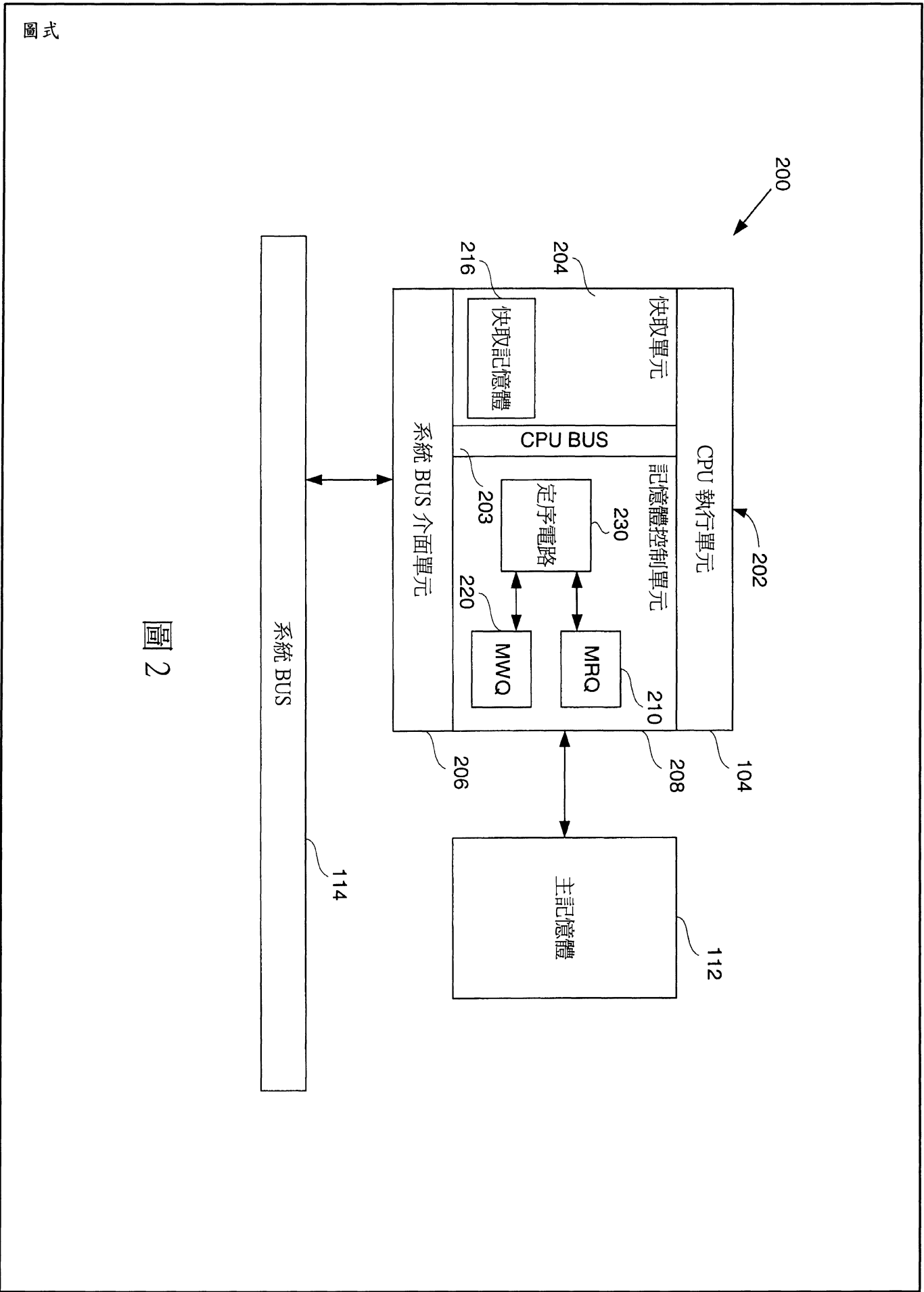
35. 如申請專利範圍第31項的記憶體控制器，其中若沒有一個匹配的較早讀取請求，該發送邏輯命令該寫入佇列在該等讀取請求前，先發送該等寫入請求到該記憶體，即使該等讀取請求早於該寫入請求。





圖式

圖 1



圖式

圖 2

圖式

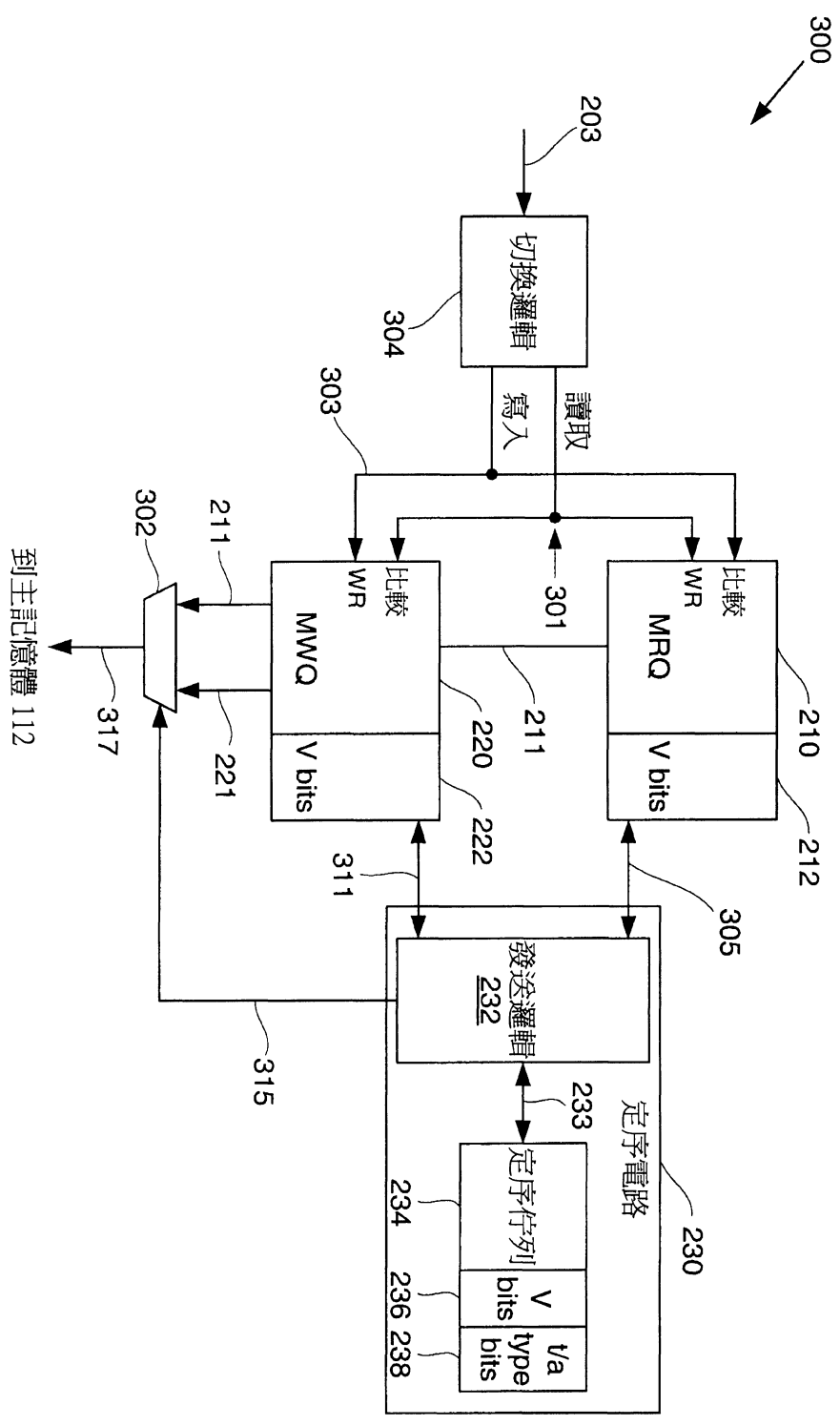


圖 3

圖式

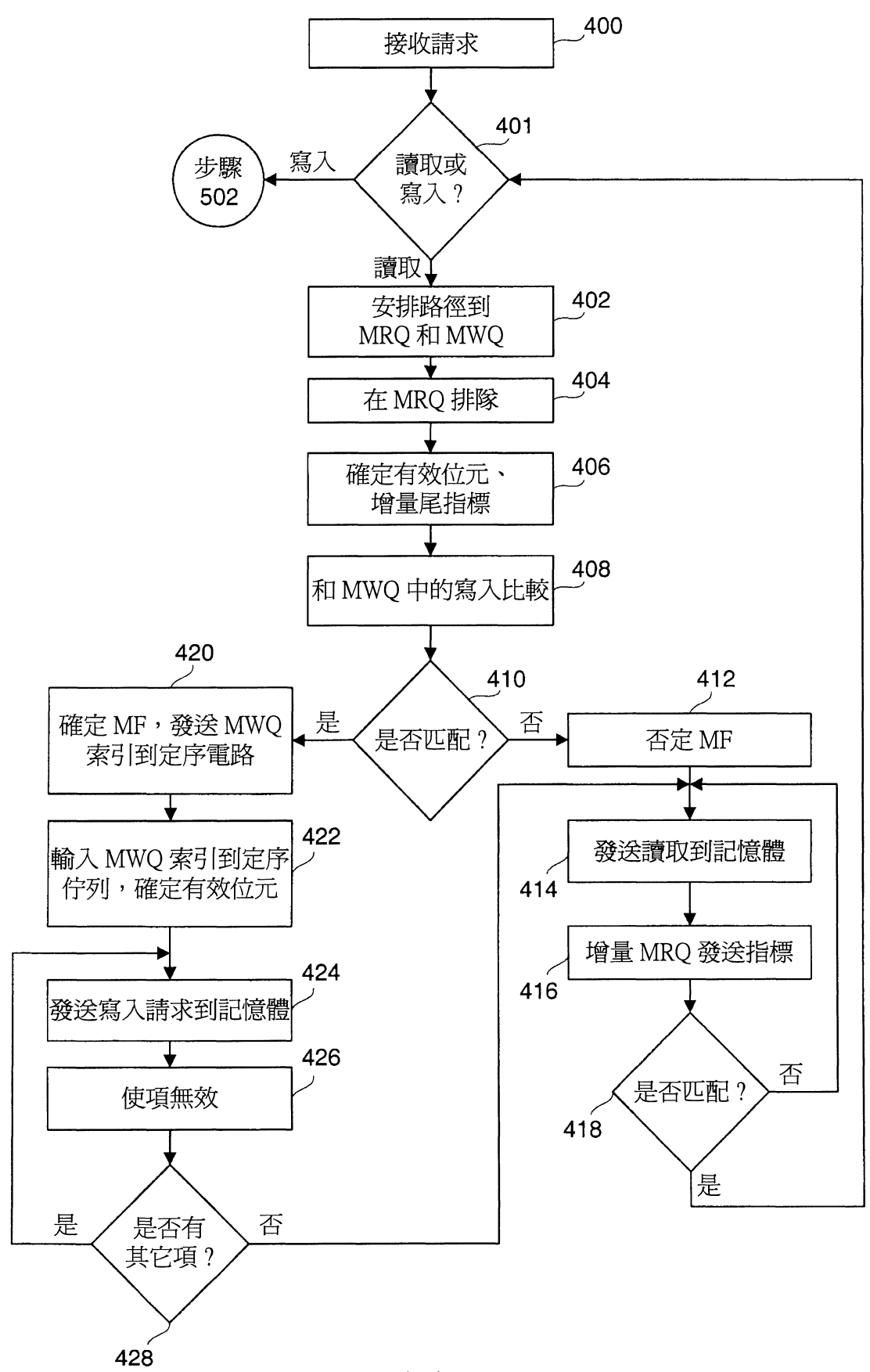


圖 4

圖式

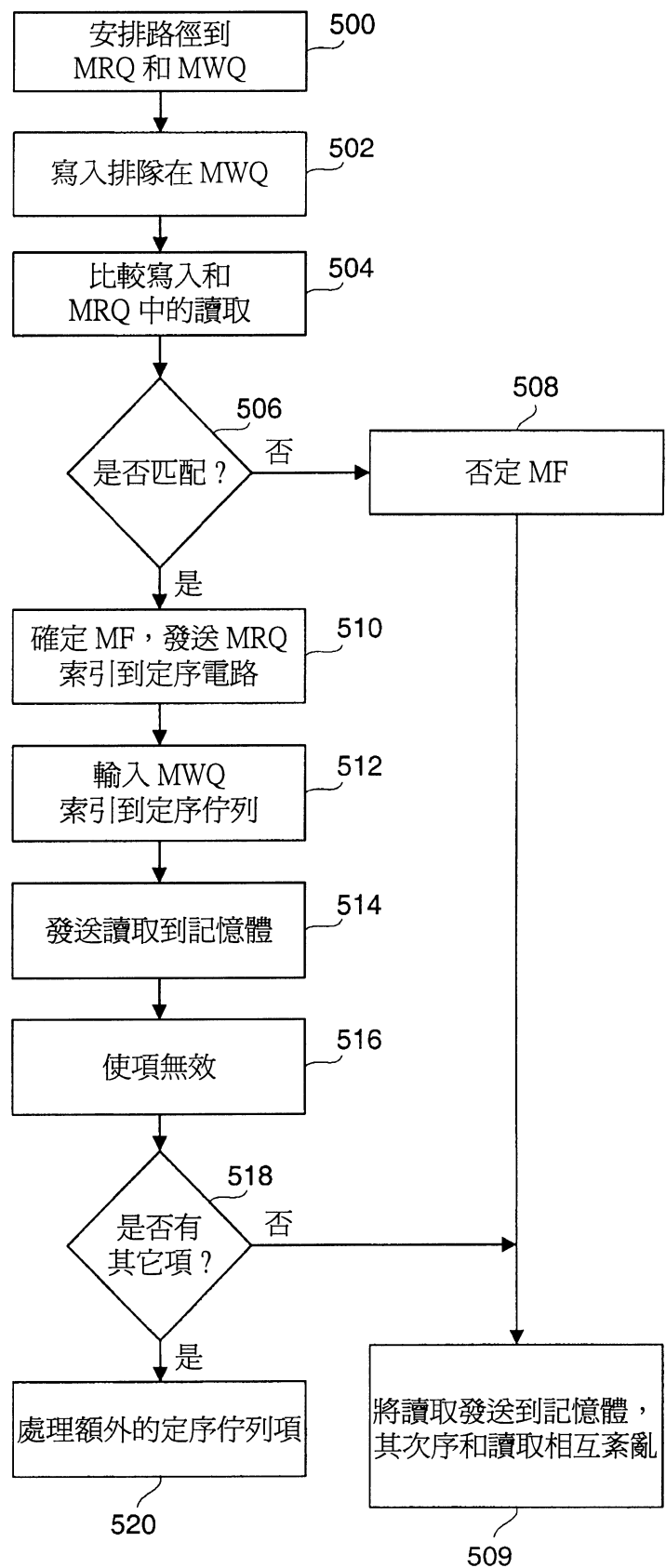


圖 5