

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4115727号

(P4115727)

(45) 発行日 平成20年7月9日(2008.7.9)

(24) 登録日 平成20年4月25日(2008.4.25)

(51) Int.Cl.

F I

G O 1 R 19/165 (2006.01)

G O 1 R 19/165 M

H O 3 K 5/08 (2006.01)

H O 3 K 5/08 Z

請求項の数 2 (全 11 頁)

(21) 出願番号	特願2002-83004 (P2002-83004)	(73) 特許権者	000001960
(22) 出願日	平成14年3月25日(2002.3.25)		シチズンホールディングス株式会社
(65) 公開番号	特開2003-279603 (P2003-279603A)		東京都西東京市田無町六丁目1番12号
(43) 公開日	平成15年10月2日(2003.10.2)	(74) 代理人	100126583
審査請求日	平成17年3月15日(2005.3.15)		弁理士 宮島 明
		(74) 代理人	100100871
			弁理士 土屋 繁
		(72) 発明者	下鶴 雅士
			東京都西東京市田無町六丁目1番12号
			シチズン時計株式会社内
		審査官	武田 知晋
		(56) 参考文献	特開平04-175095 (JP, A)
			実開平03-002267 (JP, U)
			最終頁に続く

(54) 【発明の名称】 電源電圧検出回路

(57) 【特許請求の範囲】

【請求項 1】

判定電圧と電源電圧とを比較して、その比較結果に基づいて電圧信号を出力する電圧判定回路と、

前記電圧判定回路が出力した電圧信号を保持して出力するラッチ回路部と、

前記ラッチ回路部から前記比較結果をフィードバックされる動作制御部と、

を具備する電源電圧検出回路であって、

前記ラッチ回路部は、第一のラッチ回路と第二のラッチ回路とを有してなり、

前記第一のラッチ回路は、前記電圧判定回路と前記第二のラッチ回路との間に接続され、入力された前記電圧判定回路の出力を保持して前記第二のラッチ回路に出力および前記動作制御部にフィードバックし、

前記動作制御部は、前記電圧判定回路を動作させる信号が入力されると前記電圧判定回路を非動作状態から動作状態に切り換える制御を行い、前記フィードバックされた信号が変化すると、前記電圧判定回路を非動作状態にし、前記電圧判定回路を非動作にする信号が入力されると、前記第一のラッチ回路をリセットし、前記第二のラッチ回路に前記第一のラッチ回路の出力を保持させ、前記電圧判定回路を非動作状態にする

ことを特徴とする電源電圧検出回路。

【請求項 2】

前記第一のラッチ回路は、回路動作を開始するための信号を入力するクロック入力端子を有し、

10

20

前記電圧判定回路の出力を前記クロック入力端子に入力し、該出力の変化に基づいて回路動作を開始し、該出力を保持することを特徴とする請求項 1 に記載の電源電圧検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電源電圧検出回路、更に詳しくは一次電池あるいは二次電池を電源電圧として動作する電子時計等の小型携帯機器に用いるのに適した電源電圧検出回路に関するものである。

【0002】

10

【従来の技術】

従来より、一次電池あるいは二次電池を電源電圧として動作する電子時計等の小型携帯機器では電源電圧の低下による誤動作を防ぐために電源電圧検出回路を搭載している。

図 8 は従来の電源電圧検出回路の一例の構成を示す図である。

従来の電源電圧検出回路は図 8 に示すように、電源電圧が判定電圧よりも高いとハイレベルを出力する電圧判定回路 801 とクロック信号の立ち上がり同期してデータをラッチするラッチ回路 802 と、インバータ 803 とを有している。

【0003】

図 8 において、電圧判定回路 801 の入力端子とインバータ 803 の入力端子とイネーブル信号 810 とを接続し、インバータ 803 の出力端子とラッチ回路 802 のクロック入力端子 C とを接続し、電圧判定出力 823 と電圧判定回路 801 の出力端子とラッチ回路 802 のデータ入力端子 D とを接続し、ラッチ回路 802 のリセット入力端子 R とリセット信号 811 とを接続してラッチ回路 802 のラッチ出力 812 を電源電圧検出回路の出力信号として構成している。

20

【0004】

図 9 は従来の電源電圧検出回路の動作を示すタイミングチャートであり、電源電圧が電源電圧検出回路の判定電圧よりも高い場合の例である。

【0005】

図 9 においてイネーブル信号 810 はハイレベルの期間電源電圧検出回路の動作を許可する制御信号である。

30

イネーブル信号 810 がハイレベルになると電圧判定回路が動作を開始して電圧判定回路の出力遅延時間だけ遅れて電圧判定出力 823 はハイレベルになり、その後でイネーブル信号 810 をローレベルにするとイネーブル信号 810 の立下りに同期して電圧判定出力 823 をラッチしてラッチ出力 812 はハイレベルになり、電圧判定回路の出力遅延時間だけ遅れて電圧判定出力 823 はローレベルになるがラッチ出力 812 はハイレベルを維持する。

なお、以上の動作の際に、イネーブル信号 810 は、動作温度範囲、動作電圧範囲で確実に電圧判定出力 823 が出力されるだけの十分な時間ハイレベルにしておく必要がある。以上の動作により、電源電圧が判定電圧以上であるかどうかをラッチ出力である電圧検出信号 812 のレベルで判定することができる。

40

【0006】

【発明が解決しようとする課題】

しかしながら従来の電源電圧検出回路ではイネーブル信号 810 は、動作温度範囲、動作電圧範囲で確実に電圧判定出力 812 が出力されるだけの十分な時間ハイレベルにしておく必要があるために、電圧判定出力 812 がすみやかに出力される条件においても図 8 における電圧判定回路 801 を長い期間動作させることにより多大な消費電力を費やしていた。

そこで本発明は、上記課題を解決して電源電圧検出回路の消費電力を低減することを目的としたものである。

【0007】

50

【課題を解決するための手段】

上記課題を解決するために、本発明に係る電源電圧検出回路は、判定電圧と電源電圧とを比較して、その比較結果に基づいて電圧信号を出力する電圧判定回路と、電圧判定回路が出力した電圧信号を保持して出力するラッチ回路部と、ラッチ回路部から比較結果をフィードバックされる動作制御部と、を具備する電源電圧検出回路であって、

ラッチ回路部は、第一のラッチ回路と第二のラッチ回路とを有してなり、第一のラッチ回路は、電圧判定回路と第二のラッチ回路との間に接続され、入力された電圧判定回路の出力を保持して第二のラッチ回路に出力および動作制御部にフィードバックし、動作制御部は、電圧判定回路を動作させる信号が入力されると電圧判定回路を非動作状態から動作状態に切り換える制御を行い、フィードバックされた信号が変化すると、電圧判定回路を非動作状態にし、電圧判定回路を非動作にする信号が入力されると、第一のラッチ回路をリセットし、第二のラッチ回路に第一のラッチ回路の出力を保持させ、電圧判定回路を動作状態から非動作状態にすることを特徴としている。

10

【0008】

上記発明において、第一のラッチ回路は、回路動作を開始するための信号を入力するクロック入力端子を有し、前記電圧判定回路の出力を前記クロック入力端子に入力し、該出力の変化に基づいて回路動作を開始し、該出力を保持することを特徴としている。

【0010】**【発明の実施の形態】**

本発明の実施の形態は、イネーブル信号を入力し、電圧判定回路で電源電圧を判定した後に入出力制御回路で電圧検出信号を出力してなる電源電圧検出回路であって、前記入出力制御回路は動作制御部とラッチ回路部よりなり、前記電源電圧判定回路は電源電圧と判定電圧とを比較した結果を前記ラッチ回路に出力してなることを特徴としている。前記イネーブル信号に従って電圧判定回路が動作を開始し、電圧判定回路の出力が変化することを入出力制御回路が判断して電圧判定回路の動作を終了させる。

20

【0011】**（第一実施例）**

以下、図面を参照して本発明の実施例について説明する。

図1は本発明の第一実施例に係る電源電圧検出回路の構成を示す図である。

図1において、動作制御部130と、第一のラッチ回路102と第二のラッチ回路103からなるラッチ回路部とで入出力制御回路を構成する。また、前記動作制御部130は、電圧判定回路101の動作非動作を制御するようにインバータ104とノアゲート105とで構成する。

30

【0012】

イネーブル信号110とインバータ104の入力端子とを接続し、イネーブル信号110の反転信号121はノアゲート105の第一の入力端子と第一のラッチ回路102のリセット端子Rと第二のラッチ回路103のクロック端子Cとに接続し、電圧判定回路101の入力信号122はノアゲート105の出力端子と電圧判定回路101の入力端子とに接続する。

【0013】

電圧判定出力123は電圧判定回路101の出力端子と第一のラッチ回路102のクロック入力端子Cに接続し、第一のラッチ回路102のデータ入力端子Dと電源電圧VCCとを接続し、第一のラッチ回路102の出力信号120と第一のラッチ回路102の出力端子Qと第二のラッチ回路103のデータ入力端子Dとノアゲート105の第二の入力端子とを接続し、リセット信号111と第二のラッチ回路103のリセット端子Rとを接続することにより第二のラッチ回路103のラッチ出力112を本発明の第一実施例に係る電源電圧検出回路の出力信号とする。リセット信号111はリセット信号111がハイレベルの期間に第二のラッチ回路103のラッチ出力112をローレベルにリセットする信号で、出力の初期化時以外はリセット信号111はローレベルに固定する。

40

【0014】

50

図 2 は図 1 に示した電源電圧検出回路を構成する電圧判定回路 101 の一例を示す回路図である。

図 2 において、イネーブル信号 210 とインバータ 208 の入力端子とを接続しイネーブル信号 210 の反転信号 221 とインバータ 208 の出力端子とソースを電源電圧 VCC と接続した P チャネル電界効果トランジスタ（以下 PMOS と記す）205 のゲート端子とソースを接地電圧 VSS と接続した N チャネル電界効果トランジスタ（以下 NMOS と記す）206 のゲート端子とを接続する。

【0015】

第一の抵抗 201 の第一の端子と第一の端子を接地電圧 VSS に接続する第二の抵抗 202 の第二の端子とコンパレータ 203 の正入力端子と電源電圧分割電圧 VR220 とを接続する。前記第一の抵抗 201 と第二の抵抗 202 とで抵抗分割回路を構成する。

10

【0016】

コンパレータ 203 のマイナス電源端子には接地電圧 VSS を供給し、コンパレータ 203 の負入力端子と定電圧回路 230 の出力である基準電圧 REF211 とを接続する。コンパレータ 203 の出力端子と NMOS 206 のドレインとを接続し電圧判定回路の出力端子 212 とする。NMOS 206 とコンパレータ 203 とで電圧比較回路を構成する。

【0017】

PMOS 205 のドレインは、定電圧回路 230 のプラス電源端子と接続して定電圧回路 230 に電源を供給し、且つ第一の抵抗 201 の第二の端子と接続し抵抗分割回路に電源を供給し、且つコンパレータ 203 のプラス電源端子と接続し電圧比較回路に電源を供給する。前記 PMOS 205 は、定電圧回路 230 および抵抗分割回路および電圧比較回路への電源供給あるいは電源遮断を制御するスイッチ回路とする。

20

【0018】

次に図 2 の電圧判定回路の動作について説明する。

イネーブル信号 210 がローレベルの期間は、PMOS 205 がオフとなることで定電圧回路 230 および抵抗分割回路および電圧比較回路には電源が供給されず低消費電力となり、且つ NMOS 206 がオンとなることで電圧判定回路の出力端子 212 はローレベルに固定される。

【0019】

イネーブル信号 210 がハイレベルの期間は、PMOS 205 がオンとなることで定電圧回路 230 および抵抗分割回路および電圧比較回路に電源が供給され、定電圧回路 230 の出力である基準電圧 REF211 は設定した定電圧を出力し、電源電圧分割電圧 VR220 は電源電圧を第一の抵抗 201 と第二の抵抗 202 とで抵抗分割した電圧を出力し、且つ NMOS 206 がオフとなることで電圧判定回路の出力端子 212 は電源電圧が判定電圧よりも高ければハイレベル、電源電圧が判定電圧よりも低ければローレベルを出力する。

30

【0020】

ここで、基準電圧 REF211 と電源電圧分割電圧 VR220 と判定電圧との関係は、第一の抵抗 201 の抵抗値を R1 とし第二の抵抗 202 の抵抗値を R2 とし判定電圧を Vx とすると以下の関係式で示される。

40

$$V_x = REF \times (R_1 / R_2 + 1) \quad \dots \quad \text{式 1}$$

例えば、REF = 1V、R1 = 5K、R2 = 10K とした場合には判定電圧 Vx は式 1 より 1.5V となり、電源電圧が 1.5V よりも高ければ電圧判定回路の出力はハイレベル、電源電圧が 1.5V よりも低ければ電圧判定回路の出力はローレベルとなる。

【0021】

図 3 は本発明の第一実施例に係る電源電圧検出回路の動作を示すタイミングチャートであり、電源電圧が判定電圧よりも高い場合の例を示している。

図 3 において、最初にイネーブル信号 110 がローレベルの時は電圧判定回路は非動作となり電圧判定出力 123、ラッチ 1 出力 120、電圧判定入力 122、及びラッチ 2 出力 112 はすべてローレベルである。次に、イネーブル信号 110 をハイレベルにして電源

50

電圧検出回路を動作させると、電圧判定入力 1 2 2 はハイレベルとなり電圧判定回路が動作を開始し、電圧判定回路の出力遅延時間分遅れて電圧判定出力 1 2 3 がハイレベルになることでラッチ 1 出力 1 2 0 はハイレベルになり、ラッチ 1 出力 1 2 0 がハイレベルになることで電圧判定入力 1 2 2 がローレベルになり、電圧判定入力 1 2 2 がローレベルになることで電圧判定回路が非動作となり電圧判定出力 1 2 3 はローレベルに変化するが、ラッチ 1 出力 1 2 0 はハイレベルを維持する。

【 0 0 2 2 】

電源電圧検出回路の動作温度範囲、動作電圧範囲で確実に電圧判定出力 1 2 3 が出力されるだけの十分な時間イネーブル信号 1 1 0 をハイレベルにした後で、イネーブル信号 1 1 0 をローレベルにするとラッチ 2 出力 1 1 2 がハイレベルになり、以後再びイネーブル信号 1 1 0 がハイレベルになり電源電圧検出回路を動作させるか第二のラッチ回路をリセット信号をハイレベルにして初期化するまでラッチ 2 出力 1 1 2 はハイレベルを維持する。前述の動作により電圧判定回路 1 0 1 は電圧判定入力 1 2 2 がハイレベルの期間しか動作しないのでイネーブル信号 1 1 0 のハイレベルの期間が長くても消費電力を低減することができる。

10

【 0 0 2 3 】

上記説明のように本発明の電源電圧検出回路は電源電圧が判定電圧よりも高いことを検出すると速やかに電圧判定回路を非動作にするので電源電圧検出回路の消費電力を低減することが可能である。

【 0 0 2 4 】

20

(第二実施例)

図 4 は本発明の第二実施例に係る電源電圧検出回路の構成を示す図である。

図 4 において、動作制御部 4 3 0 と、第一のラッチ回路 4 0 2 と第二のラッチ回路 4 0 3 と第三のラッチ回路 4 0 4 からなるラッチ回路部とで入出力制御回路を構成する。また、動作制御部 4 3 0 は、電圧判定回路 4 0 1 の動作非動作を制御するように、インバータ 4 0 4 とノアゲート 4 0 5 とで構成する。

【 0 0 2 5 】

イネーブル信号 4 1 0 とインバータ 4 0 4 の入力端子とを接続し、イネーブル信号 4 1 0 の反転信号 4 2 1 はノアゲート 4 0 5 の第一の入力端子と第一のラッチ回路 4 0 2 のリセット端子 R と第三のラッチ回路 4 0 4 のリセット端子 R と第二のラッチ回路 4 0 3 のクロック端子 C とに接続し、電圧判定回路 4 0 1 の入力信号 4 2 2 はノアゲート 4 0 5 の出力端子と電圧判定回路 4 0 1 の入力端子とに接続する。

30

【 0 0 2 6 】

電源電圧が判定電圧よりも高いと出力がハイレベルに変化する電圧判定正出力 4 2 3 は電圧判定回路 4 0 1 の正出力端子と第一のラッチ回路 4 0 2 のクロック入力端子 C に接続し、第一のラッチ回路 4 0 2 のデータ入力端子 D と電源電圧 V C C とを接続し、第一のラッチ回路 4 0 2 の出力信号 4 2 0 と第一のラッチ回路 4 0 2 の出力端子 Q と第二のラッチ回路 4 0 3 のデータ入力端子 D とノアゲート 4 0 5 の第二の入力端子とを接続する。電源電圧が判定電圧よりも高いと出力がローレベルに変化する電圧判定負出力 4 2 4 は電圧判定回路 4 0 1 の負出力端子と第三のラッチ回路 4 0 4 のクロック入力端子 C に接続し、第三のラッチ回路 4 0 4 のデータ入力端子 D と電源電圧 V C C とを接続し、第三のラッチ回路 4 0 4 の出力信号 4 2 5 と第三のラッチ回路 4 0 4 の出力端子 Q とノアゲート 4 0 5 の第三の入力端子とを接続する。

40

【 0 0 2 7 】

リセット信号 4 1 1 と第二のラッチ回路 4 0 3 のリセット端子とを接続することにより第二のラッチ回路 4 0 3 のラッチ出力 4 1 2 を本発明の第二実施例に係る電源電圧検出回路の出力信号とする。リセット信号 4 1 1 はリセット信号 4 1 1 がハイレベルの期間に第二のラッチ回路 4 0 3 のラッチ出力 4 1 2 をローレベルにリセットする信号で、出力の初期化時以外はリセット信号 4 1 1 はローレベルに固定する。

【 0 0 2 8 】

50

図5は図4に示した電源電圧検出回路を構成する電圧判定回路401の一例を示す回路図である。

図5において、イネーブル信号510とインバータ508の入力端子を接続しイネーブル信号510の反転信号521とインバータ508の出力端子とソースを電源電圧VCCと接続したPMOS505のゲート端子とソースを接地電圧VSSと接続した第一のNMOS506のゲート端子とソースを接地電圧VSSと接続した第二のNMOS507のゲート端子とを接続する。

【0029】

第一の抵抗501の第一の端子と第一の端子を接地電圧VSSに接続する第二の抵抗502の第二の端子と第一のコンパレータ503の正入力端子と第二のコンパレータ504の負入力端子と電源電圧分割電圧VR520とを接続する。第一の抵抗501と第二の抵抗502とで抵抗分割回路を構成する。

10

【0030】

第一のコンパレータ503のマイナス電源端子と第二のコンパレータ504のマイナス電源端子には接地電圧VSSを供給し、第一のコンパレータ503の負入力端子と第二のコンパレータ504の正入力端子と定電圧回路530の出力である基準電圧REF511とを接続する。第一のコンパレータ503の出力端子と第一のNMOS506のドレインとを接続し電圧判定回路の正出力端子512とし、第二のコンパレータ504の出力端子と第二のNMOS507のドレインとを接続し電圧判定回路の負出力端子513とする。第一のコンパレータ503と第一のNMOS506とで第一の電圧比較回路を構成し、第二のコンパレータ504と第二のNMOS507とで第二の電圧比較回路を構成する。

20

【0031】

PMOS505のドレインは、定電圧回路530のプラス電源端子と接続して定電圧回路530に電源を供給し、且つ第一の抵抗501の第二の端子と接続し抵抗分割回路に電源を供給し、且つコンパレータ503のプラス電源端子と接続し第一の電圧比較回路に電源を供給し、且つコンパレータ504のプラス電源端子と接続し第二の電圧比較回路に電源を供給する。

前記PMOS505は、定電圧回路530および抵抗分割回路および第一の電圧比較回路および第二の電圧比較回路への電源供給あるいは電源遮断を制御するスイッチ回路とする。

30

【0032】

次に図5の電圧判定回路の動作について説明する。

イネーブル信号510がローレベルの期間は、PMOS505がオフとなることで定電圧回路530および抵抗分割回路および第一の電圧比較回路および第二の電圧比較回路には電源が供給されず低消費電力となり、且つNMOS506がオンとなることで電圧判定回路の正出力端子512はローレベルに固定され、且つNMOS507がオンとなることで電圧判定回路の負出力端子513はローレベルに固定される。

【0033】

イネーブル信号510がハイレベルの期間は、PMOS505がオンとなることで定電圧回路530および抵抗分割回路および第一の電圧比較回路および第二の電圧比較回路に電源が供給され、定電圧回路530の出力である基準電圧REF511は設定した定電圧を出力し、電源電圧分割電圧VR520は電源電圧を第一の抵抗501と第二の抵抗502とで抵抗分割した電圧を出力し、且つNMOS506がオフとなることで電圧判定回路の正出力端子512は電源電圧が判定電圧よりも高ければハイレベル、電源電圧が判定電圧よりも低ければローレベルを出力し、且つNMOS507がオフとなることで電圧判定回路の負出力端子513は電源電圧が判定電圧よりも高ければローレベル、電源電圧が判定電圧よりも低ければハイレベルを出力する。

40

【0034】

図6は本発明の第二実施例に係る電源電圧検出回路の第一の動作を示すタイミングチャートであり、電源電圧が判定電圧よりも高い場合の例を示している。

50

図 6 において、最初にイネーブル信号 4 1 0 がローレベルの時は電圧判定回路は非動作となり電圧判定正出力 4 2 3、ラッチ 1 出力 4 2 0、電圧判定負出力 4 2 4、ラッチ 3 出力 4 2 5、電圧判定入力 4 2 2、及びラッチ 2 出力 4 1 2 はすべてローレベルである。次に、イネーブル信号 4 1 0 をハイレベルにして電源電圧検出回路を動作させると、電圧判定入力 4 2 2 はハイレベルとなり電圧判定回路が動作を開始し、電圧判定回路の出力遅延時間分遅れて電圧判定正出力 4 2 3 がハイレベルになることでラッチ 1 出力 4 2 0 はハイレベルになり、ラッチ 1 出力 4 2 0 がハイレベルになることで電圧判定入力 4 2 2 がローレベルになり、電圧判定入力 4 2 2 がローレベルになることで電圧判定回路が非動作となり電圧判定正出力 4 2 3 はローレベルに変化するが、ラッチ 1 出力 4 2 0 はハイレベルを維持する。

10

【 0 0 3 5 】

電源電圧検出回路の動作温度範囲、動作電圧範囲で確実に電圧判定正出力 4 2 3 が出力されるだけの十分な時間イネーブル信号 4 1 0 をハイレベルにした後で、イネーブル信号 4 1 0 をローレベルにするとラッチ 2 出力 4 1 2 がハイレベルになり、以後再びイネーブル信号 4 1 0 がハイレベルになり電源電圧検出回路を動作させるか第二のラッチ回路をリセット信号をハイレベルにして初期化するまでラッチ 2 出力 4 1 2 はハイレベルを維持する。前記動作の期間中、電圧判定負出力 4 2 4 及びラッチ 3 出力 4 2 5 はローレベルを維持して変化しない。

前述の動作により電圧判定回路 4 0 1 は電圧判定入力 4 2 2 がハイレベルの期間しか動作しないのでイネーブル信号 4 1 0 のハイレベルの期間が長くても消費電力を低減することができる。

20

【 0 0 3 6 】

図 7 は本発明の第二実施例に係る電源電圧検出回路の第二の動作を示すタイミングチャートであり、電源電圧が判定電圧よりも低い場合の例を示している。

図 7 において、最初にイネーブル信号 4 1 0 がローレベルの時は電圧判定回路は非動作となり電圧判定正出力 4 2 3、ラッチ 1 出力 4 2 0、電圧判定負出力 4 2 4、ラッチ 3 出力 4 2 5、電圧判定入力 4 2 2、及びラッチ 2 出力 4 1 2 はすべてローレベルである。

【 0 0 3 7 】

次に、イネーブル信号 4 1 0 をハイレベルにして電源電圧検出回路を動作させると、電圧判定入力 4 2 2 はハイレベルとなり電圧判定回路が動作を開始し、電圧判定回路の出力遅延時間分遅れて電圧判定負出力 4 2 4 がハイレベルになることでラッチ 3 出力 4 2 5 はハイレベルになり、ラッチ 3 出力 4 2 5 がハイレベルになることで電圧判定入力 4 2 2 がローレベルになり、電圧判定入力 4 2 2 がローレベルになることで電圧判定回路が非動作となり電圧判定負出力 4 2 4 はローレベルに変化するが、ラッチ 3 出力 4 2 5 はハイレベルを維持する。

30

【 0 0 3 8 】

電源電圧検出回路の動作温度範囲、動作電圧範囲で確実に電圧判定負出力 4 2 4 が出力されるだけの十分な時間イネーブル信号 4 1 0 をハイレベルにした後で、イネーブル信号 4 1 0 をローレベルにするとラッチ 2 出力 4 1 2 はローレベルのまま変化しない。前記動作の期間中、電圧判定正出力 4 2 3 及びラッチ 1 出力 4 2 0 はローレベルを維持して変化しない。

40

前述の動作により電圧判定回路 4 0 1 は電圧判定入力 4 2 2 がハイレベルの期間しか動作しないのでイネーブル信号 4 1 0 のハイレベルの期間が長くても消費電力を低減することができる。

【 0 0 3 9 】

上記説明のように本発明の電源電圧検出回路は電源電圧が判定電圧よりも高いことを検出すると速やかに電圧判定回路を非動作にし、また電源電圧が判定電圧よりも低いことを検出すると速やかに電圧判定回路を非動作にするので電源電圧検出回路の消費電力を低減することが可能である。

【 0 0 4 0 】

50

【発明の効果】

以上説明したように、本発明の電源電圧検出回路では電圧判定出力が変化すると速やかに電圧判定回路を非動作とすることにより電源電圧検出回路の消費電力を低減することができる。

【図面の簡単な説明】

【図 1】本発明の第一実施例に係る電源電圧検出回路の構成を示す図である。

【図 2】図 1 に示した電源電圧検出回路を構成する電圧判定回路の回路図である。

【図 3】本発明の第一実施例に係る電源電圧検出回路の動作を示すタイミングチャートである。

【図 4】本発明の第二実施例に係る電源電圧検出回路の構成を示す図である。

10

【図 5】図 4 に示した電源電圧検出回路を構成する電圧判定回路の回路図である。

【図 6】本発明の第二実施例に係る電源電圧検出回路の第一の動作を示すタイミングチャートである。

【図 7】本発明の第二実施例に係る電源電圧検出回路の第二の動作を示すタイミングチャートである。

【図 8】従来の電源電圧検出回路の構成を示す図である。

【図 9】従来の電源電圧検出回路の動作を示すタイミングチャートである。

【符号の説明】

1 0 1 . . . 電圧判定回路

1 3 0 . . . 動作制御部

20

1 0 2、1 0 3 . . . ラッチ回路

2 0 1、2 0 2 . . . 抵抗

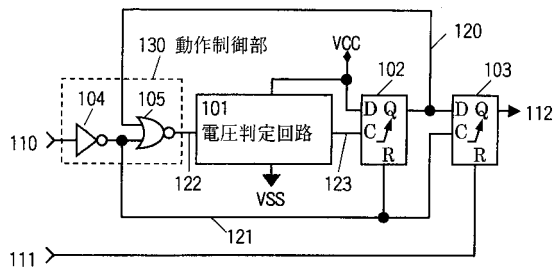
2 0 3 . . . コンパレータ

2 3 0 . . . 定電圧回路

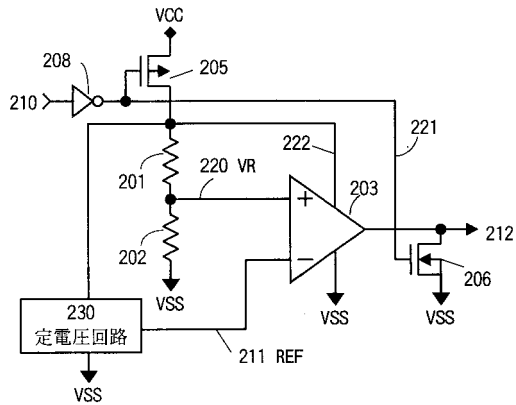
2 0 5 . . . P M O S

2 0 6 . . . N M O S

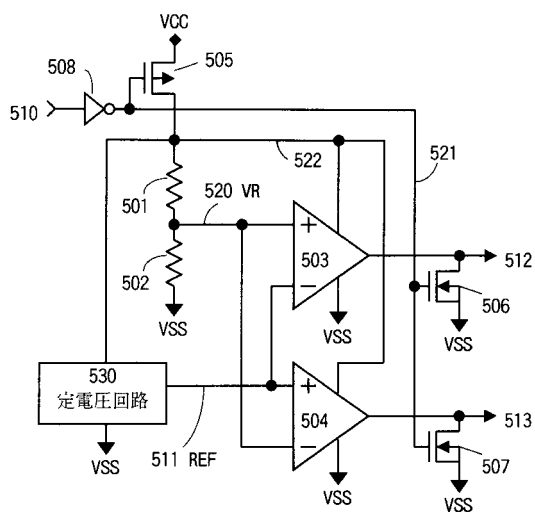
【図 1】



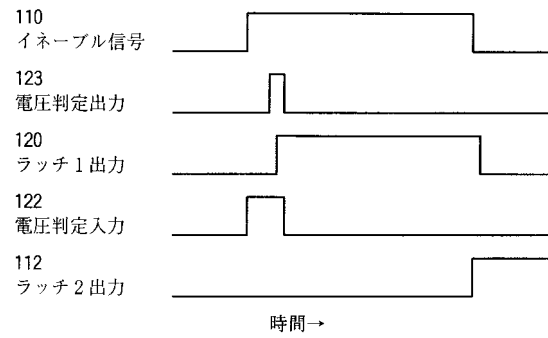
【図 2】



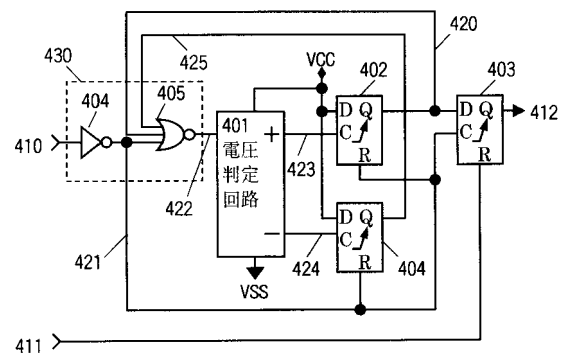
【図 5】



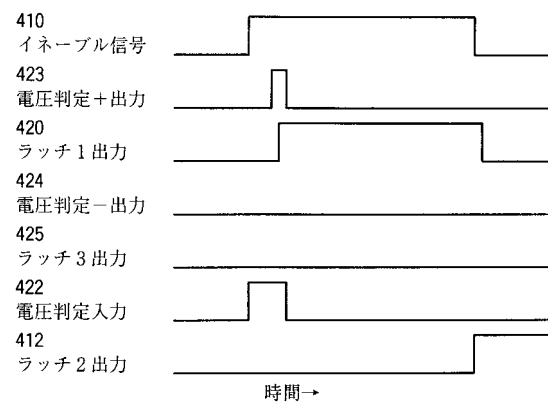
【図 3】



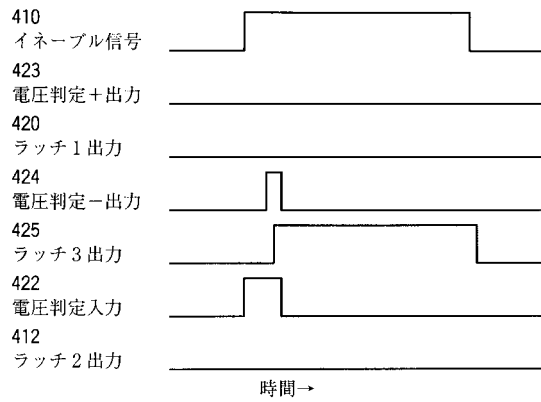
【図 4】



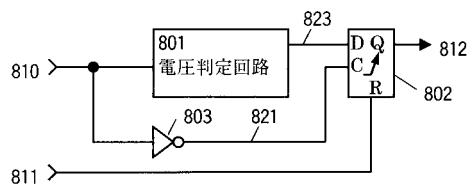
【図 6】



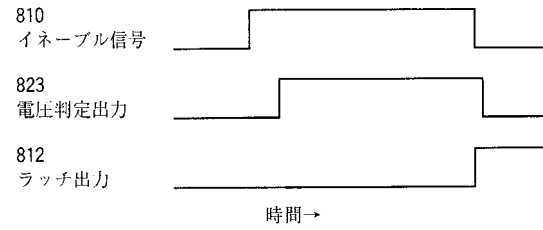
【図 7】



【図 8】



【図 9】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

G01R 19/00-19/32

H03K 5/08