

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5465942号
(P5465942)

(45) 発行日 平成26年4月9日 (2014.4.9)

(24) 登録日 平成26年1月31日 (2014.1.31)

(51) Int. Cl.

F I

H O 1 L 25/065 (2006.01)

H O 1 L 25/08

H

H O 1 L 25/07 (2006.01)

H O 1 L 25/18 (2006.01)

請求項の数 12 (全 17 頁)

(21) 出願番号 特願2009-167716 (P2009-167716)
 (22) 出願日 平成21年7月16日 (2009.7.16)
 (65) 公開番号 特開2011-23574 (P2011-23574A)
 (43) 公開日 平成23年2月3日 (2011.2.3)
 審査請求日 平成24年6月6日 (2012.6.6)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 秦 英恵
 神奈川県横浜市戸塚区吉田町 2 9 2 番地
 株式会社日立製作所 生産技術研究所内
 (72) 発明者 中村 真人
 神奈川県横浜市戸塚区吉田町 2 9 2 番地
 株式会社日立製作所 生産技術研究所内
 (72) 発明者 木下 順弘
 東京都千代田区大手町二丁目 6 番 2 号 株
 式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

Cu から成る 基板 電極を有する配線基板と、

Cu から成る チップ 電極を有し、前記チップ電極と前記基板電極の間に供給された Sn - In はんだ粉末と Ni 粒子を混ぜたはんだペーストを加熱することで、その内部に Sn - Cu - Ni 化合物を析出させたはんだ層を介して前記配線基板上に搭載された半導体チップと、を含む、半導体装置。

【請求項 2】

前記 Sn - Cu - Ni 化合物は、前記半導体チップの前記 チップ 電極あるいは前記配線基板の前記 基板 電極のどちらか一方と接触する請求項 1 記載の半導体装置。

【請求項 3】

前記 Sn - Cu - Ni 化合物は、前記半導体チップの前記 チップ 電極および前記配線基板の前記 基板 電極の両方と接触する請求項 1 記載の半導体装置。

【請求項 4】

以下の工程を含む半導体装置の製造方法：

(a) Cu から成る チップ 電極を有する半導体チップと、Cu から成る 基板 電極を有する配線基板を準備する工程；

(b) Sn - In はんだ粉末と Ni 粒子を混ぜたはんだペーストを、前記半導体チップの前記チップ電極と前記配線基板の前記基板電極の間に供給する工程；

(c) 前記はんだ ペースト を加熱することで、その内部に Sn - Cu - Ni 化合物を析出

10

20

させたはんだ層を形成する工程。

【請求項 5】

前記 $\text{Sn} - \text{Cu} - \text{Ni}$ 化合物は、前記半導体チップの前記チップ電極あるいは前記配線基板の前記基板電極のどちらか一方と接触する請求項 4 記載の半導体装置の製造方法。

【請求項 6】

前記 $\text{Sn} - \text{Cu} - \text{Ni}$ 化合物は、前記半導体チップの前記チップ電極および前記配線基板の前記基板電極の両方と接触する請求項 4 記載の半導体装置の製造方法。

【請求項 7】

Cu から成る第 1 チップ電極を有する第 1 半導体チップと、

Cu から成る第 2 チップ電極を有し、前記第 1 チップ電極と前記第 2 チップ電極の間に供給された $\text{Sn} - \text{In}$ はんだ粉末と Ni 粒子を混ぜたはんだペーストを加熱することで、その内部に $\text{Sn} - \text{Cu} - \text{Ni}$ 化合物を析出させたはんだ層を介して前記第 1 半導体チップ上に搭載された第 2 半導体チップと、を含む、半導体装置。

10

【請求項 8】

前記 $\text{Sn} - \text{Cu} - \text{Ni}$ 化合物は、前記第 1 半導体チップの前記第 1 チップ電極あるいは前記第 2 半導体チップの前記第 2 チップ電極のどちらか一方と接触する請求項 7 記載の半導体装置。

【請求項 9】

前記 $\text{Sn} - \text{Cu} - \text{Ni}$ 化合物は、前記第 1 半導体チップの前記第 1 チップ電極および前記第 2 半導体チップの前記第 2 チップ電極の両方と接触する請求項 7 記載の半導体装置。

20

【請求項 10】

以下の工程を含む半導体装置の製造方法：

(a) Cu から成る第 1 チップ電極を有する第 1 半導体チップと、 Cu から成る第 2 チップ電極を有する第 2 半導体チップを準備する工程；

(b) $\text{Sn} - \text{In}$ はんだ粉末と Ni 粒子を混ぜたはんだペーストを、前記第 1 半導体チップの前記第 1 チップ電極と前記第 2 半導体チップの前記第 2 チップ電極の間に供給する工程；

(c) 前記はんだペーストを加熱することで、その内部に $\text{Sn} - \text{Cu} - \text{Ni}$ 化合物を析出させたはんだ層を形成する工程。

【請求項 11】

前記 $\text{Sn} - \text{Cu} - \text{Ni}$ 化合物は、前記第 1 半導体チップの前記第 1 チップ電極あるいは前記第 2 半導体チップの前記第 2 チップ電極のどちらか一方と接触する請求項 10 記載の半導体装置の製造方法。

30

【請求項 12】

前記 $\text{Sn} - \text{Cu} - \text{Ni}$ 化合物は、前記第 1 半導体チップの前記第 1 チップ電極および前記第 2 半導体チップの前記第 2 チップ電極の両方と接触する請求項 10 記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造技術に関し、特に、半導体チップ間を貫通する電極を用いて、上下間の半導体チップ、配線基板の電気的な接続を行う積層方法、及び、これを用いた半導体装置、電気機器に関する。また、半導体チップが搭載された配線基板を積層した半導体装置、電子部品にも適用して有効な技術に関する。

40

【背景技術】

【0002】

近年の、携帯電話やデジタルカメラなどの電子機器においては、電子機器の高機能化・小型軽量化が重要であり、これを実現するための電子部品としては、高機能、小型、薄型の電子部品が必要となっている。このため、電子部品の搭載される半導体チップの大規模集積回路 (LSI) の微細化による高密度化、及び、パッケージの構造として、SiP (

50

System in Package) 技術による高密度化が進められている。

【0003】

しかしながら、LSIを更に微細化するためには、LSI製造ラインを更新しなければならず、巨額な設備投資が必要となる。また、微細化によりリーク電流などの問題も顕著となり、性能向上度が、理論値からずれる場合も生じてきた。

【0004】

SiPの構造は、インターポーザー基板などと呼ばれる中間基板に複数のLSIを搭載し、樹脂封止したもので、チップ電極、インターポーザー基板電極間は、Au線などを用いてワイヤボンディングにより接続することが多い。ワイヤボンディングは、ワイヤの引き回しの自由度が高いため、電気的な接続に有効である。実装面積を小さくできる方法として、インターポーザー基板の直上に搭載されるチップは、チップの能動素子面をインターポーザー基板側に向けて、Au bumps、はんだ bumps、ACF (Anisotropic conductive film) などによりフリップチップ接続することも増えている。

10

【0005】

そこで、このSiP構造の電子部品を更に高密度化、小型化するためには、チップ、基板の薄型化、電極の狭ピッチ化などが必要であるが、主に有機基板からなる中間基板の製造限界、Au線などのワイヤ細線化限界、微細領域のワイヤボンディング信頼性などから難しくなっている。更に、携帯機器向けの電子部品においては、低消費電力化への要求が厳しくなっている。SiP構造では、各チップから、一度、中間基板を介して接続するため、配線長が長く、高速伝送が困難であるとともに、消費電力も大きいという問題がある。

20

【0006】

以上より、ますます進む高機能化、小型化、更に低消費電力化への要求に対し、上記の、LSIの微細化による高密度化、SiP技術による高密度化の対策では、十分に答えられないものとなってきた。

【0007】

そこで、3次元LSIが上記の問題の1つの解として注目されてきている。この3次元LSIは、チップを貫通する電極を用いて、上下間のチップ、基板の電気的な接続を行うものであり、配線長を短くできることから、高速伝送、低消費電力化に効果的である。また、実装面積も小さくなり、小型化にも有利である。このため、上下間の積層接続のために、各種の方式が提案されている(例えば特許文献1~3)。

30

【0008】

特許文献1には、半導体チップのスタック方法について記載されている。複数のチップ搭載領域が決められた半導体基板の各チップ搭載位置に、チップをスタックする。その後、スタックされたチップを封止材で封止する。その後、チップ搭載領域の外側の決められた位置で半導体基板を切断し、複数の半導体装置に分離する。

【0009】

特許文献2には、基板積層方法について記載されている。基板を積層する際に基板の反りを抑制し、基板の取り扱いを容易にすることが可能な基板積層方法を提供するものであり、基板間を接続した後、背面から貫通電極が露出するまで削って薄型化する方法である。

40

【0010】

特許文献3には、接合温度を低くして接続する方法が記載されている。これは、導体層に銅-インジウム合金を含む中間層を介してインジウムからなる導体を用いて接続するものであり、Sn-3.5Agなどのはんだ合金 bumps より接合温度を低く設定できる。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2005-51150号公報

50

【特許文献2】特開2008-135553号公報

【特許文献3】特開2007-234841号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

しかしながら、前記のような3次元LSIでは、チップ、基板が高密度化のために薄型化するにつれて、反りが生じ易くなり、取り扱いが難しくなる。且つ、これらの反りのある部材同士を正確に位置合わせして接続するのも難しくなっている。

【0013】

また、接続時に高温になると、接続部材間の材料物性の違いにより反り量の差が大きくなる場合がある。このため、接続時の温度は高温でない方が望ましい。例えば、Sn-Ag系はんだなどの融点が220前後の材料を用いた場合には、材料が固まる温度（融点）で接続部が拘束され、室温に冷却されるまでの材料収縮量の違いにより応力が接続部に残留することがあり、長期的な接続部の信頼性に対しては、この残留応力を低減する必要がある。このため、低温で接続することが有効である。特に、基板/チップ間の接続では、基板の半導体チップ間の熱膨張係数差が大きいために接続部の残留応力が大きくなるため、基板のガラス転移温度以下で接続部が固化できれば、残留応力を大幅に低減することが可能である。

【0014】

このため、上記の特許文献3に示したようなインジウムなどの金属を用いて、接続する方式が提案されている。

【0015】

しかしながら、チップ、基板を積層して高密度の半導体パッケージを提供するためには、チップなどを積層接続するたびに加熱する工程が必要であり、接続部が何度も加熱溶解される。そのため、始めに接続した部分がその後に加熱され、溶解して外れる不具合が発生する可能性がある。従って、始めに接続した部分が、その後、加熱されても問題が生じない接続部に予めしておく必要がある。

【0016】

また、特に薄いチップを積層接続する工程では、チップへのダメージが生じないように、低荷重で行う必要がある。

【0017】

以上から、本発明は、薄いチップ、基板を積層し、高機能で高速伝送が可能な高信頼半導体パッケージ（半導体装置）を実現するために、低温、低荷重で確実に接続可能で、積層プロセス、その後の実装プロセスなどで加熱されても接続部が形状を保つことが可能な接続プロセス、接続構造を提供することを目的とするものである。

【0018】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0019】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば次の通りである。

【0020】

(1) 半導体チップ、または、半導体チップを搭載した配線基板を積層した半導体装置であって、積層した半導体チップまたは配線基板の電極間の接続構造は、Cuを主成分とする一対の電極と、電極間に挟まれるSn-In系合金によるはんだ層とを有し、はんだ層中には、Sn-Cu-Ni化合物が分散されていることを特徴とする。

【0021】

(2) 半導体チップ、または、半導体チップを搭載した配線基板を積層した半導体装置の製造方法であって、積層する半導体チップまたは配線基板の表面にCuを主成分とする

10

20

30

40

50

電極を形成する工程と、電極間にNi粒子を分散させたSn-In系合金によるはんだを供給する工程と、電極間を加熱し、はんだ中にSn-Cu-Ni化合物を分散させる工程とを有することを特徴とする。

【0022】

(3) 半導体チップ、または、半導体チップを搭載した配線基板を積層した半導体装置であって、積層した半導体チップまたは配線基板の電極間の接続構造は、Cuを主成分とする一対の電極と、電極間に挟まれるSn-In系合金によるはんだ層とを有し、はんだ層中には、2種類の粒径分布を有するSn-Cu-Ni化合物が分散されていることを特徴とする。

【0023】

(4) 半導体チップ、または、半導体チップを搭載した配線基板を積層した半導体装置の製造方法であって、積層する半導体チップまたは配線基板の表面にCuを主成分とする電極を形成する工程と、電極間に2種類の粒径分布を有するNi粒子を分散させたSn-In系合金によるはんだを供給する工程と、電極間を加熱し、はんだ中にSn-Cu-Ni化合物を分散させる工程とを有することを特徴とする。

【0024】

(5) 半導体チップ、または、半導体チップを搭載した配線基板を積層した半導体装置を製造するのに用いるはんだであって、はんだ粉末と粒子とを含み、はんだ粉末は、Sn-In、Sn-Bi、Sn-Bi-Inの1種からなり、或いは、更にこれらに、Ag、Ge、Cu、Al、Fe、Pt、Pを少なくとも1種以上添加したものであり、粒子は、Ni、Al、Fe、Ge、Ag、Ptを用い、これらの粒子を単体で含有させたり、或いは、複数材料を組み合わせる含有させたものであることを特徴とする。

【0025】

(6) 半導体チップまたは配線基板の積層構造において、この積層構造が再加熱時に耐え得るためには、電極間の接続部の高さが50μm以下であり、更に望ましくは、接続部の高さは30μm以下であることを特徴とする。また、この接続部中では、析出した化合物が、上下の電極との界面に生じている化合物層に接する構造が望ましい。

【発明の効果】

【0026】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下の通りである。

【0027】

Sn-In系合金により接続しているため、Sn-In系合金では、Sn-52mass%Inの場合に融点が120℃まで低温化できることから、低温で接続可能であり、反りによる問題が低減し、接続歩留まりを向上させることができる。

【図面の簡単な説明】

【0028】

【図1】本発明の実施の形態1における第1の接続構造を示す図である。

【図2】図1に示した第1の接続構造を実現するための前段階の構造を示す図である。

【図3】図1に示した第1の接続構造を実現するための前段階の構造として、他の例を示す図である。

【図4】本発明の実施の形態1における第2の接続構造を示す図である。

【図5】図4に示した第2の接続構造を実現するための前段階の構造を示す図である。

【図6】本発明の実施の形態1における第3の接続構造を示す図である。

【図7】図6に示した第3の接続構造を実現するための前段階の構造を示す図である。

【図8】本発明の実施の形態2における半導体装置の製造方法において、Siウェハと半導体チップの配置を示す図である。

【図9】図8のSiウェハを用いた半導体チップの形成方法を示す図である。

【図10】図9に示した半導体チップの積層接続方法及び半導体装置の構造を示す図である。

10

20

30

40

50

【図 1 1】図 1 0 に続く、半導体チップの積層接続方法及び半導体装置の構造を示す図である。

【図 1 2】図 9 から図 1 1 に示す半導体チップを積層接続する際の接続構造の詳細な変化を示す図である。

【図 1 3】本発明の実施の形態 3 における半導体装置の製造方法において、半導体チップの積層接続方法及び半導体装置の構造を示す図である。

【図 1 4】図 1 3 に続く、半導体チップの積層接続方法及び半導体装置の構造を示す図である。

【図 1 5】本発明の実施の形態 4 として、Cu ポストを有する半導体チップを有機基板に接続する方法を示す図である。

【図 1 6】本発明の実施の形態 1 の接続構造を用いた他の接続形態として、半導体パッケージを 3 段に積層接続した構造を示す図である。

【発明を実施するための形態】

【0029】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部には原則として同一符号を付し、その繰り返しの説明は省略する。

【0030】

(実施の形態 1)

図 1 を用いて、本発明の実施の形態 1 における第 1 の接続構造を説明する。本実施の形態においては、半導体チップ、または、半導体チップを搭載した配線基板を積層した半導体装置を例に、積層した半導体チップまたは配線基板の電極間の接続構造について説明する。

【0031】

図 1 に示した第 1 の接続構造 1 は、積層した下側の半導体チップまたは配線基板の電極 2 と、積層した上側の半導体チップまたは配線基板の電極 3 と、この一对の電極 2, 3 の間に挟まれるはんだ層 5 とから構成される。この第 1 の接続構造 1 では、一对の電極 2, 3 の界面に、Sn - Cu - Ni 化合物 4 が析出され、また、はんだ層 5 の内部に、Sn - Cu - Ni 化合物 6 が分散されている。

【0032】

電極 2, 3 は、Cu、または Cu を主成分とする材料からなる。このときの電極 2 と電極 3 との間の間隔（接続部の高さ） d_1 は $50\text{ }\mu\text{m}$ 以下であり、望ましくは $30\text{ }\mu\text{m}$ 以下である。はんだ層 5 は、Sn - In 系合金のはんだからなる。また、はんだ層 5 の内部に形成されている Sn - Cu - Ni 化合物 6 が、どちらかの電極界面に形成されている Sn - Cu - Ni 化合物 4 と接していること、さらに望ましくは両方の電極界面に形成されている Sn - Cu - Ni 化合物 4 と接していることが望ましい。

【0033】

図 1 に示した第 1 の接続構造 1 を実現するための前段階の構造を図 2 に示す。図 2 は、Cu による電極 2, 3 の間に、Ni 粒子を分散させた Sn - In 系合金によるはんだペースト、具体的には Sn - In はんだ粉末 7 と Ni 粒子 8 と有機成分 9 を混ぜたはんだペースト 10 を供給した状態を示したものであり、これを加熱することにより、Sn - In はんだ粉末 7 から Sn が供給され、Ni 粒子 8 から Ni が供給されて、Cu による電極 2, 3 界面には、図 1 に示したように、Sn - Cu - Ni 化合物 4 が析出している。また、はんだペースト 10 の内部は、添加した Ni 粒子 8 を核として、電極 2, 3 からの Cu と Sn - In はんだ粉末 7 中の Sn との反応により、Sn - Cu - Ni 化合物 6 が析出し、図 1 のような構造に変化している。

【0034】

有機成分 9 は、有機溶剤のほかに、はんだのぬれ性を向上させるために、酸、有機酸などの活性なフラックス成分が含まれていても良い。これらはんだペースト 10 は、接続後のプロセスで洗浄が可能ならば、活性の強いハロゲン成分が含まれていても良い。しか

10

20

30

40

50

し、無洗浄プロセスに対応するためには、フラックス残りに腐食性がないことが重要で、低ハロゲン、ハロゲンフリーのものが重要である。また、加熱後のフラックス残りが問題になる場合には、有機溶剤が揮発しやすく、固形分の少ない有機成分 9 とする。接続後の強度を向上するためには、加熱時に硬化する樹脂成分を含む有機成分 9 を用いれば、接続構造周囲を樹脂で覆うことが可能であり、接続強度を向上できる。

【 0 0 3 5 】

はんだペースト 1 0 の電極 2 , 3 への供給方法は、ディスペンサー供給、印刷方式、ディップ方式などで行う。薄いはんだ層 5 を形成するのに、はんだ量を少なく供給するのが難しい場合には、はんだペースト 1 0 中の有機成分 9 の割合を多くして、加熱後に残るはんだ量を調整することは、ある程度可能である。

10

【 0 0 3 6 】

図 1 に示した第 1 の接続構造 1 を実現するための前段階の構造として、他の例を図 3 に示す。図 3 は、はんだペースト 1 0 に、Ni コア 1 1 を Sn - In 層 1 2 で被覆したはんだ粒子が含まれている。このほかに、Sn - In はんだ粉末 7、有機成分 9 が含まれていて、これらを加熱することにより、電極 2 , 3 から Cu が供給され、Ni コア 1 1 の周囲が化合物化し、図 1 に示したように、Sn - Cu - Ni 化合物 6 が Sn - In 系合金のはんだ層 5 中に析出される。図 3 に示した方式の長所としては、Ni コア 1 1 が予め被覆されているため、本来、ぬれのあまり良くない Ni のぬれ性の問題が低減されることである。

【 0 0 3 7 】

20

また、図 2 及び図 3 では、電極 2 , 3 間にはんだペースト 1 0 を供給し、一度に加熱して図 1 の接続構造 1 を形成したが、一对の電極 2 , 3 のうちの一方の電極にはんだペーストを供給し、加熱し、その後、他方の電極と位置合わせして加熱することにより、図 1 の接続構造を形成しても良い。この場合、他方の電極に接合するときのはんだ付け性が問題になるが、フラックス成分をスプレー、スピンコート、ディスペンサーなどの方法により別途添加することなどで解決可能である。

【 0 0 3 8 】

Sn - In はんだ粉末 7、Ni 粒子 8 の大きさについては、はんだ層 5 の厚みの制約から、Sn - In はんだ粉末は 3 0 μm 以下、望ましくは、1 5 μm 以下であり、Ni 粒子 8 は 2 0 μm 以下である。

30

【 0 0 3 9 】

本発明の実施の形態 1 における別の接続構造として、2 種類の粒径分布を有する Sn - Cu - Ni 化合物を形成した第 2 の接続構造 1 3 を図 4 に示す。即ち、第 2 の接続構造 1 3 は、Cu による電極 2 , 3 界面に Sn - Cu - Ni 化合物 4 が形成され、Sn - In 系合金のはんだ層 5 中に、大きい粒径の Sn - Cu - Ni 化合物 1 4 と、小さい粒径の Sn - Cu - Ni 化合物 1 5 が形成された構造である。

【 0 0 4 0 】

この第 2 の接続構造 1 3 を実現するための前段階の構造を図 5 に示す。図 5 は、加熱前の様子を示し、2 種類の粒径分布を有する Ni 粒子を分散させた Sn - In 系合金によるはんだペースト 1 6 が電極 2 , 3 間に供給された状態であり、具体的には、5 ~ 2 0 μm の Ni 粒子 1 7 と 0 . 1 ~ 5 μm の Ni 粒子 1 8 を含むものであり、他には Sn - In はんだ粉末 7、有機成分 9 で構成されている。大きい粒径の Ni 粒子 1 7 は、Cu、Sn と化合物化して体積が増し、図 4 中の Sn - Cu - Ni 化合物 1 4 となり、その後の加熱によっても、接続構造 1 3 が安定化できるように寄与するものである。一方、微細な Ni 粒子 1 8 は、加熱後には図 4 中の小さい粒径の Sn - Cu - Ni 化合物 1 5 となり、表面積割合が多くなるため、反応性を高めるのに寄与するものである。また、他の効果として、粒径の大きい Ni 粒子 1 7 により形成された大きい粒径の Sn - Cu - Ni 化合物 1 4 は、例えば熱圧着接続プロセスなどで、ヘッドを降下させたときに、接続部の高さ d 2 が安定的に決められることに有効である。

40

【 0 0 4 1 】

50

以上説明した第1の接続構造1及び第2の接続構造13において、はんだペーストの成分に関しては、 Sn-In はんだ粉末以外にも、 Sn-Bi 、 Sn-Bi-In 、更にこれらに、 Ag 、 Ge 、 Cu 、 Al 、 Fe 、 Pt 、 P を少なくとも1種以上添加したはんだ粉末が適用可能である。 Ni 粒子以外としては、 Al 、 Fe 、 Ge 、 Ag 、 Pt であり、これらの粒子は単体ではんだペースト中に含有させても良いし、複数材料を組み合わせ、含有させても効果がある。しかしながら、上記のはんだ粉末成分に、上記の粒子成分を溶かし込み合金化してから粉末化しても効果はない。或いは、反応後に金属化する有機成分にして添加しても効果はない。即ち、金属粒子としてはんだペーストに添加し、これを核として反応させ、 Sn-Cu-Ni 化合物を接続構造中に析出させることが重要である。

【0042】

10

本発明の実施の形態1における別の接続構造として、第3の接続構造22を図6に示す。この第3の接続構造22を実現するための前段階の構造を図7に示す。第3の接続構造22は、図7に示した、突起のある形状の Ni 19を添加したはんだペースト20を用いたものであり、加熱後には図6に示すように、電極2,3界面に形成された Sn-Cu-Ni 化合物4に突起のある形状の Sn-Cu-Ni 化合物21が引っかかるような状態となり、その後の再加熱時にはんだ層5が動くことを防止する効果を増すことができる。

【0043】

(実施の形態2)

図8から図12を用いて、本発明の実施の形態2として、前記実施の形態1の接続構造を用いた半導体装置の製造方法について説明する。この半導体装置の仕様は、半導体チップを中間基板上に4段積層し、中間基板の裏面には、マザーボードに実装するためにはんだバンプを取り付けた構造を有するものである。

20

【0044】

図8は、 Si ウェハと半導体チップの配置を示す図である。図9は、図8の Si ウェハを用いた半導体チップの形成方法を示す図である。図10及び図11は、図9に示した半導体チップの積層接続方法及び半導体装置の構造を示す図である。図12は、図9から図11に示す半導体チップを積層接続する際の接続構造の詳細な変化を示す図である。

【0045】

この半導体装置を製造するため、始めに、図8(1)に示すように、 Si ウェハ31に電気回路を形成した。これは、各半導体チップ32に切断(各半導体チップ32の境界線41で切断)する前の状態で、図8(2)に示すように、それぞれの半導体チップ32の、チップエリア周辺に配置した貫通電極に、はんだバンプ33を有する。

30

【0046】

このはんだバンプ33を有する半導体チップ32の形成方法を図9に示す。(1)能動素子面34が形成された Si ウェハ31を用いて、(2) Si ウェハ31の能動素子面34に凹部35を形成し、この凹部35内に導電部材36を充填した後、(3)各貫通電極上に、 Sn-In はんだ粉末と Ni 粒子と有機成分とを混合したはんだペースト37を、メタルマスク38を用いて印刷により供給し、加熱し、(4)はんだバンプ33を形成した。その後、(5)図8の Si ウェハ31のはんだバンプ33を形成した能動素子面34の背面を研削することにより、凹部35内の導電部材36を背面に露出させて裏面の電極40とした。これにより、 Si ウェハ31の上下面を貫通させた。凹部35内に充填させた導電部材36は Cu を用いた。次に、(6)各半導体チップ32の境界線41をダイシングにより切断し、個片の半導体チップ32を得た。

40

【0047】

半導体チップ32の完成後の工程を図10及び図11に示す。(1)はんだバンプ33を形成した半導体チップ32を熱圧着装置のステージ42上に搭載し、(2)2段目の半導体チップ32を位置合わせして搭載し、加熱することにより、(3)1段目の半導体チップ32と2段目の半導体チップ32の上下間電極を積層接続させた。(4)このような貫通電極間の積層接続を繰り返して実施し、4段の半導体チップを積層(44)し、(5)このように積層接続した半導体チップ44を反転して有機基板45の電極46に位置合

50

わせし、加熱により接続させた。この後、(6)有機基板45の裏面に外部端子用のはんだボール47を取り付け、有機基板45を各個片に切り出し、半導体装置48が完成した。

【0048】

ここで、半導体チップを積層接続する際の接続構造の詳細な変化を図12に示す。図12では、前記実施の形態1において図1と図2を用いて説明した第1の接続構造を例に示している。

【0049】

図12(1)は、Siウェハ31に形成された凹部35中に充填したCuからなる導電部材36による貫通電極上に、Sn-Inはんだ粉末7とNi粒子8と有機成分9とを混合したはんだペースト37を、メタルマスク38を用いて印刷により供給した状態を示している。

10

【0050】

次に、図12(2)は、メタルマスク38を外し、Sn-Inはんだ粉末7の融点である120℃以上の温度、例えば145℃に加熱した状況を示している。これにより、Cuによる貫通電極(導電部材36)とSn-In系合金のはんだ層5との界面にはSn-Cu-Ni化合物4が見られ、且つ、はんだ層5の内部にも、添加したNi粒子8を核として成長したSn-Cu-Ni化合物6が分散している。これらははんだバンプ33の成分となる。

【0051】

20

次に、この構造のはんだバンプ33が形成された半導体チップに対し、この半導体チップのはんだバンプ33の上部に、別の半導体チップのCuによる貫通電極を接続させると、図12(3)に示したように、Sn-In系合金のはんだ層5中にSn-Cu-Ni化合物6が分散している構造となる。また、Cuによる貫通電極との界面には、Sn-Cu-Ni化合物4が見られる。

【0052】

このような接続構造を有することにより、積層接続が可能となる理由を説明する。まず、Sn-In系合金のはんだ層5中に分散しているSn-Cu-Ni化合物6の融点は高いため、このSn-Cu-Ni化合物6は、その後の再加熱工程でも溶融しない。かつ、はんだ層5による接続高さを薄くし、この接続高さの中でSn-Cu-Ni化合物6が占める割合が高い部分を局所的に形成させることによって、はんだ層5の部分は再溶融しても、接続部は破断しない。このため、積層接続が可能となる。

30

【0053】

しかし、より効果的には、全体を樹脂封止し、接着材による強度向上を図ることもより確実に破断を防止できる。

【0054】

この構造は、フリップチップボンダなどの接合設備を用いて、熱圧着工程によって実現できる。熱圧着工程では、被接続部間の距離を加圧により短くすることが可能であるため、形成したSn-Cu-Ni化合物が電極の上下面に達するまで押し込むことが可能で、溶融時により安定した接続部を形成できる。リフロー炉などの加圧をしない設備でも、はんだ量を最適化することにより、溶融時に安定した接続部を形成できる。

40

【0055】

上記のような工程により、半導体チップ32が積層された半導体装置48を得ることができた。この半導体装置48の特徴は、Sn-In系合金のはんだ層5を用いたために低温で接合でき、接続部に残る応力が低減できる。特に、有機基板(FR4、FR5)では、ガラス転移温度がそれぞれ120℃、150℃程度であり、ガラス転移温度以下でははんだが固化するため、融点が220℃付近のSn-Ag系、融点が280℃付近のSn-Au系と比較して残留応力が少なくなり、接続部形成の歩留まり向上とともに、長期信頼性に優れた構造である。

【0056】

50

(実施の形態3)

図13及び図14を用いて、本発明の実施の形態3として、前記実施の形態1の接続構造を用いた別の半導体装置の製造方法について説明する。前記実施の形態2ではSiウェハ上で一括してはんだバンプ形成を行い、ダイシングして個片の半導体チップ32となったものを使用し、この半導体チップ32の能動素子面34を上にして積層し、最後にまとめて有機基板45に接続させた。しかし、この方法に限るものではない。

【0057】

本実施の形態における半導体装置の製造方法において、半導体チップの積層接続方法及び半導体装置の構造として、例えば、図13及び図14に、半導体チップ32の能動素子面34を下にして有機基板45に接続させた例を示す。

10

【0058】

まず、(1)半導体チップ32の能動素子面34を有機基板45側に向け、有機基板45上の電極46と位置合わせし、熱圧着を行った。この有機基板45は、1つの半導体チップに対応するものではなく、複数の半導体チップに対応する有機基板でもあり、最終的に各エリアに切り離すものである。次に、(2)加熱させ、有機基板45に1段目の半導体チップ32を接続した。そして、(3)接続部の信頼性を向上するため、半導体チップ32と有機基板45の間にアンダーフィル樹脂49を注入させ、硬化させた。次に、(4)有機基板45を再度、熱圧着装置のステージ42上に戻し、2段目の半導体チップ32を位置合わせて熱圧着した。これを繰り返して、(5)有機基板45上に4段の半導体チップ32を積層した。次に、(6)有機基板45上で必要な部分全体にモールド樹脂43

20

【0059】

ここで、接続部周囲を保護するアンダーフィル樹脂49に関して、図13及び図14の例では、有機基板45に接する半導体チップ32の接続部のみ保護した。これは、1段目の半導体チップ32では、有機基板45と半導体チップ32の熱膨張係数差により、応力が大きい。1段目以降、例えば2段目と3段目ではSi同士の接続となるために熱膨張係数差は小さくなり、接続部の保護はあまり必要がないと考えたが、アンダーフィル樹脂をそれぞれに用いても良い。或いは、真空雰囲気にして、一括してアンダーフィル樹脂を封入しても良い。また、このとき、熱圧着プロセスの前にディスペンサーなどで樹脂を供給し、熱圧着することにより、その樹脂が硬化するような先塗布樹脂を用いても良い。

30

【0060】

(実施の形態4)

図15を用いて、本発明の実施の形態4として、前記実施の形態1の接続構造を他の接続形態に用いた例について説明する。図15は、Cuポスト51を有する半導体チップ52を有機基板53に接続する方法を示した例である。

【0061】

まず、(1)有機基板53上のCuによる電極54に、Sn-Biはんだ粉末とNi粒子と有機成分とを混合したはんだペースト55を供給した。これに、(2)Cuポスト51を形成した半導体チップ52を位置合わせして熱圧着工程により接続させ、(3)目的の接続構造体56を得た。このとき、Sn-Biはんだ粉末を含むはんだペースト55を用いているので、接続温度は170とし、確実なぬれ性が確保された。また、この接続構造体56は、その後の工程で、他の半導体チップと有機基板53間のワイヤボンダ接続、有機基板53裏面の外部端子用のはんだボール付け、マザーボードへの取り付けなどの工程を経るが、Ni粒子を核として生成したSn-Cu-Ni化合物がはんだ接続部中に析出していることにより、その後の工程に剥離などの問題は生じなかった。

40

【0062】

以上より、前記実施の形態1の接続構造を採用することにより、低温加熱が可能で応力を低減でき、かつ、積層接続に耐え得ることが分かった。

【0063】

50

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0064】

例えば、前記実施の形態1の接続構造を用いた他の接続形態としては、C o C接続などの半導体チップ/半導体チップ間の接続、パッケージ構造の積層接続、P o P接続などにも適用可能で、信頼性向上に有効である。

【0065】

このうち、パッケージ構造の積層接続の例を図16に示す。図16では、半導体パッケージ63を3段に積層接続した構造を示している。個々の半導体パッケージ63は、基板61上に半導体チップ62が搭載され、モールド樹脂66で封止されている。各半導体パッケージ63の間は、前記実施の形態1の接続構造65を用いて、各半導体パッケージ63のスルーホール電極64を介して電氣的に接続されている。そして、最下段の半導体パッケージ63の裏面には外部端子用のはんだボール67が取り付けられている。このような接続形態においても、前記実施の形態と同様の効果を得ることができる。

【0066】

本願の実施の形態に記載の発明は、Sn-In系合金により接続しているため、Sn-In系合金では、Sn-52mass%Inの場合に融点が120℃まで低温化できることから、低温で接続可能であり、反りによる問題が低減し、接続歩留まりを向上させることができる。

【0067】

また、本願の実施の形態に記載の発明は、電極間の接続部中のはんだが固化する温度が低温化することから、接続部の残留応力を低減させることができ、接続部の信頼性を向上させることが可能である。特に、有機基板のガラス転移温度は、高耐熱のものは150℃前後、通常のFR4レベルの有機基板では120℃付近であるため、ガラス転移温度以下の温度で固化することから、残留応力を大幅に低減することが可能である。

【0068】

また、本願の実施の形態に記載の発明は、電極材料にはCuを主成分とし、且つ、はんだ中に予めNi粒子を添加させたことから、はんだ層中に、Sn-Cu-Ni化合物が析出するため、接続後、さらに次の半導体チップ等の積層接続、はんだパンプ付け、マザーボードへの実装等の加熱プロセスにおいても、接続部が再溶融しても接続部が破断するなどの問題はなく、積層が可能となる。

【0069】

また、本願の実施の形態に記載の発明は、2つ以上の粒径分布を有するNi粒子をはんだ中に添加させる場合には、微細な粒径(～5μm以下)のNi粒子は反応を促進させる効果を示し、粒径の大きいNi粒子(5～20μm)は、はんだ成分、電極成分と反応して体積が増した化合物を電極間に挟み込むようにすれば、接続部の高さを調整することを利用することができる。さらに、この化合物が挟み込まれた電極間の構造により、接続部が再溶融してもより強固に接続部が破断するのを防止することが可能となる。

【0070】

また、本願の実施の形態に記載の発明は、はんだ材料を溶融させて接続するため、低荷重での接続が可能で、薄い半導体チップにも適用が可能である。

【0071】

また、本願の実施の形態に記載の発明は、本発明の別の効果として、従来のフリップチップ接続においては、貴金属であるAuがSn中に容易に溶け込む性質を利用して、はんだが接続時に高融点化させるAuはんだプロセスなどを用いることが多かったが、Auを用いなくても、Cu-Snの生成速度に比較して、Cu-Ni-Sn化合物の生成速度が速いため、Auを用いない脱Au接続が可能である。これは、低コスト化に効果的なプロセスといえる。

【産業上の利用可能性】

【 0 0 7 2 】

本発明は、半導体装置の製造技術に関し、特に、半導体チップ、または、半導体チップを搭載した配線基板を積層した半導体装置や、電気機器、電子部品などに広く利用可能である。

【 符号の説明 】

【 0 0 7 3 】

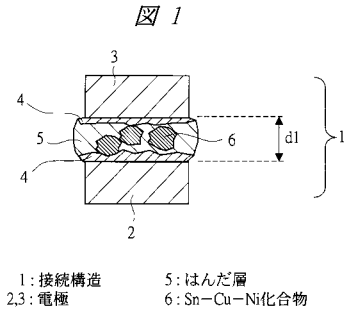
1 ... 接続構造 (第 1) 、 2 ... 電極、 3 ... 電極、 4 ... S n - C u - N i 化合物 (界面) 、 5 ... はんだ層、 6 ... S n - C u - N i 化合物 (はんだ中) 、 7 ... S n - I n はんだ粉末、 8 ... N i 粒子、 9 ... 有機成分、 1 0 ... はんだペースト、 1 1 ... N i コア、 1 2 ... S n - I n 層、 1 3 ... 接続構造 (第 2) 、 1 4 ... S n - C u - N i 化合物 (大きい粒径) 、 1 5 ... S n - C u - N i 化合物 (小さい粒径) 、 1 6 ... はんだペースト (2 種類の粒径分布を有する N i 粒子を添加) 、 1 7 ... N i 粒子 (粒径 5 ~ 2 0 μ m) 、 1 8 ... N i 粒子 (粒径 0 . 1 ~ 5 μ m) 、 1 9 ... N i (突起のある形状) 、 2 0 ... はんだペースト (突起のある N i 粒子を含む) 、 2 1 ... S n - C u - N i 化合物 (突起のある形状) 、 2 2 ... 接続構造 (第 3) 、

10

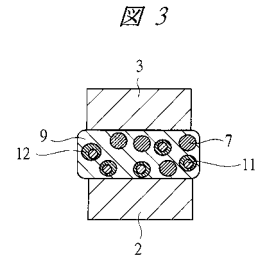
3 1 ... S i ウェハ、 3 2 ... 半導体チップ、 3 3 ... はんだバンプ、 3 4 ... 能動素子面 (S i ウェハ) 、 3 5 ... 凹部、 3 6 ... 導電部材、 3 7 ... はんだペースト (S n - I n はんだ粉末と N i 粒子と有機成分とを混合) 、 3 8 ... メタルマスク、 4 0 ... 電極 (裏面) 、 4 1 ... 境界線、 4 2 ... 熱圧着装置のステージ、 4 3 ... モールド樹脂、 4 4 ... 積層接続した半導体チップ、 4 5 ... 有機基板、 4 6 ... 電極、 4 7 ... はんだボール (外部端子用) 、 4 8 ... 半導体装置、 4 9 ... アンダーフィル樹脂、 5 0 ... 半導体装置、 5 1 ... C u ポスト、 5 2 ... 半導体チップ、 5 3 ... 有機基板、 5 4 ... 電極、 5 5 ... はんだペースト (S n - B i はんだ粉末と N i 粒子と有機成分とを混合) 、 5 6 ... 接続構造体、 6 1 ... 基板、 6 2 ... 半導体チップ、 6 3 ... 半導体パッケージ、 6 4 ... スルーホール電極、 6 5 ... 接続構造、 6 6 ... モールド樹脂、 6 7 ... はんだボール。

20

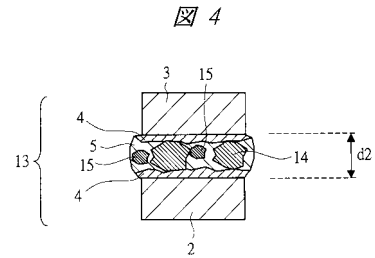
【図 1】



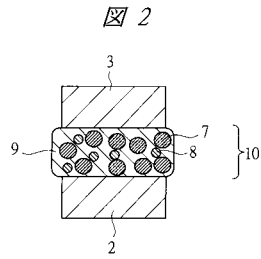
【図 3】



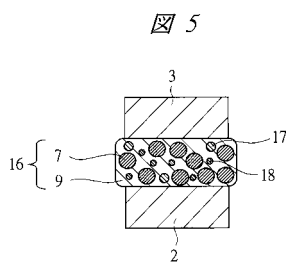
【図 4】



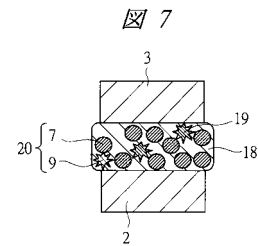
【図 2】



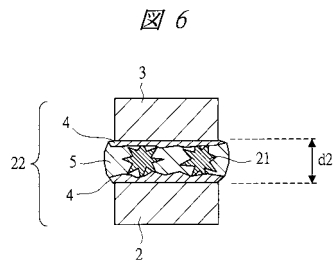
【図 5】



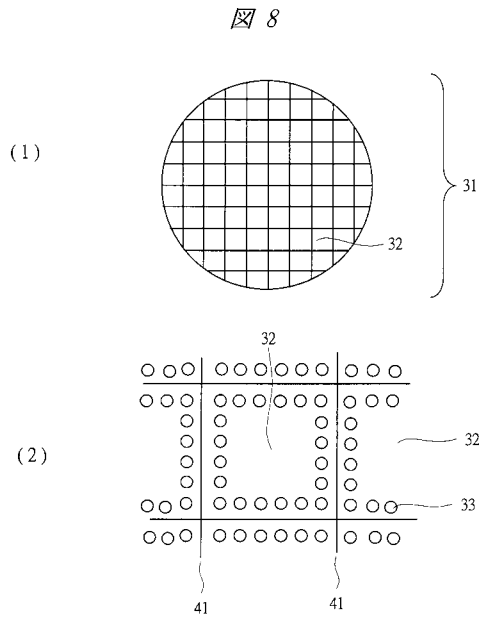
【図 7】



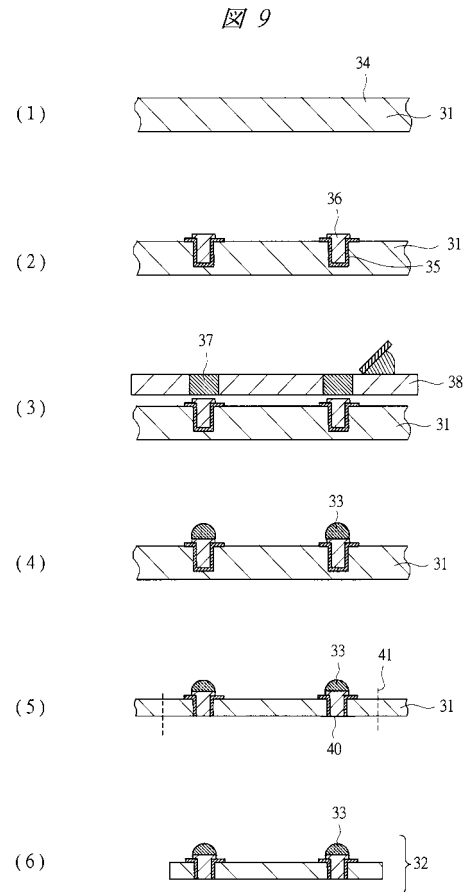
【図 6】



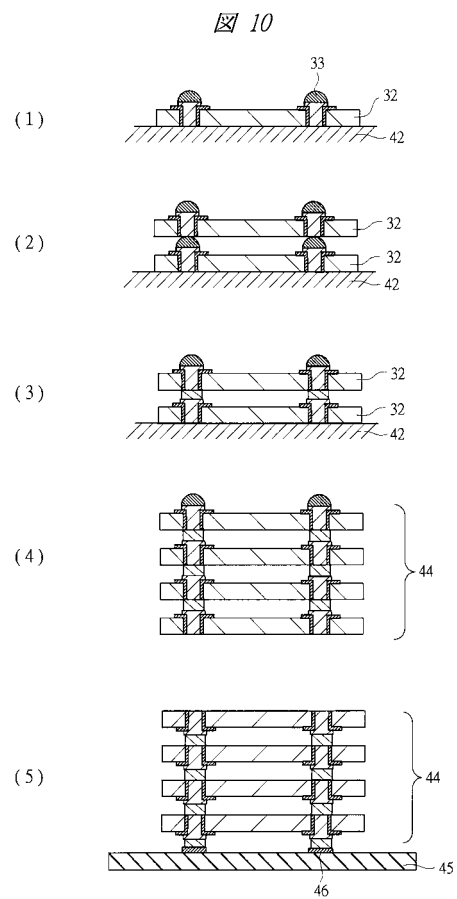
【図 8】



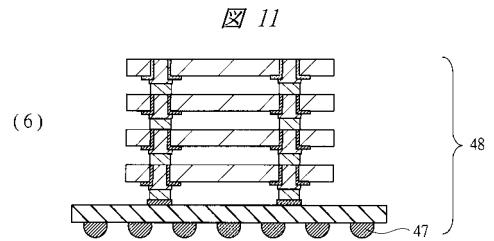
【図 9】



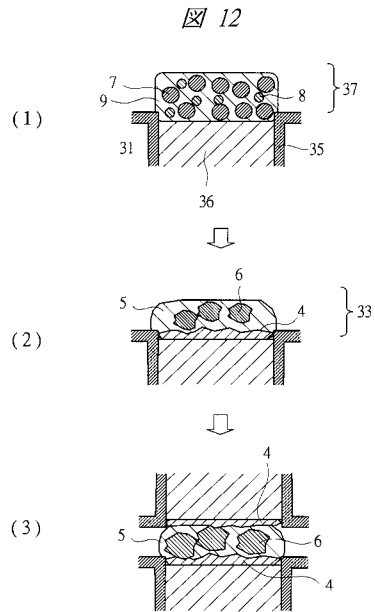
【図 10】



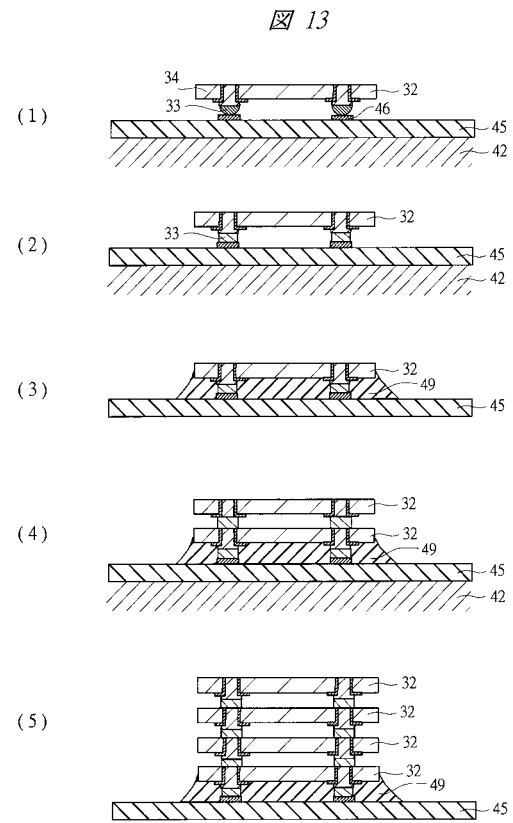
【図 11】



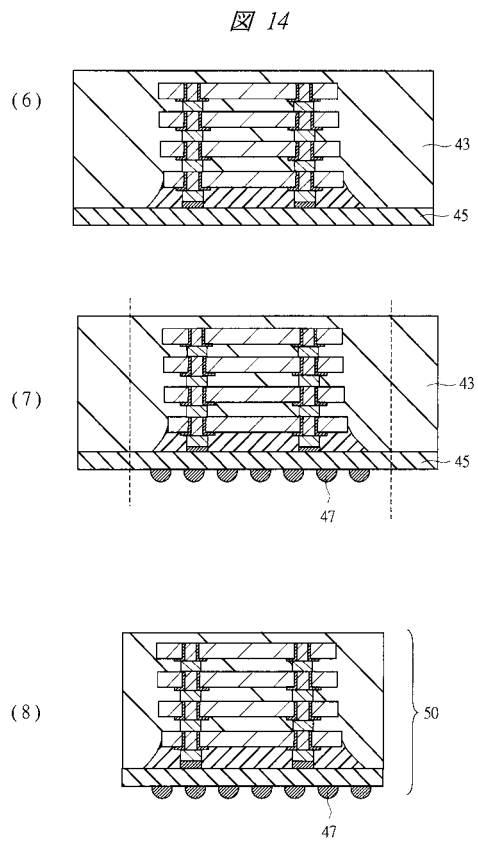
【図 12】



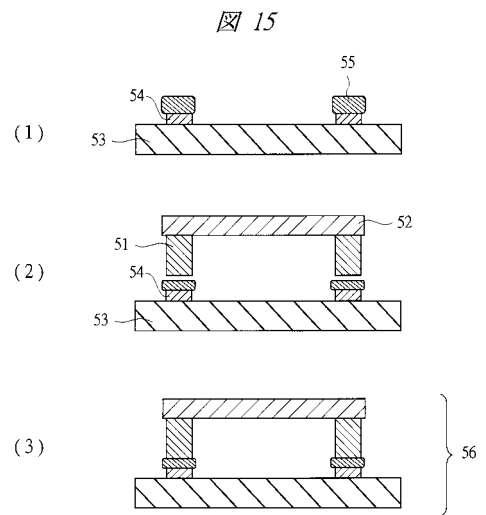
【図 13】



【図 14】

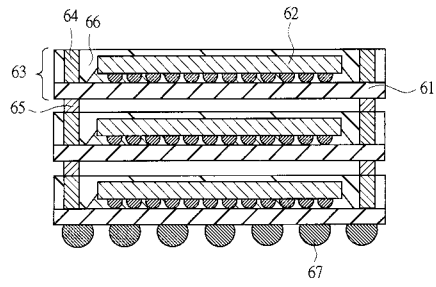


【図 15】



【図 16】

図 16



フロントページの続き

(72)発明者 紺野 順平

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

(72)発明者 依田 智子

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所 生産技術研究所内

審査官 宮本 靖史

(56)参考文献 特開2007-019360(JP,A)

特開2007-152418(JP,A)

特開2002-261105(JP,A)

特開2006-019306(JP,A)

国際公開第2007/125991(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00 - 25/18

H01L 23/12 - 23/15

H01L 21/447 - 21/449

H01L 21/52

H01L 21/58

H01L 21/60 - 21/607

B23K 35/14

B23K 35/22 - 35/34

B23K 35/363

B23K 35/40