(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G11C 16/26

(11) 공개번호 10-2004-0090425
(43) 공개일자 2004년10월22일

(21) 출원번호 10-2004-0024833
(22) 출원일자 2004년04월12일

(30) 우선권주장 JP-P-2003-00108604 2003년04월14일 일본(JP)

(71) 출원인 가부시끼가이샤 르네사스 테크놀로지
일본 100-6334 도꾜도 지요다구 마루노우찌 2-쪼메 4-1

(72) 발명자 후지토마사미치
일본국 도꾜도 지요다구마루 노우찌2쪼메 4-1 가부시끼가이샤 르레사스테크놀로지 치테키자이산켄토카츠부나이

시나가와유타카
일본국 도꾜도 지요다구마루 노우찌2쪼메 4-1 가부시끼가이샤 르레사스테크놀로지 치테키자이산켄토카츠부나이

스즈카와카즈후미
일본국 도꾜도 지요다구마루 노우찌2쪼메 4-1 가부시끼가이샤 르레사스테크놀로지 치테키자이산켄토카츠부나이

가쿠다아야코
일본국 도꾜도 지요다구마루 노우찌2쪼메 4-1 가부시끼가이샤 르레사스테크놀로지 치테키자이산켄토카츠부나이

가토아키라
일본국 도꾜도 지요다구마루 노우찌2쪼메 4-1 가부시끼가이샤 르레사스테크놀로지 치테키자이산켄토카츠부나이

타나카토시히로
일본국 도꾜도 지요다구마루 노우찌2쪼메 4-1 가부시끼가이샤 르레사스테크놀로지 치테키자이산켄토카츠부나이

(74) 대리인 특허법인 원전

심사청구 : 없음

(54) 반도체 집적회로

요약

전기적으로 재기록 가능한 온칩 불휘발성 메모리에 대한 판독속도를 빠르게 한다.

상기 불휘발성 메모리는, 복수의 메모리 어레이(21)의 각각에 고유의 제1 비트선(BL), 복수의 메모리 어레이에 공통의 제2 비트선(GBLr), 제1 비트선을 메모리 어레이마다 선택하여 제2 비트선에 접속 가능한 제1 선택회로(22) 및 상기 제1 선택회로의 출력과 제2 비트선의 사이에 배치한 센스앰프(SA)에 의한 계층화 비트선 구조를 가진다. 상기 메모리 어레이의 분할에 의한 계층화 비트선 구조는, 센스앰프의 입력 부하용량을 저감한다.

대표도

도 2

색인어

재기록, 불휘발성 메모리, 메모리 어레이, 센스앰프, 비트선, 선택회로

명세서

도면의 간단한 설명

도 1은 본 발명에 관한 반도체 집적회로의 일예인 마이크로 컴퓨터의 블록도이다.

도 2는 온칩의 플래시 메모리를 전체적으로 나타내는 블록도이다.

도 3은 스택드 게이트 구조의 불휘발성 메모리셀을 예시하는 개략 단면도이다.

도 4는 메모리 매트의 계층화 비트선 구조의 상세를 예시하는 회로도이다.

도 5는 차동 센스를 행하는 메모리 매트의 계층화 비트선 구조의 상세를 예시하는 회로도이다.

도 6은 차동 센스용의 센스앰프의 일예를 나타내는 회로도이다.

도 7은 차동 센스앰프와 차동 메인앰프에 의한 데이터 판독동작의 타이밍이다.

도 8은 차동 센스를 행하는 메모리 매트의 계층화 비트선 구조의 다른 상세를 예시하는 회로도이다.

도 9는 센스앰프 어레이의 전원배선 레이아웃을 예시하는 설명도이다.

도 10은 센스앰프 전원 레이아웃의 비교예를 나타내는 설명도이다.

도 11은 동일한 사이클에서 판독동작과 소거 또는 기록동작을 가능하게 하는 행 디코더의 구성을 개념적으로 나타내는 설명도이다.

도 12는 상호 다른 메모리 어레이에 대한 기록처리와 판독처리의 동작타이밍을 예시하는 타이밍차트이다.

도 13은 도 11의 플래시 메모리의 응용예를 나타내는 설명도이다.

도 14는 도 11의 플래시 메모리를 이용한 동작의 설명도이다.

도 15는 도 11의 플래시 메모리를 이용한 재기록 제어수순을 예시하는 플로우차트이다.

도 16은 제1 파이프라인 액세스 형태를 실현할 때 플래시 메모리의 개략 블록도이다.

도 17은 제1 파이프라인 액세스 형태를 실현할 때 플래시 메모리에 채용하는 디코더의 논리회로도이다.

도 18은 제1 파이프라인 액세스 형태에 의한 파이프라인 판독 동작의 타이밍차트이다.

도 19는 제2 파이프라인 액세스 형태를 실현할 때 플래시 메모리의 개략 블록도이다.

도 20은 제2 파이프라인 액세스 형태를 실현할 때 플래시 메모리에 채용하는 디코더의 논리회로도이다.

도 21은 제2 파이프라인 액세스 형태에 의한 파이프라인 판독 동작의 타이밍차트이다.

도 22는 제2 파이프라인 액세스 형태를 실현할 때 도 6 대신에 채용하는 센 스앰프의 회로도이다.

도 23은 본 발명에 관한 불휘발성 메모리장치의 일예인 메모리카드의 개략을 나타내는 블록도이다.

도 24는 본 발명에 관한 불휘발성 메모리장치의 다른 예인 메모리카드의 개략을 나타내는 블록도이다.

도 25는 판독데이터 경합회피를 실현할 때 플래시 메모리의 개략을 나타내는 블록도이다.

도 26은 도 25에 나타내는 플래시 메모리의 동작 타이밍 차트이다.

도 27은 판독데이터 경합회피를 실현할 때 다른 플래시 메모리의 개략을 나타내는 블록도이다.

도 28은 도 27에 나타내는 플래시 메모리의 동작 타이밍 차트이다.

도 29는 도 25 내지 도 28에 나타내는 실시형태에서 사용되는 센스앰프(SA)의 상세를 예시하는 회로도이다.

* 도면의 주요 부분에 대한 부호의 간단한 설명 *

1 마이크로 컴퓨터, 3 CPU,

4 RAM, 9 플래시 메모리,

MC 불휘발성 메모리셀, 20 메모리 매트,

21 메모리 어레이, BL 비트선,

GBLr 판독 주 비트선, GBLw 기록 비트선,

WL 워드선, 22 열 선택회로,

23 센스앰프 어레이, 25 행 디코더,

26 열 디코더, 28 기록회로,

29 데이터 래치회로, 30 데이터 셀렉터,

31 베리파이용 앰프, 32 제어회로,

34 분리스위치 어레이, SPC 프리 차지신호,

SEN 센스앰프 활성화 제어신호,

MA 메인앰프,

MEN 메인앰프 활성화 제어신호,

61, 62 개별 전원배선, 63, 63 공통 전원배선,

65, 66 접속 전원배선, 70 판독 행 디코더,

72 기록 행 디코더, 74 재기록 시퀀스영역,

75 유저 메모리영역,

RDECa 제1 형태의 파이프라인 액세스용 행 디코더,

RDECab 제2 형태의 파이프라인 액세스용 행 디코더.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 전기적 소거 및 기록 가능한 불휘발성 메모리, 또한 중앙처리장치(CPU라고도 약기한다)와 함께 상기 불휘발성 메모리를 탑재한 마이크로 컴퓨터 혹은 마이크로 프로세서 등으로 불리는 데이터 처리장치 등의 반도체 집적회로에 관한 것으로서, 예컨대 플래시 메모리를 탑재한 마이크로 컴퓨터에 적용하는 유효한 기술에 관한 것이다.

플래시 메모리의 판독동작은, 예컨대 ① 판독비트선을 프리 차지하고, ②워드선을 하이레벨('H')의 선택레벨로 상승시켜, 메모리셀 트랜지스터를 온상태로 하며, ③ 메모리셀 트랜지스터를 통해서 메모리 전류가 흐르면, 프리 차지된 비트선이 로레벨('L')로 떨어뜨리고, ④ 그 로레벨 떨어짐에 의한 비트선의 전위를 센스앰프로 감지한다는 수순으로 된다.

메모리셀 트랜지스터의 문턱치 전압(Vth)이 워드선 전위(워드선 선택레벨)보다 낮은 경우는, 비트선의 방전이 발생하여, 데이터 '1'로서 판독되며, 메모리의 Vth가 워드선 전위보다 높은 경우는, 비트선의 방전은 발생하지 않으며, 데이터 '0'으로서 판독된다. 고속으로 판독하는 경우는, 비트선 용량을 작고 빠르게 방전할 필요가 있어, 일반적으로 비트선 계층 구조가 채용되고 있다. 비트선 부하용량은 메모리 드레인 용량이 지배적이기 때문에, 비트선 계층 구조에서는, 비트선을 몇개의 블록으로 분할하여, 복수의 부 비트선 구조로 한다. 메모리는 이 분할된 부 비트선에 연결되고, 부 비트선은 계층스위치를 통해서 주 비트선에 연결되어 있다. 따라서, 비트선 계층구조를 채용하면, 비트선의 부하용량은 한정된 수의 메모리가 연결되는 부 비트선의 배선용량과 접속되는 메모리의 드레인 용량의 합계인 부 비트선 부하와, 주로 배선용량인 주 비트선 부하의 합계가 된다. 이것은, 계층 구조를 갖지 않고 모든 메모리가 주 비트선에 연결되는 경우에 비해서, 수분의 일의 부하용량이 된다. 메모리 전류로 이들 작은 부하를 빠르게 방전하여, 비트선 전위의 저하를 센스앰프로 증폭한다. 또한, 기록을 행하는 경우는, 기록 워드선을 포함하고 있는 계층스위치를 온시켜, 주 비트선에 기록펄스를 공급한다. 이 결과, 펄스는, 계층스위치를 통과하여, 부 비트선에 공급된다. 다른 부 비트선에는 인가되지 않으므로, 주 비트선에 모든 메모리가 연결되어 있는 경우에 비해서, 드레인 디스터브가 가해지는 시간도 대폭 저감할 수 있다.

또한, 고속으로 판독하는 다른 방법으로서, 메모리 어레이를 복수의 어레이로 분할하여, 각각에 판독회로와 기록회로를 구비하는 구조가 있다(특허문헌 1:특개 2000-339983호 공보 참조). 예컨대, 메모리 어레이를 4분할하여, 각각이 행 디코더와 센스앰프를 갖고, 그 출력이 버스 라인에 연결된다. 액세스가 있는 경우는, 최상위 어드레스를 판단하여 어느 것인가의 어레이가 동작한다. 기록을 행하는 경우도 마찬가지로, 최상위 어드레스를 판단하여 어느 것인가의 기록회로에 버스 라인으로 기록데이터를 전송하여, 기록이 행해진다.

발명이 이루고자 하는 기술적 과제

그렇지만, 상기 주부(主副) 비트선만에 의한 계층화 비트선 구조에서는 주 비트선의 부하용량에 의한 신호 전파지연에 대해서는 대책되지 않고, 판독속도의 고속화가 더 요구되는 경우에는 대응할 수 없다.

특허문헌 1로 대표되는 것처럼 복수의 어레이로 분할하는 경우에는, 그 어레이 사이에서 비트선이 완전히 분리된다. 이것은 고속화에는 바람직하지만, 판독회로와 기록회로 게다가 버스라인과의 인터페이스 회로를 분할 수에 대응해서 각각에 구비할 필요가 있어, 회로 규모가 증대해 버린다. 또한, 기록과 판독에서 동일한 주 비트선을 이용하고 있다. 소거 및 기록에서 비트선에 고전압을 인가하는 경우에는 판독계에도 고내압을 고려하지 않으면 안된다.

또한, 센스앰프 부분은, 메모리 어레이의 비트선 단부에 배치되며, 센스앰프 수는 동시에 판독하는 비트 수 이상의 수가 필요해진다. 이들은 동시에 동작하고, 비교적 소비전류가 크기 때문에, 전원 노이즈를 발생시키기 쉽다. 그러나, 센스앰프는 미소 전압을 증폭하기 때문에, 불필요한 노이즈의 발생은 오동작을 초래하므로, 센스앰프로 공급하는 전원에 대해서 전원 임피던스를 내리기 위해, 배선폭을 굵게하는 대책을 행하는 것이 필요해진다. 이것으로는 반대로 칩 점유면적이 크게 되어버린다.

또한, 마이크로 컴퓨터에 내장하는 프로그램 저장용의 플래시 메모리는 CPU와 동일한 속도로 판독하는 것이 필요하다. 미세화에 따라서, CPU의 동작속도는 향상하지만, 플래시 메모리는 미세화를 행해도 전하축적부의 산화막을 얇게 할 수 없어, 메모리 전류를 증가시키는 것이 곤란하다. 이 때문에, 마이크로 컴퓨터의 동작속도가 내장 플래시 메모리의 액세스 타임으로 결정되어 버린다. 마이크로 컴퓨터에 온칩의 플래시 메모리에 있어서는, 판독동작의 고속화는 특

히 중요하고, 플래시 메모리의 판독 회로방식을 더 연구할 필요성이 본 발명자에 의해 발견되었다.

본 발명의 목적은, 전기적으로 재기록 가능한 온칩 불휘발성 메모리에 대한 판독속도를 빠르게 할 수 있는 반도체 집적회로를 제공하는데 있다.

본 발명의 다른 목적은, 회로 규모의 증대를 극력 억제하여 온칩 불휘발성 메모리에 대한 판독속도를 빠르게 할 수 있는 반도체 집적회로를 제공하는데 있다.

본 발명의 상기 및 그 밖의 목적과 신규한 특징은 본 명세서의 기술 및 첨부 도면으로부터 명백해질 것이다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면 하기와 같다.

〔1〕 《판독계의 계층화》 본 발명에 관한 반도체 집적회로는, 반도체 기판에 전기적인 소거 및 기록이 가능한 불휘발성 메모리를 가진다. 상기 불휘발성 메모리는, 복수의 메모리 어레이의 각각에 고유의 제1 비트선(BL), 복수의 메모리 어레이의 제1 비트선에 공통의 제2 비트선(GBLr) 및 상기 제1 비트선과 제2 비트선과의 사이에 배치된 센스앰프(SA)에 의한 계층화 비트선 구조를 가진다. 더 상세하게는, 상기 불휘발성 메모리는, 복수의 메모리 어레이의 각각에 고유의 제1 비트선, 복수의 메모리 어레이에 공통의 제2 비트선, 제1 비트선을 메모리 어레이마다 선택하여 제2 비트선에 접속 가능한 제1 선택회로(22) 및 상기 제1 선택회로의 출력과 제2 비트선의 사이에 배치한 센스앰프에 의한 계층화 비트선 구조를 가진다. 상기 메모리 어레이의 분할에 의한 계층 비트선 구조는 센스앰프의 입력 부하용량을 저감한다. 메모리 어레이의 분할에 의해 비트선 선택회로와 센스앰프는 증가한다.

상기 센스앰프는, 예컨대, 인접하는 한쌍의 메모리 어레이의 사이에 배치된 차동 센스앰프이고, 한쌍의 차동입력은 상호 한쪽의 입력이 해당 한쪽의 메모리 어레이에서 선택된 제1 비트선에서의 판독신호가 되고, 상호 다른쪽의 입력이 레퍼런스 입력이 된다. 차동 센스는 판독동작의 고속화에 기여한다.

상기 제2 비트선에 입력단자가 접속되는 메인앰프(MA)를 설치하여도 된다. 판독동작을 더 고속화 할 수 있다.

예컨대, 상기 메인앰프는 인접하는 한쌍의 제2 비트선에 차동입력이 접속되는 차동앰프이고, 한쌍의 차동입력은 상호 한쪽의 입력이 해당 한쪽의 제2 비트선으로 출력되는 판독신호가 되며, 다른쪽의 입력이 레퍼런스 입력이 된다. 메인앰프도 차동화하는 것에 의해, 판독동작은 더 고속화한다.

〔2〕 《기록계의 단일화》 상기에 있어서, 기억정보의 기록에 주목한다. 제2 비트선과는 별도로 상기 복수의 메모리 어레이에 공통이 되는 기록용의 제3 비트선(GBLw)을 설치한다. 분할 메모리 어레이 구조를 채용하여도 기록회로 및 기록데이터 래치 등의 기록계 회로를 메모리 어레이마다 배치하지 않아도 된다. 상기 제3 비트선은 메모리 어레이에 대한 병렬기록 비트 수에 따르는 갯수가 설치되어 있다. 메모리 어레이로부터의 기억정보의 판독 비트 수(예컨대 32비트)에 제한되는 것은 아니고 필요한 비트 수(예컨대 512 바이트)로 병렬기록이 가능해진다.

메모리 어레이마다 상호 대응하는 제1 비트선을 제3 비트선과 접속 및 분리 가능하게 하는 분리회로(34, DSW)를 설치하고, 판독동작에 있어서 판독 대상이 되는 메모리 어레이의 분리회로는 제3 비트선을 제1 비트선에서 분리한다. 판독동작에 있어서 제3 비트선에 의한 소망하지 않는 부하를 분리할 수 있어, 고속판독을 보증한다. 또한, 판독 대상의 메모리 어레이는 제3 비트선으로부터 분리되므로, 제2 비트선에 의한 판독동작과 제3 비트선에 의한 기록동작의 병렬화가 가능해진다.

베리파이 판독은 예컨대 제3 비트선을 이용해서 행한다. 즉, 제3 비트선을 데이터의 외부 병렬 입출력 비트 수 단위로 선택하는 제2 선택회로(30)와, 상기 제2 선택회로에서 선택된 제3 비트선으로 베리파이 판독데이터를 센스하는 베리파이용 앰프(31)를 가진다. 이것에 의해, 베리파이용 앰프를 메모리 어레이마다 분산시키지 않고 끝난다.

〔3〕 《센스앰프 전원》 상기 메모리 어레이의 계층화에 의해 센스앰프는 분산되어 있다. 이때, 병렬된 복수의 센스앰프마다 그 병렬방향을 따라서 제1 전원배선(61, 62)이 설치되고, 제1 전원배선과 이간한 위치에 해당 제1 전원배선보다도 폭이 넓은 제2 전원배선(63, 64)이 설치되며, 각각의 제1 전원배선과 제2 전원배선은 제1 비트선 방향에 설치된 제3 전원배선(65, 66)으로 복수 개소에서 접속된다.

메모리 어레이의 계층화에 의한 상기 계층 센스방식에서는, 센스앰프 등의 판독회로를 메모리 매트내에 복수 배치하므로, 센스앰프는 제1 비트선과 직교하여 배치되고, 전원선도 마찬가지로 제1 비트선과 직교한다. 복수의 센스앰프가 병렬 동작하면 전류 집중을 일으키기 때문에 전원배선 폭을 넓게 하여, 노이즈의 발생을 억제하는 것이 필요해진다.

이것을 각 센스앰프 어레이마다 행하면 불휘발성 메모리의 칩 점유면적이 증대한다. 이 때문에, 센스앰프 어레이마다의 제1 전원배선의 폭은 굵게 하지 않고, 그곳에서 이간한 위치에 폭이 넓은 제2 전원배선을 설치하며, 제1 전원배선과 제2 전원배선을 제1 비트선의 연장 방향에 따른 복수의 제3 전원배선으로 접속한다. 센스앰프 어레이에는 그 어레이 방향 일단측에서 동작 전원이 공급되는 것은 아니고, 어레이 방향에 교차하는 다수의 제3 전원배선에서 병렬 로 동작전원이 공급된다. 따라서, 다수의 센스앰프가 동시에 동작하여도 전류집중에 의한 전위변화를 일으키기 어렵고, 센스앰프용 전원배선에 의한 칩 점유면적의 증대도 억제할 수 있다.

구체적인 형태로서, 상기 복수의 메모리 어레이에 공통화되는 상기 제3 비트선을 2개의 제1 비트선마다 1개 설치하며, 상기 분리회로는 각 메모리 어레이에 있어서 1개의 제3 비트선에 대응하는 2개의 제1 비트선의 어느 것인가 한쪽과의 접속 또는 쌍방과의 분리를 선택 가능하게 할 때, 상기 제3 전원배선은 제1 비트선 2개마다 그 사이에 배치하면 된다. 제3 전원배선에 의한 칩 점유면적 증대를 극력 억제하는 것이 가능해진다.

〔4〕 《병렬 액세스》 상기에 있어서, 판독용의 제2 비트선과 기록용의 제3 비트선을 각각 가지고, 판독동작에 있어서 판독 대상이 되는 메모리 어레이의 분리회로는 제3 비트선을 제1 비트선에서 분리한다. 다른 메모리 어레이에 대해서 판독동작과 소거 및 기록동작을 병렬적으로 행할 수 있다. 소거 및 기록동작을 동일한 싸이클에서 행할 수 있도록 하기 위해, 판독동작에 있어서 워드선, 제1 비트선, 분리회로 및 센스앰프의 동작을 선택하는 제1 어드레스 디코더(70, CDEC)와, 기록동작에 있어서 워드선 및 분리회로의 동작을 선택하는 제2 어드레스 디코더(71)를 각각 가진다.

상기에서, 불휘발성 메모리의 재기록 시퀀스의 프로그램을 기억한 기억영역과, 유저가 자유롭게 재기록 가능한 기억영역을 동일한 불휘발성 메모리에 배치할 수 있다. 계층 센스방식을 실현하는 계층 비트선 구조와 기록 비트선 구조를 분리 하여 상기 동일 메모리 싸이클에서도 기록과 판독을 병렬화 할 수 있도록 되어 있으므로, 재기록 시퀀스 프로그램을 판독하여 실행하면서, 유저 영역의 메모리를 재기록하는 것이 가능하다. 재기록 시퀀스 프로그램을 일단 RAM으로 전송할 필요는 없고, 그와 같은 RAM을 내장하지 않은 반도체 집적회로에도 상기 불휘발성 메모리를 탑재할 수 있다.

〔5〕 《파이프라인 액세스》 상기 제1 어드레스 디코더 및 제2 어드레스 디코더에, 연속 어드레스에 대해서 센스앰프를 공유하는 메모리 어레이가 상위하도록 어드레스 맵핑을 행하는 어드레스 디코드 논리를 채용한다. 이것에 의해, 액세스 단위에 따라서 순차 인접 데이터를 액세스 할 때, 순차 상위하는 메모리 어레이가 선택되게 된다.

그 어드레스 맵핑을 전제로 제1 파이프라인 액세스 형태를 설명한다. 이것은, 판독동작에 있어서, 제1 어드레스 디코더는 어드레스 신호의 변화에 응답하여 대응하는 메모리 어레이마다 어드레스 디코드 신호와 제1 비트선의 선택신호를 판독동작에 필요한 싸이클 수만큼 유지하고, 어드레스 신호의 변화에 응답하여 상기 센스앰프를 지연 동작시키는 것에 의해 실현된다. 이것에 의해, 매싸이클 어드레스 신호를 변화시키면서 연속 어드레스의 데이터 판독을 행하는 것이 가능해진다.

제2 파이프라인 액세스 형태를 채용하여도 된다. 즉, 판독동작에 있어서, 제1 어드레스 디코더는 어드레스 신호로 지정되는 어드레스와 다음의 어드레스의 워드선 및 제1 비트선을 병렬 선택함과 동시에, 상기 지정되는 어드레스와 다음의 어드레스에 응답하는 각각의 센스앰프에 의한 제2 비트선의 구동을 순차 구동제어 로 한다.

〔6〕 《데이터 처리장치》 상기 반도체 집적회로는 상기 반도체 기판에 상기 불휘발성 메모리를 액세스 가능한 중앙처리장치를 구비하여 구성된다. 불휘발성 메모리에 대한 소거 및 기록처리의 제어는 중앙처리장치가 행하면 된다. 예컨대, 상기 복수의 메모리 어레이의 일부의 메모리 어레이를 데이터 영역, 나머지 메모리 어레이를 관리영역으로 하고, 상기 관리영역을 데이터 영역을 재기록하기 위한 재기록 시퀀스 제어 프로그램의 기억영역으로 한다. 상기 중앙처리장치는 상기 관리영역에서 재기록 시퀀스 제어 프로그램을 읽어들여 실행하며, 데이터 영역의 재기록 제어가 가능하다.

〔7〕 《불휘발성 메모리장치》

본 발명에 관한 불휘발성 메모리장치는, 컨트롤러와 하나 또는 복수의 불휘발성 메모리를 가진다. 상기 불휘발성 메모리는 복수의 메모리 어레이로 분리되며, 제1 그룹에 속하는 메모리 어레이와, 상기 제1 그룹에 속하는 메모리 어레이의 각각에 대응하는 메모리 어레이로 이루어지는 제2 그룹의 메모리 어레이를 가진다. 상기 컨트롤러는 소정의 제1 그룹의 제1 메모리 어레이에 대한 제1 액세스 동작과, 해당 제1 메모리 어레이 및 제1 메모리 어레이에 대응하는 제2 그룹의 제2 메모리 어레이를 제외하고 제3 메모리 어레이에 대한 제2 액세스 동작을 병행해서 제어 가능하다.

상기 제1 그룹에 속하는 메모리 어레이와 제2 그룹의 대응하는 메모리 어레이와의 사이에는, 복수의 센스앰프(SA)를 가지고, 각각의 메모리 어레이는 복수의 제1 비트선(BL)을 가지며, 제1 그룹의 메모리 어레이의 제1 비트선과 제2 그룹의 대응하는 메모리 어레이의 제1 비트선이 상기 센스앰프의 입력단자에 접속된다. 상기 센스앰프의 출력이 제2 비트선(GBLr)에 접속되며, 상기 제1 비트선과 제2 비트선은 판독동작에 이용되고, 기록동작에 이용되는 제3 비트선(G

BLw)을 더 가진다.

본 발명의 불휘발성 메모리장치에 의하면, 상호 다른 메모리 어레이로 판독동작과 기록동작을 병행해서 행하는 것이 가능해지며, 유저에서 본 턴 어라운드타임을 단축할 수 있다.

《베리파이 판독》

본 발명의 또 다른 관점에 의한 반도체 집적회로는, 반도체 기판에 전기적인 소거 및 기록이 가능한 불휘발성 메모리를 가진다. 상기 불휘발성 메모리는, 복수의 메모리 어레이의 각각에 고유의 제1 비트선(BL), 복수의 메모리 어레이의 제1 비트선에 공통의 제2 비트선(GBLr), 복수의 메모리 어레이에 공통의 제3 비트선(GBLv) 및 제1 비트선에서 판독된 데이터를 선택적으로 증폭하여 제1 판독동작에서 제2 비트선으로 출력하고, 제2 판독동작에서 제3 비트선으로 출력하는 센스앰프(SA)에 의한 계층화 비트선 구조를 가진다.

본 발명의 구체적인 형태로서 제1 판독동작은 판독된 데이터를 반도체 집적회로의 외부로 출력하기 위한 판독동작이다. 상기 제2 판독동작은 메모리 어레이로의 데이터 기록에 있어서, 판독된 데이터에 의거해서 데이터의 기록동작 또는 소거동작을 계속할지 여부를 결정하기 위한 베리파이 판독동작이다.

다른 계층에 있어서 판독동작과 기록동작중의 베리파이 판독동작을 병행할 때, 쌍방으로부터 판독데이터의 경로를 개별화하는 것에 의해, 쌍방으로부터 판독데이터의 경합이 해소되어 유저에서 본 턴 어라운드 타임을 단축할 수 있다.

(발명의 실시형태)

《마이크로 컴퓨터》

도 1에는 본 발명에 관한 반도체 집적회로의 일예인 데이터 프로세서 혹은 마이크로 프로세서 등으로도 불리는 싱글칩의 마이크로 컴퓨터가 예시된다.

동도에 나타내는 마이크로 컴퓨터는, 특별히 제한되지 않지만, 공지의 반도체 집적회로 제조기술에 의해, 단결정실리콘과 같은 1개의 반도체 기판(칩)에 형성된다.

마이크로 컴퓨터(1)는 내부 버스(2)에 접속된 회로 모듈로서, 중앙처리장치(CPU라고도 기술한다)(3), 상기 CPU(3)의 워크 영역 등으로 이용되는 랜덤 · 액세스 · 메모리(RAM으로도 기술한다)(4), 버스 컨트롤러(5), 발진기(7), 분주회로(8), 플래시 메모리(9), 전원회로(10), 입출력포트(I/O)(11) 및 타이머 카운터 등 그 밖의 주변회로(12) 등을 가진다. 상기 CPU(3)는 명령제어부와 실행부를 구비하고, 페치한 명령을 해독하며, 해독 결과에 따라서 실행부에서 연산처리를 행한다. 플래시 메모리(9)는, 특별히 제한되지 않지만, CPU(3)의 동작 프로그램 혹은 데이터를 저장한다. 전원회로(10)는 플래시 메모리(9)의 소거 및 기록용 고전압 등을 생성한다. 분주회로(8)는 발진기(7)에 의한 소스 발진을 분주하여 동작 기준 클록신호와 그 밖의 내부 클록신호를 생성한다. 상기 내부 버스(2)는 각각 어드레스 버스, 데이터 버스 및 컨트롤 버스를 포함하고 있다. 상기 버스 컨트롤러(5)는 CPU(3)로부터 액세스 요구에 응답하여 그 액세스 대상 어드레스에 따른 액세스 싸이클 수, 웨이트 스테이트 수, 버스 폭 등 버스 액세스 제어를 행한다.

마이크로 컴퓨터(1)는 시스템에 실장된 상태에서는 CPU(3)가 플래시 메모리(9)에 대한 소거 및 기록제어를 행한다. 디바이스 테스트 또는 제조단계에서는 외부의 기록장치(도시하지 않음)가 입출력포트(11)를 통해서 직접 플래시 메모리(9)에 대한 소거 및 기록제어가 가능하게 되어 있다. 전원 투입 후, 리셋신호의 로레벨 기간에 마이크로 컴퓨터(1)의 내부가 초기환된다. 리셋신호의 하이레벨에 의해 리셋이 해제되면, CPU(3)는 어드레스 0번지의 벡터 등에 의해 지정되는 프로그램 영역의 프로그램의 실행을 개시한다.

《플래시 메모리》

도 2에는 플래시 메모리(9)를 블록 다이어그램으로 전체적으로 나타낸다. 플래시 메모리(9)는, 전기적으로 소거 및 기록 가능한 다수의 불휘발성 메모리셀(MC)이 매트릭스 배치된 메모리 매트(20)를 가진다. 상기 불휘발성 메모리셀(MC)은, 특별히 제한되지 않지만, 소스(소스선 접속), 드레인(비트선 접속), 채널, 채널상에 상호 절연 형성되어 적층된 플로팅 게이트 및 컨트롤 게이트(워드선 접속)를 갖는 스택드 게이트 구조가 된다. 혹은, 소스(소스선 접속), 드레인(비트선 접속), 채널, 상기 채널상에서 이웃하여 상호 절연 형성된 선택 게이트(워드선 접속) 및 메모리 게이트(메모리 게이트 제어선 접속)를 갖는 스플릿 게이트 구조 등이라도 된다.

메모리 매트(20)는 복수의 메모리 어레이(21)로 분할된다. 메모리 어레이(21)마다, 복수의 부 비트선(BL)을 설치하고, 부 비트선(BL)을 열 선택회로(22)로 선택하며, 열 선택회로(22)의 출력을 센스앰프 어레이(23)로 받는다. 도면의 센스앰프 어레이(23)에는 대표해서 1개의 센스앰프(SA)가 도시된다. 센스앰프 어레이(23)의 출력을 각 메모리 어레이

에 공통의 판독 주 비트선(GBLr)에 접속한다. 요컨대, 비트선은 계층 비트선 구조가 되고, 센스앰프에 의한 증폭은 계층 센스방식이 된다. 센스앰프 어레이(23)는 도면의 상하 한쌍의 메모리 어레이(21)에 공유된다. 기록계로서 판독계와는 분리된 기록 비트선(GBLw)을 가지며, 기록 비트선(GBLw)은 계층화되지 않고, 각 메모리 어레이(21)에 공통화된다. 기록 비트선(GBLw)과 대응하는 부 비트선(BL)은, 분리스위치(DSW)를 통해서 접속 또는 분리가 선택 가능하게 된다. 판독 동작시는, 분리스위치(DSW)는 적어도, 판독대상 메모리 어레이에 있어서 기록 비트선(GBLw)을 부 비트선(BL)에서 분리한다. 특별히 제한되지 않지만, 판독 주 비트선(GBLr)은 32개, 기록 비트선(GBLw)은 1024개가 된다.

불휘발성 메모리셀(MC)의 워드선(WL)은 행 디코더(RDEC)(25)에 의한 어드레스 신호의 디코드 결과에 따라서 선택적으로 구동된다. 구동 레벨은 플래시 메모리에 대한 소거, 기록 또는 판독 처리에 따라서 정해진다. 열 선택회로(22)에 의한 부 비트선(BL)의 선택은 열 디코더(CDEC)(26)에 의한 어드레스 신호의 디코드 결과에 따라서 행해진다. 분리스위치(DSW)와 센스앰프(SA)는 메모리 어레이에 대한 판독, 소거 또는 기록의 동작에 따라서 행 디코더(25)에 의해 제어된다. 어드레스 신호는 어드레스 버스(ABUS)로 공급된다.

상기 판독 주 비트선(GBLr)은 버스 드라이버(BDRV)를 통해서 데이터 버스(DBUS)에 접속된다. 이 예에 따르면 데이터 버스(DBUS)는 32비트이다. 기록 비트선은 기록회로(28)에 접속된다. 기록회로(28)는 1024비트의 기록 제어데이터의 각 비트의 논리치에 따라서 대응하는 기록 비트선(GBLw)에 기록전압을 인가한다. 기록 제어데이터는 기록데이터 래치회로(29)에서 주어진다. 기록데이터 래치회로(29)에는 CPU(3)에서 순차 32비트 단위로 주어지는 기록데이터가 데이터 셀렉터(제2 선택회로)(30)를 통해서 1024비트 입력되어 리셋된다. 베리파이 판독에 있어서 기록 비트선(GBLw)에 판독된 데이터는 상기 데이터 셀렉터(30)에 의해 32비트 단위로 선택되며, 선택된 데이터는 베리파이용 앰프(31)에서 증폭되어 외부로 출력된다. 베리파이 판독으로 외부 판독된 데이터는 CPU(3)에 의해 비트 단위로 베리파이 판정이 행해지며, 그 판정 결과가 새로운 기록데이터로서 CPU(3)에서 데이터 셀렉터(30)를 통해서 데이터 래치회로(29)에 로드된다. 데이터 셀렉터(30)의 선택동작은 특별히 제한되지 않지만 어드레스 버스(ABUS)에서 공급되는 어드레스 신호에 기초해서 행해진다.

제어회로(32)는 CPU(3)에서 컨트롤 버스(CBUS) 및 데이터 버스(DBUS)를 통해서 메모리 제어정보가 설정되고, 그것에 따라서 판독, 소거 및 기록의 동작에 따른 제어시퀀스 및 동작 전원의 전환 제어를 행한다.

《불휘발성 메모리셀》

여기서 상기 불휘발성 메모리셀의 구체예를 설명한다.

도 3에는 불휘발성 메모리셀의 일예로서 스택드 게이트 구조가 예시된다. 동 도에 나타나는 불휘발성 메모리셀(MC)은 소스선(제2 데이터선)(SL)에 접속되는 소스 영역(40)과 비트선(제1 데이터선)(BL)에 접속되는 드레인 영역(42)의 사이에 채널 영역이 형성되고, 이 채널 영역상에 게이트 절연막을 통해서 플로팅 게이트 전극(43)이 형성되며, 그 위에 산화막을 통해서 컨트롤 게이트 전극(44)이 형성된다. 플로팅 게이트 전극(43)은 폴리실리콘층에 의해 구성된다. 컨트롤 게이트 전극(44)은 폴리실리콘 배선 등에 의해 구성되며, 워드선(WL)의 일부가 된다.

기록을 핫 캐리어 주입으로 하는 경우의 동작 전압은 이하와 같다. 예컨대 기록은, 워드선 전압(Vg)을 10V, 비트선 전압(Vd)을 5V, 소스선 전압(Vs)을 0V, 웰 전압(Vw)을 0V로 하고, 드레인 영역(22)에서 플로팅 게이트 전극(33)으로 핫 캐리어의 주입에 의해 행한다. 소거는 워드선 전압(Vg)을 마이너스의 -10V, 웰 전위(Vw)를 10V, 비트선 및 소스선을 고임피던스로 하고, 플로팅 게이트(33)로부터 전자를 웰 영역으로 인출하는 것에 의해 행한다. 판독은, 워드선 전압(Vg)을 전원전압, 비트선 전압(Vd)을 전원전압, 소스선 전압(Vs)을 0V, 웰 전위(Vw)를 0V로 해서 행한다. 소거 및 기록 처리에서는, 워드선(WL) 및 웰 영역에 고압을 인가하는 것이 필요해진다.

기록을 FN터널로 하는 경우의 동작전압은 이하와 같다. 예컨대 기록은, 워드선 전압(Vg)을 -10V, 비트선 전압(Vd)을 10V, 소스선 전압(Vs)을 0V, 웰 전위(Vw)를 0V로 하여, 드레인에서 FN 터널에 의해 플로팅 게이트 전극(33)으로 전자를 주입하는 것에 의해 행한다. 소거는 워드선 전압(Vg)을 10V, 웰 전위(Vw)를 -10V, 소스 전압(Vs)을 -10V, 비트선을 고임피던스로 하고, 플로팅 게이트(33)로부터 전자 를 웰 영역으로 인출하는 것에 의해 행한다. 이 경우에는 소거 및 기록 처리에서는, 워드선(WL), 비트선(BL) 및 웰 영역에 고압을 인가하는 것이 필요해진다. 판독은 상기와 같다.

《계층화 비트선 구조》

도 4에는 메모리 매트의 계층화 비트선 구조의 상세가 예시된다. 도 4의 예는 1개의 기록 비트선(GBLw)은 각 메모리 어레이에 있어서 분리스위치(DSW)를 통해서 2개의 비트선(BL)에 접속 가능하게 된다. 도 4에 있어서 분리스위치(DSW)는 인접하는 메모리 어레이(21)의 사이에 분리스위치 어레이(34)로서 레이아웃된다. 도 4의 횡방향으로 비트선은 2048개, 기록 비트선(GBLw)은 1024개, 판독 주 비트선(GBLr)은 32개 배치된다. 센스앰프(SA)는 64개의 비트선

(BL)에 1개의 비율로 32개 배치된다. UT는 비트선이 64개 단위로 배치되는 영역을 의미한다. 열 선택회로(22)는 2048개의 비트선중 64개 단위중에서 1개를 선택하여 대응하는 센스앰프(SA)에 접속한다. 분리스위치(DSW)는 판독동작 및 소거동작에서는 모두 온상태로 된다. 기록동작 및 베리파이 판독에서는 분리스위치(DSW)는 기록 대상 메모리 어레이측의 1행 1024개가 온상태로 된다.

예컨대 데이터 판독동작에서는 1개의 워드선(WL)이 선택되고, 선택된 메모리셀의 기억정보는 비트선(BL)에 나타나며, 비트선(BL)은 64개에 1개의 비율로 선택되어 대응하는 센스앰프(SA)의 입력에 전달된다. 센스앰프(SA)는 대응하는 판독 주 비트선(GBLr)을 구동한다. 이 메모리 어레이의 분할에 의한 계층 비트선 구조는 센스앰프(SA)의 입력 부하용량을 저감한다. 기록 비트선(GBLw)은 메모리 어레이에 대 한 병렬 기록 비트 수에 따른 1024개가 설치되어 있으므로, 메모리 어레이에서의 기억정보의 판독 비트 수(예컨대 32비트)에 제한되는 것은 아니고 필요한 비트 수로 병렬 기록이 가능해진다.

비트선(BL)은 분리스위치(DSW)를 통해서 기록 비트선(GBLw)과 접속 및 분리 가능하고, 판독 동작에 있어서 판독 대상이 되는 메모리 어레이의 분리스위치(DSW)는 기록 비트선에서 분리하므로, 판독동작에 있어서 기록 비트선(GBLw)에 의한 소망하지 않는 부하를 분리할 수 있어, 고속 판독을 보증한다. 또한, 판독 대상의 메모리 어레이는 기록 비트선(GBLw)에서 분리되므로, 상호 다른 메모리 어레이에 있어서 판독 주 비트선에 의한 판독동작과 기록 비트선(GBLw)에 의한 기록동작의 병렬화가 가능해진다.

또한, 베리파이 판독은 예컨대 상기 기록 비트선(GBLw)을 이용해서 베리파이용 앰프(31)로 전달하므로, 베리파이용 앰프를 메모리 어레이마다 분산시키지 않고 끝난다.

《차동 센스》

도 5에는 차동 센스를 행하는 메모리 매트의 계층화 비트선 구조의 상세가 예시된다. 도 5의 예에서는, 상기 센스앰프(SA)는, 도면의 상하에 인접하는 한쌍의 메모리 어레이에 대해서 차동 입력을 행하는 차동 증폭형태로 되며, 한쌍의 차동 입력은 상호 한쪽의 입력이 해당 한쪽의 메모리 어레이에서 선택된 비트선(BL)에서의 판독신호가 되며, 상호 다른쪽의 입력이 레퍼런스 입력이 된다. 차동 센스는 판독동작의 고속화에 기여한다. 또 판독 주 비트선(GBLr)에는 메인앰프(MA)를 설치하 여, 판독동작을 더 고속화하고 있다. 메인앰프(MA)에는 차동 센스를 채용하고, 한쌍의 주 비트선 GBLr(L), GBLr(R)의 상호 한쪽을 판독신호 입력, 다른쪽을 레퍼런스 입력으로 한다. 메인앰프(MA)도 차동화하는 것에 의해, 판독동작은 더 고속화한다. 차동의 메인앰프(MA)를 채용하는 것에 의해, 도 4와는 32개의 비트선(BL)을 하나의 단위로 하여 센스앰프(SA)를 설치하고, 전체로서 64개의 센스앰프를 구비하는 점에서 상위하다. 동시에, 불휘발성 메모리셀로의 기록처리 단위는 1024비트, 외부 입출력은 32비트 단위인 것에 차이는 없다.

상기 메인앰프(MA)는, 이퀄라이즈 신호(MEQ)에 의해 스위치 제어되어 대응하는 한쌍의 판독 주 비트선 GBLr(L), GBLr(R)을 도통 가능하게 하는 트랜스퍼 게이트(TG), 대응하는 한쌍의 판독 주 비트선 GBLr(L), GBLr(R)에 접속되어 앰프 인에이블(MEN)에 의해 활성 · 비활성이 제어되는 스태틱 래치(LAT) 및 스태틱 래치(LAT)의 한쪽에 입출력 노드에 입력단자가 접속되며 버스 드라이버(BDRV)에 출력단자가 접속되는 출력 인버터(INV)에 의해 구성된다.

도 6에는 차동 센스용의 센스앰프 SA(L)의 일예가 나타난다. 도면에 있어서 p채널형 MOS 트랜지스터에는 게이트 전극에 작은 원 표시를 붙여 n채널형 MOS 트랜지스터와 구별한다. 한쪽의 메모리 어레이의 출력신호선(CBL)(T)과 다른쪽의 메모리 어레이의 출력신호선 CBL(B)에 각각 접속되는 차동입력 MOS 트랜지스터(Q5, Q6)를 가지고, 이것에 MOS 트랜지스터(Q1~Q4)로 스태틱 래치형태로 구성된 래치회로가 접속된다. MOS 트랜지스터(Q1, Q4)에는 각각 병렬로 초기화 MOS 트랜지스터(Q7, Q8)가 설치되며, 전원전압에 접속된다. MOS 트랜지스터(Q5, Q6)의 공통 소스에는 파워스위치 MOS 트랜지스터(Q11)를 통해서 회로의 접지전압(Vss)에 접속된다. MOS 트랜지스터(Q1~Q4)에 의한 래치회로의 한쌍의 기억노드에 한쪽은, 출력인버터의 MOS 트랜지스터(Q9)의 게이트에, 다른쪽은 반전되어 출력인버터의 MOS 트랜지스터(Q10)의 게이트에 접속된다. 출력인버터를 구성하는 MOS 트랜지스터(Q9, Q10)의 공통 드레인이 대응하는 판독 주 비트선(GBLr)에 접속한다. Q12는 CBL(T)와 CBL(B)의 이퀄라이즈 MOS 트랜지스터, Q13, Q14는 프리차지 MOS 트랜지스터이다. Q15는 비교전류 MOS 트랜지스터, Q16, Q17은 상기 비교전류 MOS 트랜지스터(Q15)를 선택적으로 신호선 CBL(T), CBL(B)에 도통시키는 트랜스퍼 MOS 트랜지스터이다. 비교전류 MOS 트랜지스터(Q15)는 게이트 바이어스 전압(CCB)에 의해 온상태의 메모리셀(MC)에 흐르는 전류의 절반의 전류를 흘린다.

센스앰프 SA(L)에 있어서 비활성화 기간에 트랜지스터(Q7, Q8)가 온, 트랜지스터(Q11)가 오프로 되어 트랜지스터(Q9)와 트랜지스터(Q10)로 이루어지는 출력 인버터는 고임피던스 상태로 된다. 이 상태에서, 트랜지스터(Q12, Q13, Q14)가 온으로 되어 신호선 CBL(T)와 CBL(B)의 쌍방을 하이레벨로 프리차지 한다. 예컨대 센스앰프 SA(L)에 의해 신호선 CBL(T)측에서의 판독신호를 센스하는 경우, 트랜지스터(Q7, Q8)가 오프, 트랜지스터(Q11)가 온으로 되며, 트랜지스터(Q17)가 온, 트랜지스터(Q16)가 오프로 된다. 이것에 의해, 트랜지스터(Q5)에는 판독신호 전압이 인가되고, 트랜지스터(Q6)에는 레퍼런스 전압이 인가되며, 쌍방 입력에 따라서 트랜지스터(Q9)와 트랜지스터(Q10)로 이루

어지는 출력 인버터가 판독 주 비트선(GBLr)을 구동한다. 이 판독동작에 있어서 반대측의 센스앰프 SA(R)는 레퍼런스 측으로 되어 비활성화상태로 유지되어 있다. 이때, 쌍방의 판독 주 비트선 GBLr(L)과 GBLr(R)은 이미 이퀄라이즈되어 있으므로, 메인앰프(MA)는 센스앰프 SA(L)에 의한 판독 주 비트선 GBLr(L)에 대한 하이레벨 구동 또는 로레벨 구동에 따라서 래치회로(LAT)의 상태를 확정하여 버스 드라이버(BDRV)를 구동한다.

도 7에는 차동 센스앰프와 차동 메인앰프에 의한 데이터 판독동작의 타이밍 차트를 나타낸다. 여기에서는 도 5에서의 상측의 메모리 어레이(21)에 있어서 원으로 대표되는 위치의 메모리셀의 기억정보를 SA(L) 판독하는 것으로 하고, SA(R)은 레퍼런스측으로 한다.

시각 t0에 어드레스 신호가 변화되면, 이것에 동기해서, 열 디코더에 의한 선택상태가 변화되며, 워드선의 선택이 개시되고, 그 사이에 SPC(L)가 로레벨로 되어 센스앰프 SA(L)의 프리차지 및 이퀄라이즈 동작이 행해진다. 레퍼런스측의 센스앰프 SA(R)에서는 프리차지 및 이퀄라이즈 동작은 디스에이블 그대로이다. 센스앰프 SA(L)의 프리차지 및 이퀄라이즈 동작시 비교전류 선택스위치(Q16, Q17)는 오프상태로 되어 신호선 CBL(B), CBL(T)은 로레벨에서 하이레벨로 충전된다. 센스앰프 SA(L)의 프리차지 및 이퀄라이즈 동작이 종료되면, 비센스측의 비교전류 선택스위치(Q17)가 오프상태로 되며, 신호선 CBL(T)측에서는 메모리셀의 문턱치 전압에 따라서 레벨이 변화되고, 신호선 CBL(B)측에서는 Q15에 흐르는 레퍼런스 전류에 따라서 레벨이 변화된다. 이 레벨 변화가 어느 정도 크게 될 때까지 센스앰프 SA(L)는 비활성으로 되어 있다. 이 동안, 메인앰프(MA)는, 이퀄라이즈되고, 판독 주 비트선 GBLr(R), GBLr(L)은 중간레벨로 된다. 시각 t2에 센스앰프 SA(L)가 활성화되면, 그 때의 신호선 CBL(T)과 CBL(B)의 차전압을 차동 증폭하여 판독 주 비트선 GBLr(R), GBLr(L)을 증폭한다. 그 후, 시각 t3에 메인앰프(MA)가 기동되고, 판독 주 비트선 GBLr(R), GBLr(L)이 더 증폭되어 출력(OUT)을 확정한다.

도 8에는 차동 센스를 행하는 메모리 매트의 계층화 비트선 구조의 다른 상세가 나타난다. 메모리 어레이의 사이에 센스앰프와 열 선택회로가 접속되는 구성에 있어서, 기록 또는 소거시에 비트선(BL)에 고전압이 인가되는 경우를 상정한다. 센스앰프와 열 선택회로의 동작속도라는 점에서는 그들 회로를 구성하는 트랜지스터는 고내압 MOS 트랜지스터가 아닌 편이 바람직하다. 그 경우에는, 도 8과 같이, 메모리 어레이와 열 선택회로의 사이에, 고내압 MOS 트랜지스터에 의해 접속 및 분리 가능하게 된 분리회로(50)를 설치하면 된다. 센스앰프와 열 선택회로를 고내압 MOS 트랜지스터로 구성하는 경우는 물론, 스플릿 게이트 구조와 같이 기록 및 소거의 고전압이 비트선에 인가되지 않는 구조에서도 상기 분리회로(50)는 불필요하다.

《센스앰프 전원배선 레이아웃》

도 9에는 센스앰프 어레이의 전원배선 레이아웃이 예시된다. 도 2 및 도 5 등에서 설명한 메모리 어레이(21)의 계층화에 의해 센스앰프 어레이(23)는 메모리 어레이(21)의 병렬방향으로 분산되어 있다. 이때, 복수의 센스앰프 어레이(23)마다 센스앰프(SA)의 배열방향에 따라서 폭이 좁은 개별 전원배선(제1 전원배선(61, 62)이 설치되고, 상기 개별 전원배선(61, 62)에서 이간한 위치에 해당 개별 전원배선(61, 62)보다도 폭이 넓은 공통 전원배선(제2 전원배선)(63, 64)이 설치되며, 각각의 개별 전원배선(61, 62)과 공통 전원배선(63, 64)은 비트선(BL) 방향에 설치된 접속 전원배선(제3 전원배선)(65, 66)으로 복수 개소에서 접속된다. 특히, 이 예에서는 기록 비트선(GBLw)을 각 메모리 어레이에서 비트선 2개에 1개의 비율로 설치하고, 어느 비트선과 접속하는가는 분리스위치(DSW)로 선택하도록 구성하고 있다. 요컨대, 각 메모리 어레이에 있어서 1개의 비트선(BL)에 1개의 기록 비트선(GBLw)을 대응시키는 것을 행하지 않고 있다. 바꾸어 말하면, 병렬 기록 비트 수가 1024 비트로 미리 정해져 있을 때, 필요한 기억용량을 얻기 위해, 워드선 방향에 배열되는 메모리셀의 수를 2배로 하고, 그 만큼 워드선 갯수를 적게 하는 것이 가능한 레이아웃을 채용하고 있다. 이것에 주목하여, 상기 접속 전원배선(65, 66)을 비트선(BL) 2개마다 그 사이에 배치하도록 하여, 상기 접속 전원배선(65, 66)에 의한 칩 점유면적 증대를 극력 억제하도록 하고 있다.

상기 전원배선(61, 63, 65)은 전원전압(Vdd)용이고, 전원배선(62, 64, 66)은 회로의 접지전압(Vss)용이다. 상기 개별 전원배선(61, 62)과 접속 전원배선(65, 66)은 예컨대 0.24㎛의 전원배선이다. 상기 공통 전원배선(63, 64)은 각각 10㎛의 폭이 넓은 전원배선으로 된다.

상기 전원배선 레이아웃에 의해, 각각의 센스앰프 어레이(23)에는 그 어레이 방향 일단측에서 동작전원이 공급되는 것은 아니고, 어레이 방향과 교차하는 다수의 접속 전원배선(65, 66)에서 병렬로 동작전원(Vdd, Vss)이 공급된다. 따라서, 다수의 센스앰프(SA)가 동시에 동작하여도 전류집중에 의한 전위변화를 일으키기 어렵다. 이것은, 접속 전원배선(65, 66)의 갯수에 주목하면 더 이해가 용이하다. 즉, 접속 전원배선(65, 66)의 갯수는, 각각 기록 비트선(GBLw)의 절반의 갯수이고, 병 렬 기록 비트 수가 1024비트의 예에 따르면 512개씩 존재한다. 접속 전원배선(65, 66)의 폭은 모두 512×0.24㎛=122.88㎛로 되어 있다.

그 한쪽에서, 센스앰프 어레이(23)마다 10㎛의 각각 폭이 넓은 전원전압용, 접지전압용의 개별 전원배선을 이간시켜 몇개라도 통하는 것을 필요로 하지 않는다. 센스앰프 어레이(23)의 수에 비례해서 센스앰프의 전원배선에 의한 칩 점유면적이 증대하는 사태를 방지할 수 있다.

도 10에는 센스앰프 전원 레이아웃의 비교예가 나타난다. 여기에서는, 센스앰프 어레이(23)마다 개별 전원배선(61, 62)은 예컨대 그 양단부에서 도시를 생략하는 전원 지선(支線)에 접속된다. 요컨대, 전원은 전원배선(61, 62)의 양단에서 공급되게 된다. 복수의 센스앰프(SA)가 병렬 동작하면 전류집중을 일으키기 때문에, 개별 전원배선(61, 62)의 배선 폭을 어느 정도 넓게 하고, 노이즈 발생을 억제하는 것이 필요해진다. 도 10의 예에서는 각 센스앰프 어레이(23)의 개별 전원배선(61(전원전압(Vdd)용), 62(회로의 접지전압(Vss)용))의 폭을 넓히고 있다. 예컨대 개별 전원배선(61, 62)의 배선 폭을 각각 10㎛로 한다. 예컨대 열 선택회로(22), 센스앰프 어레이(23)를 겸해서 50㎛의 레이아웃 폭을 필요로 한다. 이것을 각 센스앰프 어레이(23)마다 행하면 불휘발성 메모리의 칩 점유면적이 증대한다. 예컨대, 메모리 매트(20)중에 선택회로(22) 및 센스앰프 어레이(23)가 8블록 배치되어 있는 경우, 센스앰프 어레이의 개별 전원배선(61, 62)의 폭 만으로 160㎛가 필요해진다. 도 9의 예에서는 공통 전원배선(63, 64)의 배선 폭은 20㎛ 정도로 끝난다. 또한, 도 10의 예는 각 메모리 어레이에 있어서 1개의 비트선(BL)에 1개의 기록 비트선(GBLw)이 배치되어 있다.

《병렬 액세스》

도 2 및 도 4 등에서 설명한 플래시 메모리(9)에서는, 판독용의 판독 주 비트선(GBLr)과 기록용의 기록 비트선(GBLw)을 각각 갖고, 판독동작에 있어서 판독 대상이 되는 메모리 어레이(21)의 분리스위치(DSW)는 기록 비트선(GBLw)을 비트선(BL)에서 분리한다. 따라서, 다른 메모리 어레이(21)에 대해서, 판독동작과, 소거 및 기록동작을 병렬적으로 행할 수 있다. 소거 및 기록동작을 동일 싸이클에서 행하도록 하기 위해, 도 11에 예시되는 바와 같이, 판독동작에 있어서 워드선(WL), 분리스위치(DSW) 및 센스앰프(SA)의 동작을 선택하는 판독용 행 디코더(70)와, 기록동작에 있어서 워드선(WL) 및 분리스위치(DSW)의 동작을 선택하는 기록용 행 디코더(제2 어드레스 디코더)(71)를 각각 갖는다. 각 디코더(70, 71)의 전단(前段)에는 어드레스 래치(72, 73)가 배치되어 있다. 상기 판독용 행 디코더(70)와 상기 열 디코더(CDEC)는 제1 어드레스 디코더를 의미한다.

도 12에는 상호 다른 메모리 어레이에 대한 기록처리와 판독처리의 동작타이밍이 예시된다.

도 13에는 도 11의 플래시 메모리의 응용예가 나타난다. 메모리 매트(20)의 일부 메모리 어레이를 해당 플래시 메모리의 재기록 시퀀스의 프로그램을 기억한 기억영역(재기록 시퀀스 영역)(74), 나머지 메모리 어레이를 유저가 자유롭게 재기록 가능한 기억영역(유저 메모리 영역)(75)으로 한다. 도 11에 의거해서 설명한 바와 같이, 계층센스 방식을 실현하는 계층 비트선 구조와 기록 비트선 구조를 분리 해서 상기 동일 메모리 싸이클에서도 기록과 판독을 병렬화할 수 있도록 되어 있으므로, 재기록 시퀀스 프로그램을 판독해서 실행하면서, 유저 영역의 메모리를 재기록하는 것이 가능하다. 요컨대, 도 14에 예시되는 바와 같이, 직접 재기록 시퀀스 영역(74)에서 재기록 제어를 위한 명령을 페치하고, 그것에 의거해서 유저 메모리 영역(75)에 대한 재기록을 행할 수 있다. 도 15에는 재기록 제어수순이 예시된다. CPU(3)는 직접 재기록 시퀀스 영역(74)에서 재기록 제어를 위한 명령을 페치하고, 그것에 의거해서 제어회로(32)의 재기록 제어 레지스터에 제어데이터를 셋트한다(S2). 기록의 경우에는 CPU(3)는 플래시 메모리(9)에 기록데이터를 전송한다(S3). 플래시 메모리(9)는 어드레스 신호로 유저 메모리 영역(75)의 필요한 영역을 선택하고, 기록의 경우에는 기록전압을 인가하며, 소거의 경우에는 소거전압을 인가한다(S4).

이와 같이, 재기록 시퀀스 프로그램을 일단 RAM(4)으로 전송하며, RAM(4)에서 명령을 페치하여 재기록을 제어하는 것을 필요로 하지 않는다. 이것에 의해, 비교적 프로그램 용량이 큰 재기록 시퀀스 프로그램의 전송시간을 생략할 수 있고, 더구나 RAM을 내장하지 않은 반도체 집적회로에도 상기 플래시 메모리(9)를 탑재하여 CPU 제어로 재기록을 행할 수 있다.

《파이프라인 액세스》

도 2, 도 4 및 도 5 등에서 설명한 플래시 메모리(9)는, 센스앰프 어레이(23)을 개재시킨 계층화 비트선 구조에 의해, 센스앰프때까지 메모리 어레이내에서는 메모리 어레이마다 병렬적으로 판독동작을 행하는 것이 가능하다. 파이프 라인 액세스는 이것에 주목하여, 상기 제1 어드레스 디코더 및 제2 어드레스 디코더에, 연속 어드레스에 대해서 센스앰프를 공유하는 메모리 어레이가 상위하도록 어드레스 맵핑을 행하는 어드레스 디코드 논리를 채용한다. 이것에 의해, 액세스 단위에 따라 순차 인접한 데이터를 액세스할 때, 순차 상위하는 메모리 어레이가 선택되게 된다. 예컨대 도 16에 있어서, 메모리 매트를 계층 A ~ 계층 D로서 파악한 경우, 메모리셀의 물리 어드레스는 순차 계층 A, 계층 B, 계층 C, 계층 D의 순번으로 반복해서 배치된다. 도 16에서는 각 계층 A, B, C, D마다, 서픽스 a, b, c, d를 붙이고, 워드선(WL), 프리차지 신호(SPC), 센스앰프 인에이블 신호(SEN)을 대표적으로 도시하고 있다. 도 16에 나타나는 디코더는 상기 각 행 디코더(RDEC) 및 열 디코더(CDEC)를 총칭한다.

도 16 내지 도 18은 그 어드레스 맵핑을 전제로 제1 파이프라인 액세스 형태를 설명하기 위한 도면이다. 도 16은 제1 파이프라인 액세스 형태를 실현할 때의 플래시 메모리의 개략 블록도, 도 17은 디코더의 논리회로도, 도 18은 파이프라인 판독동작의 타이밍 차트이다.

제1 파이프라인 액세스 형태에서는, 도 2에서 설명한 행 디코더(RDEC)(25)는 판독동작에 있어서, 어드레스 신호의

변화에 응답하여 대응하는 메모리 어레이마다 어드레스 디코드 신호를 판독동작에 필요한 싸이클 수만큼 유지하고, 어드레스 신호의 변화에 응답하여 상기 센스앰프를 지연 동작시킨다. 열 디코더(CDEC)(26)는 통상의 판독동작과는 차이가 없고, 행 디코더에 의한 디코드 결과에 의거해서 선택 워드선측의 메모리 매트로 비트선을 선택하며, 그 선택기간은 적어도 센스앰프 구 동기간과 겹쳐지게 된다.

이것에 의해, 예컨대 도 18에 예시되는 바와 같이, 판독싸이클이 클록신호의 2싸이클인 경우, 매싸이클 어드레스 신호를 변화시키면서 연속 어드레스 A, 어드레스 B, 어드레스 C 및 어드레스 D의 데이터 A, 데이터 B, 데이터 C, 데이터 D를 연속 판독하는 것이 가능해진다.

이와 같은 파이프라인 액세스를 행하기 위한 행 디코더(RDEC)의 논리는 도 17에 예시되는 바와 같다. 즉, 그 상세가 나타나는 행 디코더(RDECa)(계층 A의 행 디코더(RDEC)를 의미한다)는 상위 프리디코더 유닛(80)에서 판독 액세스 대상 계층을 판정하고, 하위 프리디코더 유닛에서 계층내의 액세스 대상 워드선을 판정하며, 쌍방의 출력에 대한 논리적(論理積) 신호가 워드선(WLa)의 선택신호가 된다. 쌍방의 프리디코더 유닛(80, 81)은 기본적으로 동일한 구성을 가지고, 그 상세가 대표적으로 나타난 사위 프리디코더 유닛(80)과 같이, 상위 어드레스를 디코드하는 프리디코더(82)의 디코드 결과를 래치회로(83, 84)에서 클록신호(CLK)의 2싸이클 유지하여 출력하도록 구성된다. 하위 프리디코더 유닛(81)의 프리디코더는 하위 어드레스의 디코드를 행한다. 프리차지 신호(SPCa) 및 센스앰프 활성화신호(SENa)는 상위 프리디코더 유닛(80)의 프리디코더(82)의 디코드 결과신호를 3단의 지연회로(85)를 이용해서 타이밍 조정하여 생성된다. 다른 행 디코더(RDECb, RDECc, RDECd)도 동일하게 구성된다. 메인앰프(MA)의 활성화 제어신호(MEN)를 생성하는 신호 생성회로(MDG)는, 플래시 메모리의 판독동작을 선택하는 모듈 셀렉트 신호(MSEL)를 클록신호(CLK)에 동기해서 래치하는 직렬 2단의 래치회로(87, 88)와, 종단 래치회로(88)의 출력변화에 의거해서 펄스를 생성하는 펄스 생성회로(89)에 의해 구성된다.

도 19 내지 도 21은 상기 어드레스 맵핑을 전제로 제2 파이프라인 액세스 형태를 설명하기 위한 도면이다. 도 19는 제2 파이프라인 액세스 형태를 실현할 때의 플래시 메모리의 개략 블록도, 도 20은 디코더의 논리회로도, 도 21은 파이프라인 판독동작의 타이밍차트이다. 또한, 제2 파이프라인 액세스 형태를 실현하는 플래시 메모리의 경우, 센스앰프(SA)는 도 6 대신에 도 22의 구성을 채용하는 것이 필요해진다.

도 19에서는 각 계층 A, B, C, D마다 서픽스 a, b, c, d를 붙이고, 워드선(WL), 프리차지 신호(SPC), 센스앰프 인에이블 신호(SEN), 판독 주 비트선 드라이브 신호(GBLrDRV)를 대표적으로 도시하고 있다. 도 19에 나타나는 디코더는 행 디코더(RDEC) 및 열 디코더(CDEC)를 총칭한다.

제2 파이프라인 액세스 형태에서는 도 2에서 설명한 행 디코더(RDEC)(25)는, 판독동작에 있어서, 어드레스 신호로 지정되는 어드레스와 다음 어드레스 쌍방의 워드선을 병렬 선택함과 동시에, 상기 지정되는 어드레스와 다음 어드레스에 따른 각각의 센스앰프에 의한 제2 비트선의 구동을 순차 구동제어로 한다. 열 디코더(CDEC)(26)는, 행 디코더(25)에 의한 디코드 결과에 의거해서 선택워드선측의 메모리 매트로 비트선을 선택하고, 그 선택기간은 적어도 센스앰프 구동기간과 겹쳐지게 된다. 따라서, 연속 어드레스의 워드선이 병렬 선택되는 것에 응답하여, 각각의 메모리 어레이에 있어서 비트선도 병렬 선택된다.

이것에 의해, 예컨대 도 21에 예시되는 바와 같이, 판독싸이클이 클록신호의 2싸이클인 경우, 최초의 메모리 싸이클에서 어드레스 A가 지정되고, 다음 메모리 싸이클에서 어드레스 C가 지정되면, 최초의 메모리 싸이클(CLK 2싸이클)에서는 어드레스 A의 메모리 매트에서 워드선 선택, 비트선 선택 및 센스앰프 구동이 행해지며, 이것에 병행해서 어드레스 B의 메모리 매트로 워드선 선택, 비트선 선택 및 센스앰프 구동이 행해진다. 다음의 메모리 싸이클(CLK 2싸이클)에서는 어드레스 C의 메모리 매트에서 워드선 선택, 비트선 선택 및 센스앰프 구동이 행해지며, 이것에 병행해서 어드레스 D의 메모리 매트에서 워드선 선택, 비트선 선택 및 센스앰프 구동이 행해진다. 합계 4개의 메모리 어레이의 센스앰프(SA)의 출력은 데이터 A, 데이터 B, 데이터 C, 데이터 D의 순서로 직렬적으로 행해진다.

이와 같은 파이프라인 액세스를 행하기 위한 센스앰프(SA)의 구성은 도 22에 예시되는 바와 같다. 즉, 센스동작과 출력동작의 타이밍을 각각 제어 가능하게 하기 위해, 도 6의 구성에 대해서 MOS 트랜지스터(Q9, Q10)에 의한 출력동작을, 판독 주 비트선 드라이브 신호(GBLrDRV)가 활성화되어 비로소 가능하도록 논리화 게이트(90, 91)와 인버터(92)를 추가하였다.

또한, 제2 형태의 파이프라인 액세스를 행하기 위한 행 디코더(RDEC)의 논리는 도 20에 예시되는 바와 같다. 여기에서는, 계층 A 및 계층 B의 행 디코더(RDEC)를 의미하는 행 디코더(RDECab)가 예시된다. 도 17의 RDECa, RDECb에 대해서 상위 프리디코더 유닛(80) 및 하위 프리디코더 유닛(81)은 동일한 구성을 가지고, 쌍방의 논리적 신호가 워드선(WLa)과 워드선(WLb)의 선택신호가 된다. 프리차지 신호(SPCa, SPCb)는 상위 프리디코더(82)의 출력변화에 의거해서 펄스를 생성하는 펄스 생성회로(100)에서 생성된다. 센스앰프 활성화신호(SENa, SENb)는 상기 래치회로(84)의 출력과 상기 펄스 생성회로(100)의 출력을 입력하는 지연 래치회로(101)에 의해 생성된다. 판독 주 비트선 드라이브 신호(GBLrDRVa, GBLrDRVb)는 상기 래치회로(84)의 출력을 순차 지연회로(102, 103, 104, 105)에서 지연

시켜 순차 활성화된다.

《메모리 카드》

도 23에 본 발명에 관한 불휘발성 메모리장치의 일예인 메모리 카드의 개략도를 나타낸다. 메모리 카드(120)는 외부와 인터페이스를 행하는 인터페이스부(121)와 메모리 카드의 동작 제어를 행하는 컨트롤러(122) 및 1 또는 복수의 본 발명의 불휘발성 메모리(123)로 구성된다. 불휘발성 메모리(123)는 예컨대 도 5로 대표되는 상기 플래시 메모리(9)와 같도록, 기록을 행하고 있는 메모리셀을 포함하는 메모리 어레이와 해당 메모리 어레이의 부 비트선을 센스앰프의 레퍼런스 입력으로 하는 메모리 어레이를 제외한 다른 메모리 어레이에서는, 해당 기록동작에 병행해서 판독동작을 행하는 것이 가능하다. 따라서, 외부에서의 기록동작 요구와 판독동작 요구에 대해서 컨트롤러는 이들 요구에 대한 동작을 병행해서 행 할 수 있다. 또한 도 24와 같이, 외부에서 입력되는 어드레스(논리 어드레스)에 대해서 액세스 하는 불휘발성 메모리내의 어드레스(물리 어드레스)와의 변환 대응테이블(124)을 갖는 메모리 카드(120)의 경우, 기록동작을 행할 때, 임의의 물리 어드레스에 새로운 데이터를 기록하고, 변환 대응테이블을 갱신하는 것이라도 된 다. 이와 같은 변환 대응테이블(124)을 갖는 메모리 카드(120)라면, 판독동작을 행하는 물리 어드레스를 포함하는 메모리 어레이와 병행해서 기록동작이 가능한 메모리 어레이가 되도록 물리 어드레스를 선택하며, 판독동작과 기록동작을 병행해서 행하고, 그 후에 변환 대응테이블을 갱신하는 것으로 기록동작과 판독동작과의 턴 어라운드 타임을 외관상 짧게 하는 것이 가능해진다.

《베리파이 액세스》

메모리 어레이의 다른 계층에서 상기 기록동작과 판독동작이 병렬화될 때의 베리파이 판독에 주목한 실시형태에 대해서 설명한다.

도 25에서 도 29에는 다른 계층에서 기록동작과 판독동작이 병렬화될 때 베리파이 판독의 판독데이터와 판독동작의 판독데이터의 경합을 회피 가능하게 하는 제1 실시형태가 예시된다.

도 25에는 상기 판독데이터 경합 회피를 실현할 때의 플래시 메모리의 개략이 나타난다. 도면에는 계층 A, 계층 B의 2계층분의 메모리 어레이가 예시된다. 판독 주 비트선(GBLr)에 대응해서 베리파이용 주 비트선(GBLv)이 설치된다. 메인앰프는 좌우의 영역(UT)에 대해서 판독용의 MAr과 베리파이용의 MAv가 설치되며, 그 출력을 셀렉터(SEL)에서 선택하도록 되어 있다. 판독용 메인앰프(MAr)는 대응하는 좌우 영역(UT)의 판독 주 비트선(GBLr)에 입력이 접속되고, 상호 한쪽이 센스측, 다른쪽이 레퍼런스측이 된다. 베리파이용 메인앰프(MAv)는 대응하는 좌우 영역(UT)의 베리파이용 주 비트선(GBLv)에 입력이 접속되고, 상호 한쪽이 센스측, 다른쪽이 레퍼런스측이 된다. 베리파이 판독데이터는 데이터 버스를 통해서, 도시하지 않은 CPU로 송신되어 비교된다. 그 밖의 구성은 도 4 및 도 5에서 설명한 구성과 차이는 없다.

도 26에는 도 25의 동작타이밍 차트가 나타난다. 도 25에 있어서, 계층 A가 판독동작을 행하고, 계층 B가 기록동작의 1 스텝으로서 베리파이 판독동작을 행하는 것으로 동작을 설명한다.

도 26의 타이밍 차트에 있어서, 계층 A에 있어서 판독 GBL 드라이브 신호(GBLrDRVa)가 인에이블되어 해당 계층의 센스앰프 SA(L)가 판독 주 비트선(GBLr)으로 판독데이터를 출력하는 타이밍과, 계층 B에 있어서 베리파이 GBL 드라이브 신호(GBLrDRVb)가 인에이블되어 해당 계층의 센스앰프 SA(L)가 베리파이용 주 비트선(GBLr)으로 판독데이터를 출력하는 타이밍이 동일한 예를 나타내고 있다. 이 경우, 셀렉트 신호(ASL)에 연결되는 셀렉터(SEL)는 판독 주 비트선(GBLr)측에 접속되는 계층 A의 메인앰프(MAr)에서 증폭된 신호를 데이터 버스로 출력한다. 그 후, 베리파이용 주 비트선(GBLv)에 접속되는 계층 B측의 메인앰프(MAv)에 있어서 증폭된 신호를 데이터 버스로 출력하고 있다. 이것은 판독동작과 베리파이 동작에서는 판독동작을 우선한 것이고, 반대라도 문제는 없다. 또한 MAr과 MAv의 어느 것인가 한쪽이 먼저 신호의 출력동작을 행하고 있는 경우에는, 출력 완료후에 다른쪽의 메인앰프가 출력동작을 개시하면 된다.

도 27에는 상기 판독데이터 경합회피를 실현할 때의 다른 플래시 메모리의 개략이 나타난다. 도 25와의 상위점은 판독 주 비트선(GBLr)에는 메인앰프(MA)를, 베리파이용 주 비트선(GBLv)에는 베리파이 비교기(CMP)를 배치한 점이다. 베리파이 비교기(CMP)는 데이터 버스에서 공급된 기록데이터와 베리파이용 주 비트선(GBLv)에서 판독한 데이터와의 비교를 행하여, 기록동작이 완료하였는가 여부의 판정을 행할 수 있다.

도 28에는 도 27의 동작타이밍 차트가 나타난다. 도 28에는 도 27의 계층 A의 판독동작을 행하고, 계층 B가 기록동작의 1 스텝으로서 베리파이 판독동작을 행하는 경우를 예로 하고 있다. 도 28의 타이밍 차트에 있어서, 계층 A에 있어서 판독 GBL 드라이브 신호(GBLrDRVa)가 인에이블 되어 해당 계층의 센스앰프 SA(L)가 판독 주 비트선(GBLr)으로 판독데이터를 출력하는 타이밍과, 계층 B에 있어서 베리파이 GBL 드라이브 신호(GBLvDRVb)가 인에이블 되어 해당 계층의 센스앰프 SA(L)가 베리파이용 주 비트선(GBLv)으로 판독데이터를 출력하는 타이밍이 동일한 예를 나타

내고 있다. 이 경우, 판독 주 비트선(GBLr)에 접속되는 메인앰프(MA)에서 증폭된 신호는 데이터 버스로 출력한다. 이것에 병행해서 베리파이용 주 비트선(GBLv)에 접속되는 베리파이 비교기(CMP)에서는 기록데이터와 베리파이 주 비트선(GBLv)에서 판독된 데이터와의 비교가 행해진다. 베리파이 비교기(CMP)를 포함하는 도시하지 않은 기록계 회로에 있어서, 비교 결과가 기록동작이 완료하지 않은 것을 나타내는 경우는 기록동작을 계속하고, 비교 결과가 기록동작이 완료하고 있는 것을 나타내는 경우는 해당 베리파이용 주 비트선(GBLv)에 접속되어 있는 기록대상 메모리셀에 대한 기록은 종료된다. 또한, 도 27에서는 비교기(CMP)의 입력에 데이터 버스에서 직접 기록데이터가 입력되도록 도시되어 있지만, 실제는 도시를 생략하는 기록데이터 래치와 그 밖의 기록용 회로를 경유하고 있는 것으로 이해된다.

상기 플래시 메모리에 의해, 기록동작과 판독동작을 다른 계층에서 병행해서 행하는 것이 가능해지며, 기록동작과 판독동작과의 턴 어라운드 타임을 외관상 짧게 하는 것이 가능해진다.

도 29에는 도 25 내지 도 28에 나타내는 실시형태에서 이용되는 센스앰프(SA)의 상세가 예시된다. 동도에 나타나는 센스앰프는 판독 주 비트선(GBLr)에 접속되어 트랜지스터(Q9, Q10)로 이루어지는 출력 드라이버와, 베리파이 주 비트선(GBLv)에 접속되어 트랜지스터(Q20, Q21)로 이루어지는 출력 드라이버와의 어느 것에 출력신호를 공급한지를, 판독 GBL 드라이브 신호(GBLrDRV)와 베리파이 GBL 드라이브 신호(GBLvDRV)에 의해 결정하는 선택회로부를 가지고 있다. 선택부는 게이트 회로(90~95)에 의해 구성된다. 도 29의 구성은 도 22의 구성에 대해서 트랜지스터(Q20, Q21)로 이루어지는 출력 드라이버, 게이트 회로(93~95)로 이루어지는 선택로직이 추가되어 있는 점이 상위하다. 센스앰프(SA)를 이렇게 구성함으로써, 하나의 앰프회로에 있어서 판독 주 비트선(GBLr)과 베리파이 주 비트선(GBLv)의 어느 것인가 한쪽에 메모리셀에서 판독한 신호를 증폭하여 출력하는 것이 가능해진다.

이상 설명한 발명의 실시형태에 의하면 이하의 작용 효과를 얻을 수 있다.

(1) 비트선 방향을 몇개로 분할한다. 이 분할한 부 비트선 단위로 열 디코더와 센스앰프의 판독회로를 배치한다. 이것에 의해 비트선의 부하용량을 작게 할 수 있다.

(2) 상하 대칭의 부 비트선의 사이에 열 디코더와 센스앰프를 삽입하고, 상 하의 열 디코더를 동시에 동작시킨다. 상부의 부 비트선을 판독하는 경우는 하부의 부 비트선을 레퍼런스선으로 하고, 하부의 부 비트선을 판독하는 경우는 상부의 부 비트선을 레퍼런스로 하여, 이 2개의 부 비트선 전위를 차동형 센스앰프에서 비교한다. 비트선 전위의 차동센스에 의해 판독동작의 고속화에 기여한다.

(3) 각 센스앰프 회로의 출력은 판독 주 비트선을 통해서 메모리 어레이단으로 인출하고, 버스 인터페이스 회로에 접속할 수 있다.

(4) 판독 주 비트선을 메인앰프에 연결하는 구성을 채용하는 것에 의해, 판독동작의 더욱 고속화가 가능해진다.

(5) 판독 주 비트선과는 별도로, 기록 비트선을 배치하고, 계층 스위치(분리스위치)를 통해서 분할한 부 비트선에 접속한다. 이것에 의해, 1셋트의 기록회로 등에 의한 병렬 기록을 보증한다.

(6) 기록 소거의 완료를 판정하는 베리파이 판독은 비교적 저속인 것이 허용되기 때문에, 베리파이 판독은 이 기록의 주 비트선을 이용한다. 이 때문에 베리파이에 사용하는 회로도 분사시키지 않고 끝난다.

(7) 계층센스 방식에서는 센스앰프 등의 판독회로를 메모리 매트내에 복수 배치한다. 이 센스앰프는 비트선과 직교하여 배치되며, 전원선도 마찬가지로 비트선과 직교한다. 복수가 동작하는 센스앰프에서는 전류집중을 일으키므로 넓은 전원 폭으로 하여, 노이즈의 발생을 억제한다. 이 복수의 넓은 전원 폭은 그대로 모듈 면적의 증대로 된다. 이 때문에, 계층스위치를 통해서 부 비트선을 기록비트선에 접속하는 경우, 2비트 또는 복수의 부 비트선을 1개의 기록 비트선에 접속한다. 이 결과, 주 비트선의 메탈 간격은 넓게 되고, 이 주 비트선의 사이에 전원 배선을 통과시키는 것이 가능해진다. 센스 앰프 등의 판독회로에는 이 비트선과 평행한 전원배선에서 동작전원을 공급함으로써, 모듈 면적의 증대를 억제할 수 있다. 동시에 메탈층의 증대를 억제할 수 있다. 복수의 센스앰프가 동시에 동작하여도 전류집중을 일으키지 않기 때문에, 노이즈의 발생을 억제하는 효과가 있다.

(8) 판독의 주 비트선과는 다른 기록의 주 비트선을 구비함으로써, 다른 부 비트선내의 메모리에 대해서, 판독과 기록소거를 동일 싸이클에서 행할 수 있다. 여기서, 판독데이터와 기록데이터가 충돌하지 않도록 동일한 부 비트선내의 메모리에 대해서는, 동일 싸이클에 액세스하지 않는 형태의 제한이 필요해진다. 판독과 기록소거를 동일 싸이클에서 실행하기 위해서는, 어드레스 래치회로와 워드선 디코더 회로를, 판독과 기록소거용으로 2셋트 구비하면 된다.

(9) 플래시 메모리의 재기록 시퀀스의 프로그램을 기억한 메모리와, 유저가 재기록하는 메모리를 동일 어레이에 배치할 수 있다. 상기의 판독 계층센스와 기록 비트선 구조를 이용해서 양자를 분할하고, 재기록 시퀀스 프로그램을 판독하여 실행하면서, 유저 영역의 메모리를 재기록 할 수 있다. 종래와 같이, 재기록 시퀀스 프로그램을 일단 RAM에 전

송할 필요가 없어, RAM을 내장하지 않은 반도체 집적회로에도 그와 같은 플래시 메모리를 탑재할 수 있다.

(10) 본 발명을 적용한 불휘발성 메모리를 메모리 카드에 이용함으로써, 판독동작과 기록동작을 병행해서 행하는 것이 가능해지며, 유저에서 본 턴 어라운드 타임을 단축할 수 있다.

(11) 다른 계층에 있어서 판독동작과 기록동작중의 베리파이 판독동작을 병행할 때, 쌍방에서 판독데이터의 경로를 개별화하는 것에 의해 쌍방에서 판독데이터의 경합이 해소되어 유저에서 본 턴 어라운드 타임을 단축할 수 있다.

이상 본 발명자에 의해 이루어진 발명을 실시형태에 의거해서 구체적으로 설명하였지만, 본 발명은 그것에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지 변경 가능한 것은 물론이다.

예컨대, 불휘발성 메모리셀은 문턱치 전압의 상위에 따라 정보기억을 행하는 것 혹은 전자 등에 캐리어가 주입되는 위치의 상위에 따라서 정보기억을 행하는 것이라도 된다. 또한, 1개의 메모리셀에 의한 정보기억은 1비트에 한정하지 않고, 복수 비트라도 된다. 불휘발성 메모리는 복수의 메모리 매트를 구비하고, 각각에 대해서 메모리 어레이에 의한 계층화 비트선 구조를 채용하여도 된다.

본 발명을 마이크로 컴퓨터 등의 데이터 처리용 반도체 집적회로에 적용하는 경우에 불휘발성 메모리와 온칩하는 회로 모듈은 상기의 예에 한정되지 않고 적절히 변경 가능하다. 또한, 본 발명은 불휘발성 메모리 단체의 반도체 집적회로에도 적용할 수 있다. 불휘발성 메모리는 플래시 메모리에 한정되지 않고 고유전체 메모리 등이라도 된다.

도 25 이후를 참조하여 설명한 베리파이 판독에 있어서, 베리파이용 주 비트선을 추가하는 대신에, 기록에 이용하는 기록 주 비트선을 베리파이 판독용의 주 비트선으로 이용하는 것도 가능하다.

발명의 효과

본원에 있어서 개시되는 발명중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 하기와 같다.

즉, 1개의 센스앰프에 연결되는 부하용량을 작게 할 수 있어, 판독시간을 대폭 단축할 수 있다. 또한, 판독중에, 다른 메모리에 대해서 기록 소거를 행할 수 있다.

비트선과 비트선의 사이에 전원배선을 통해서, 그것을 다수의 센스앰프에 접속함으로써, 다수의 센스앰프가 동시에 동작하여도 전류집중을 일으키기 어렵다. 또, 각 센스앰프 어레이마다 폭이 넓은 전원배선을 분산하여 배치하는 것을 필요로 하지 않기 때문에, 칩 면적의 소형화에 기여할 수 있다.

판독 주 비트선과 기록 비트선이 분할되어 있기 때문에, 판독데이터와 기록데이터를 동시에 취급할 수 있다. 따라서, 본 발명의 반도체 집적회로를 이용한 데이터 처리시스템에서는 비교적 긴 시간을 필요로 하는 기록 소거중에 시스템을 정지시키지 않고, 데이터 판독을 수반하는 서비스를 계속할 수 있다. 또한, 재기록 프로그램을 동일 메모리 어레이내에 배치한 경우는, 재기록 시퀀스를 저장하는 전용의 메모리를 필요로 하지 않는다.

(57) 청구의 범위

청구항 1.

반도체 기판에 전기적인 소거 및 기록이 가능한 불휘발성 메모리를 가지고,

상기 불휘발성 메모리는, 복수의 메모리 어레이의 각각에 고유의 제1 비트선, 복수의 메모리 어레이에 공통의 제2 비트선, 제1 비트선을 메모리 어레이마다 선택하여 제2 비트선에 접속 가능한 제1 선택회로 및 제1 선택회로의 출력과 제2 비트선의 사이에 배치한 센스앰프에 의한 계층화 비트선 구조를 가지는 것을 특징으로 하는 반도체 집적회로.

청구항 2.

제 1 항에 있어서,

상기 센스앰프는, 인접하는 한쌍의 메모리 어레이의 사이에 배치된 차동 센스앰프이고, 한쌍의 차동입력은 상호 한쪽의 입력이 해당 한쪽의 메모리 어레이에서 선택된 제1 비트선에서의 판독신호가 되고, 상호 다른쪽의 입력이 레퍼런스 입력이 되는 것을 특징으로 하는 반도체 집적회로.

청구항 3.

제 1 항에 있어서,

상기 제2 비트선에 입력단자가 접속되는 메인앰프를 가지는 것을 특징으로 하는 반도체 집적회로.

청구항 4.
제 3 항에 있어서,

상기 메인앰프는, 인접하는 한쌍의 제2 비트선에 차동입력이 접속되는 차동앰프이고, 한쌍의 차동입력은 상호 한쪽의 입력이 해당 한쪽의 제2 비트선으로 출력되는 판독신호가 되며, 다른쪽의 입력이 레퍼런스 입력이 되는 것을 특징으로 하는 반도체 집적회로.

청구항 5.
제 1 항에 있어서,

상기 복수의 메모리 어레이에 공통으로 되는 기록용의 제3 비트선을 가지고, 상기 제3비트선은 메모리 어레이에 대한 병렬기록 비트 수에 따르는 갯수가 설치되어 있는 것을 특징으로 하는 반도체 집적회로.

청구항 6.
제 5 항에 있어서,

메모리 어레이마다 상호 대응하는 제1 비트선을 제3 비트선과 접속 및 분리 가능하게 하는 분리회로를 가지고, 판독동작에 있어서 판독 대상이 되는 메모리 어레이의 분리회로는 제3 비트선을 제1 비트선에서 분리하는 것을 특징으로 하는 반도체 집적회로.

청구항 7.
제 6 항에 있어서,

제3 비트선을 데이터의 외부 병렬 입출력비트 수 단위로 선택하는 제2 선택회로와, 상기 제2 선택회로에서 선택된 제3 비트선으로부터 베리파이(verify) 판독데이터를 센스하는 베리파이용 앰프를 가지는 것을 특징으로 하는 반도체 집적회 로.

청구항 8.
제 1 항에 있어서,

병렬된 복수의 센스앰프마다 그 병렬방향을 따라서 제1 전원배선이 설치되고, 제1 전원배선과 이간한 위치에 해당 제1 전원배선보다도 폭 넓은 제2 전원배선이 설치되며, 각각의 제1 전원배선과 제2 전원배선은 제1 비트선 방향에 부설된 제3 전원배선으로 복수 개소에서 접속되는 것을 특징으로 하는 반도체 집적회로.

청구항 9.
제 8 항에 있어서,

2개의 제1 비트선마다 1개 설치되어, 상기 복수의 메모리 어레이에 공통화된 복수의 기록용 제3 비트선과,

각 메모리 어레이에 있어서 1개의 제3 비트선에 대응하는 2개의 제1 비트선의 어느 것인가 한쪽과의 접속 또는 쌍방과의 분리를 선택 가능한 분리회로를 가지는 것을 특징으로 하는 반도체 집적회로.

청구항 10.
제 9 항에 있어서,

상기 제3 전원배선은, 제1 비트선 2개마다 그 사이에 배치되는 것을 특징으로 하는 반도체 집적회로.

청구항 11.
제 6 항에 있어서,

판독동작에 있어서 워드선, 제1 비트선, 분리회로 및 센스앰프의 동작을 선택하는 제1 어드레스 디코더와, 기록동작에 있어서 워드선 및 분리회로의 동작을 선택하는 제2 어드레스 디코더를 각각 가지는 것을 특징으로 하는 반도체 집적회로.

청구항 12.
제 11 항에 있어서,

상기 제1 어드레스 디코더 및 제2 어드레스 디코더는, 연속 어드레스에 대해서 센스앰프를 공유하는 메모리 어레이가 상위하도록 어드레스 맵핑을 행하는 어드레스 디코드 논리를 가지는 것을 특징으로 하는 반도체 집적회로.

청구항 13.
제 12 항에 있어서,

판독동작에 있어서, 제1 어드레스 디코더는 어드레스 신호의 변화에 응답하여 대응하는 메모리 어레이마다 어드레스 디코드 신호와 제1 비트선의 선택신호를 판독동작에 필요한 싸이클 수만큼 유지하고, 어드레스 신호의 변화에 응답하여 상기 센스앰프를 지연(遲延) 동작시키는 것을 특징으로 하는 반도체 집적회로.

청구항 14.
제 12 항에 있어서,

판독동작에 있어서, 제1 어드레스 디코더는 어드레스 신호로 지정되는 어드레스와 다음의 어드레스의 워드선 및 제1 비트선을 병렬 선택함과 동시에, 상기 지정되는 어드레스와 다음의 어드레스에 응답하는 각각의 센스앰프에 의한 제2 비트 선의 구동을 순차 구동제어로 하는 것을 특징으로 하는 반도체 집적회로.

청구항 15.
제 12 항에 있어서,

상기 반도체 기판에 상기 불휘발성 메모리를 액세스 가능한 중앙처리장치를 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 16.
제 15 항에 있어서,

상기 복수의 메모리 어레이의 일부의 메모리 어레이를 데이터 영역, 나머지 메모리 어레이를 관리영역으로 하고, 상기 관리영역은 데이터 영역을 재기록하기 위한 재기록 시퀀스 제어 프로그램의 기억영역이 되며,

상기 중앙처리장치는, 상기 관리영역으로부터 재기록 시퀀스 제어 프로그램을 판독하여 실행하고, 데이터 영역의 재기록 제어가 가능한 것을 특징으로 하는 반도체 집적회로.

청구항 17.
반도체 기판에 전기적인 소거 및 기록이 가능한 불휘발성 메모리와, 상기 불휘발성 메모리를 액세스 가능한 중앙처리장치를 가지고,

상기 불휘발성 메모리는, 복수의 메모리 어레이의 각각에 고유의 제1 비트선, 복수의 메모리 어레이의 제1 비트선에 공통의 제2 비트선 및 상기 제1 비트선과 제2 비트선의 사이에 배치된 센스앰프에 의한 계층화 비트선 구조를 가지며, 상기 제2 비트선의 갯수는 메모리 어레이에 대한 병렬 기록비트 수 보다도 적은 것을 특징으로 하는 반도체 집적회로.

청구항 18.
제 17 항에 있어서,

상기 복수의 메모리 어레이에 공통으로 되는 기록용의 제3 비트선을 가지는 것을 특징으로 하는 반도체 집적회로.

청구항 19.
제 18 항에 있어서,

메모리 어레이마다 상호 대응하는 제1 비트선을 제3 비트선과 접속 및 분리 가능하게 하는 분리회로를 가지고, 판독동작에 있어서 판독 대상이 되는 메모리 어레이의 분리회로는 제3 비트선을 제1 비트선에서 분리하는 것을 특징으로 하는 반도체 집적회로.

청구항 20.

반도체 기판에 전기적인 소거 및 기록이 가능한 불휘발성 메모리를 가지고,

상기 불휘발성 메모리는, 복수의 메모리 어레이의 각각에 고유의 제1 비트선, 복수의 메모리 어레이의 제1 비트선에 공통의 제2 비트선 및 상기 제1 비트선으로부터 판독된 데이터를 선택적으로 증폭하여 제2 비트선으로 출력하는 센스앰프에 의한 계층화 비트선 구조를 가지는 것을 특징으로 하는 반도체 집적회로.

청구항 21.
컨트롤러와 하나 또는 복수의 불휘발성 메모리를 가지고,

상기 불휘발성 메모리는 복수의 메모리 어레이로 분할되고, 제1 그룹에 속하 는 메모리 어레이와, 상기 제1 그룹에 속하는 메모리 어레이의 각각에 대응하는 메모리 어레이로 이루어지는 제2 그룹의 메모리 어레이를 가지며,

상기 컨트롤러는 소정의 제1 그룹의 제1 메모리 어레이에 대한 제1 액세스 동작과, 해당 제1 메모리 어레이 및 제1 메모리 어레이에 대응하는 제2 그룹의 제2 메모리 어레이를 제외하고 제3 메모리 어레이에 대한 제2 액세스 동작을 병행해서 제어 가능한 것을 특징으로 하는 불휘발성 메모리장치.

청구항 22.
제 21 항에 있어서,

상기 제1 그룹에 속하는 메모리 어레이와 제2 그룹의 대응하는 메모리 어레이와의 사이에는, 복수의 센스앰프를 가지고,

각각의 메모리 어레이는 복수의 제1 비트선을 가지며, 제1 그룹의 메모리 어레이의 제1 비트선과 제2 그룹의 대응하는 메모리 어레이의 제1 비트선이 상기 센스앰프의 입력단자에 접속되며,

상기 센스앰프의 출력이 제2 비트선에 접속되고,

상기 제1 비트선과 제2 비트선은 판독동작에 이용되며, 기록동작에 이용되는 제3 비트선을 더 가지는 것을 특징으로 하는 불휘발성 메모리장치.

청구항 23.
반도체 기판에 전기적인 소거 및 기록이 가능한 불휘발성 메모리를 가지고,

상기 불휘발성 메모리는, 복수의 메모리 어레이의 각각에 고유의 제1 비트선, 복수의 메모리 어레이의 제1 비트선에 공통의 제2 비트선, 복수의 메모리 어레 이에 공통의 제3 비트선 및 상기 제1 비트선으로부터 판독된 데이터를 선택적으로 증폭하여 제1 판동동작에 있어서 제2 비트선으로 출력하며, 제2 판동동작에 있어서 제3 비트선으로 출력하는 센스앰프에 의한 계층화 비트선 구조를 가지는 것을 특징으로 하는 반도체 집적회로.

청구항 24.
제 23 항에 있어서,

상기 제1 판독동작은 판독된 데이터를 반도체 집적회로의 외부로 출력하기 위한 판독동작이며,

상기 제2 판독동작은 메모리 어레이로의 데이터 기록에 있어서, 판독된 데이터에 의거해서 데이터의 기록동작 또는 소거동작을 계속하는가 아닌가를 결정하기 위한 베리파이 판독동작인 것을 특징으로 하는 반도체 집적회로.

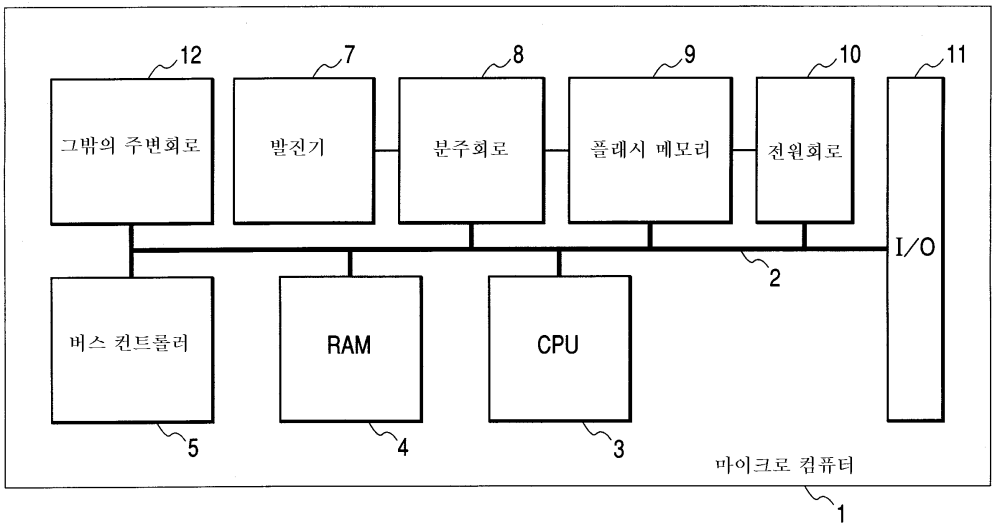
청구항 25.
제 23 항에 있어서,

상기 센스앰프는 상기 제1 비트선으로부터 판독한 데이터를 증폭하고, 상기 제2 비트선으로 출력하는가 상기 제3 비트선으로 출력하는가를 선택하기 위한 선택회로를 가지며,

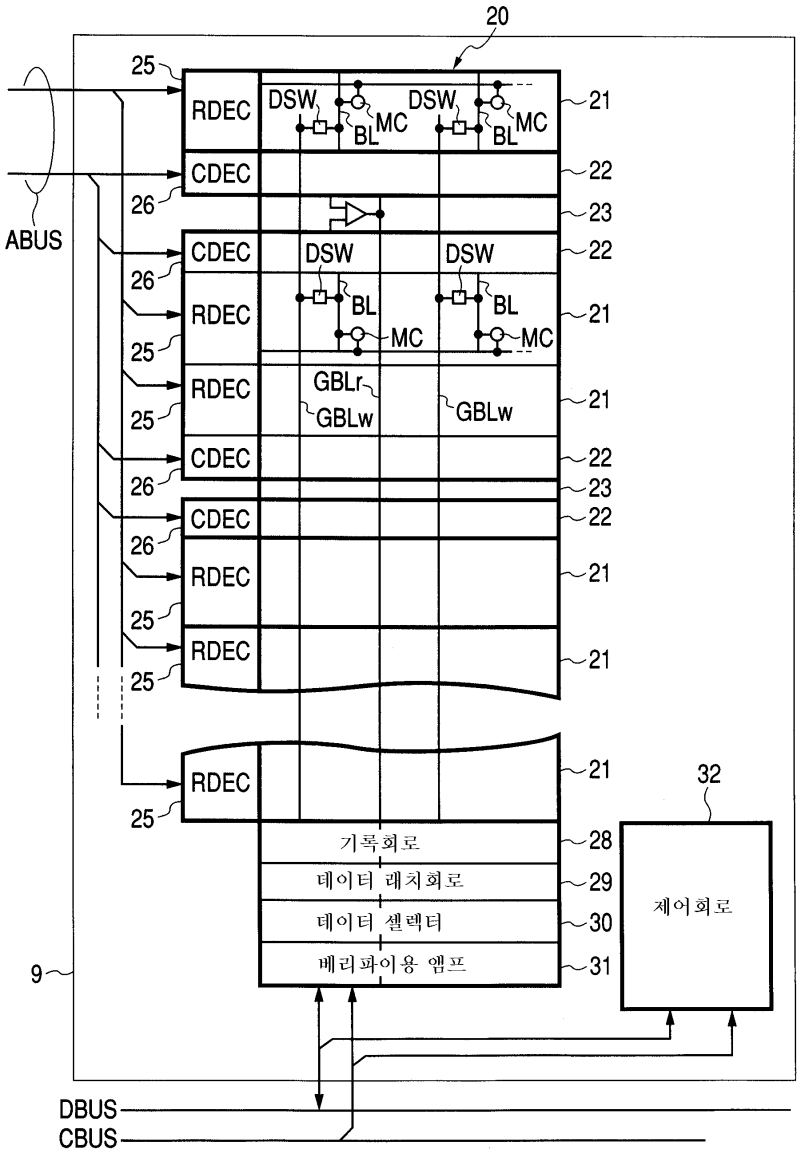
상기 선택회로는 소정의 선택신호에 의거해서 출력처를 선택하는 것을 특징으로 하는 반도체 집적회로.

도면

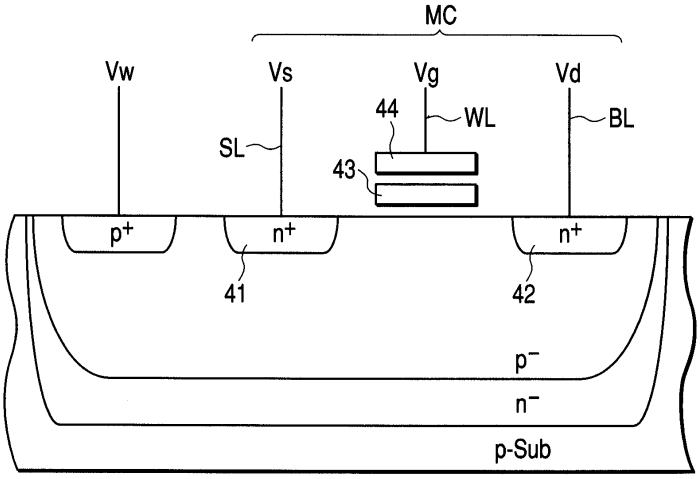
도면1


12
7
8
9
10
11
그밖의 주변회로
발진기
분주회로
플래시 메모리
전원회로
I/O
2
버스 컨트롤러
RAM
CPU
5
4
3
마이크로 컴퓨터
1

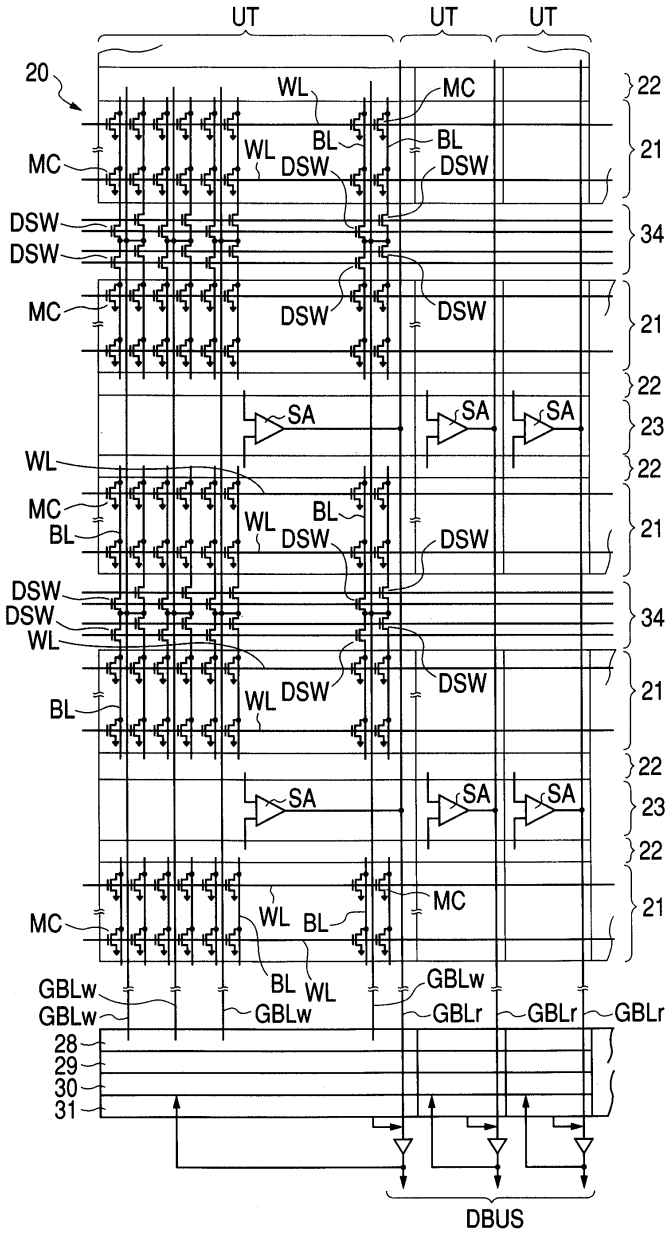
도면2


20
25
RDEC
DSW
BL
MC
21
CDEC
22
26
23
ABUS
GBLr
GBLw
기록회로
28
데이터 래치회로
29
데이터 셀렉터
30
베리파이용 앰프
31
제어회로
32
9
DBUS
CBUS

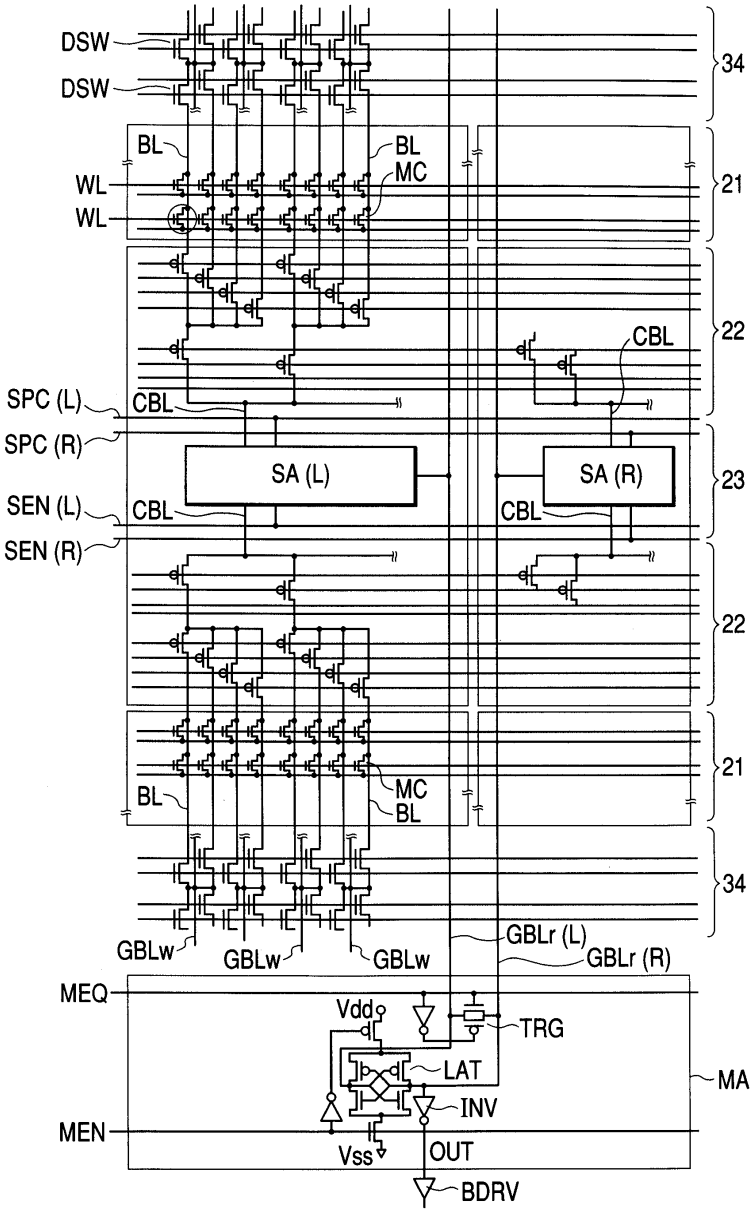
도면3


MC
Vw
Vs
Vg
Vd
SL
44
WL
BL
43
p+
n+
n+
41
42
p−
n−
p-Sub

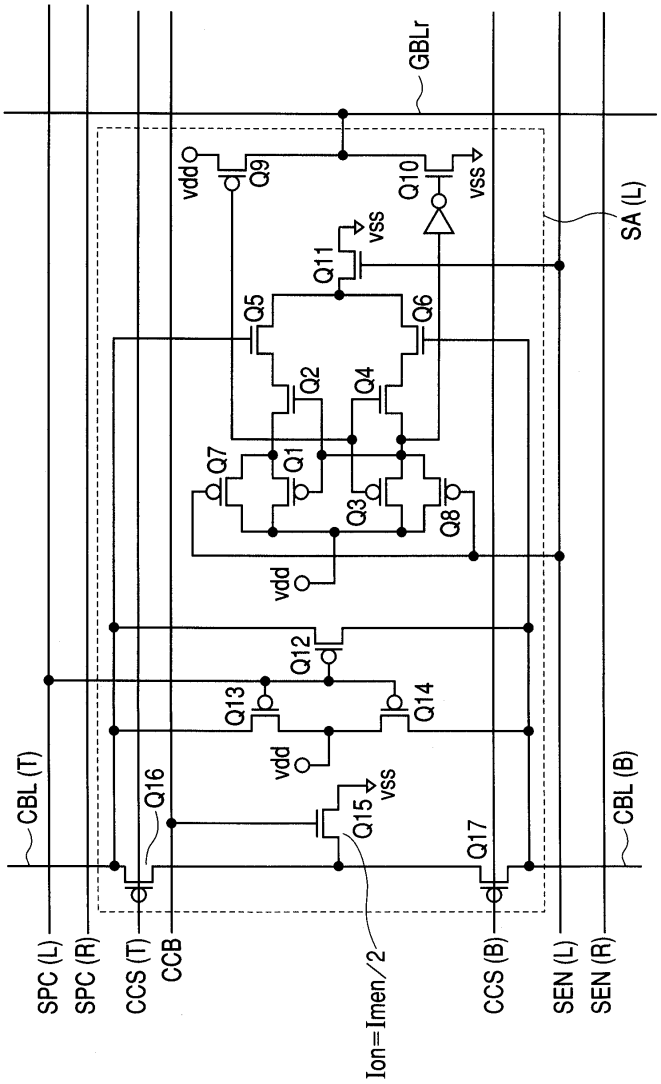
도면4


UT
UT
UT
20
WL
MC
22
21
MC
WL
BL
DSW
BL
DSW
DSW
DSW
34
MC
DSW
DSW
21
22
SA
SA
SA
23
22
WL
MC
BL
WL
BL
DSW
DSW
21
DSW
DSW
WL
34
BL
WL
DSW
DSW
21
22
SA
SA
SA
23
22
MC
WL
BL
MC
21
GBLw
GBLw
BL
WL
GBLw
GBLw
GBLr
GBLr
GBLr
28
29
30
31
DBUS

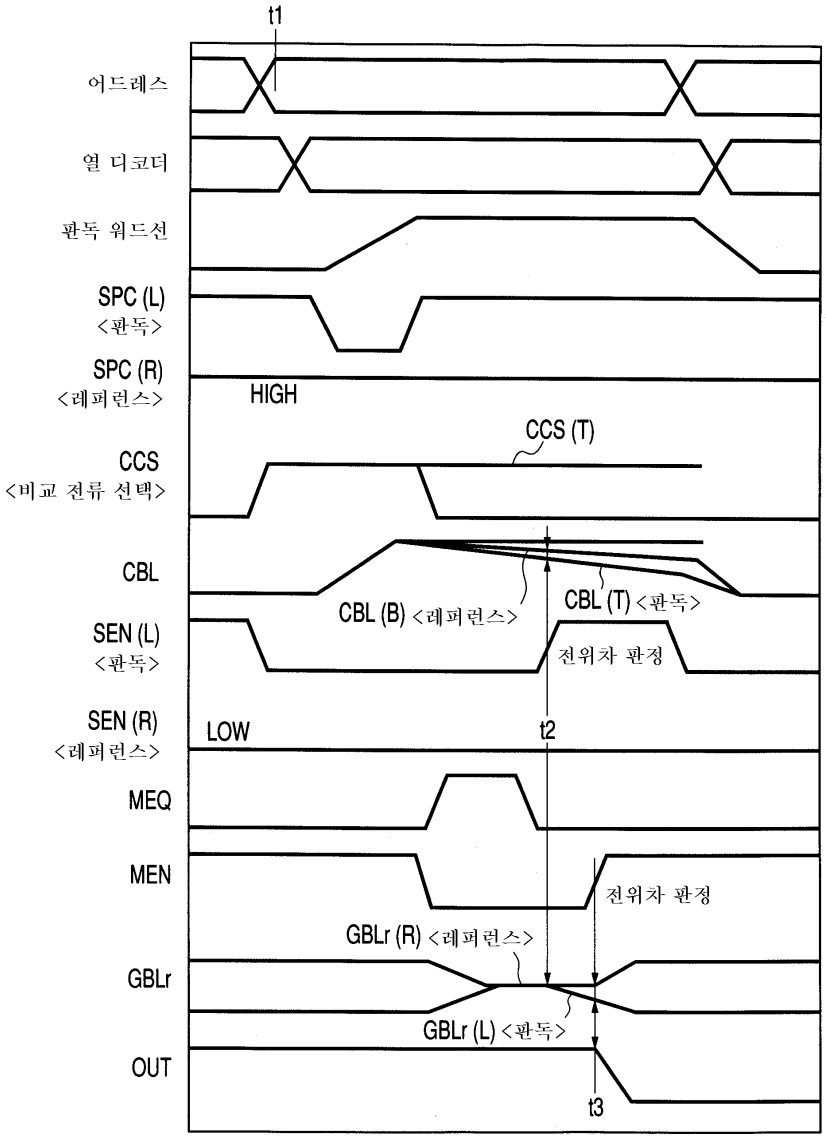
도면5


DSW
DSW
34
BL
BL
MC
WL
WL
21
22
CBL
SPC (L)
CBL
SPC (R)
SA (L)
SA (R)
23
SEN (L)
CBL
CBL
SEN (R)
22
21
MC
BL
BL
34
GBLw
GBLw
GBLw
GBLr (L)
GBLr (R)
MEQ
Vdd
TRG
LAT
MA
INV
MEN
Vss
OUT
BDRV

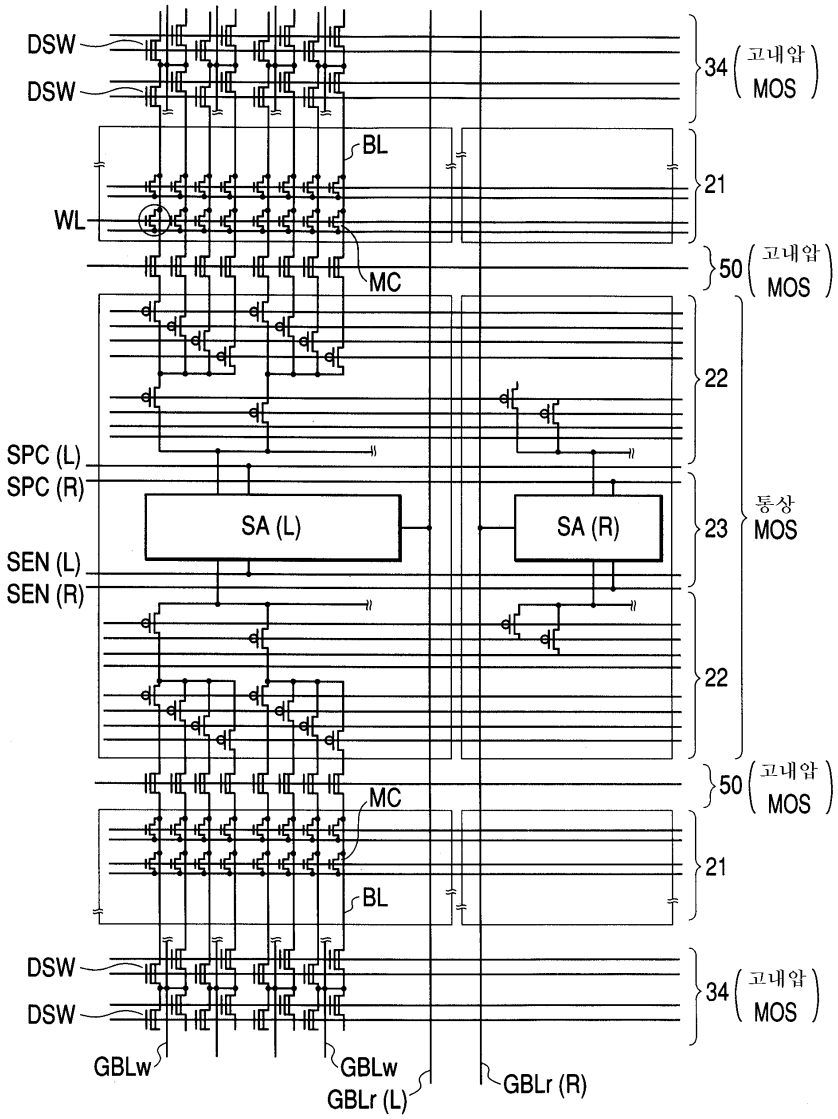
도면6


GBLr
vdd
Q9
Q10
vss
SA (L)
vss
Q11
Q5
Q6
Q2
Q4
Q7
Q1
Q3
Q8
vdd
Q12
Q13
Q14
vdd
CBL (T)
Q16
vss
Q15
Q17
CBL (B)
SPC (L)
SPC (R)
CCS (T)
CCB
Ion=Imen/2
CCS (B)
SEN (L)
SEN (R)

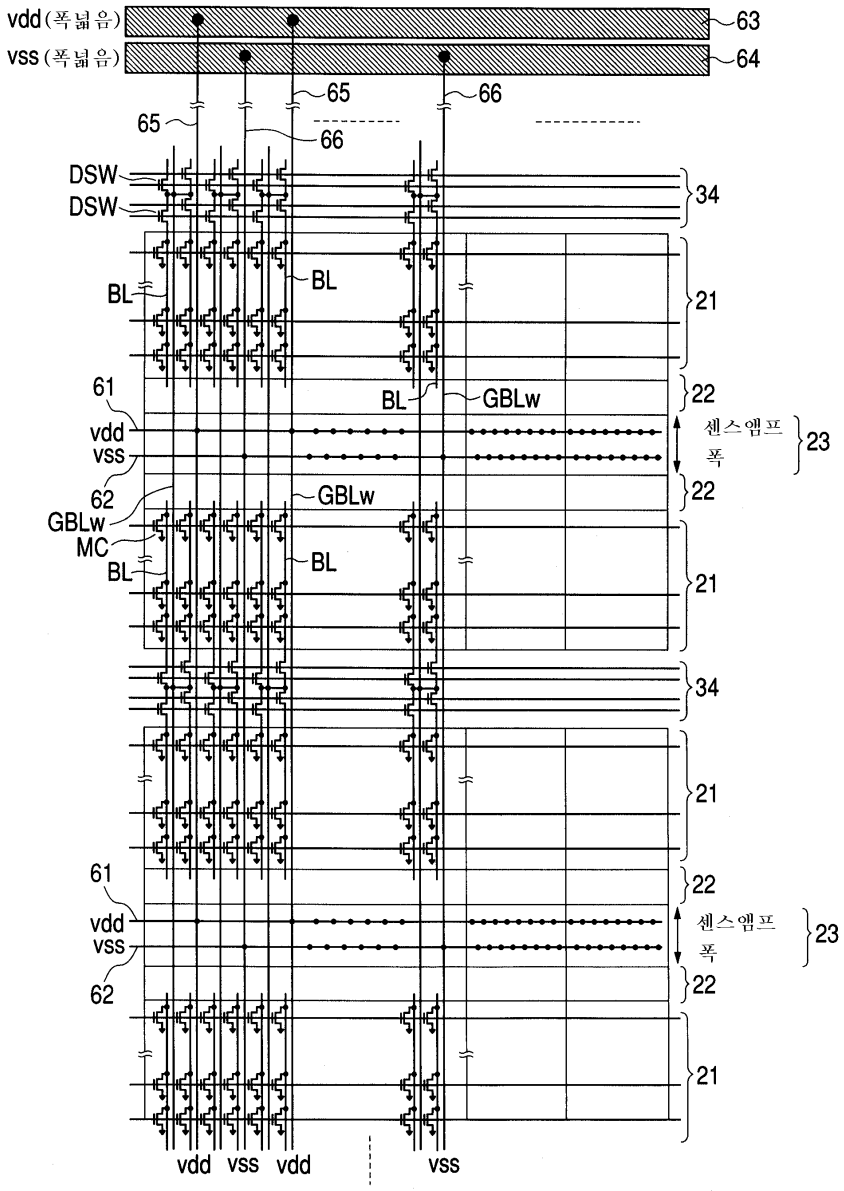
도면7


t1
어드레스
열 디코더
판독 워드선
SPC (L)
<판독>
SPC (R)
<레퍼런스>
HIGH
CCS (T)
CCS
<비교 전류 선택>
CBL
CBL (B) <레퍼런스>
CBL (T) <판독>
SEN (L)
<판독>
전위차 판정
SEN (R)
<레퍼런스>
LOW
t2
MEQ
MEN
전위차 판정
GBLr (R) <레퍼런스>
GBLr
GBLr (L) <판독>
OUT
t3

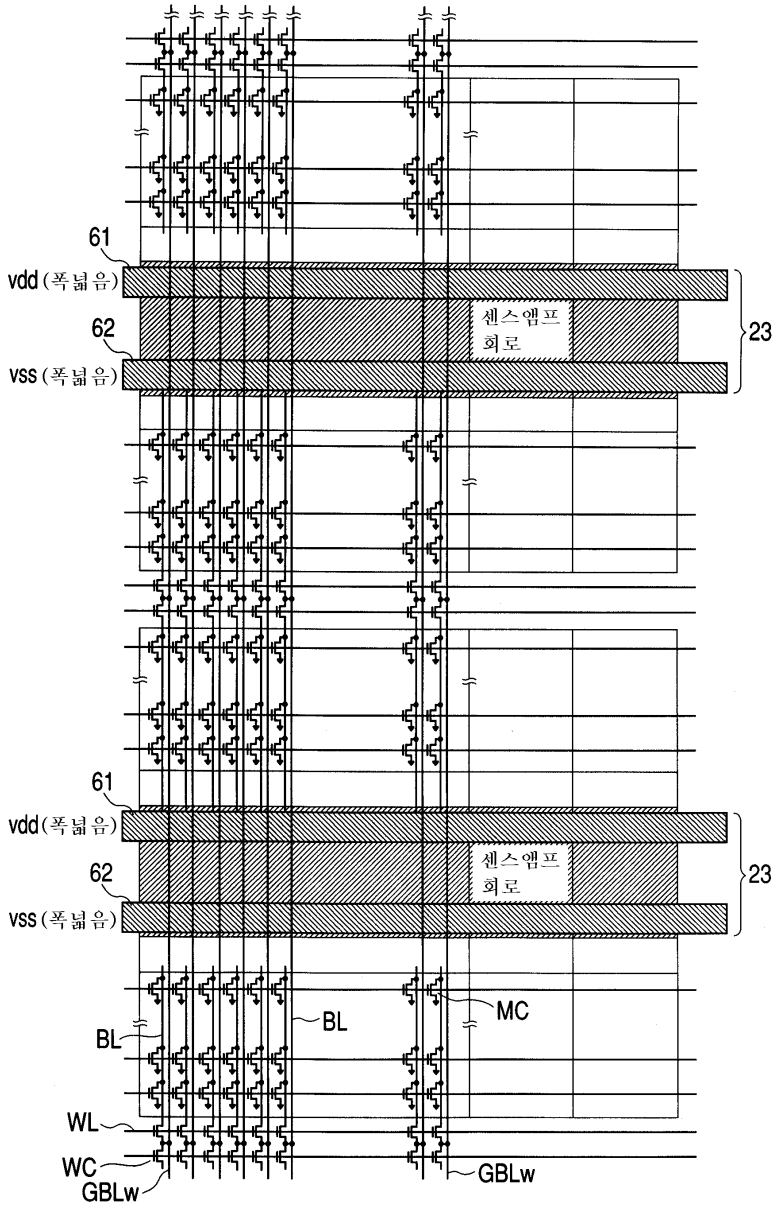
도면8


DSW
DSW
34
고내압
MOS
BL
WL
21
MC
50
고내압
MOS
22
SPC (L)
SPC (R)
SA (L)
SA (R)
23
통상
MOS
SEN (L)
SEN (R)
22
MC
50
고내압
MOS
BL
21
DSW
DSW
34
고내압
MOS
GBLw
GBLw
GBLr (L)
GBLr (R)

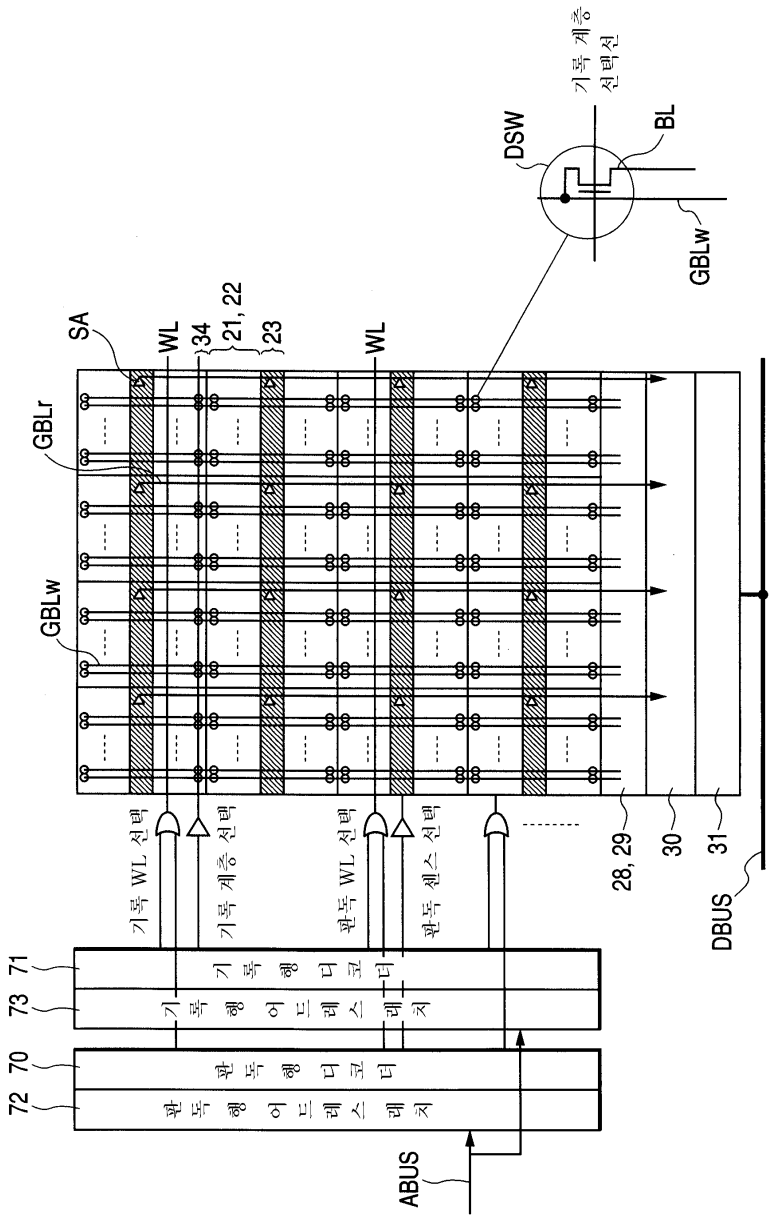
도면9


vdd (폭넓음)
vss (폭넓음)
63
64
65
66
65
66
DSW
DSW
34
BL
BL
21
61
BL
GBLw
22
vdd
vss
센스앰프
폭
23
62
GBLw
22
GBLw
MC
BL
BL
21
34
21
61
22
vdd
vss
센스앰프
폭
23
62
22
21
vdd
vss
vdd
vss

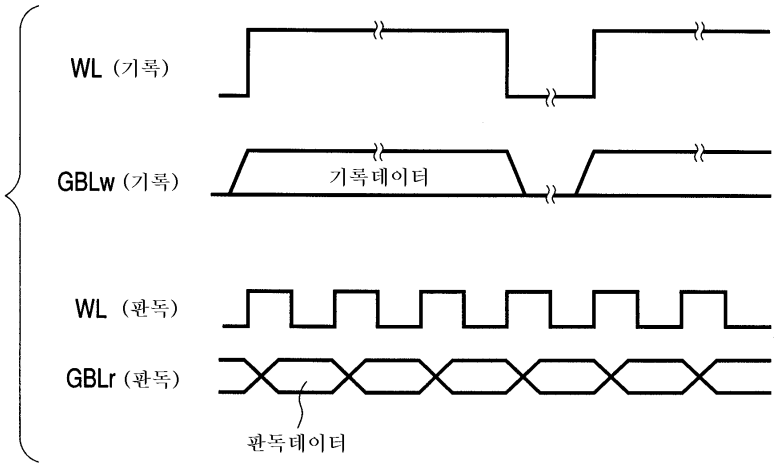
도면10


61
vdd (폭넓음)
62
vss (폭넓음)
센스앰프
회로
23
61
vdd (폭넓음)
62
vss (폭넓음)
센스앰프
회로
23
BL
BL
MC
WL
WC
GBLw
GBLw

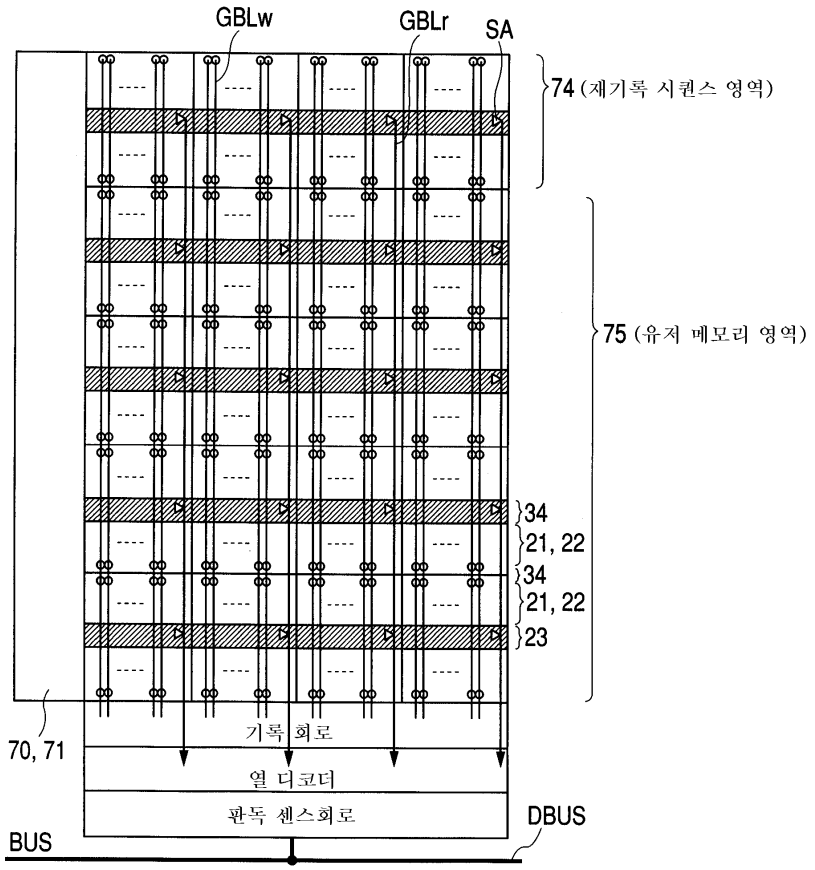
도면11


기록 계층 선택선
DSW
BL
GBLw
SA
WL
34
21, 22
23
WL
GBLr
GBLw
기록 WL 선택
기록 계층 선택
판독 WL 선택
판독 센스 선택
28, 29
30
31
DBUS
71
73
기록 행 디코더
기록 행 어드레스 래치
70
72
판독 행 디코더
판독 행 어드레스 래치
ABUS

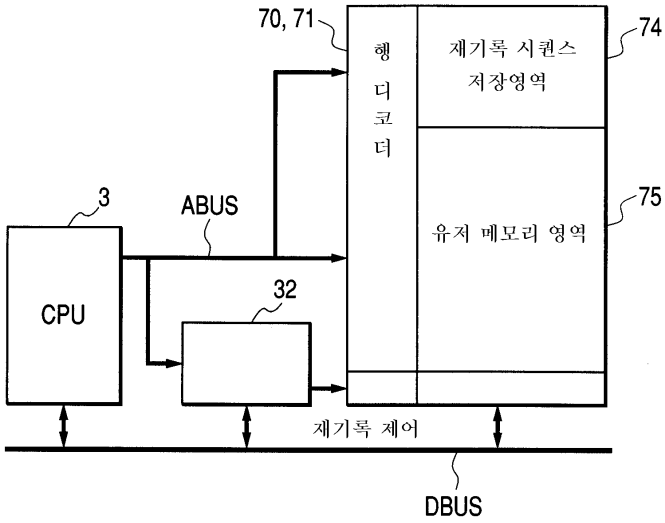
도면12


WL (기록)
GBLw (기록)
기록데이터
WL (판독)
GBLr (판독)
판독데이터

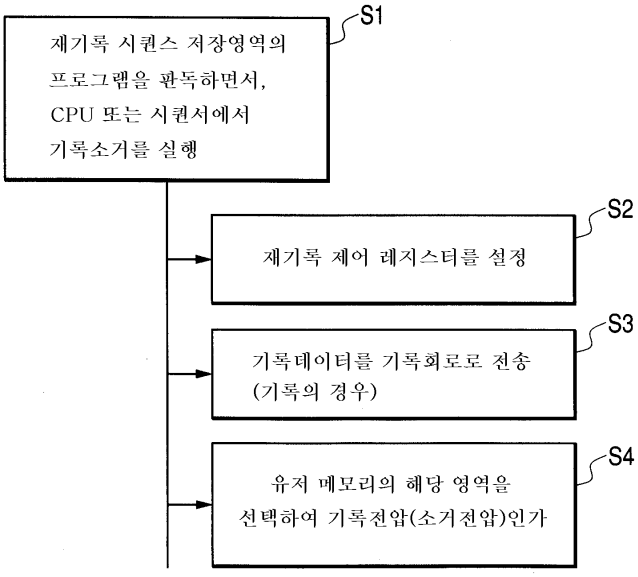
도면13


GBLw
GBLr
SA
74 (재기록 시퀀스 영역)
75 (유저 메모리 영역)
34
21, 22
34
21, 22
23
70, 71
기록 회로
열 디코더
판독 센스회로
BUS
DBUS

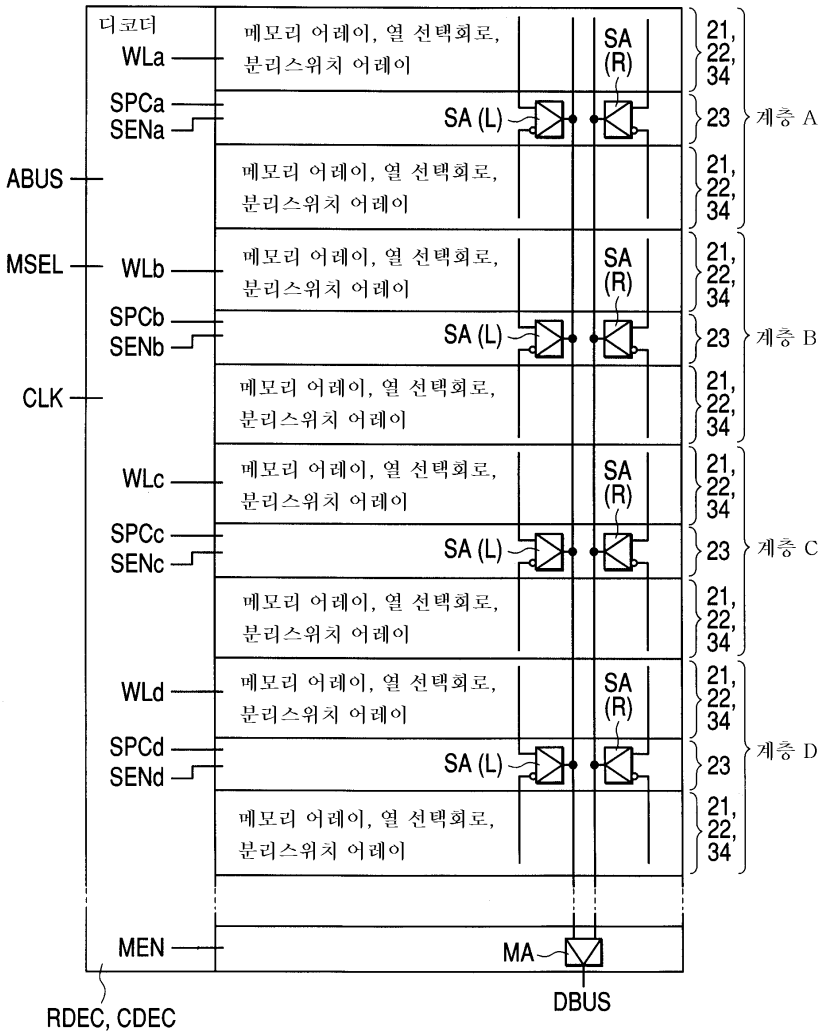
도면14


70, 71
행 디코더
재기록 시퀀스 저장영역
74
75
유저 메모리 영역
3
ABUS
CPU
32
재기록 제어
DBUS

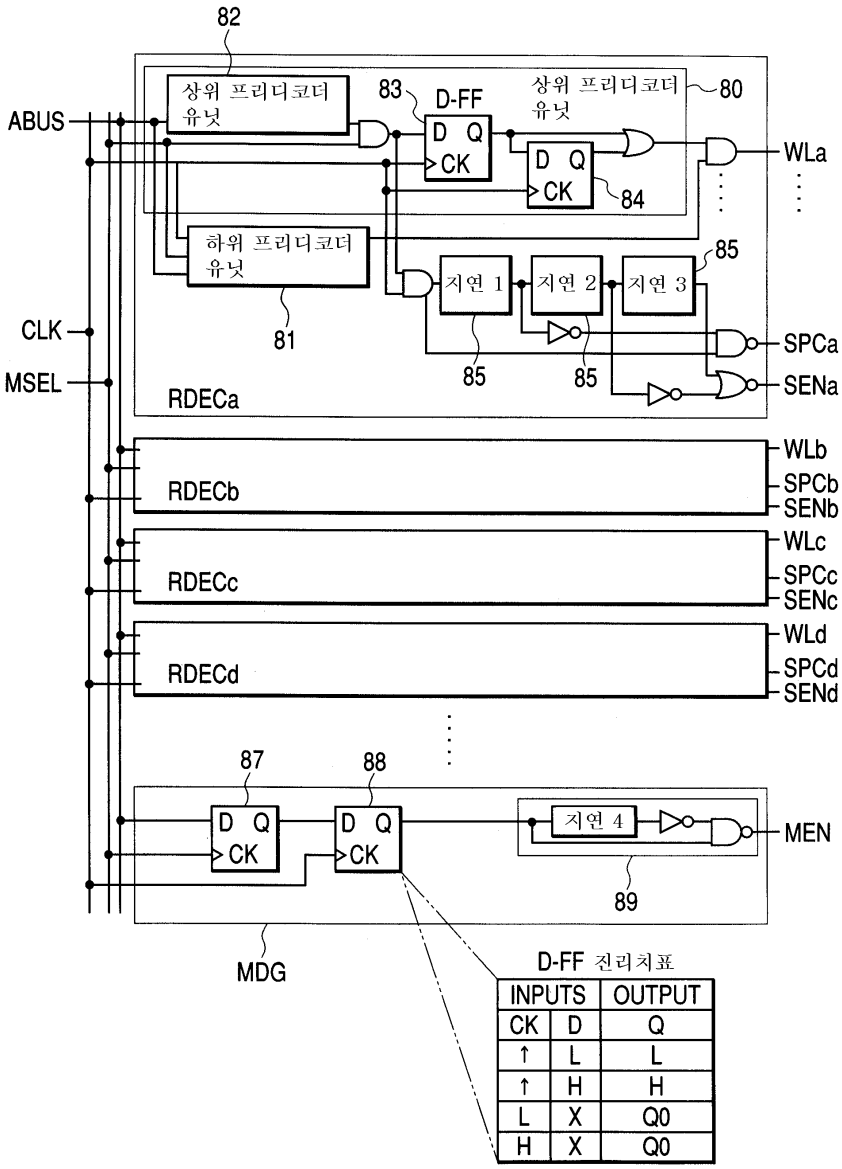
도면15


S1
재기록 시퀀스 저장영역의
프로그램을 판독하면서,
CPU 또는 시퀀서에서
기록소거를 실행
S2
재기록 제어 레지스터를 설정
S3
기록데이터를 기록회로로 전송
(기록의 경우)
S4
유저 메모리의 해당 영역을
선택하여 기록전압(소거전압)인가

도면16


디코더
WLa
SPCa
SENa
ABUS
MSEL
WLb
SPCb
SENb
CLK
WLc
SPCc
SENc
WLd
SPCd
SENd
MEN
RDEC, CDEC
DBUS
메모리 어레이, 열 선택회로,
분리스위치 어레이
SA (L)
SA (R)
MA
21, 22, 34
23
계층 A
계층 B
계층 C
계층 D

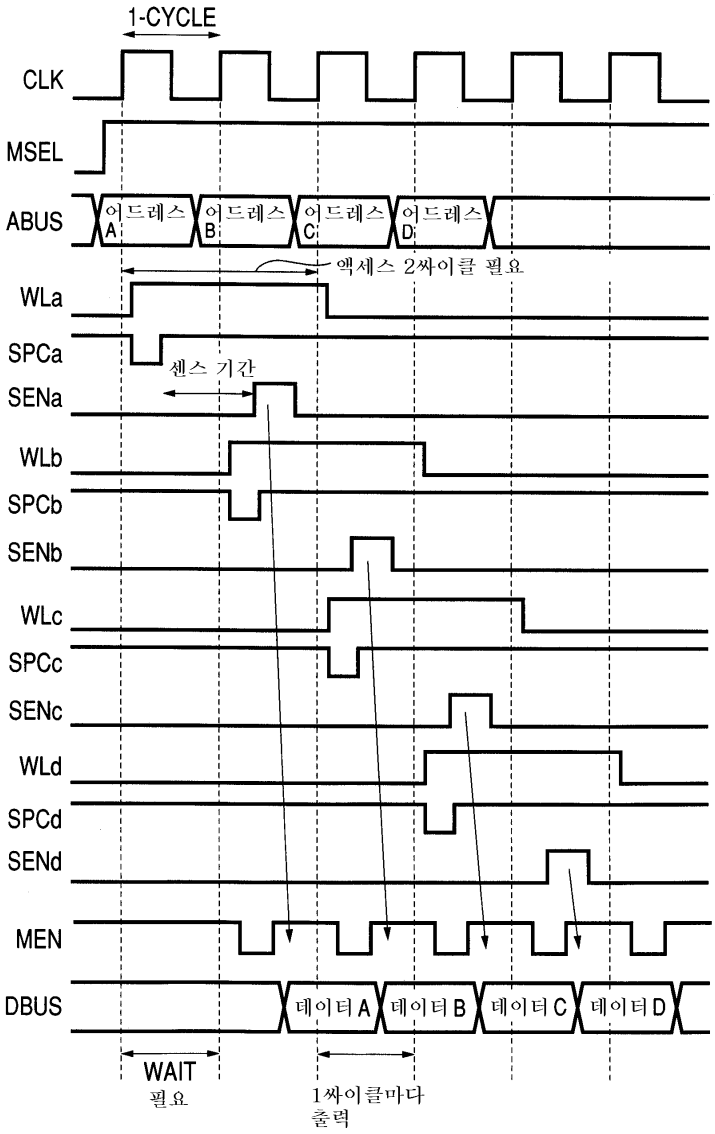
도면17



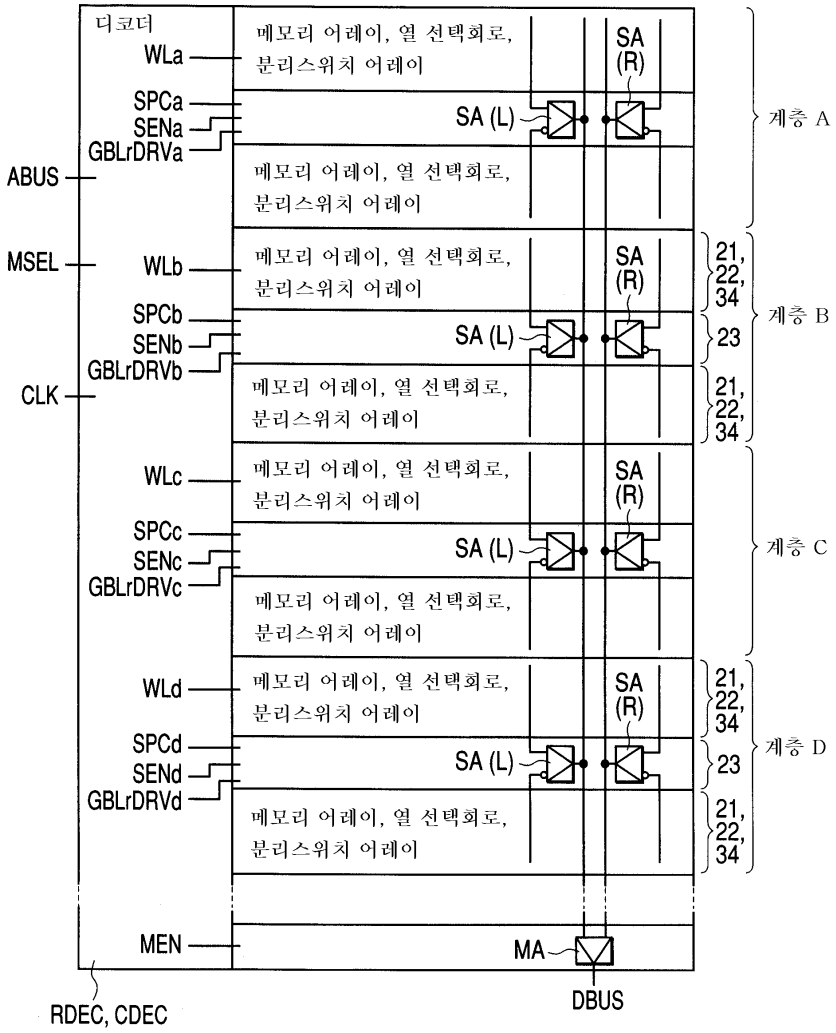
D-FF 진리치표

INPUTS		OUTPUT
CK	D	Q
↑	L	L
↑	H	H
L	X	Q0
H	X	Q0

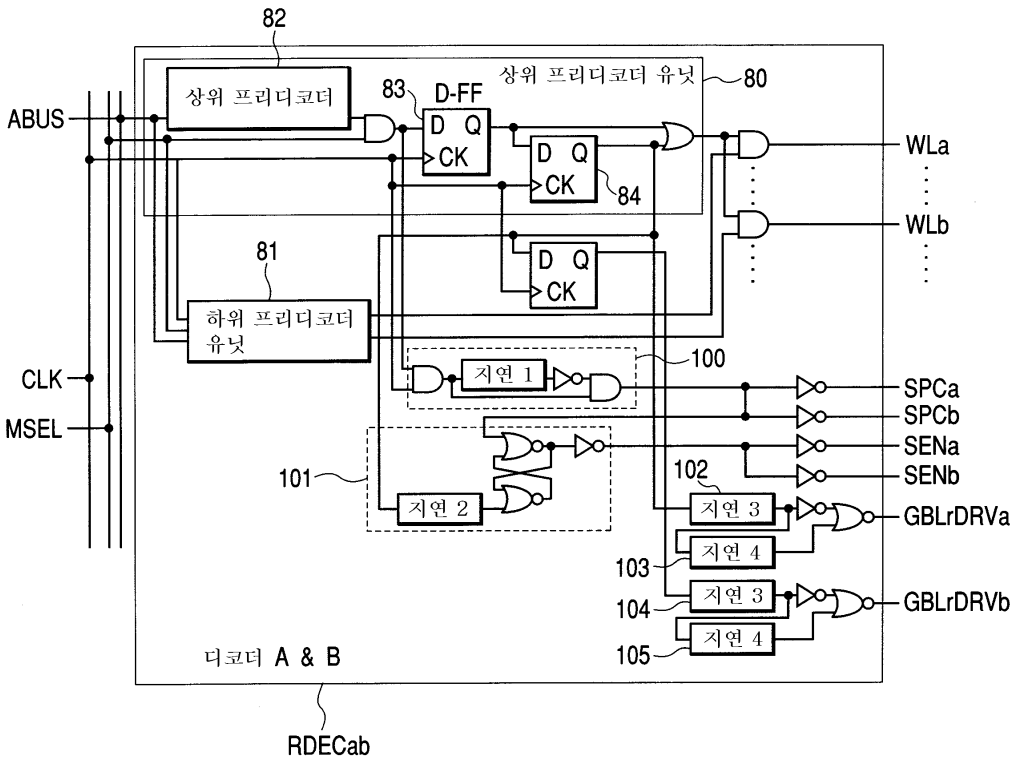
도면18


1-CYCLE
CLK
MSEL
ABUS
어드레스 A
어드레스 B
어드레스 C
어드레스 D
액세스 2싸이클 필요
WLa
SPCa
센스 기간
SENa
WLb
SPCb
SENb
WLc
SPCc
SENc
WLd
SPCd
SENd
MEN
DBUS
데이터 A
데이터 B
데이터 C
데이터 D
WAIT
필요
1싸이클마다
출력

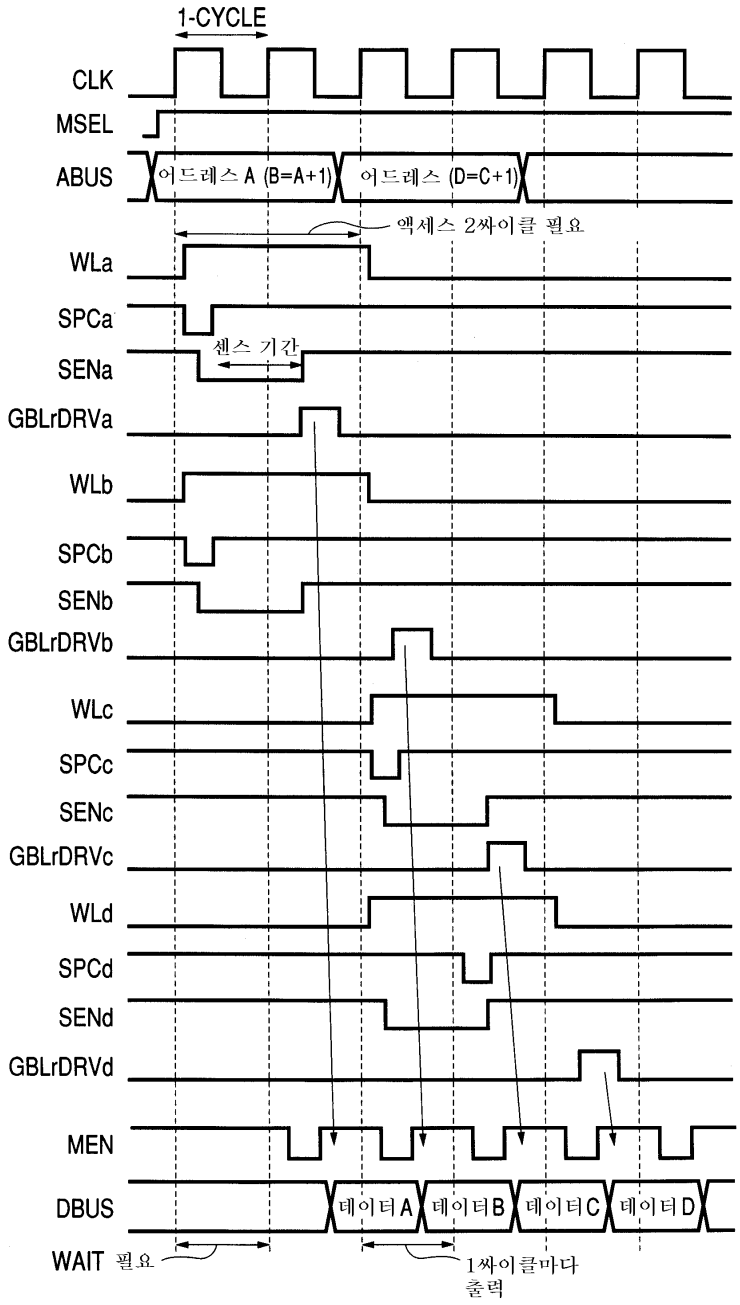
도면19


디코더
WLa
SPCa
SENa
GBLrDRVa
ABUS
MSEL
WLb
SPCb
SENb
GBLrDRVb
CLK
WLc
SPCc
SENc
GBLrDRVc
WLd
SPCd
SENd
GBLrDRVd
MEN
RDEC, CDEC
메모리 어레이, 열 선택회로, 분리스위치 어레이
SA (L)
SA (R)
MA
DBUS
계층 A
계층 B
계층 C
계층 D
21, 22, 34
23

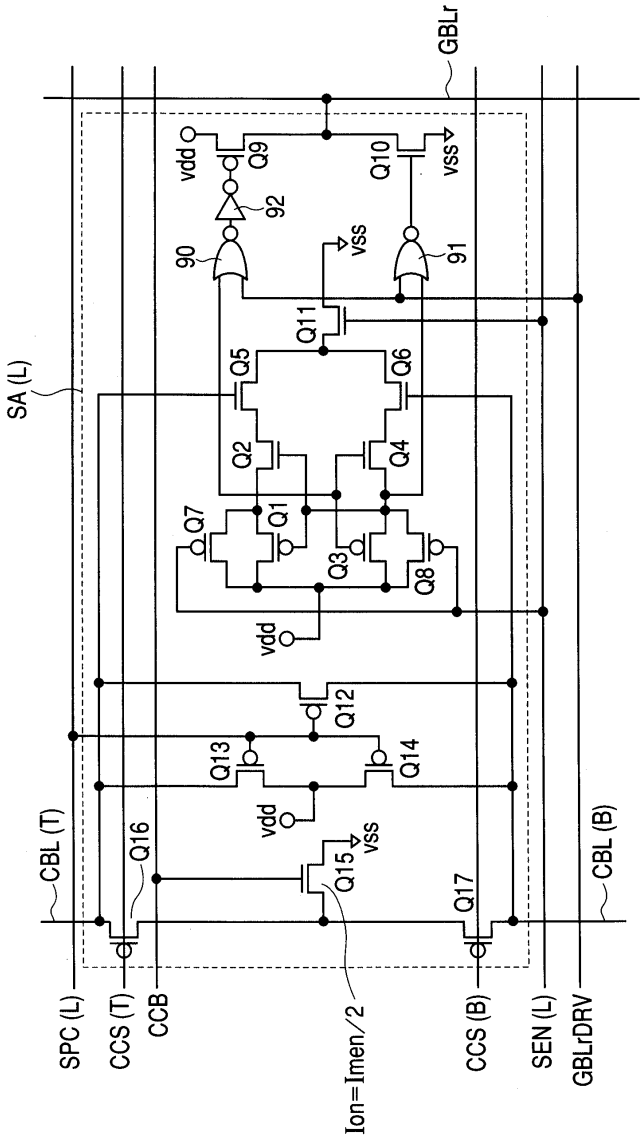
도면20


82
상위 프리디코더
83
D-FF
D Q
CK
상위 프리디코더 유닛
80
84
81
하위 프리디코더 유닛
ABUS
CLK
MSEL
WLa
WLb
100
지연 1
101
지연 2
102
지연 3
지연 4
103
104
105
SPCa
SPCb
SENa
SENb
GBLrDRVa
GBLrDRVb
디코더 A & B
RDECab

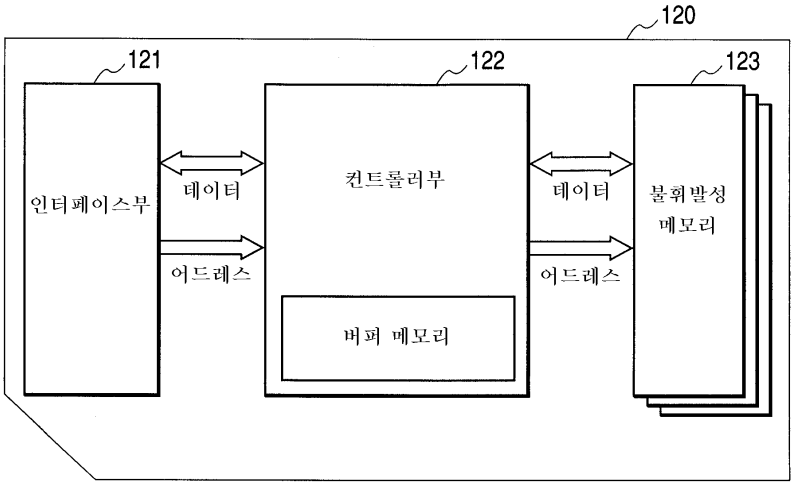
도면21


1-CYCLE
CLK
MSEL
ABUS
어드레스 A (B=A+1)
어드레스 (D=C+1)
액세스 2싸이클 필요
WLa
SPCa
센스 기간
SENa
GBLrDRVa
WLb
SPCb
SENb
GBLrDRVb
WLc
SPCc
SENc
GBLrDRVc
WLd
SPCd
SENd
GBLrDRVd
MEN
DBUS
데이터A
데이터B
데이터C
데이터D
WAIT
필요
1싸이클마다
출력

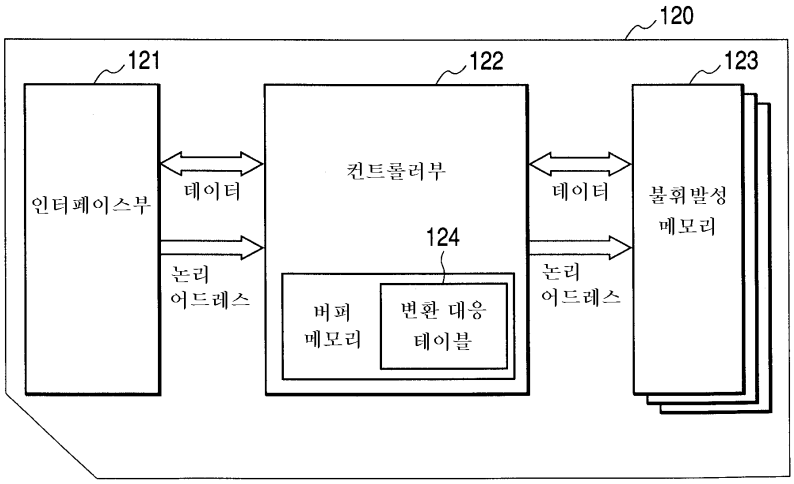
도면22


GBLr
vdd
Q9
Q10
vss
92
90
vss
91
Q11
Q5
Q6
SA (L)
Q2
Q4
Q7
Q1
Q3
Q8
vdd
Q12
Q13
Q14
vdd
CBL (T)
Q16
Q15
vss
Q17
CBL (B)
SPC (L)
CCS (T)
CCB
Ion=Imen/2
CCS (B)
SEN (L)
GBLrDRV

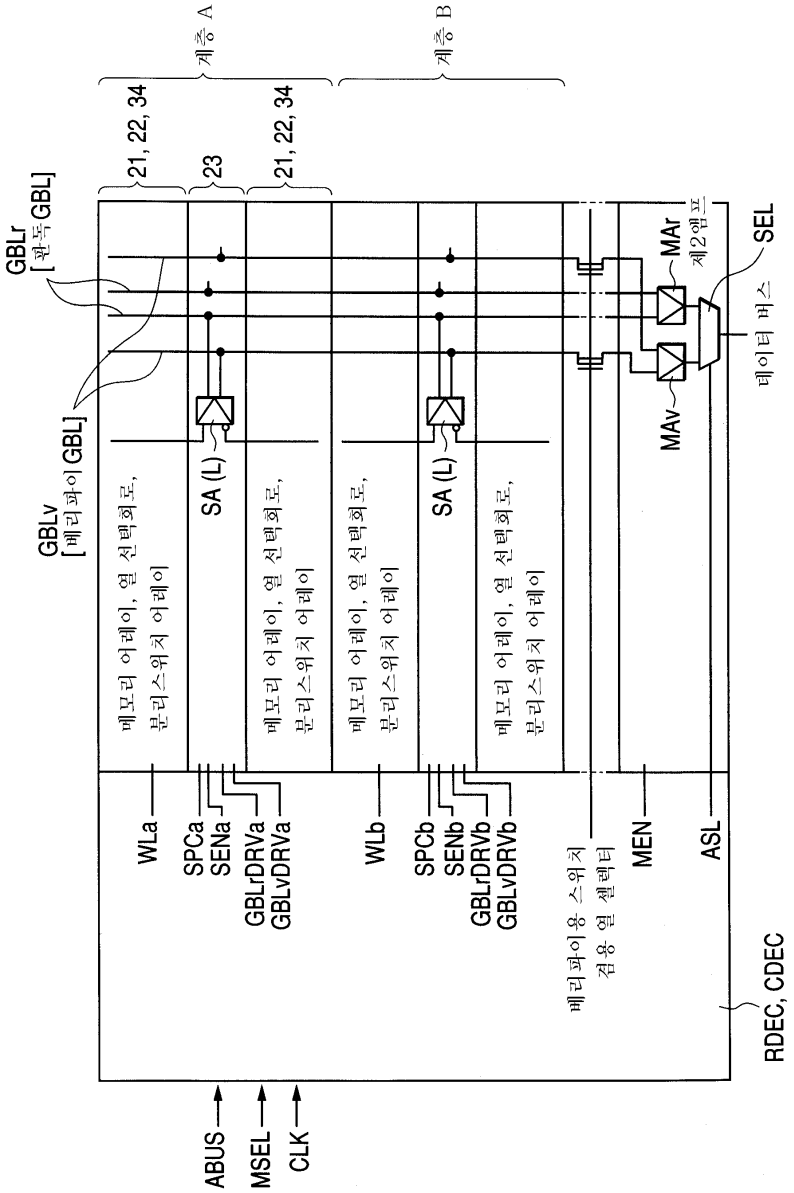
도면23


120
121
122
123
인터페이스부
데이터
어드레스
컨트롤러부
버퍼 메모리
데이터
어드레스
불휘발성
메모리

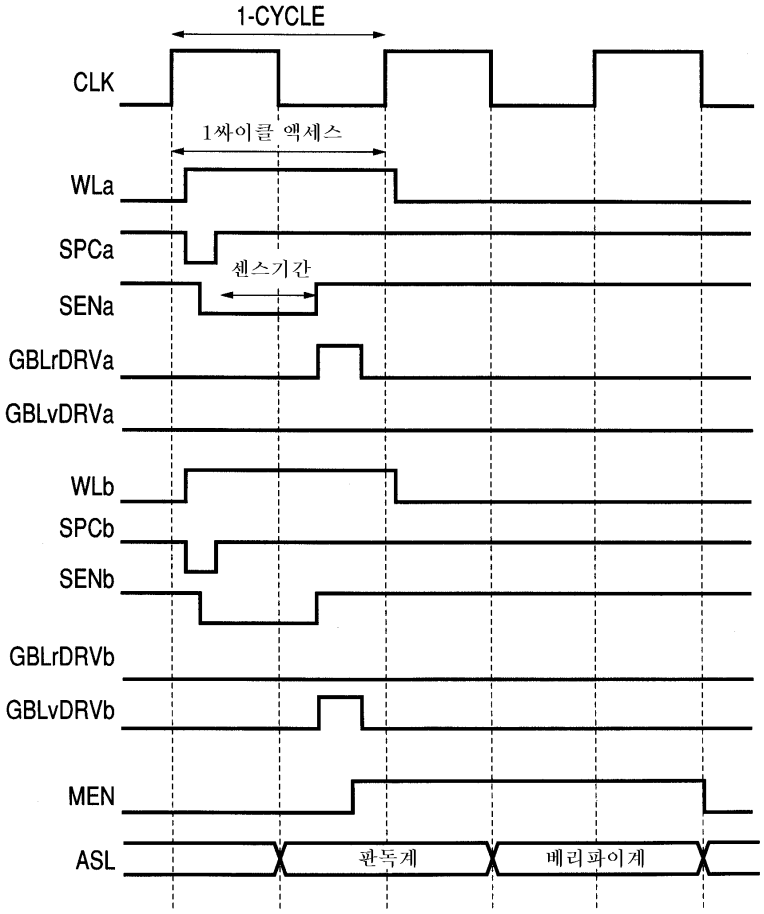
도면24


120
121
122
123
인터페이스부
데이터
논리
어드레스
컨트롤러부
124
버퍼
메모리
변환 대응
테이블
데이터
논리
어드레스
불휘발성
메모리

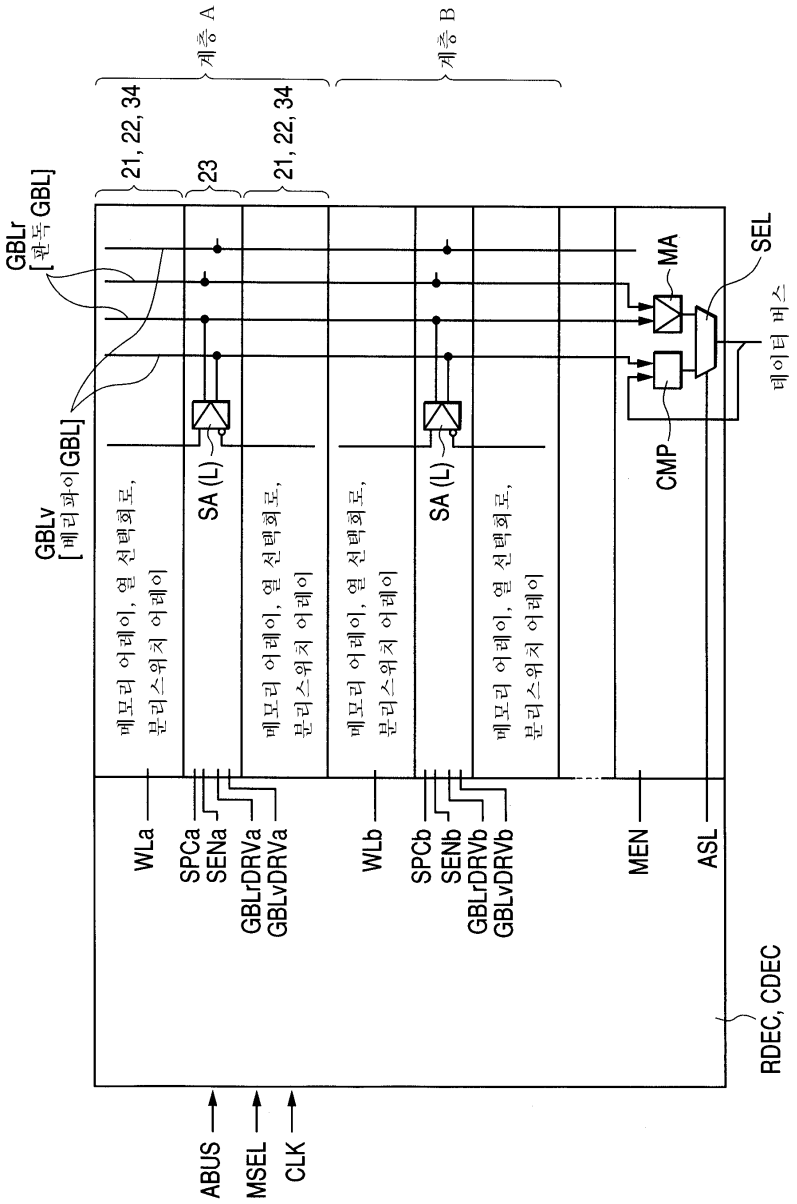
도면25


계층 A
계층 B
21, 22, 34
23
21, 22, 34
GBLr
[판독 GBL]
GBLv
[베리파이 GBL]
메모리 어레이, 열 선택회로,
분리스위치 어레이
SA (L)
MAr
제2앰프
MAv
SEL
데이터 버스
WLa
SPCa
SENa
GBLrDRVa
GBLvDRVa
WLb
SPCb
SENb
GBLrDRVb
GBLvDRVb
베리파이용 스위치
겸용 열 셀렉터
MEN
ASL
RDEC, CDEC
ABUS
MSEL
CLK

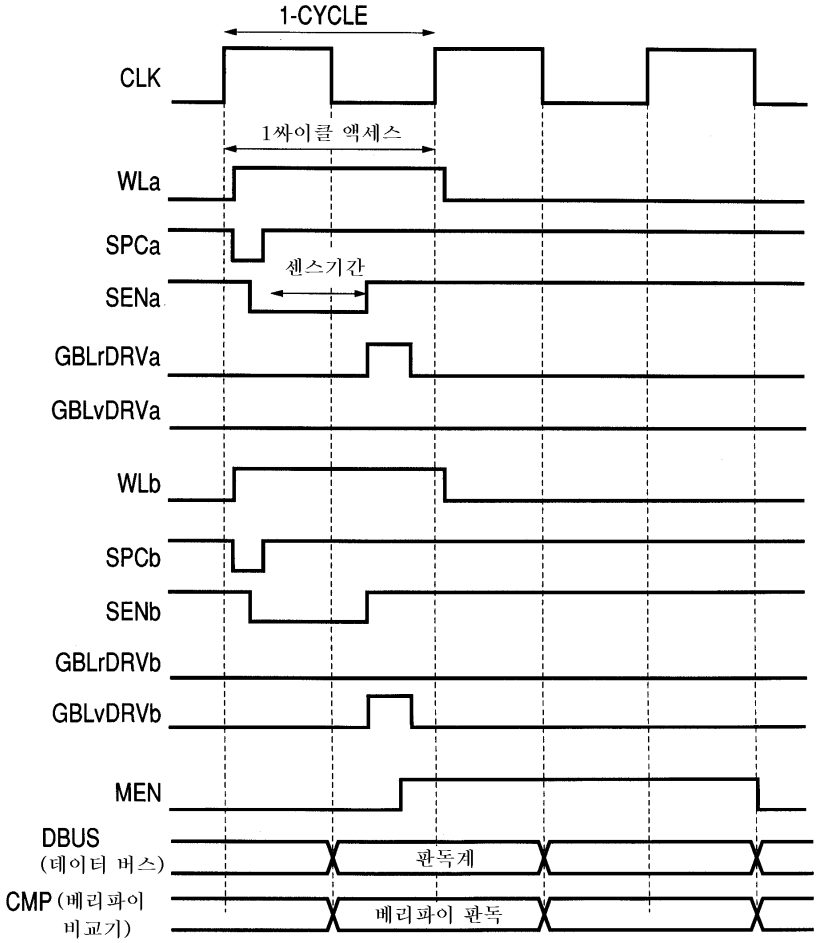
도면26


1-CYCLE
CLK
1싸이클 액세스
WLa
SPCa
센스기간
SENa
GBLrDRVa
GBLvDRVa
WLb
SPCb
SENb
GBLrDRVb
GBLvDRVb
MEN
ASL
관독계
베리파이계

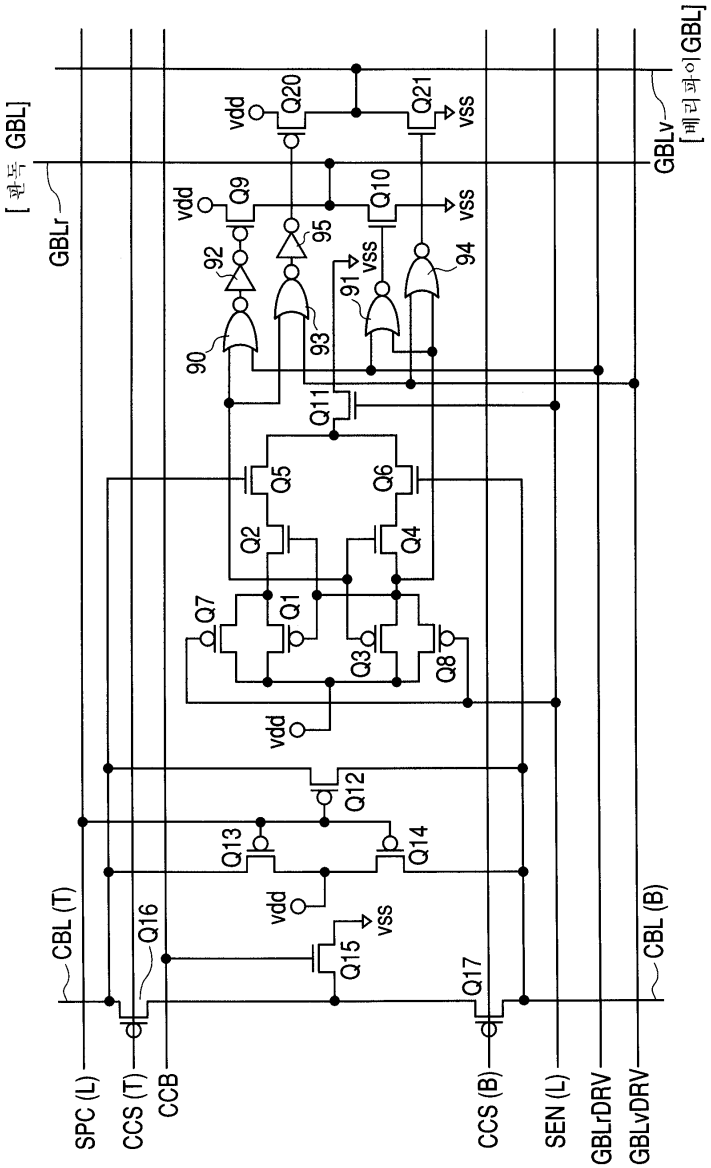
도면27


계층 A
계층 B
21, 22, 34
23
21, 22, 34
GBLr [판독 GBL]
GBLv [베리파이 GBL]
메모리 어레이, 열 선택회로, 분리스위치 어레이
SA (L)
MA
SEL
CMP
데이터 버스
WLa
SPCa
SENa
GBLrDRVa
GBLvDRVa
WLb
SPCb
SENb
GBLrDRVb
GBLvDRVb
MEN
ASL
RDEC, CDEC
ABUS
MSEL
CLK

도면28


1-CYCLE
CLK
1싸이클 액세스
WLa
SPCa
센스기간
SENa
GBLrDRVa
GBLvDRVa
WLb
SPCb
SENb
GBLrDRVb
GBLvDRVb
MEN
DBUS
(데이터 버스)
판독계
CMP (베리파이
비교기)
베리파이 판독

도면29


[반도 GBL]
GBLr
[페리퍼이 GBL]
GBLv
vdd
Q20
Q21
vss
Q9
Q10
95
92
91
94
90
93
Q11
Q5
Q6
Q2
Q4
Q7
Q1
Q3
Q8
Q12
Q13
Q14
Q15
Q16
Q17
CBL (T)
CBL (B)
SPC (L)
CCS (T)
CCB
CCS (B)
SEN (L)
GBLrDRV
GBLvDRV