

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4170630号

(P4170630)

(45) 発行日 平成20年10月22日 (2008. 10. 22)

(24) 登録日 平成20年8月15日 (2008. 8. 15)

(51) Int. Cl.	F I
H04L 25/02 (2006.01)	H04L 25/02 F
G06F 3/00 (2006.01)	G06F 3/00 K
H03K 19/0175 (2006.01)	H03K 19/00 101Q

請求項の数 9 (全 15 頁)

(21) 出願番号	特願2002-23516 (P2002-23516)	(73) 特許権者	390019839
(22) 出願日	平成14年1月31日 (2002. 1. 31)		三星電子株式会社
(65) 公開番号	特開2002-330182 (P2002-330182A)		SAMSUNG ELECTRONICS
(43) 公開日	平成14年11月15日 (2002. 11. 15)		CO., LTD.
審査請求日	平成16年12月17日 (2004. 12. 17)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2001-005340		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成13年2月5日 (2001. 2. 5)		Gyeonggi-do 442-742
(33) 優先権主張国	韓国 (KR)		(KR)
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100108453
			弁理士 村山 靖彦

最終頁に続く

(54) 【発明の名称】 ターミネーション回路のインピーダンスアップデート装置及び方法

(57) 【特許請求の範囲】

【請求項 1】

ターミネーション回路のインピーダンスアップデート装置において、

パッドにそれぞれ連結されたアップターミネーターとダウンターミネーターとを有するターミネーター回路と、

前記パッドに連結されたレシーバーと、

前記パッドに与えられる外部入力信号のレベルを判断して前記アップターミネーターまたは前記ダウンターミネーターのインピーダンスアップデートをそれぞれ個別制御するアップデート個別制御部と、

を備え、

前記外部入力信号のレベルを判断して前記アップまたはダウンターミネーターのうち最少電流の流れるターミネーター部分を検出し、

検出された前記最少電流の流れるターミネーター部分のみのインピーダンスアップデートを制御することを特徴とするターミネーション回路のインピーダンスアップデート装置

。

【請求項 2】

前記アップデート個別制御部は、前記外部入力信号のレベルに従って、プログラム可能なインピーダンス制御器のインピーダンスコードをラッチしながら、該インピーダンスコードに応じた前記アップターミネーターまたは前記ダウンターミネーターのアップデートを継続してそれぞれ行うことを特徴とする請求項 1 に記載のターミネーション回路のイン

ピーダンスアップデート装置。

【請求項 3】

前記アップデート個別制御部は、周期的に発生されるアップ アップデートイネーブル信号またはダウン アップデートイネーブル信号と前記外部の入力信号のレベルが所定条件に一致する場合にのみ、前記アップターミネーターのインピーダンスアップデートまたは前記ダウンターミネーターのインピーダンスアップデートを行うことを特徴とする請求項 1 に記載のターミネーション回路のインピーダンスアップデート装置。

【請求項 4】

ターミネーション回路のインピーダンスアップデート装置において、

トランスミッター回路からの外部入力信号にそれぞれ入力が連結された第 1 インバーター及び第 2 インバーター、前記第 1 インバーターの出力に連結されてプログラム可能なインピーダンスアップ制御器からのインピーダンス情報を保持する第 1 ラッチ、及び、前記第 2 インバーターの出力に連結されてプログラム可能なインピーダンスダウン制御器からのインピーダンス情報を保持する第 2 ラッチを有し、前記外部入力信号が論理ハイに維持されているときに前記第 1 インバーターが遷移してアップ ターミネーターのインピーダンスアップデート制御信号を発生し、前記外部入力信号が論理ローに維持されているときに前記第 2 インバーターが遷移してダウン ターミネーターのインピーダンスアップデート制御信号を発生するアップデート個別制御部と、

前記トランスミッター回路からの外部入力信号に共通に連結されたアップ ターミネーターとダウン ターミネーターを有し、前記アップデート個別制御部から前記アップ ターミネーターのインピーダンスアップデートを制御する制御信号が印加されると、前記第 1 ラッチからインピーダンス情報の提供を受けて前記アップ ターミネーターのインピーダンスをアップ デートし、前記アップデート個別制御部から前記ダウンターミネーターのインピーダンスアップデートを制御する制御信号が印加されると、前記第 2 ラッチからインピーダンス情報の提供を受けて前記ダウンターミネーターのインピーダンスをアップデートするターミネーター回路と、

を備えることを特徴とするターミネーション回路のインピーダンスアップデート装置。

【請求項 5】

前記アップデート個別制御部は、前記第 1 インバーターの出力を一つの入力とし、周期的に発生されるアップ アップデートイネーブル信号を他の入力とし、

出力が前記第 1 ラッチに連結された第 1 NANDゲート、及び、第 2 インバーターの出力を一つの入力とし、周期的に発生されるダウン アップデートイネーブル信号を他の入力とし、出力が前記第 2 ラッチに連結された第 2 NANDゲートをさらに具備することを特徴とする

請求項 4 に記載のターミネーション回路のインピーダンスアップデート装置。

【請求項 6】

ターミネーション回路のインピーダンスアップデート装置において、

トランスミッター回路と、

前記トランスミッター回路と連結されて外部入力信号を受けるレシーバー回路と、

入力が前記レシーバー回路の出力に連結され、クロック端子が内部クロック信号に連結され、出力が第 1 ラッチに連結され、反転出力が第 2 ラッチに連結された入力バッファ、プログラム可能なインピーダンスアップ制御器からのインピーダンス情報を保持する前記第 1 ラッチ、及び、プログラム可能なインピーダンスダウン制御器からのインピーダンス情報を保持する前記第 2 ラッチを有し、前記レシーバー回路を経た外部入力信号のアップまたはダウンレベルに従ってアップまたはダウンアップデート制御信号を発生してインピーダンスのアップまたはダウンアップデートを個別的に制御するアップデート個別制御部と、

前記トランスミッター回路からの外部入力信号に共通に連結されたアップ ターミネーターとダウン ターミネーターを有し、前記アップデート個別制御部から前記アップターミネーターのインピーダンスアップデートを制御する制御信号が印加されると、前記

第1ラッチからインピーダンス情報の提供を受けて前記アップ ターミネーターのインピーダンスをアップ デートし、前記アップデータ個別制御部から前記ダウン ターミネーターのインピーダンスアップデータを制御する制御信号が印加されると、前記第2ラッチからインピーダンス情報の提供を受けて前記ダウン ターミネーターのインピーダンスをアップデータするターミネーター回路と、

を備えることを特徴とするターミネーション回路のインピーダンスアップデータ装置。

【請求項7】

前記アップデータ個別制御部は、前記入力バッファの出力を一つの入力とし、周期的に発生されるアップ アップデータイネーブル信号を他の入力とし、出力が前記第1ラッチに連結されたNANDゲート、及び、前記入力バッファの出力を一つの入力とし、周期的に発生されるダウン アップデータイネーブル信号を他の入力とし、出力が前記第2ラッチに連結されたANDゲートをさらに具備することを特徴とする請求項6に記載のターミネーション回路のインピーダンスアップデータ装置。

【請求項8】

外部入力信号のレベルを判断して最少電流の流れるターミネーターを検出するアップデータ個別制御部とアップ/ダウン分離されたターミネーターを具備するターミネーション回路のインピーダンスアップデータ方法において、

外部入力信号のレベルを判断して前記アップまたはダウンターミネーターのうち最少電流の流れるターミネーター部分を検出する第1段階と、

前記第1段階から検出された最少電流の流れるターミネーター部分のみのインピーダンスアップデータを制御する第2段階と、

を含むことを特徴とするターミネーション回路のインピーダンスアップデータ方法。

【請求項9】

前記第1段階は、周期的に発生されるアップデータイネーブル信号がイネーブルである場合にのみ実行されることを特徴とする請求項8に記載のターミネーション回路のインピーダンスアップデータ方法。

【発明の詳細な説明】

【0001】

【発明の属する技術の分野】

本発明は、ターミネーション回路に関連し、特にターミネーション回路においてインピーダンスアップデータの際に発生しうるシステムノイズを最少化することができるターミネーション回路のインピーダンスアップデータ装置に関する。

【0002】

【従来の技術】

最近、高速データ伝送において周波数が高くなるに従いオンチップターミネーションに対する要求が強まっている。高速データ伝送のための従来のターミネーション回路が図10に図示されている。図10に示したように、前記オンチップターミネーションは、伝送ラインを通じてデータを伝送する際に出力ドライバ1がソースターミネーションを担当し、受信側のターミネーション回路3が並列ターミネーションを担当することにより、信号のスイングレベル自体は低下するものの、信号の完結性の側面で優れたフルスイングでの伝達を可能にする。しかし、メモリを例に挙げれば、クロック、アドレス、制御信号については信号を単方向に伝送するので、前記ターミネーション回路3はチップが動作している間継続してオンされていなければならない。

【0003】

前記ターミネーション回路の構成においては、トランジスタを組み合わせた並列合成インピーダンスを用いる。しかし、チップの動作環境及び内部的工程要因変化(PVT Variation: Process, Voltage, Temperature: 以下、これを「PVT」変化と称する)に起因してインピーダンスが変わるので、これをトラッキングして所定のインピーダンスを継続して維持しなければならない。このように従来の高速データ伝送のためのターミネーション回路は

、チップの動作環境及び内部的PVT変化に起因するインピーダンスの変化に対応して継続的にターミネーション回路をアップデートするためのトラッキング動作により、継続動作している回路中のトランジスタの組み合わせにおけるオン/オフによりシステムノイズが誘発されるという問題点がある。

【0004】

【発明が解決しようとする課題】

このように従来の高速データ伝送のためのターミネーション回路は、チップの動作環境及び内部的PVT変化に起因するインピーダンスの変化に対応して継続的にインピーダンスをアップデートするためのトラッキング動作を行うことにより、継続動作している回路中のトランジスタの組み合わせにおけるオン/オフによりシステムノイズが誘発されるという問題点がある。

10

【0005】

本発明の目的は、ターミネーション回路のインピーダンスアップデートの際に発生しうるシステムノイズを最少化することができるターミネーション回路のインピーダンスアップデート装置を提供することにある。

【0006】

本発明の他の目的は、ターミネーション回路のインピーダンスアップデートをアップターミネーターとダウンターミネーターに分離したターミネーション回路のインピーダンスアップデート装置を提供することにある。

【0007】

20

【課題を解決するための手段】

このような目的を達成するため本発明によるターミネーション回路のインピーダンスアップデート装置は、アップターミネーターとダウンターミネーターとを有するターミネーター回路、及び外部入力信号のレベルを判断して前記アップまたはダウンターミネーターのインピーダンスアップデートをそれぞれ個別制御するアップデート個別制御部を具備することを特徴とする。

【0008】

そして、前記ターミネーション回路のインピーダンスアップデート装置に適用されるアップデート個別制御部は、第1例として、プログラム可能なインピーダンス制御器のインピーダンスコードをラッチしている間に、前記外部入力信号のレベルに従い継続して、該インピーダンスコードに応じたアップまたはダウンアップデートをそれぞれ行うことを特徴とする。

30

【0009】

また、第2例として、周期的に発生されるアップ アップデートイネーブル信号またはダウンアップデートイネーブル信号と前記外部の入力信号のレベルが所定条件に一致する場合にのみにアップターミネーターのインピーダンスアップデートまたはダウンターミネーターのインピーダンスアップデートを行うことを特徴とする。

【0010】

また、第3例として、セットアップ及びホールドタイムにおいてのみ、前記外部入力信号のレベルに従いアップターミネーターまたはダウンターミネーターのインピーダンスアップデートを行うことを特徴とする。

40

【0011】

また、外部入力信号のレベルを判断して最少電流の流れるターミネーターを検出するアップデート個別制御部とアップ/ダウン分離されたターミネーターを備えたターミネーション回路のインピーダンスアップデート方法は、外部入力信号のレベルを判断して前記アップまたはダウンターミネーターのうち最少電流の流れるターミネーター部分を検出する第1段階と、前記第1段階で検出された最少電流が流れるターミネーター部分のみのインピーダンスアップデートを制御する第2段階とを含むことを特徴とする。

【0012】

そして、前記第1段階は、セットアップタイム及びホールドタイムにおいてのみ行うか、

50

または周期的に発生されるアップデートイネーブル信号がある場合にのみ行うことを特徴とする。

【 0 0 1 3 】

【 発明の実施の形態 】

以下、本発明の好適な実施の形態のターミネーション回路を図 1 乃至図 3 を用いて説明する。

【 0 0 1 4 】

図 1 は、本発明の好適な実施の形態としてのターミネーションのための回路を示した図である。この回路は、アップターミネーター31とダウンターミネーター33とが分離してそれぞれ駆動されるターミネーション回路である。本発明に適用されうるターミネーションのための回路を説明するため、図 1 にはトランスミッター(transmitter)回路10とレシーバー(receiver)回路20とターミネーター回路30が示されている。ここで、ターミネーター回路30はアップターミネーター31とダウンターミネーター33に区分されている。ターミネーター回路30はターミネーションのための回路であり、レシーバー回路20は入力バッファである。ターミネーター回路30は、特定コードで全てのトランジスタがオンまたはオフにトランジションしうる。この場合、回路を如何にデザインしても、図2aに示すように、トランジスタが全てオン(論理符号‘11111’)されるグリッチ(glitch)状態と、図2bに示すようにトランジスタの全てがオフ(論理符号‘00000’)されるグリッチ状態が存在する。

10

【 0 0 1 5 】

図2aは、ターミネーター回路が全てオントランジション(on transition)状態となるタイミングを含む動作図である。論理符号‘11111’の‘a’または‘b’区間において、‘ア’または‘イ’のようにトランジスタが全てオンされる状態では前記ターミネーター回路がオープンされたように見えるので、伝送される‘ハイ’信号が瞬間的に上方に飛ぶ現象(‘ロー’信号は下方に飛ぶ。即ち、信号の正常なスイング範囲の外側に信号が飛ぶ現象)が発生する。この信号は再びトランスミッター10回路に反射されて信号の歪曲を誘発させる。

20

【 0 0 1 6 】

図2bは、ターミネーター回路が全てオフトランジション(off transition)状態となるタイミングを含む動作図である。論理符号‘00000’の‘c’または‘d’区間において、‘ウ’または‘エ’のようにトランジスタが全てオフされる状態では前記ターミネーター回路が瞬間的に相対的に低いインピーダンスとなるので、伝送される‘ハイ’信号が瞬間的に下方に飛ぶ現象(‘ロー’信号は上方に飛ぶ。即ち、信号の正常なスイングレベルの内側に信号が飛ぶ現象)が発生する。この信号もやはり再びトランスミッター回路10に反射されて信号の歪曲を誘発させる。

30

【 0 0 1 7 】

図3aは図2aのようにターミネーター回路が全てオントランジション状態となったときのグリッチ信号波形を示した図であり、図3bは図2bのようにターミネーター回路が全てオフトランジション状態になったときのグリッチ信号波形を示した図である。

【 0 0 1 8 】

以上説明したように、図 1 によるターミネーション回路でインピーダンスのアップデートの際に発生する信号歪曲を最少化するインピーダンスアップデート装置を以下に説明する。

40

【 0 0 1 9 】

ターミネーション回路のインピーダンスアップデートの際のシステムノイズの発生は、インピーダンスアップデートを図 1 に示した本発明の好適な実施の形態のターミネーション回路のようにアップターミネーターとダウンターミネーターに分離することにより、ある程度解決することができる。なお、この場合においてもアップ/ダウン信号に従いノイズが発生しうる。しかし、このような問題も、ターミネーション回路のインピーダンスがトランスミッター回路のインピーダンスよりも大きいことを利用し、外部入力信号のレベル

50

に従ってアップ/ダウンターミネーター回路のインピーダンスアップデートを別々に行うことにより最少化することができる。

【 0 0 2 0 】

以下、本発明のより改善された好ましい実施の形態を図面を用いて詳しく説明する。なお、関連する図面において、同一の構成要素には同一の符号を付した。

図4a、図4bは、本発明の好適な実施の形態において、アップターミネーター回路とダウンターミネーター回路とでインピーダンスアップデートを分離して行うための概念図である。より詳しくは、図4aはアップターミネーター回路のインピーダンスアップデートの概念を示した回路構成図であり、図4bはダウンターミネーター回路のインピーダンスアップデートの概念を示した回路構成図である。

10

【 0 0 2 1 】

図4aに示すように、トランスミッター回路10が‘ハイ’信号を送るとき、トランスミッター回路10とターミネーター回路30に流れる電流を見ると、ターミネーター回路30のダウンドライブ側（抵抗NR2）に流れる電流I3が最も大きく、トランスミッター回路10の抵抗R1に流れる電流I1が二番目に大きく、ターミネーター回路30のアップドライブ側（抵抗NR1）に流れる電流I2が最も小さい。このとき、最少電流が流れる前記アップドライブ側のターミネーションインピーダンスをアップデートさせると、信号の歪曲を最少化することができる。ここで、記号‘N’は1よりも大きい実数を意味する。

【 0 0 2 2 】

反対に、図4bに示すように、トランスミッター回路10が‘ロー’信号を送るとき、トランスミッター回路10とターミネーター回路30に流れる電流を見ると、ターミネーター回路30のアップドライブ側（抵抗NR11）に流れる電流I21が最も大きく、前記トランスミッター回路10の抵抗R11に流れる電流I11が二番目に大きく、前記ターミネーター回路30のダウンドライブ側（抵抗NR21）に流れる電流I31が最も小さい。このときにも最少電流が流れる前記ダウンドライブ側のターミネーションインピーダンスをアップデートさせると、信号の歪曲を最少化することができる。ここで、記号‘N’は1よりも大きい実数を意味する。

20

【 0 0 2 3 】

即ち、本発明の好適な実施の形態では、アップドライブ側とダウンドライブ側のそれぞれに対するインピーダンスアップデートを実行する。そして、この際に、外部信号を用いてアップドライブまたはダウンドライブのうち最少電流が流れるドライブを検出した後、その検出結果に従って、最少電流が流れるドライブ側のインピーダンスを制御して信号の歪曲を最少化する。言い換えれば、本発明の好適な実施の形態では、アップドライブ及びダウンドライブのインピーダンスアップデートを個別的に実行する。そして、その際に、入力信号のレベルに従って最少電流の流れるドライブ側を判断して、最少電流が流れるドライブ側のインピーダンスアップデートを実行することにより、信号の歪曲を最少化する。

30

【 0 0 2 4 】

本発明に係るターミネーション回路のインピーダンスアップデート装置は、アップまたはダウンアップデートの個別制御を以下の三つの方法のいずれかにより実現することが好ましい。

40

【 0 0 2 5 】

第1の方法は、プログラム可能なインピーダンス制御器(PIC; Programmable Impedance Controller)で生成されたインピーダンスコードをホールドしながら、セットアップタイムにおいて前記外部入力信号のレベルに従い継続してアップまたはダウンアップデート制御信号を発生する方法である。

【 0 0 2 6 】

第2の方法は、ホールドタイム毎に外部入力信号のレベルに従い継続してアップまたはダウンアップデート制御信号を発生する方法である。

【 0 0 2 7 】

第3の方法は、周期的に発生されるアップ - アップデートイネーブル信号またはダウン

50

アップデイトイネーブル信号と外部の入力信号のレベルが所定条件に一致する場合のみにアップ アップデートまたはダウン アップデートを制御する制御信号を発生する方法である。

【0028】

まず、第1の方法、すなわちセットアップタイムにおいてアップデートする方法を適用した装置を本発明の第1実施例として図5及び図6を参照して説明する。図5は本発明の第1実施例の入力信号レベルによるターミネーション回路のインピーダンスアップデート装置の回路構成図であり、図6は図5に示す回路に備えられたインバータの特性を示した図である。

【0029】

図4に示した入力信号レベルによるターミネーション回路のインピーダンスアップデート装置の回路構成は以下の通りである。図中のパッドは図1に示したトランスミッター回路10の出力上に存在するものであり、前記パッドの出力にアップ ターミネーター31、ダウン ターミネーター33及びレシーバー20が連結されている。アップ ターミネーター31は静電圧源のVDDQと連結されている。アップ ターミネーター31は、プログラム可能なインピーダンスのアップ制御器(PIUC; Programmable Impedance Up Controller)からのインピーダンス情報を保持するラッチ41に連結されている。そして、ダウン ターミネーター33も、プログラム可能なインピーダンスのダウン制御器(PIDC; Programmable Impedance Down Controller)からのインピーダンス情報を保持するラッチ43に連結されている。

【0030】

前記パッドは、アップ ターミネーター31と連結されたラッチ41に連結されているインバーターIAとダウン ターミネーター33と連結されたラッチ43に連結されているインバーターIBとも連結されている。

【0031】

レシーバー20は比較器で構成され、基準電圧Vrefを用いる。

【0032】

インバーターIAとラッチ41はアップ アップデート制御部50を構成し、インバーターIBとラッチ43はダウン アップデート制御部60を構成する。アップ アップデート制御部50とダウン アップデート制御部60をアップデート個別制御部と総称することにする。

【0033】

以下、図5に示した本発明の第1実施例としての入力信号レベルによるターミネーション回路のインピーダンスアップデート装置の動作を説明する。一定サイクルでアップデートされるインピーダンス情報をプログラム可能なインピーダンス制御器PIUCまたはPIDCから受けて、前記パッド側の外部入力信号レベルに従って、それぞれラッチ41またはラッチ43で保持しながら、アップ側のラッチ41とダウン側のラッチ43によりアップ ターミネーター31またはダウン ターミネーター33のインピーダンスがアップデートされる。

【0034】

ここで、前記パッドに連結されたインバーターIA、IBの特性は図6に示す通りである。即ち、外部入力信号が十分に‘ハイ’となると、インバーターIAが遷移して、最少電流が流れるアップ ターミネーター31に対してアップデートされたインピーダンス情報を渡す。反対に、外部入力信号が十分に‘ロー’となると、インバーターIBが遷移して最少電流が流れるダウン ターミネーター33に対してアップデートされたインピーダンス情報を渡す。

【0035】

よって、外部入力信号のレベルに従ってインピーダンスのアップまたはダウンアップデートを個別的に継続して制御することができる。言い換えれば、アップデート個別制御部50,60は、外部入力信号のレベルを判断し、それに従って最少電流が流れるターミネーターへのアップまたはダウンインピーダンスアップデートをそれぞれ制御する制御信号(インピーダンス情報)を発生し、アップ ターミネーター31またはダウン ターミネーター33に伝達する。

【 0 0 3 6 】

アップ ターミネーター31は、アップ アップデート制御部50からアップインピーダンス アップデートを制御する制御信号としてのインピーダンス情報が印加されると、そのインピーダンス情報に従ってインピーダンスをアップデートする。ダウン ターミネーター33は、ダウンアップデート制御部60からダウンインピーダンスアップデートを制御する制御信号としてのインピーダンス情報が印加されると、そのインピーダンス情報に従ってインピーダンスをアップデートする。

【 0 0 3 7 】

次に、第2の方法、すなわちホールドタイム毎に外部入力信号のレベルに従って最少電流が流れるターミネーター回路のアップまたはダウンアップデート制御信号を継続して発生する方法を適用した装置を本発明の第2実施例として図7を参照して説明する。図7は、本発明の第2実施例としての入力信号レベルによるターミネーション回路のインピーダンスアップデート装置の回路構成図である。図7に示した入力信号レベルによるターミネーション回路のインピーダンスアップデート装置の回路構成は以下の通りである。

【 0 0 3 8 】

図中のパッドは図1に示したトランスミッター回路10の出力上に存在するパッドであり、前記パッドの出力にアップ ターミネーター31、ダウン ターミネーター33及びレシーバー20が連結されている。アップ ターミネーター31は、プログラム可能なインピーダンスのアップ制御器PIUCからのインピーダンス情報を保持するラッチ61に連結され、ダウン ターミネーター33はプログラム可能なインピーダンスのダウン制御器PIDCからのインピーダンス情報を保持するラッチ63に連結されている。

【 0 0 3 9 】

レシーバー20は比較器で構成され、基準電圧Vrefを用いる。レシーバー20の出力は入力バッファ70に連結されている。入力バッファ70の出力はラッチ61に連結され、入力バッファ70の出力の反転信号はラッチ63に連結される。入力バッファ70は比較器で構成され、内部クロック信号Klatchによって制御される。ここで、ラッチ61,63及び入力バッファ70はアップデート個別制御部80を構成する。

【 0 0 4 0 】

図7に示した本発明の第2実施例の入力信号レベルによるターミネーション回路のインピーダンスアップデート装置の動作を説明すると、一定サイクルでアップデートされたインピーダンス情報をプログラム可能なインピーダンス制御器PIUCまたはPIDCで受けて、それぞれラッチ61またはラッチ63で保持する。

【 0 0 4 1 】

前記パッドを通して入力される外部入力信号は、レシーバー20を経て入力バッファ70に入力される。入力バッファ70がその入力信号を内部クロック信号Klatchに従ってCMOSレベルでホールドしている間に、入力信号レベル（アップまたはダウン）に従って、すなわち、（入力信号レベルに従って）最少電流が流れるターミネーターがアップ側であるかダウン側であるかに応じて、PIUCまたはPIDCで受けてラッチ61または63に保持されたインピーダンス情報をアップ ターミネーター31またはダウン ターミネーター33に対してインピーダンス情報を伝達することによりインピーダンスのアップデートを実現する。

【 0 0 4 2 】

よって、内部クロック信号によって定められうるホールドタイム毎に外部入力信号のレベルに従って継続してアップまたはダウンアップデート制御信号を発生させて、インピーダンスのアップまたはダウンアップデートを個別的に制御し、これにより信号歪曲を防止することができる。

【 0 0 4 3 】

言い換えれば、アップデート個別制御部80は外部入力信号のレベルを判断して最小電流の流れるターミネーター回路のアップまたはダウンインピーダンスアップデートをそれぞれ制御する制御信号を発生してアップ ターミネーター31またはダウン ターミネーター33に伝達する。アップ ターミネーター31は、アップデート個別制御部80から前記アップイ

10

20

30

40

50

ンピーダンスアップデートを制御する制御信号としてのインピーダンス情報が印加されると、そのインピーダンス情報に従ってインピーダンスをアップデートする。ダウン ターミネーター33は、アップデート個別制御部80から前記ダウンインピーダンスアップデートを制御する制御信号としてのインピーダンス情報が印加されると、そのインピーダンス情報に従ってインピーダンスをアップデートする。

【0044】

最後に、第3の方法、すなわち周期的に発生されるアップ アップデートイネーブル信号またはダウン アップデートイネーブル信号と外部の入力信号のレベルが所定条件に一致する場合にのみアップ アップデートまたはダウン アップデートを制御する制御信号を発生する方法を適用した装置を図8及び図9を参照して本発明の第3実施例及び第4実施例として説明する。

10

【0045】

まず、図8は、本発明の第3実施例としての外部信号によるターミネーション回路のインピーダンスアップデート装置、より詳しくは、セットアップタイムごとに周期的に発生されるイネーブル信号と外部入力信号によるターミネーション回路のインピーダンスアップデート装置の回路構成図である。図8に示したターミネーション回路のインピーダンスアップデート装置の回路構成は以下の通りである。

【0046】

図中のパッドは図1に示したトランスミッター回路10の出力上に存在するパッドであり、前記パッドの出力にアップ ターミネーター31、ダウン ターミネーター33及びレシーバー20が連結されている。アップ ターミネーター31は静電圧源VDDQと連結されている。アップ ターミネーター31はプログラム可能なインピーダンスのアップ制御器PIUCからのインピーダンス情報を保持するラッチ91に連結され、ダウン ターミネーター33はプログラム可能なインピーダンスのダウン制御器PIDCからのインピーダンス情報を保持するラッチ93に連結されている。

20

【0047】

前記パッドは、インバーターIAとインバーターIBとにそれぞれ連結され、インバーターIAはNANDゲートNAND1の入力に連結され、インバーターIBはNANDゲートNAND2の入力に連結されている。NANDゲートNAND1の他の入力にはアップ アップデートイネーブル信号が連結され、出力がラッチ91に連結されている。そして、NANDゲートNAND2の他の入力にはダウン アップデートイネーブル信号が連結され、出力がラッチ93に連結されている。

30

【0048】

レシーバー20は比較器で構成され、基準電圧Vrefを用いる。

【0049】

インバーターIA、NAND1及びラッチ91は、アップ アップデート制御部90を構成し、インバーターIB、NAND2及びラッチ93は、ダウン アップデート制御部100を構成する。アップ アップデート制御部90とダウン アップデート制御部100をアップデート個別制御部と総称することにする。

【0050】

図8に示した本発明の第3実施例の外部入力信号とアップ アップデートイネーブル信号とダウン アップデートイネーブル信号によるターミネーション回路のインピーダンスアップデート装置は、図5に示したターミネーション回路のインピーダンスアップデート装置が外部入力信号に従い継続してアップデートされなければならないという点を補完した装置である。

40

【0051】

すなわち、この装置は、チップ内で一定した間隔のアップ アップデートイネーブル信号とダウン アップデートイネーブル信号を発生させて、この信号がアクティブレベルで外部信号が所定レベルであるときのみアップデートを実行することにより、継続してアップデートを実行する。これにより、システムに与える負荷を減少させることができる。

【0052】

50

さらに言い換えれば、アップデート個別制御部90,100は外部入力信号のレベルを判断してアップまたはダウンインピーダンスアップデートをそれぞれ制御する制御信号を発生してアップターミネーター31またはダウンターミネーター33に伝達する。アップターミネーター31は、アップアップデート制御部90からアップインピーダンスアップデートを制御する制御信号としてのインピーダンス情報が印加されると、そのインピーダンス情報に従ってインピーダンスをアップデートする。ダウンターミネーター33は、ダウンアップデート制御部100からダウンインピーダンスアップデートを制御する制御信号としてのインピーダンス情報が印加されると、そのインピーダンス情報に従ってインピーダンスをアップデートする。

【0053】

最後に、図9は、本発明の第4実施例の外部信号によるターミネーション回路のインピーダンスアップデート装置、より詳しくは、ホールドタイムごとに周期的に発生されるイネーブル信号と外部入力信号によるターミネーション回路のインピーダンスアップデート装置の回路構成図である。この装置の回路構成は以下の通りである。

【0054】

パッドは図1に示したトランスミッター回路10の出力上に存在するパッドであり、前記パッドの出力にアップターミネーター31、ダウンターミネーター33及びレシーバー20が連結されている。アップターミネーター31はプログラム可能なインピーダンスのアップ制御器PIUCからのインピーダンス情報を保持するラッチ111に連結され、ダウンターミネーター33はプログラム可能なインピーダンスのダウン制御器PIDCからのインピーダンス情報を保持するラッチ113に連結されている。

【0055】

レシーバー20は比較器で構成され、基準電圧Vrefを用いる。レシーバー20の出力は入力バッファ120に連結され、入力バッファ120の出力はNANDゲートNAND11の入力及びANDゲートAND21の入力に連結されている。NANDゲートNAND11の他の入力にはアップアップデートイネーブル信号が連結され、出力がラッチ111に連結されている。そして、ANDゲートAND21の他の入力にはダウンアップデートイネーブル信号が連結され、出力がラッチ113に連結されている。入力バッファ120は比較器で構成され、クロック入力端子が内部クロック信号Klatchに連結されている。ここで、ラッチ111、ラッチ113、NAND11、AND21及び入力バッファ120は、アップデート個別制御部130を構成する。

【0056】

図9に示した本発明の第4実施例の外部信号によるターミネーション回路のインピーダンスアップデート装置の動作も図8に示したターミネーション回路のインピーダンスアップデート装置と類似した動作をする。具体的には、チップ内で一定した間隔のアップアップデートイネーブル信号とダウンアップデートイネーブル信号を発生させて、この信号がアクティブレベルで外部信号が所定レベルであるときにのみインピーダンスアップデートをアップ/ダウン個別的に制御し、システムに与える負荷を減少させる。

【0057】

言い換えれば、アップデート個別制御部130は外部入力信号のレベルを判断してアップまたはダウンインピーダンスアップデートをそれぞれ制御する制御信号を発生してアップターミネーター31またはダウンターミネーター33に伝達する。アップターミネーター31は、アップデート個別制御部130から前記アップインピーダンスアップデートを制御する制御信号としてのインピーダンス情報が印加されると、そのインピーダンス情報に従ってインピーダンスをアップデートする。ダウンターミネーター33は、アップデート個別制御部130から前記ダウンインピーダンスアップデートを制御する制御信号としてのインピーダンス情報が印加されると、そのインピーダンス情報に従ってインピーダンスをアップデートする。

【0058】

このような本発明の好ましい実施例は、ターミネーター回路20をアップターミネーター31とダウンターミネーター33に区分し、トランスミッター回路10から入力される外部入力信

10

20

30

40

50

号のレベルに従い前記アップまたはダウンターミネーターのうち電流が一番少なく流れるターミネーター側のインピーダンスをアップデートするアップデート方法を適用したものである。

【0059】

従って、本発明の好ましい実施例では、ターミネーション回路のインピーダンスアップデートの制御において、アップまたはダウンターミネーターのうち外部入力信号を用いて最少電流の流れるターミネーターを検出し、最少電流が流れるターミネーターのインピーダンスアップデートを行うことにより、アップ/ダウンターミネーターのインピーダンスアップデートを個別的に制御する。

【0060】

本発明は、上記の実施例以外の装置によっても実施することができる。例えば、アップ/ダウンターミネーターにそれぞれ電流比較器を連結して、両ターミネーターのうち小さい電流が流れるターミネーターを感知して、これに従ってアップまたはダウンターミネーターのそれぞれに対してインピーダンスアップデートを実行することもできる。なお、ここではその具体的な回路は省略する。

【0061】

一方、本発明の詳細な説明では具体的な実施例を例示的に挙げて説明したが、本発明の技術的思想を逸脱しない範囲で様々な変形が可能であることは勿論である。従って、本発明の技術的範囲は、上記の実施例によって限定解釈されるべきものではなく、特許請求の範囲に基づいて解釈されるべきであり、また、特許請求の範囲に記載された発明と均等な範囲にも保護範囲が及ぶものと解釈されるべきである。

【0062】

【発明の効果】

以上説明したように本発明によれば、例えば、ターミネーション回路のインピーダンスアップデートをアップまたはダウン別に個別的に制御することによりシステムノイズの発生を減少させることができるという効果がある。

【0063】

また、本発明によれば、例えば、ターミネーション回路のインピーダンスアップデートをアップ及びダウンに分離して制御し、セットアップタイム及びホールドタイムのように、特定時間にもみ又は周期的にのみインピーダンスアップデートを行うことにより、システムノイズの発生を最少にしながらシステム負荷を減少させることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の好適な実施の形態のターミネーションのための回路を示した図である。

【図2a】ターミネーター回路が全てオントランジション状態の動作図である。

【図2b】ターミネーター回路が全てオフトランジション状態の動作図である。

【図3a】図2aのようにターミネーター回路が全てオントランジション状態におけるグリッチ信号波形を示した図である。

【図3b】図2bのようにターミネーター回路が全てオフトランジション状態におけるグリッチ信号波形を示した図である。

【図4a】アップ/ダウンターミネーター回路のインピーダンスアップデートを分離して行う発明を適用したアップターミネーター回路のインピーダンスアップデート概念を示した回路構成図である。

【図4b】アップ/ダウンターミネーター回路のインピーダンスアップデートを分離して行う発明を適用したダウンターミネーター回路のインピーダンスアップデート概念を示した回路構成図である。

【図5】本発明の第1実施例としての入力信号レベルによるターミネーション回路のインピーダンスアップデート装置の回路構成図である。

【図6】図5に具備されるインバータ特性を示した図である。

【図7】本発明の第2実施例としての入力信号レベルによるターミネーション回路のイン

10

20

30

40

50

ピーダンスアップデート装置の回路構成図である。

【図 8】本発明の第 3 実施例としての外部信号によるターミネーション回路のインピーダンスアップデート装置の回路構成図である。

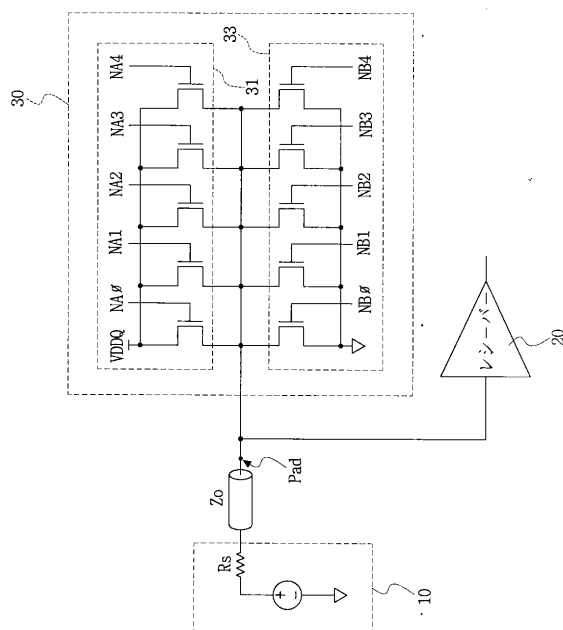
【図 9】本発明の第 4 実施例としての外部信号によるターミネーション回路のインピーダンスアップデート装置の回路構成図である。

【符号の説明】

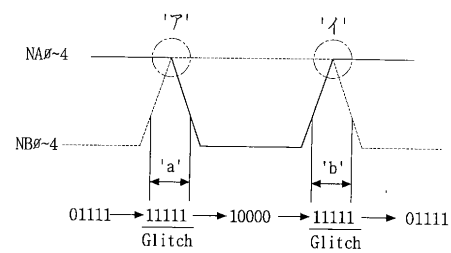
- 10：トランスミッター回路
- 20：レシーバー回路
- 30：ターミネーター回路
- 31：アップ ターミネーター
- 33：ダウン ターミネーター
- 50,90：アップ アップデート制御部
- 60,100：ダウン アップデート制御部
- 70,120：入力バッファ
- 80,130：アップデート個別制御部

10

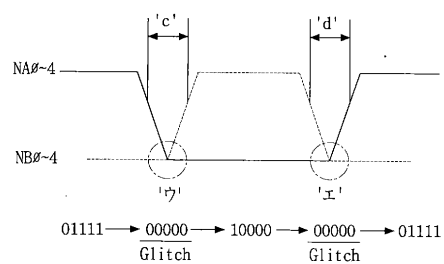
【図 1】



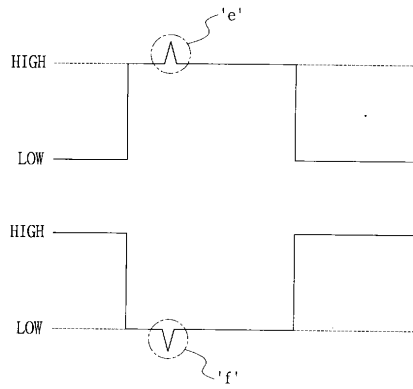
【図 2 a】



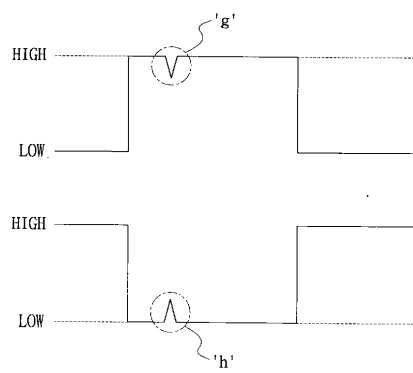
【図 2 b】



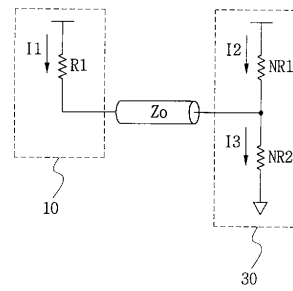
【図 3 a】



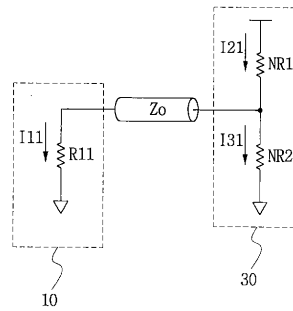
【図 3 b】



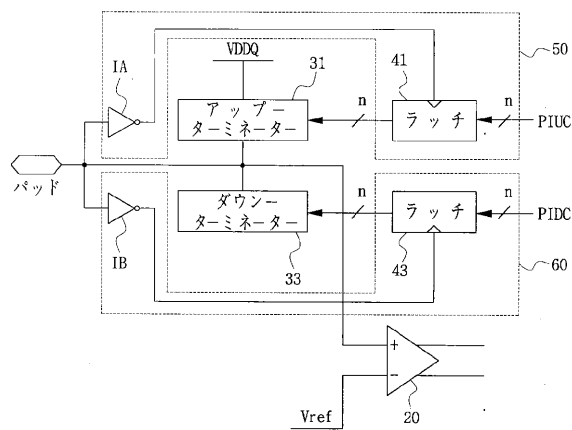
【図 4 a】



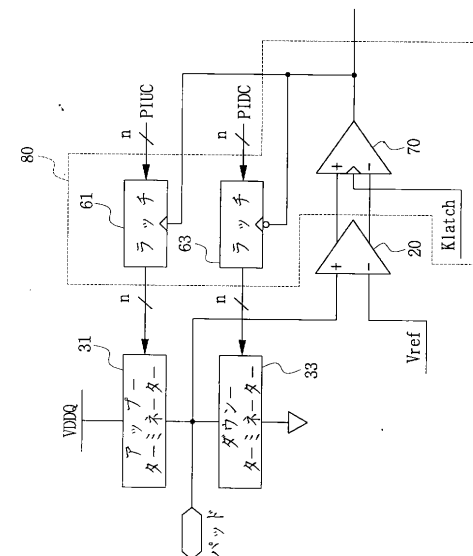
【図 4 b】



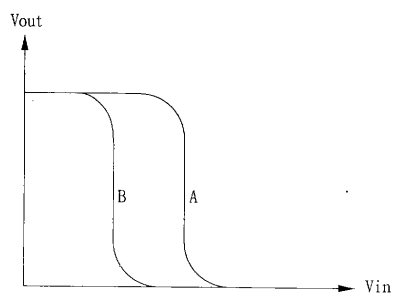
【図 5】



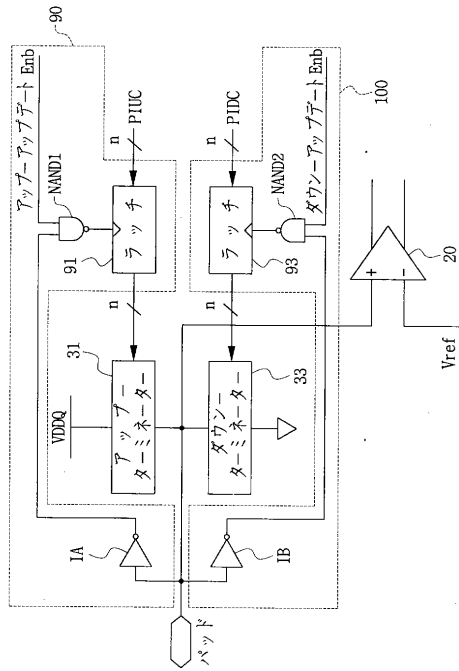
【図 7】



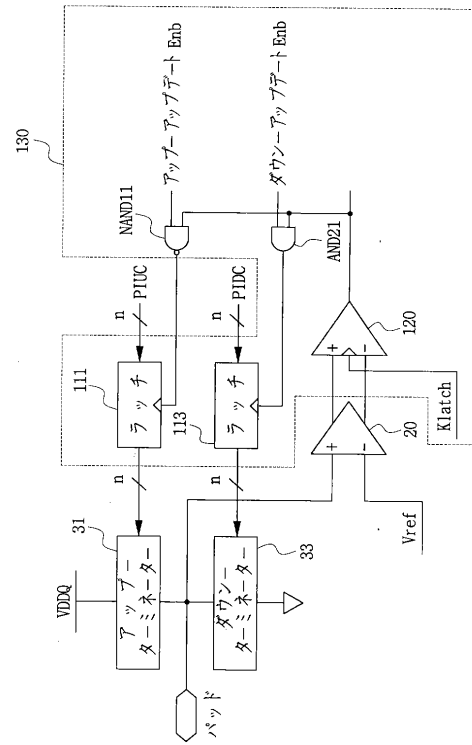
【図 6】



【図 8】



【図 9】



フロントページの続き

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 金南錫

大韓民国ソウル城北区長位1洞212番地101号

(72)発明者 趙郁來

大韓民国京畿道水原市八達区梅灘3洞1162番地林光アパート10-1502号

審査官 小曳 満昭

(56)参考文献 特開平11-330944(JP,A)

特開平08-195775(JP,A)

特開平06-125261(JP,A)

特開平11-027132(JP,A)

特開平07-245543(JP,A)

特開平06-260922(JP,A)

特開2001-024497(JP,A)

特開2000-151384(JP,A)

特開平06-291639(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 25/00-25/66

G06F 3/00

H03K 19/0175