

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 22 日(22.11.2012)



(10) 国際公開番号
WO 2012/157223 A1

- (51) 国際特許分類:
H01L 29/861 (2006.01) H01L 29/06 (2006.01)
H01L 21/329 (2006.01) H01L 29/868 (2006.01)
- (21) 国際出願番号: PCT/JP2012/003065
- (22) 国際出願日: 2012 年 5 月 10 日(10.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-108485 2011 年 5 月 13 日(13.05.2011) JP
特願 2012-088455 2012 年 4 月 9 日(09.04.2012) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地 Aichi (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 鈴木 隆司 (SUZUKI, Takashi) [JP/JP]; 〒4801192 愛知県長久手市横道 4 1 番地の 1 株式会社豊田中央研究所内 Aichi (JP). 戸倉 規仁(TOKURA, Norihito) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP). 白木 聡(SHIRAKI, Satoshi) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1

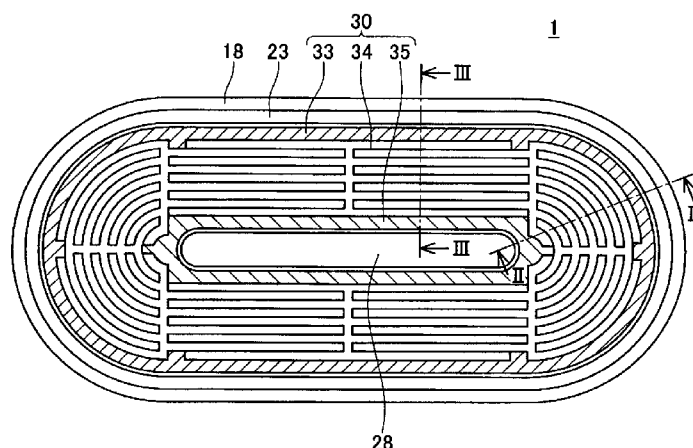
- 丁目 1 番地株式会社デンソー内 Aichi (JP). 高橋 茂樹(TAKAHASHI, Shigeki) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP). 芦田 洋一(ASHIDA, Youichi) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP). 山田 明(YAMADA, Akira) [JP/JP]; 〒4488661 愛知県刈谷市昭和町 1 丁目 1 番地株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦 2 丁目 1 3 番 1 9 号 瀧定ビル 6 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

[続葉有]

(54) Title: LATERAL SEMICONDUCTOR DEVICE

(54) 発明の名称: 横型半導体装置

【図1】



(57) Abstract: This lateral semiconductor device (1) is provided with a semiconductor layer (16), an insulating layer (37), and a resistant field plate (30). The semiconductor layer (16) has a first semiconductor region (28) at the surface layer thereof, and a second semiconductor region (23) that wraps once around the periphery of the first semiconductor region (28). The insulating layer (37) is provided to the surface of the semiconductor layer (16), and is disposed between the first and second semiconductor regions (28, 23). The resistant field plate (30) is provided to the surface of the insulating layer (37). A first portion and second portion that are adjacent along the periphery of the first semiconductor region (28) in the peripheral direction are present between the first and second semiconductor regions (28, 23). The resistant field plate (30) has a first and second resistant field plate section (34) provided respectively to the first and second portions, and the first and second resistant field plate sections (34) are separated from each other.

(57) 要約:

[続葉有]



WO 2012/157223 A1



MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラ
シア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッ
パ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,
MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

横型半導体装置 (1) は、半導体層 (16) と絶縁層 (37) と抵抗性フィールドプレート (30) を備えている。前記半導体層 (16) は、表層部に第 1 半導体領域 (28) と前記第 1 半導体領域 (28) の周囲を一巡している第 2 半導体領域 (23) を有している。前記絶縁層 (37) は、前記半導体層 (16) の表面に設けられており、前記第 1、第 2 半導体領域 (28、23) の間に配置されている。抵抗性フィールドプレート (30) は、前記絶縁層 (37) の表面に設けられている。前記第 1、第 2 半導体領域 (28、23) の間には、前記第 1 半導体領域 (28) の周囲を周方向に沿って隣り合う第 1 部分と第 2 部分が存在する。前記抵抗性フィールドプレート (30) は前記第 1、第 2 部分にそれぞれ設けられた第 1、第 2 抵抗性フィールドプレート部 (34) を有しており、前記第 1、第 2 抵抗性フィールドプレート部 (34) は互いに離れている。

明 細 書

発明の名称：横型半導体装置

関連出願の相互参照

[0001] 本開示は、2011年5月13日に出願された日本出願番号2011-108485号と、2012年4月9日に出願された日本出願番号2012-88455号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本発明は、抵抗性フィールドプレートを備えた横型半導体装置に関する。

背景技術

[0003] 横型半導体装置は、例えばSilicon on Insulator (SOI) 基板を利用して形成されている。横型半導体装置の一例に、横型ダイオードが知られている。横型ダイオードの半導体層の表面部には、カソード領域とアノード領域が形成されている。アノード領域は、カソード領域の周囲を一巡して配置されている。

[0004] 横型ダイオードはさらに、Local Oxidation of Silicon (LOCOS) 膜と抵抗性フィールドプレートを備えている。LOCOS膜は、半導体層の表面に設けられており、カソード領域とアノード領域の間に配置されている。抵抗性フィールドプレートは、LOCOS膜の表面に設けられている。抵抗性フィールドプレートの一端は、カソード領域に電氣的に接続されており、抵抗性フィールドプレートの他端は、アノード領域に電氣的に接続されている。抵抗性フィールドプレートには微小電流が流れており、これにより、カソード領域とアノード領域の間に存在する半導体層の表面の電位分布が均一化され、半導体層の表面電界を緩和することができる。

[0005] 特許文献1に示されるように、このような抵抗性フィールドプレートは、平面視したときに、カソード領域とアノード領域の間に渦巻状又は同心円状に構成された抵抗性フィールドプレート部を有している。

先行技術文献

特許文献

[0006] 特許文献1：特開2000-22175号公報

発明の概要

[0007] 本開示の目的は、抵抗性フィールドプレート部のレイアウトの自由度を高めることができる横型半導体装置を提供することである。

[0008] 本開示の一態様に係る横型半導体装置は、半導体層と絶縁層と抵抗性フィールドプレートを備えている。半導体層は、第1半導体領域と第2半導体領域を有している。第1半導体領域は、半導体層の表面部に設けられている。第2半導体領域は、半導体層の表面部に設けられており、第1半導体領域の周囲を一巡している。絶縁層は、半導体層の表面に設けられており、第1半導体領域と第2半導体領域の間に配置されている。抵抗性フィールドプレートは、絶縁層の表面に設けられている。抵抗性フィールドプレートの一端は第1半導体領域に電氣的に接続されており、抵抗性フィールドプレートの他端は第2半導体領域に電氣的に接続されている。平面視したときに、第1半導体領域と第2半導体領域の間には、第1半導体領域の周囲を周方向に沿って隣り合う第1部分と第2部分が存在している。抵抗性フィールドプレートは、第1抵抗性フィールドプレート部と第2抵抗性フィールドプレート部とを有している。第1抵抗性フィールドプレート部は、第1部分に設けられており、前記周方向に沿って往復を繰返している。第2抵抗性フィールドプレート部は、第2部分に設けられており、前記周方向に沿って往復を繰返している。第1部分に設けられている第1抵抗性フィールドプレート部と第2部分に設けられている第2抵抗性フィールドプレート部は離れている。上記態様の横型半導体装置によると、第1部分の第1抵抗性フィールドプレート部と第2部分の第2抵抗性フィールドプレート部に異なるレイアウトを採用することができる。

図面の簡単な説明

[0009] 本発明における上記あるいは他の目的、構成、利点は、下記の図面を参照しながら、以下の詳細説明から、より明白となる。図面において、

[図1]図1は、本開示の実施例による横型ダイオードを示す平面図であり、
[図2]図2は、図1のII-II線における横型ダイオードの断面図であり、
[図3]図3は、図1のIII-III線における横型ダイオードの断面図であり、
[図4]図4は、横型ダイオードのコーナー部分と直線部分を示す図であり、
[図5]図5は、第1変形例による横型ダイオードを示す図であり、
[図6]図6は、第2変形例による横型ダイオードの直線部分CとDの境界を示す図であり、
[図7]図7は、第3変形例による横型ダイオードの直線部分CとDの境界を示す図であり、
[図8]図8は、第4変形例による横型ダイオードの中間抵抗性フィールドプレートを構成する各部分の抵抗値の概念を示す図であり、
[図9]図9は、第5変形例による横型ダイオードの各部分に設けられている中間抵抗性フィールドプレートの抵抗値の概念を示す図である。

発明を実施するための形態

- [0010] 本出願の発明者は、従来の横型半導体装置において、以下の点を見出した。平面視したときに、カソード領域とアノード領域の間の範囲は、レーストラック状の形態を有している。このため、カソード領域とアノード領域の間の領域は、周方向に沿って一様な形態ではなく、コーナー部分、直線部分等が含まれている。通常、コーナー部分に対応する半導体層には、電界が集中し易いことが知られている。したがって、コーナー部分に対応する半導体層では、径方向の長さを直線部分よりも長くすることが望まれる。
- [0011] しかしながら、渦巻き状又は同心円状の抵抗性フィールドプレート部は、カソード領域とアノード領域の間を周方向に一巡していることから、コーナー部分と直線部分で異なるレイアウトを採用することが難しい。このため、コーナー部分と直線部分を比較すると、コーナー部分に設けられる抵抗性フィールドプレート部は、カソード領域とアノード領域の間の長さに対して相対的に少なく配置されることとなる。なお、仮に、コーナー部分と直線部分に異なるレイアウトを採用しても、コーナー部分と直線部分の抵抗性フィー

ルドプレート部が接触している限り、その接触部位を介して双方に微小電流が流れることから、少なからずも影響を受けることになる。このような影響を考慮すると、コーナー部分と直線部分に最適ではない妥協したレイアウトを採用せざるを得ない。本出願の発明者は上記点に注目して本発明を創造した。

[0012] 本開示の下記実施例に係る横型半導体装置は、支持層と埋込み絶縁層と活性層が積層した積層基板に形成されている。積層基板は、SOI基板であるのが望ましい。また、前記横型半導体装置は、活性層を一巡する絶縁分離トレンチで囲まれる島領域に形成されている。横型半導体装置は、半導体層に形成される半導体構造を備える。半導体構造は、複数種類の半導体領域で構成されており、半導体層を流れる電流を制御する。半導体構造には、ダイオード構造、絶縁ゲートバイポーラトランジスタ（IGBT）構造、金属酸化膜半導体電界効果トランジスタ（MOSFET）構造等が用いられる。ダイオード構造の場合、第1半導体領域がn型のカソード領域であり、第2半導体領域がp型のアノード領域である。IGBTの場合、第1半導体領域がp型のコレクタ領域であり、第2半導体領域がn型のエミッタ領域である。MOSFETの場合、第1半導体領域がn型のドレイン領域であり、第2半導体領域がn型のソース領域である。

[0013] 図1～図3に示されるように、本開示の実施例にかかる横型のダイオード1は、n型又はp型の支持層12と埋込み絶縁層14とn型の活性層16が積層したSOI基板10に形成されている。図1に示されるように、ダイオード1は、絶縁分離トレンチ18で囲まれた活性層16の島領域内に形成されている。絶縁分離トレンチ18は、活性層16の表面から活性層16を貫通して埋込み絶縁層14まで達している。絶縁分離トレンチ18は、平面視したときに活性層16の一部を一巡している。一例では、支持層12と活性層16の材料には単結晶シリコンが用いられており、埋込み絶縁層14の材料には酸化シリコンが用いられている。

[0014] ダイオード1は、n型のカソード領域28とp型のアノード領域23とn

一型のドリフト領域 26 を備えている。カソード領域 28 とアノード領域 23 とドリフト領域 26 はダイオード構造を構成しており、活性層 16 を横方向に流れる電流を制御する。具体的には、カソード領域 28 とアノード領域 23 の間に順バイアスが印加されたときに（アノード領域 23 が高圧側に接続されたときに）、カソード領域 28 とアノード領域 23 の間に電流を導通させる。一方、カソード領域 28 とアノード領域 23 の間に逆バイアスが印加されたときに（カソード領域 28 が高圧側に接続されたときに）、カソード領域 28 とアノード領域 23 の間を非導通とする。

[0015] 図 1 に示されるように、カソード領域 28 は、島領域の中央部に配置されており、一方向に長く伸びて形成されている。カソード領域 28 は、例えばイオン注入技術を利用して、活性層 16 の表面部にリンイオンを注入して形成することができる。なお、この例ではカソード領域 28 が 1 つの拡散領域で形成されているが、この例に代えて、カソード領域 28 が一方向に分散した状態で形成されていてもよい。また、カソード領域 28 に接するように、 $p+$ 型の領域を部分的に形成してもよい。

[0016] アノード領域 23 は、島領域の周辺部に配置されており、絶縁分離トレンチ 18 に接しながらカソード領域 28 の周囲を一巡して形成されている。アノード領域 23 は、高濃度アノード領域 22 と低濃度アノード領域 24 を有している。低濃度アノード領域 24 は、高濃度アノード領域 22 よりも深く形成されており、高濃度アノード領域 22 を取り囲んでいる。なお、高濃度アノード領域 22 と低濃度アノード領域 24 の形態はこの例に限られない。例えば、高濃度アノード領域 22 の面積がより小さく形成され、低濃度アノード領域 24 の一部がアノード電極 32 と接するような形態でもよい。また、低濃度アノード領域 24 の深さを部分的に変えたような形態でもよい。アノード領域 23 は、例えばイオン注入技術を利用して、活性層 16 の表面部にボロンイオンを注入して形成することができる。

[0017] ドリフト領域 26 は、カソード領域 28 とアノード領域 23 の間に形成されている。ドリフト領域 26 は、活性層 16 にカソード領域 28 とアノード

領域 2 3 を形成した残部である。ドリフト領域 2 6 には、必要に応じて、高耐圧化のための半導体領域（例えば、リサーフ領域）が形成されていてもよい。

[0018] ダイオード 1 はさらに、活性層 1 6 の表面に設けられているカソード電極 3 6 とアノード電極 3 2 と Local Oxidation of Silicon (LOCOS) 膜 3 7 と抵抗性フィールドプレート 3 0 を備えている。

[0019] カソード電極 3 6 は、島領域の中央部に配置されており、カソード領域 2 8 に直接的に接触している。アノード電極 3 2 は、島領域の周辺部に配置されており、アノード領域 2 3 に直接的に接触している。

[0020] LOCOS 膜 3 7 は、活性層 1 6 の表面に設けられており、カソード領域 2 8 とアノード領域 2 3 の間に配置されている。LOCOS 膜 3 7 は、ドリフト領域 2 6 上に設けられている。LOCOS 膜 3 7 の材料には、例えば酸化シリコンが用いられている。

[0021] 抵抗性フィールドプレート 3 0 は、LOCOS 膜 3 7 の表面に設けられており、内周側抵抗性フィールドプレート部 3 5 と中間抵抗性フィールドプレート部 3 4 と外周側抵抗性フィールドプレート部 3 3 を有している。内周側抵抗性フィールドプレート部 3 5 は、島状領域の中央部を一巡するように配置されており、カソード電極 3 6 を介してカソード領域 2 8 に電氣的に接続されている。外周側抵抗性フィールドプレート部 3 3 は、島状領域の周辺部を一巡するように配置されており、アノード電極 3 2 を介してアノード領域 2 3 に接続されている。中間抵抗性フィールドプレート部 3 4 は、内周側抵抗性フィールドプレート部 3 5 と外周側抵抗性フィールドプレート部 3 3 の双方に接続されている。

[0022] 図 1 及び図 4 に示されるように、平面視したときに、カソード領域 2 8 とアノード領域 2 3 の間は、レーストラック状の形態を有している。図 4 に示されるように、このレーストラック状の形態は、コーナー部分 A, B, E, F と、直線部分 C, D, G, H を含む。

[0023] 図 1 及び図 4 に示されるように、各部分 A ~ H に形成されている中間抵抗

性フィールドプレート部 3 4 はそれぞれ、一方の端部が内周側抵抗性フィールドプレート部 3 5 に接触しており、他方の端部が外周側抵抗性フィールドプレート部 3 3 に接触している。また、各部分 A～H に設けられた中間抵抗性フィールドプレート部 3 4 は、隣接する部分に設けられた中間抵抗性フィールドプレート部 3 4 から離れている。

[0024] コーナー部分 A, B, E, F に形成される中間抵抗性フィールドプレート部 3 4 は、カソード領域 2 8 とアノード領域 2 3 の間において、カソード領域 2 8 の周方向に沿って往復を繰り返して形成されている。この例では、中間抵抗性フィールドプレート部 3 4 が、カソード領域 2 8 とアノード領域 2 3 の間で 5 往復している。また、カソード領域 2 8 とアノード領域 2 3 を結ぶ方向で観測したときに、隣り合う中間抵抗性フィールドプレート部 3 4 間の長さは一定であり、特定の値に固定されている。

[0025] 直線部分 C, D, G, H に形成される中間抵抗性フィールドプレート部 3 4 は、カソード領域 2 8 とアノード領域 2 3 の間において、カソード領域 2 8 の周方向に沿って往復を繰り返して形成されている。この例では、中間抵抗性フィールドプレート部 3 4 が、カソード領域 2 8 とアノード領域 2 3 の間で 4 往復している。また、カソード領域 2 8 とアノード領域 2 3 を結ぶ方向で観測したときに、隣り合う中間抵抗性フィールドプレート部 3 4 間の長さは一定であり、特定の値に固定されている。なお、コーナー部分 A, B, E, F においてカソード領域 2 8 とアノード領域 2 3 を結ぶ方向で観測したときに隣り合う中間抵抗性フィールドプレート部 3 4 間の長さとは直線部分 C, D, G, H においてカソード領域 2 8 とアノード領域 2 3 を結ぶ方向で観測したときに隣り合う中間抵抗性フィールドプレート部 3 4 間の長さは同一である。

[0026] 図 2 は、コーナー部分 A, B, E, F に形成される中間抵抗性フィールドプレート部 3 4 の例を示している。図 3 は、直線部分 C, D, G, H に形成される中間抵抗性フィールドプレート部 3 4 の例を示している。コーナー部分 A, B, E, F に対応するドリフト領域 2 6 は、電界が集中し易い。この

ため、ドリフト領域 26 の横方向の長さ（つまり、カソード領域 28 とアノード領域 23 の間の長さ）は、直線部分 C, D, G, H よりもコーナ部分 A, B, E, F の方が長い。上記したように、コーナ部分 A, B, E, F に形成される中間抵抗性フィールドプレート部 34 は、直線部分 C, D, G, H に形成される中間抵抗性フィールドプレート部 34 よりも往復回数が多く形成されている。このため、コーナ部分 A, B, E, F と直線部分 C, D, G, H のいずれにおいても、ドリフト領域 26 の上方には、その全部分に亘って一様に中間抵抗性フィールドプレート部 34 が形成されている。すなわち、ドリフト領域 26 の横方向の長さに対する中間抵抗性フィールドプレート部 34 の配置間隔が、コーナ部分 A, B, E, F と直線部分 C, D, G, H で同一である。したがって、コーナ部分 A, B, E, F と直線部分 C, D, G, H のいずれにおいても、ドリフト領域 26 の表面電界が緩和されており、高耐圧なダイオード 1 が具現化される。

[0027] 図 5 に、本実施例の第 1 変形例に係るダイオード 1 を示す。このダイオード 1 は、隣り合う中間抵抗性フィールドプレート部 34 間に高抵抗な半導体領域 38 が形成されている。このダイオード 1 では、抵抗性フィールドプレート 30 と半導体領域 38 が、イオン注入技術を利用して形成されることを特徴としている。具体的には、LOCOS 膜 37 の表面に高抵抗半導体層を形成した後に、抵抗性フィールドプレート 30 の形成部分に対応して開口を有するマスクをパターンニングする。次に、その開口を介して高抵抗半導体層に不純物を導入し、抵抗性フィールドプレート 30 の形成部分に対して選択的に不純物を導入する。その後に、アニール処理を実施することで、抵抗性フィールドプレート 30 と半導体領域 38 を作り分けることができる。この製造方法を利用すると、エッチング技術を利用する必要がないので、加工バラツキを抑えることができる。

[0028] 図 6 は、本実施例の第 2 変形例による横型ダイオード 1 の直線部分 C と D の境界を示す図である。図 6 に示されるように、直線部分 C の中間抵抗性フィールドプレート部 34 は、直線部分 D に向けて突出する突出部 34 a を有

している。同様に、直線部分Dの中間抵抗性フィールドプレート部34も、直線部分Cに向けて突出する突出部34aを有している。これにより、直線部分CとDの間において、突出部34aがアノード・カソード間方向（図6の上下方向）に繰り返し設けられている。図7は、本実施例の第3変形例による横型ダイオード1の直線部分CとDの境界を示す図である。突出部34aは、図7に示すように階段状であってもよい。第2、第3変形例のように突出部34aが設けられていると、直線部分CとDの境界部分において、中間抵抗性フィールドプレート部34が存在しない空白部分が存在しない。このため、直線部分CとDの境界部分においても、ドリフト領域26の表面電界が緩和されており、高耐圧なダイオード1が具現化される。なお、図6及び図7では、直線部分CとDの境界部分を例示したが、当然に、他の部分の間にも同様な構造が設けられているのが望ましい。

[0029] 図8は、本実施例の第4変形例による横型ダイオード1の中間抵抗性フィールドプレート部34を構成する各部分の抵抗値の概念を示す図である。中間抵抗性フィールドプレート部34は、周方向に沿って伸びる複数の部分（以下、円弧部分という）によって構成されている。最もカソード側（最内周側）の円弧部分の抵抗値を R_1 とし、最もアノード側（最外周側）の円弧部分の抵抗値を R_N とする。コーナー部分A、B、E、Fに形成されている中間抵抗性フィールドプレート部34では、円弧部分の周方向の長さがカソード側からアノード側に向けて増加する。このため、中間抵抗性フィールドプレート部34の幅が一定であると、 $R_1 < R_2 < R_3 < \dots < R_N$ の関係が成立する。ダイオード1では、中間抵抗性フィールドプレート部34の幅をカソード側（最内周側）からアノード側（最外周側）に向けて増加させ、 $R_1 = R_2 = R_3 = \dots = R_N$ の関係が成立するように構成されている。これにより、ドリフト領域26の表面電位分布は、アノード・カソード間方向において均一化され、表面電界が緩和される。

[0030] 図9は、本実施例の第5変形例による横型ダイオード1の各部分に設けられている中間抵抗性フィールドプレート部34の抵抗値の概念を示す図であ

る。各部分 A～H に形成されている中間抵抗性フィールドプレート部 34 は、内周側抵抗性フィールドプレート部 35 と外周側抵抗性フィールドプレート部 33 の間において並列に接続されている。コーナー部分 A に形成されている中間抵抗性フィールドプレート部 34 の抵抗値が R_a であり、直線部分 H に形成されている中間抵抗性フィールドプレート部 34 の抵抗値が R_h である。ダイオード 1 では、コーナー部分 A, B, E, F と直線部分 C, D, G, H において中間抵抗性フィールドプレート部 34 のレイアウトが異なるけれども、 $R_a = R_b = \dots = R_h$ の関係が成立するように構成されている。これにより、各中間抵抗性フィールドプレート部 34 に流れる電流値が同じになり、電流の偏りが抑えられ、ドリフト領域 26 の表面電界が緩和され、高耐圧なダイオード 1 が具現化される。

[0031] なお、上記実施例において、活性化層 16 が半導体層の一例であり、カソード領域が第 1 半導体領域の一例であり、アノード領域が第 2 半導体領域の一例であり、LOCOS 膜 37 が絶縁層の一例である。また、部分 A～H のうち、隣りあう 2 つの部分がそれぞれ第 1 部分と第 2 部分の一例であり、第 1 部分に設けられた中間抵抗性フィールドプレート部 34 が第 1 抵抗性フィールドプレート部の一例であり、第 2 部分に設けられた中間抵抗性フィールドプレート部 34 が第 2 抵抗性フィールドプレート部の一例である。

[0032] 以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

[0033] 例えば、上記実施例では半導体材料にシリコンを用いたものを例示したが、この例に代えて、ワイドギャップ半導体を用いてもよい。

[0034] また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

請求の範囲

- [請求項1] 表面部に第1半導体領域(28)と、前記第1半導体領域の周囲を一巡している第2半導体領域(23)とを有する半導体層(16)と、
- 、
- 前記半導体層(16)の表面に設けられており、前記第1半導体領域(28)と前記第2半導体領域(23)の間に配置されている絶縁層(37)と、
- 前記絶縁層(37)の表面に設けられ、一端が前記第1半導体領域(28)に電氣的に接続されており、他端が前記第2半導体領域(23)に電氣的に接続されている抵抗性フィールドプレート(30)と、
- を備えた横型半導体装置であって、
- 平面視したときに、前記第1半導体領域(28)と前記第2半導体領域(23)の間には、前記第1半導体領域(28)の周囲を周方向に沿って隣り合う第1部分と第2部分が存在しており、
- 前記抵抗性フィールドプレート(30)は、前記第1部分に設けられており、前記周方向に沿って往復を繰返す第1抵抗性フィールドプレート部(34)と、前記第2部分に設けられており、前記周方向に沿って往復を繰返す第2抵抗性フィールドプレート部(34)と、を有しており、
- 前記第1部分に設けられている前記第1抵抗性フィールドプレート部(34)と前記第2部分に設けられている前記第2抵抗性フィールドプレート部(34)とが離れている横型半導体装置。
- [請求項2] 前記第1部分に設けられている前記第1抵抗性フィールドプレート部(34)の往復回数と前記第2部分に設けられている前記第2抵抗性フィールドプレート部(34)の往復回数が異なっている請求項1に記載の横型半導体装置。
- [請求項3] 平面視したときに、前記第1半導体領域(28)と前記第2半導体領域の間の領域(23)は、コーナー部分と直線部分を有しており、

前記第 1 部分は、前記コーナー部分に含まれており、

前記第 2 部分は、前記直線部分に含まれており、

前記第 1 部分に設けられている前記第 1 抵抗性フィールドプレート部（34）の往復回数は、前記第 2 部分に設けられている前記第 2 抵抗性フィールドプレート部（34）の往復回数よりも多い請求項 2 に記載の横型半導体装置。

[請求項4] 前記第 1 抵抗性フィールドプレート部（34）は、前記周方向に沿って伸びる各部分の抵抗値が略等しい請求項 3 に記載の横型半導体装置。

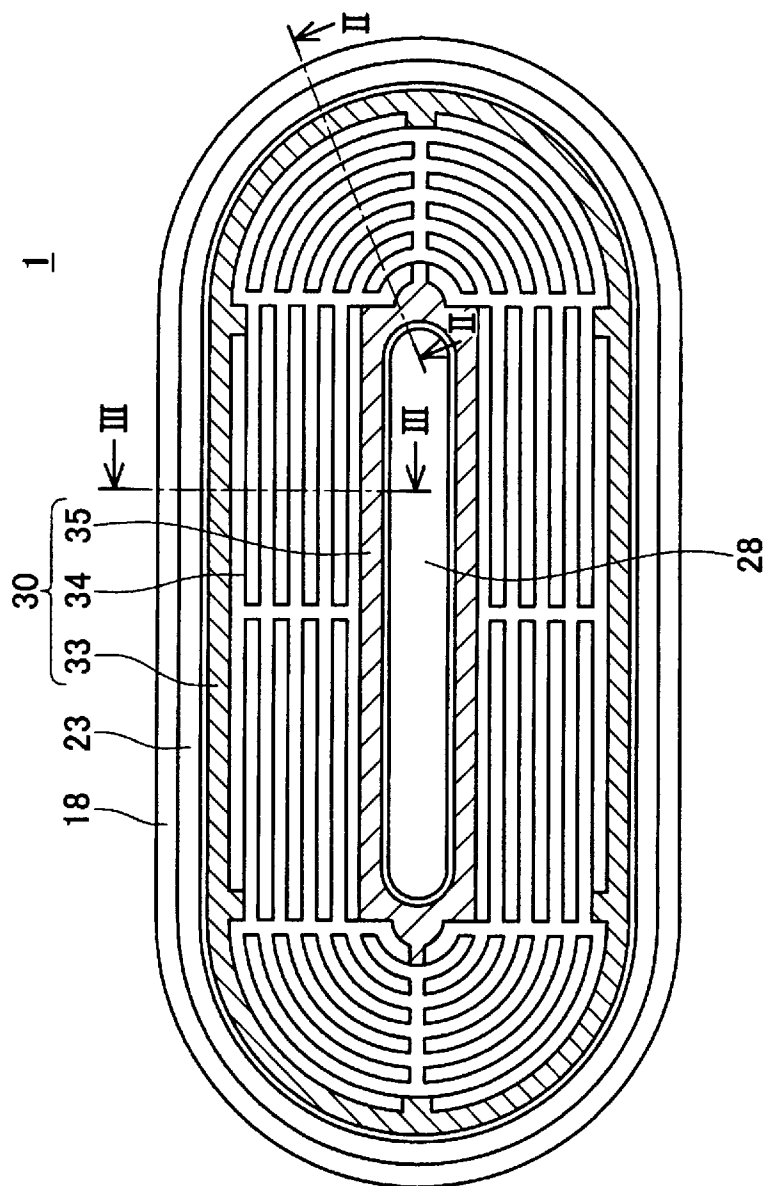
[請求項5] 前記第 1 抵抗性フィールドプレート部（34）は、第 2 部分に向けて突出する第 1 抵抗性フィールドプレート突出部（34a）を有しており、

前記第 2 抵抗性フィールドプレート部（34）は、第 1 部分に向けて突出する第 2 抵抗性フィールドプレート突出部（34a）を有しており、

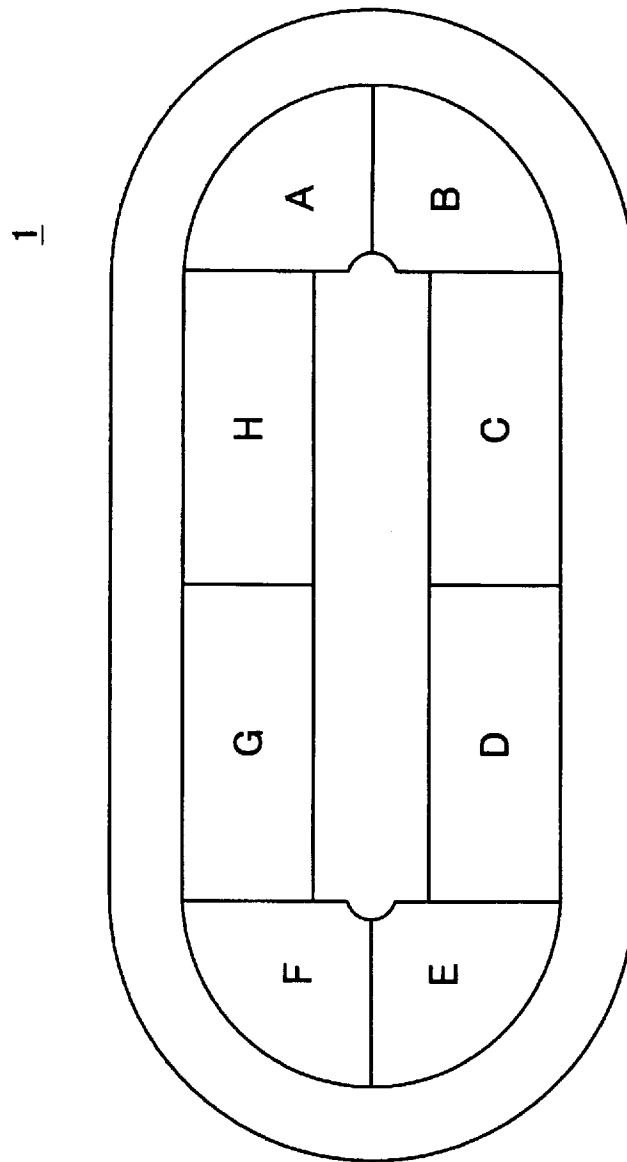
平面視したときに、前記第 1 抵抗性フィールドプレート突出部（34a）と前記第 2 抵抗性フィールドプレート突出部（34a）が、前記第 1 半導体領域（28）と前記第 2 半導体領域（23）を結ぶ方向に沿って繰り返し設けられている請求項 1～4 のいずれか一項に記載の横型半導体装置。

[請求項6] 前記第 1 抵抗性フィールドプレート部（34）の抵抗値と前記第 2 抵抗性フィールドプレート部（34）の抵抗値が略等しい請求項 1～5 のいずれか一項に記載の横型半導体装置。

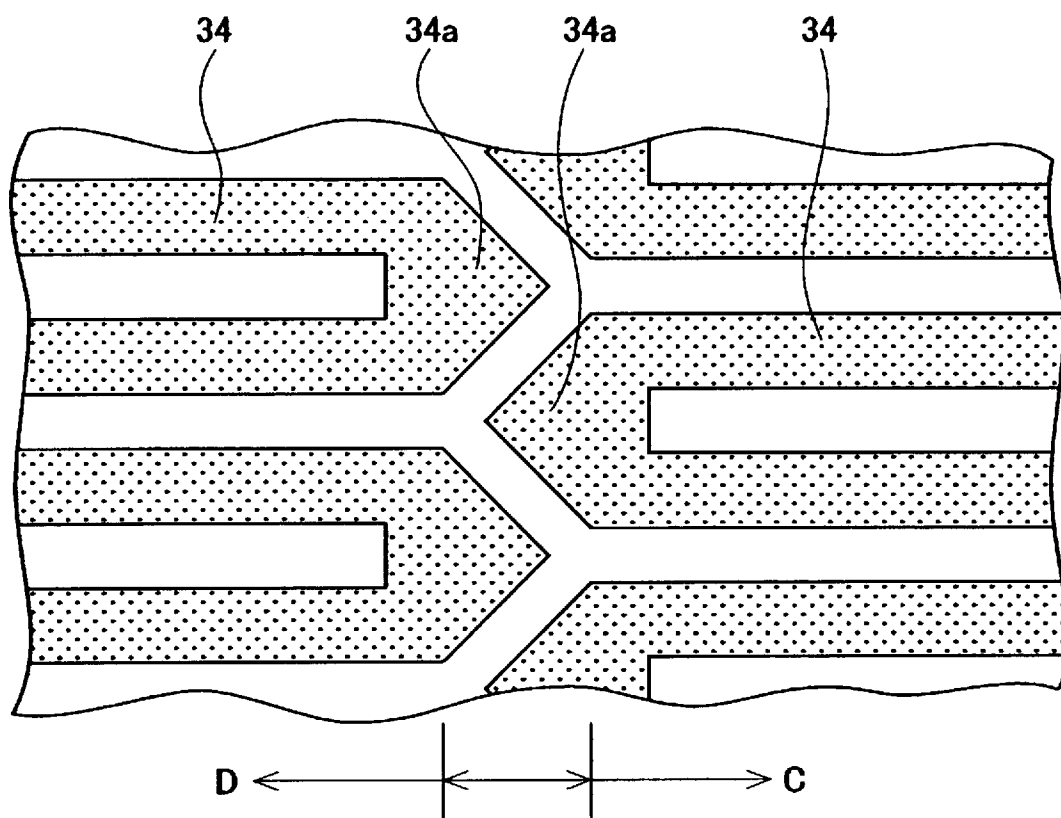
[図1]



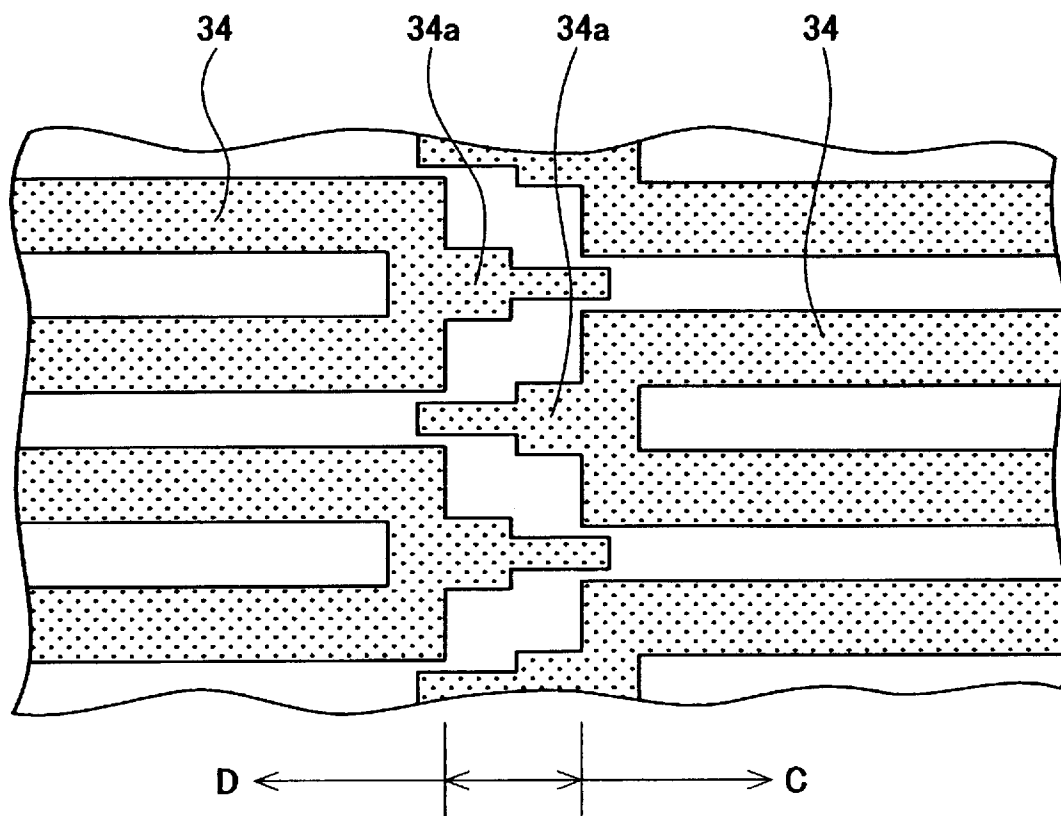
[図4]



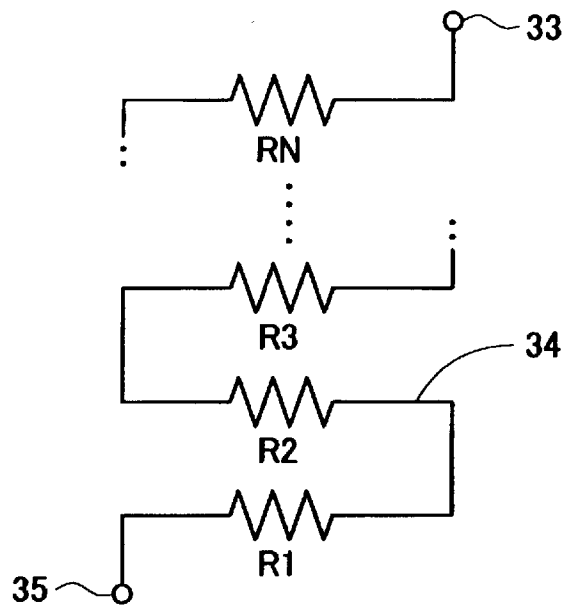
[図6]



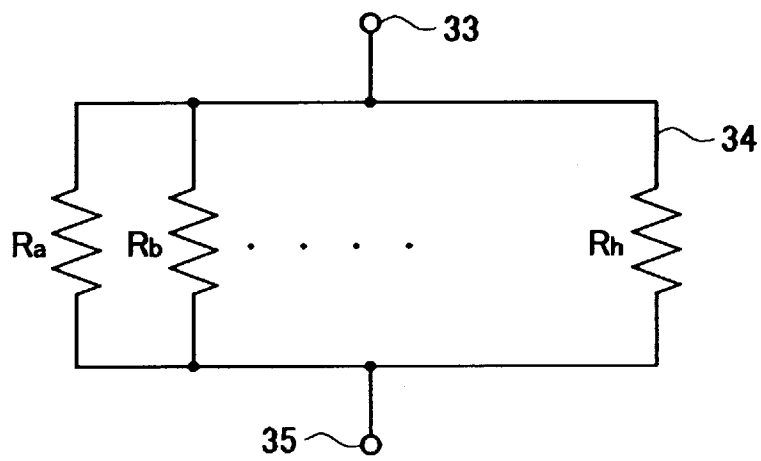
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003065

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/861(2006.01)i, H01L21/329(2006.01)i, H01L29/06(2006.01)i,
H01L29/868(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/861, H01L21/329, H01L29/06, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 4362679 B2 (Sanken Electric Co., Ltd.), 28 August 2009 (28.08.2009), fig. 1 to 2, 5; paragraphs [0014] to [0021] (Family: none)	1-4, 6 5
Y	JP 7-326775 A (Sanken Electric Co., Ltd.), 12 December 1995 (12.12.1995), fig. 4, 6 (Family: none)	5
A	JP 2005-5443 A (Toshiba Corp.), 06 January 2005 (06.01.2005), fig. 1 to 3 & US 2004/0251499 A1 & CN 1574400 A	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
25 May, 2012 (25.05.12)

Date of mailing of the international search report
05 June, 2012 (05.06.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003065

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-352064 A (Fuji Electric Co., Ltd.), 21 December 2001 (21.12.2001), fig. 1 (Family: none)	1-6
A	JP 2000-294803 A (Fuji Electric Co., Ltd.), 20 October 2000 (20.10.2000), fig. 10 & JP 2010-245549 A & US 6603185 B1 & US 2003/0209774 A1 & EP 1032046 A1	1-6

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/861 (2006.01)i, H01L21/329 (2006.01)i, H01L29/06 (2006.01)i, H01L29/868 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/861, H01L21/329, H01L29/06, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 4362679 B2 (サンケン電気株式会社) 2009.08.28, 図1-2, 5、 段落0014-0021 (ファミリーなし)	1-4, 6 5
Y	JP 7-326775 A (サンケン電気株式会社) 1995.12.12, 図4, 6 (フ ァミリーなし)	5
A	JP 2005-5443 A (株式会社東芝) 2005.01.06, 図1-3 & US 2004/0251499 A1 & CN 1574400 A	1-6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 5 . 2 0 1 2

国際調査報告の発送日

0 5 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

儀同 孝信

電話番号 03-3581-1101 内線 3559

50

3566

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-352064 A (富士電機株式会社) 2001. 12. 21, 図 1 (ファミリーなし)	1-6
A	JP 2000-294803 A (富士電機株式会社) 2000. 10. 20, 図 1 O & JP 2010-245549 A & US 6603185 B1 & US 2003/0209774 A1 & EP 1032046 A1	1-6