

發明專利說明書 200401438

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92117203

※申請日期：92.5.15 ※IPC 分類：H01L 27/115

壹、發明名稱：(中文/英文)

非依電性半導體記憶體裝置及其製造方法

NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND METHOD OF
FABRICATING THEREOF

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商・富士通股份有限公司

FUJITSU LIMITED

代表人：(中文/英文)

秋草直之 / Naoyuki Akikusa

住居所或營業所地址：(中文/英文)

日本國神奈川縣川崎市中原區上小田中 4 丁目 1 番 1 號

1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa

211-8588 Japan

國 籍：(中文/英文)

日本 / JAPAN

參、發明人：(共 2 人)

姓 名：(中文/英文)

1. 橋本廣司 / Hiroshi HASHIMOTO

2. 高橋浩司 / Koji TAKAHASHI

住居所地址：(中文/英文)

1~2 日本國神奈川縣川崎市中原區上小田中 4 丁目 1 番 1 號

1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa

211-8588 Japan

國 籍：(中文/英文)

日本 / JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本； 2002.5.21； 特願 2002-146184

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

相關申請案對照

本申請案係以於 2002 年 5 月 21 日提出申請之日本專利申請案第 2002-146184 號案為基礎並且主張該案之優先權的利益，該案的整個內容係被併合於此作為參考。

【發明所屬之技術領域】

本發明係有關於一種最好係可應用於快閃記憶體的非依電性半導體記憶體裝置，及其製造方法。

【先前技術】

快閃記憶體是為一種已知類型的非依電性半導體記憶體裝置。第 30 和 31 圖分別是為顯示一 NOR-型快閃記憶體之結構的電路圖和佈局圖。第 32A 圖顯示沿著第 31 圖中之線 I-I 的示意剖視圖，第 32B 圖是為沿著第 31 圖中之線 II-II 的示意剖視圖，而第 32C 圖是為沿著第 31 圖中之線 III-III 的示意剖視圖。

在該 NOR-型快閃記憶體(一第一習知例子)中，如在第 30 和 31 圖中所示，數條位元線和數條字線係被配置俾可空間性地彼此相交。構成一個快閃記憶體細胞之一電晶體的源極和汲極係分別連接到兩條相鄰之位元線中之任一者。每一位元線係共同地由兩個置於其之兩側之相鄰的電晶體所佔有。這些電晶體的閘極係連接到一字線。於此中的一個電晶體在第 30 圖中以斷線圈所表示的兩個點能夠儲存資料，即，兩個位元可被儲存。

如在第 31 與第 32A 至 32C 圖中所示，該位元線係由一

形成於一半導體基體 1 之表面部份的位元線雜質-擴散層 4 所構成。另一方面，該字線 6 係由一形成於該半導體基體 1 上的半導體薄膜所構成，一絕緣薄膜係置於該半導體基體 1 與該半導體薄膜之間。更特別地，一 ONO 薄膜 2 係設置於一通道區域(半導體基體 1 的一部份)與該字線 6 之間。該 ONO 薄膜 2 包含以這順序堆疊的一氧化矽薄膜、一氮化矽薄膜和另一氧化矽薄膜。在該位元線雜質-擴散層 4 與字線 6 之間，一個比該 ONO 薄膜 2 厚的氧化矽薄膜 5 係被設置。在每一字線 6 的側面上，側壁 8 係被形成(在第 31 圖中未被顯示)。一中間層絕緣薄膜 9(在第 31 圖中未被顯示)係被形成於該整個表面上。沒有形成該位元線雜質-擴散層 4 或該字線 6 的區域具有一通道阻絕雜質-擴散層 7 形成於其中。即，該通道阻絕雜質-擴散層 7 係負責元件隔離。一位元線觸點 10 係形成於一像在該位元線雜質-擴散層 4 與該中間層絕緣薄膜 9 上之氧化矽薄膜 5 般的絕緣薄膜，而一字線觸點 11 係形成於一像在該字線 6 上之中間層絕緣薄膜 9 般的絕緣薄膜。要注意的是，除了在該位元線雜質-擴散層 4 上的氧化矽薄膜 5 及在該字線 6 上的氮化矽薄膜 22 之外，該等絕緣薄膜(ONO 薄膜 2、側壁 8 和中間層絕緣薄膜 9)的描繪係被省略於第 31 圖。

下一個段落將會說明一種製造如此構成之快閃記憶體(第一習知例子)的習知方法。第 33A、33B 和 33C 圖到第 37A、37B 和 37C 圖是為用於連續地說明一種製造快閃記憶體之習知方法的示意剖視圖。要注意的是，具有最後加

上”A”之圖號的圖式是為沿著第 31 圖中之 I-I 線的剖視圖，具有最後加上”B”之圖號的圖式是為沿著第 31 圖中之線 II-II 的剖視圖，而具有最後加上”C”之圖號的圖式是為沿著第 31 圖中之線 III-III 的剖視圖。

首先，如在第 33A 到 33C 圖中所示，該 ONO 薄膜 2 係形成於該半導體基體 1 的表面上。在該 ONO 薄膜 2 的形成過程中，一具有 3 至 10 nm 之厚度的氧化矽薄膜 2a 被長成，一具有 12 至 16 nm 之厚度的氮化矽薄膜 2b 係藉 CVD 法來被形成於該氧化矽薄膜 2a 上，而另一具有 5 至 10 nm 之厚度的氧化矽薄膜 2c 係藉濕氧化來進一步被長成於該氮化矽薄膜 2b 上。

接著，一抗阻薄膜 3 係藉由塗佈來被形成於該 ONO 薄膜 2 上，且該抗阻薄膜 3 然後係如在第 34A 到 34C 圖中所示被定以圖案俾可具有一個與該位元線雜質-擴散層 4 之圖案相同的圖案。是為該 ONO 薄膜 2 之組件之氧化矽薄膜 2c 和氮化矽薄膜的曝露部份係被蝕刻掉。在該抗阻薄膜 3 作為光罩下，砷離子然後藉離子植入法來被摻雜到該半導體基體 1 俾藉此形成該位元線雜質-擴散層 4。於此中的劑量能夠典型地被設定為 1×10^{15} 到 $3 \times 10^{15} \text{ cm}^{-2}$ 或附近。

接著，如在第 35A 到 35C 圖中所示，具有 400 到 600 nm 之厚度的氧化矽薄膜 5 係藉濕氧化來被長成於該位元線雜質-擴散層 4 的表面上。該 ONO 薄膜 2 的兩邊緣係被升到某程度。

然後，一磷摻雜非晶矽(DASi)薄膜係藉 CVD 法來被長

成於整個表面上，而一矽化鎢(WSi)薄膜係藉 CVD 法來進一步被長成於該 DASi 薄膜上。該 DASi 薄膜的厚度為 100 到 150 nm，而該 WSi 薄膜的厚度是為 100 到 180 nm。接著，一抗阻薄膜係藉塗佈來被形成於該 WSi 薄膜上，而然後係被定以圖案俾可具有一個與在週邊電路區域之電晶體之閘極電極與該等字線之圖案相同的圖案。然後，如在第 36A 至 36C 圖中所示，該 WSi 薄膜與 DASi 薄膜係連續地被蝕刻掉俾藉此形成在該週邊電路區域之電晶體(圖中未示)的閘極電極和該等字線 6。該抗阻薄膜然後被移去，而一新的抗阻薄膜係藉塗佈來被形成於該整個表面上，並且被定以圖案俾可具有一個與該通道阻絕雜質-擴散層之圖案相同的圖案。硼離子然後係在該抗阻薄膜作為光罩下藉離子植入法來被摻雜至該半導體基體 1 內俾藉此形成該通道阻絕雜質-擴散層 7。於此中的劑量能夠典型地被設定為 5×10^{12} 到 $1 \times 10^{13} \text{ cm}^{-2}$ 或附近。該通道阻絕雜質-擴散層 7 係負責在所有相鄰之位元線雜質-擴散層 4 之間的元件隔離。要注意的是，於該週邊電路區域中，在一個於該週邊電路區域具有開孔的抗阻薄膜作為光罩下，該 ONO 薄膜 2 係在該 DASi 薄膜的形成之前被蝕刻掉，該抗阻薄膜然後被移去，而一閘極氧化薄膜(圖中未示)係被形成。

接著，一 CVD 氧化薄膜係以 100 到 200 nm 的厚度長成於該整個表面上，而然後被各向異性地蝕刻俾藉此產生在該週邊電路區域之電晶體之閘極電極(圖中未示)之側面和該等字線 6 之側面上的側壁 8，如在第 37A 到 37C 圖

中所示。該中間層絕緣薄膜 9 然後被形成於該整個表面上，導線(圖中未示)的形成等等係跟在該中間層絕緣薄膜 9 的形成後面。

第 38 和 39 圖是為分別顯示一 AND-型快閃記憶體之結構的電路圖和佈局圖。第 40A 圖顯示沿著第 39 圖中之線 I-I 的示意剖視圖，第 40B 圖是為沿著第 39 圖中之線 II-II 的示意剖視圖，而第 40C 圖是為沿著第 39 圖中之線 III-III 的示意剖視圖。

在該 AND-型快閃記憶體(第二習知例子)中，如在第 38 和 39 圖中所示，數條位元線和數條字線係被配置俾可空間性地彼此相交。構成一個快閃記憶體細胞之雙-閘極-結構電晶體的源極和汲極係分別連接到兩條相鄰之位元線中之任一者。與該 NOR-型快閃記憶體不同，在所有相鄰的電晶體之間係有兩條位元線，而且這些電晶體係分別連接到這些位元線。即，每一位元線係共同地僅由該等沿著該位元線之延伸方向排成一行的電晶體所佔有。這些電晶體的閘極係連接到該等字線。

如在第 39 圖和第 40A 到 40C 圖中所示，該位元線係由一形成於該半導體基體 1 之表面部份的位元線雜質-擴散層 4 所構成。一元件隔離氧化薄膜 12 係形成於分別連接到不同之電晶體之所有相鄰的位元線(位元線雜質-擴散層)之間。另一方面，該字線 6 係由一形成於該半導體基體 1 上的半導體薄膜所構成，一絕緣薄膜係置於該半導體基體 1 與該半導體薄膜之間。更特別地，一隧道氧化薄膜 13、一

懸浮閘極 14 和該 ONO 薄膜 2 係設置在該通道區域(該半導體基體 1 的一部份)與該字線 6 之間。具有一個比該隧道氧化薄膜 13 之厚度大之厚度的氧化矽薄膜 5、該懸浮閘極 14 和該 ONO 薄膜 2 係設置於該位元線雜質-擴散層 4 與字線 6 之間。該懸浮閘極 14 係被劃分給每一電晶體。該中間層絕緣薄膜 9 係形成於該整個表面上。沒有形成該位元線雜質-擴散層 4 與該字線 6 的區域具有一通道阻絕雜質-擴散層 7 形成於其中。要注意的是，除了在該位元線雜質-擴散層 4 上的氧化矽薄膜 5 之外，該等絕緣薄膜(ONO 薄膜 2、中間層絕緣薄膜 9 和隧道氧化薄膜 13)的描繪在第 39 圖中係被省略。

接著，在剖面結構上與該第二習知例子之那個不同的第三習知例子將會被說明。該第三習知例子係由日本早期公開專利公告第 8-172174 號案所提出。第 41A 到 41C 圖顯示該第三習知例子的結構，第 41A 圖顯示沿著第 39 圖中之線 I-I 的示意剖視圖，第 41B 圖是為沿著第 39 圖中之線 II-II 的示意剖視圖，而第 41C 圖是為沿著第 39 圖中之線 III-III 的示意剖視圖。

雖然該通道阻絕雜質-擴散層 7 在該第二習知例子中係直接形成於該半導體基體的表面部份，在該第三習知例子中之半導體基體 1 的對應部份係形成一凹槽 15 於其中，而該通道阻絕雜質-擴散層 7 係藉著至該凹槽 15 之底部和側表面的斜角離子植入法來被形成。一覆蓋該通道阻絕雜質-擴散層 7 和一快閃記憶體細胞的熱氧化薄膜 17 亦被設置。一

CVD 氧化薄膜係進一步被形成於該熱氧化薄膜 17 上作為一中間層絕緣薄膜 9。

下一個段落將會說明一種製造該第三習知例子之 AND-型快閃記憶體的方法。第 42A、42B 和 42C 圖，及第 43A、第 43B 和 43C 圖是為連續地顯示在該第三習知例子之 AND-型快閃記憶體之製造方法中之處理步驟的示意剖視圖，其中，第 42A 和 43A 圖描繪在第 41A 圖中所示的區域，第 42B 和 43B 圖描繪在第 41B 圖中所示的區域，而第 42C 和 43C 圖描繪在第 41C 圖中所示的區域。

在該第三習知例子之 AND-型快閃記憶體的製造中，在用於把該字線 6、ONO 薄膜 2 與懸浮閘極 14 定以圖案的抗阻薄膜 16 作為光罩下，該隧道氧化薄膜 13 和半導體基體 1 係被蝕刻俾得到在第 40 圖中所示的結構，而且亦在該位元線雜質-擴散層 4 上之氧化矽薄膜 5 作為光罩下，該隧道氧化薄膜 13 和半導體基體 1 係被蝕刻俾藉此形成該凹槽 15，如在第 42A 至 42C 圖中所示。然後，該通道阻絕雜質-擴散層 7 係藉著至該凹槽 15 之底部與側表面的斜角離子植入法來被形成。該抗阻薄膜 16 然後被移去。

然後，如在第 43A 至 43C 圖中所示，該熱氧化薄膜 17 係被長成俾可覆蓋該通道阻絕雜質-擴散層 7 和快閃記憶體細胞 16，而該 CVD 氧化薄膜係進一步被形成於該熱氧化薄膜 17 上作為一中間層絕緣薄膜 9，導線的形成等等係跟在該 CVD 氧化薄膜的形成後面。

一第四習知例子係能夠在日本早期公開專利公告第

5-275716 號案中被發現，該案揭露一種方法，藉著該方法，側壁係形成於該等字線的側表面上，該半導體基體係在該等側壁作為光罩下被蝕刻俾藉此形成凹槽，在該等凹槽的底部，一通道阻絕雜質-擴散層係被形成，而位元線係形成於該等凹槽的側表面上。

然而，以上所述的該等習知例子在後面的點上是不利的。

在該第一和第二習知例子中，僅該通道阻絕雜質-擴散層 7 負責元件隔離，其使得在位元線之間距由於集積度的較高水平與空間節省而被縮減的環境下要確保在位元線之間之一個足夠水平的電壓電阻是有困難的。

在該第三習知例子中，用於把該字線 6、ONO 薄膜 2 和懸浮閘極 14 定以圖案的抗阻薄膜 16 亦直接在該隧道氧化薄膜 13 與半導體基體 1 之蝕刻中被使用作為光罩俾藉此形成該凹槽 15。於此中之抗阻薄膜 16 之相當小的厚度係不合意地使該抗阻薄膜難以容忍該會在蝕刻期間導致其之變形之結果的處理。相對地，該抗阻薄膜 16 之相當大的厚度係不合意地使得要把該字線寬度變窄是困難的。另一個存在的問題是為該通道阻絕雜質-擴散層 7 係在該凹槽 15 被形成之後被形成而且係遠至該凹槽 15 的側表面上，其使該快閃記憶體的有效通道寬度變窄，而因此減少在該電晶體中流動的電流。

在該第四習知例子中，個別之記憶體細胞的閘極電極在該等閘極電極本身被形成的層之內係彼此獨立。如上所

述，該等位元線係設置於該等凹槽的側表面上。如此的結構及其製造方法不是直接地可應用於字線與閘極電極或控制閘極係由相同之層所構成的快閃記憶體。

【發明內容】

本發明係考量以上所述的問題來被完成，而且是為提供一種能夠在保持一合意之水平之電壓電阻於該等位元線之間之時使字線寬度變窄的非依電性半導體記憶體裝置及其製造方法。

本案發明人在全面的研究之後達成在下面所述之本發明之各式各樣的特徵。

本發明之第一特徵係有關於一種非依電性半導體記憶體裝置，其包含：一半導體基體；數條位元線，其係由一形成於該半導體基體之表面部份之雜質-擴散層所構成；及數條字線，其係由一形成於該半導體基體上的導電層所構成而且係被配置俾可在一平面圖中係與該數條位元線相交。該記憶體裝置更包含：一形成於該等字線上的第一絕緣薄膜；及一沿著該等字線形成的第二絕緣薄膜。在所有相鄰的字線之間，一凹槽係形成於該半導體基體的表面部份於每一個在平面圖中由該形成於該等相鄰之字線上第一絕緣薄膜與該等相鄰之位元線所界定的區域之內俾可與該第二絕緣薄膜排成一行；一通道阻絕雜質-擴散層係形成在該凹槽的底部；及一絕緣薄膜係填注在該凹槽中。

本發明的第二特徵亦係有關於一種非依電性半導體記憶體裝置，其包含：一半導體基體；數條位元線，其係由

一形成於該半導體基體之表面部份的雜質-擴散層所構成；及數條字線，其係由一形成於該半導體基體上的導電層所構成並且係被配置俾可在平面圖中與該數條位元線相交。在本發明之第二特徵中，於所有相鄰的字線之間，一凹槽係形成於該半導體基體的表面部份於每一個在一平面圖中由該等相鄰之字線與相鄰之位元線所界定的區域之內；一通道阻絕雜質-擴散層係形成於該凹槽的底部；側壁係形成於個別之字線的側表面上俾可朝該凹槽的底部延伸；且該凹槽係具有一絕緣薄膜填注於其內。

本發明的第三特徵係有關於一種製造非依電性半導體記憶體裝置的方法，該方法包含如下之步驟：形成一疊層於一半導體基體上，該疊層係由一第一氧化薄膜、一氮化薄膜和一第二氧化薄膜以這順序所構成；形成數條位元線，該數條位元線係由在該半導體基體之表面部份的一雜質-擴散層所構成；及形成一第一絕緣薄膜於該數條位元線上。本發明之第三特徵的方法更包含如下之步驟：連續地形成一導電層和一第二絕緣層於該整個表面上；把該導電層和該第二絕緣薄膜定以圖案俾可得到數條字線，該數條字線在一平面圖中係與該數條位元線相交；形成側壁於該等字線的側表面上，該等側壁係由一第三絕緣薄膜所構成；在該第一絕緣薄膜、第二絕緣薄膜與側壁作為光罩下，藉由蝕刻該半導體基體的表面來形成一凹槽；藉由離子植入法來形成一通道阻絕雜質-擴散層於該凹槽的底部；及以一第四絕緣薄膜充填該凹槽。

而且，本發明的第四特徵係有關於一種製造非依電性半導體記憶體裝置的方法，該方法包含如下之步驟：形成一疊層於一半導體基體上，該疊層係由一第一氧化薄膜、一氮化薄膜和一第二氧化薄膜以這順序所構成；形成數條位元線，該數條位元線係由在該半導體基體之表面部份的一雜質-擴散層所構成；及形成一第一絕緣薄膜於該數條位元線上。本發明之第四特徵的方法更包含如下之步驟：連續地形成一導電層和一第二絕緣層於該整個表面上；把該導電層和該第二絕緣薄膜定以圖案俾可得到數條字線，該數條字線在一平面圖中係與該數條位元線相交；在該第一絕緣薄膜與第二絕緣薄膜作為光罩下，藉由蝕刻該半導體基體的表面來形成一凹槽；藉由離子植入法來形成一通道阻絕雜質-擴散層於該凹槽的底部；形成側壁於該等字線的側表面上，該等側壁係由一第三絕緣薄膜所構成且係朝該凹槽的底部延伸；及以一第四絕緣薄膜充填該凹槽。

而且，本發明的第五特徵係有關於一種製造非依電性半導體記憶體裝置的方法，該方法包含如下之步驟：形成一疊層於一半導體基體上，該疊層係由一第一氧化薄膜、一氮化薄膜和一第二氧化薄膜以這順序所構成；形成數條位元線，該數條位元線係由在該半導體基體之表面部份的一雜質-擴散層所構成；及形成一第一絕緣薄膜於該數條位元線上。本發明之第五特徵的方法更包含如下之步驟：連續地形成一導電層和一第二絕緣層於該整個表面上；把該導電層和該第二絕緣薄膜定以圖案俾可得到數條字線，該

數條字線在一平面圖中係與該數條位元線相交；形成一抗阻薄膜，該抗阻薄膜覆蓋該導電層和該第二絕緣薄膜，而且在一平面圖中於該等在所有相鄰之字線之間且遠離該等字線的區域係具有開孔；在該第一絕緣薄膜與該抗阻薄膜作為光罩下，藉由蝕刻該半導體基體的表面來形成一凹槽；藉由離子植入法來形成一通道阻絕雜質-擴散層於該凹槽的底部；及以一第四絕緣薄膜充填該凹槽。

本發明之第六特徵係有關於一種製造非依電性半導體記憶體裝置的方法，該方法包含如下之步驟：形成一隧道絕緣薄膜於一半導體基體上；形成數條位元線，該數條位元線係由在該半導體基體之表面部份的一雜質-擴散層所構成；形成一第一絕緣薄膜於該數條位元線上；形成一懸浮閘極於該隧道絕緣薄膜與該第一絕緣薄膜上；及形成一疊層於該懸浮閘極上，該疊層係由一第一氧化薄膜、一氮化薄膜和一第二氧化薄膜以這順序所構成。本發明之第六特徵的方法更包含如下之步驟：連續地形成一導電層和一第二絕緣薄膜於該整個表面上；把該導電層和該第二絕緣薄膜定以圖案俾可得到數條字線，該數條字線在一平面圖中係與該數條位元線相交；形成側壁於該等字線的側表面上，該等側壁係由一第三絕緣薄膜所構成；在該第一絕緣薄膜、第二絕緣薄膜與側壁作為光罩下，藉由蝕刻該半導體基體的表面來形成一凹槽；藉由離子植入法來形成一通道阻絕雜質-擴散層於該凹槽的底部；及以一第四絕緣薄膜充填該凹槽。

而且，本發明的第七特徵係有關於一種製造非依電性半導體記憶體裝置的方法，該方法包含如下之步驟：形成一隧道絕緣薄膜於一半導體基體上；形成數條位元線，該數條位元線係由在該半導體基體之表面部份的一雜質-擴散層所構成；形成一第一絕緣薄膜於該數條位元線上；形成一懸浮閘極於該隧道絕緣薄膜與該第一絕緣薄膜上；及形成一疊層於該懸浮閘極上，該疊層係由一第一氧化薄膜、一氮化薄膜和一第二氧化薄膜以這順序所構成。本發明之第七特徵的方法更包含如下之步驟：連續地形成一導電層和一第二絕緣薄膜於該整個表面上；把該導電層和該第二絕緣薄膜定以圖案俾可得到數條字線，該數條字線在一平面圖中係與該數條位元線相交；在該第一絕緣薄膜與第二絕緣薄膜作為光罩下，藉由蝕刻該半導體基體的表面來形成一凹槽；藉由離子植入法來形成一通道阻絕雜質-擴散層於該凹槽的底部；形成側壁於該等字線的側表面上，該等側壁係由一第三絕緣薄膜所構成且係朝該凹槽的底部延伸；及以一第四絕緣薄膜充填該凹槽。

而且，本發明的第八特徵係有關於一種製造非依電性半導體記憶體裝置的方法，該方法包含如下之步驟：形成一隧道絕緣薄膜於一半導體基體上；形成數條位元線，該數條位元線係由在該半導體基體之表面部份的一雜質-擴散層所構成；形成一第一絕緣薄膜於該數條位元線上；形成一懸浮閘極於該隧道絕緣薄膜與該第一絕緣薄膜上；及形成一疊層於該懸浮閘極上，該疊層係由一第一氧化薄膜、

一氮化薄膜和一第二氧化薄膜以這順序所構成。本發明之第八特徵的方法更包含如下之步驟：連續地形成一導電層和一第二絕緣薄膜於該整個表面上；把該導電層和該第二絕緣薄膜定以圖案俾可得到數條字線，該數條字線在一平面圖中係與該數條位元線相交；形成一抗阻薄膜，該抗阻薄膜覆蓋該導電層與該第二絕緣薄膜，而且在一平面圖中於該等在所有相鄰之字線之間且遠離該等字線的區域係具有開孔；在該第一絕緣薄膜與該抗阻薄膜作為光罩下，藉由蝕刻該半導體基體的表面來形成一凹槽；藉由離子植入法來形成一通道阻絕雜質-擴散層於該凹槽的底部；及以一第四絕緣薄膜充填該凹槽。

本發明的第九特徵係有關於一種製造非依電性半導體記憶體裝置的方法，該半導體記憶體裝置包含一半導體基體、數條由一形成於該半導體基體之表面部份之雜質-擴散層所構成的位元線、及數條由一形成於該半導體基體上之導電層所構成且被配置俾可在一平面圖中與該數條位元線相交的字線。本發明之第九特徵的方法包含如下之步驟：在一事前形成於該數條位元線與該數條字線上之絕緣薄膜作為光罩下，藉由蝕刻該半導體基體來形成一凹槽；藉由離子植入法來形成一通道阻絕雜質-擴散層於該凹槽的底部；及以一第四絕緣薄膜充填該凹槽。

而且，本發明的第十特徵係有關於一種製造非依電性半導體記憶體裝置的方法，該半導體記憶體裝置包含一半導體基體、數條由一形成於該半導體基體之表面部份之雜

質-擴散層所構成的位元線、及數條由一形成於該半導體基體之表面上之導電層所構成且被配置俾可在一平面圖中與該數條位元線相交的字線。本發明之第十特徵的方法包含如下之步驟：在一事前形成於該數條位元線上之絕緣薄膜與一事前形成於該等字線上之抗阻薄膜作為光罩下，藉由蝕刻該半導體基體來形成一凹槽；藉由離子植入法來形成一通道阻絕雜質-擴散層於該凹槽的底部；及以一第四絕緣薄膜充填該凹槽。

在本發明的所有特徵中，該凹槽能夠在僅以該絕緣薄膜作為光罩時藉由蝕刻該半導體基體來被形成。該通道阻絕雜質-擴散層在該凹槽之底部的形成及該凹槽以一絕緣薄膜的充填能夠確保一大的電壓電阻在該等位元線之間。僅利用該絕緣薄膜作為光罩在確保該等字線的微細處理上亦是有利的。

如果該通道阻絕雜質-擴散層在藉由離子植入法來形成該通道阻絕雜質-擴散層於該凹槽之底部的處理步驟中亦被形成於該凹槽的側表面上的話，要降低該等電晶體的窄通道效應亦是有可能的。

圖式簡單說明

第 1 圖是為顯示本發明之第一實施例之非依電性半導體記憶體裝置(NOR-型快閃記憶體)之結構的佈局圖；

第 2A 至 2C 圖是為顯示本發明之第一實施例之 NOR-型快閃記憶體之結構的示意剖視圖；

第 3A 至 3C 圖是為顯示在製造本發明之第一實施例之

NOR-型快閃記憶體之方法中之一個處理步驟的示意剖視圖；

第 4A 至 4C 圖亦是為顯示從第 3A 至 3C 圖延續之下一個處理步驟的示意剖視圖；

第 5A 至 5C 圖亦是為顯示從第 4A 至 4C 圖延續之下一個處理步驟的示意剖視圖；

第 6A 至 6C 圖亦是為顯示從第 5A 至 5C 圖延續之下一個處理步驟的示意剖視圖；

第 7A 至 7C 圖亦是為顯示從第 6A 至 6C 圖延續之下一個處理步驟的示意剖視圖；

第 8A 至 8C 圖亦是為顯示從第 7A 至 7C 圖延續之下一個處理步驟的示意剖視圖；

第 9A 和 9B 圖是為顯示該 NOR-型快閃記憶體之運作的示意圖；

第 10A 和 10B 圖亦是為顯示該 NOR-型快閃記憶體之運作的示意圖；

第 11 圖是為顯示本發明之第二實施例之非依電性半導體記憶體裝置(NOR-型快閃記憶體)之結構的佈局圖；

第 12A 至 12C 圖是為顯示本發明之第二實施例之 NOR-型快閃記憶體之結構的示意剖視圖；

第 13A 至 13C 圖是為顯示在一種製造本發明之第二實施例之 NOR-型快閃記憶體之方法中之一個處理步驟的示意剖視圖；

第 14A 至 14C 圖亦是為顯示從第 13A 至 13C 圖延續之

下一個處理步驟的示意剖視圖；

第 15A 至 15C 圖亦是為顯示從第 14A 至 14C 圖延續之下一個處理步驟的示意剖視圖；

第 16 圖是為顯示本發明之第三實施例之非依電性半導體記憶體裝置(NOR-型快閃記憶體)之結構的佈局圖；

第 17A 至 17C 圖是為顯示本發明之第三實施例之 NOR-型快閃記憶體之結構的示意剖視圖；

第 18A 至 18C 圖是為顯示在一種製造本發明之第三實施例之 NOR-型快閃記憶體之方法中之一個處理步驟的示意剖視圖；

第 19A 至 19C 圖亦是為顯示從第 18A 至 18C 圖延續之下一個處理步驟的示意剖視圖；

第 20A 至 20C 圖亦是為顯示從第 19A 至 19C 圖延續之下一個處理步驟的示意剖視圖；

第 21 圖是為顯示本發明之第四實施例之非依電性半導體記憶體裝置(AND-型快閃記憶體)之結構的佈局圖；

第 22A 至 22C 圖是為顯示本發明之第四實施例之 AND-型快閃記憶體之結構的示意剖視圖；

第 23A 和 23B 圖是為顯示該 AND-型快閃記憶體之運作的示意圖；

第 24A 和 24B 圖亦是為顯示該 AND-型快閃記憶體之運作的示意圖；

第 25A 至 25C 圖是為顯示該第四實施例之變化例子的示意剖視圖；

第 26 圖是為顯示本發明之第五實施例之非依電性半導體記憶體裝置(AND-型快閃記憶體)之結構的佈局圖；

第 27A 至 27C 圖是為顯示本發明之第五實施例之 AND-型快閃記憶體之結構的示意剖視圖；

第 28 圖是為顯示本發明之第六實施例之非依電性半導體記憶體裝置(AND-型快閃記憶體)之結構的佈局圖；

第 29A 至 29C 圖是為顯示本發明之第六實施例之 AND-型快閃記憶體之結構的示意剖視圖；

第 30 圖是為顯示一 NOR-型快閃記憶體之一般結構的電路圖；

第 31 圖是為顯示一 NOR-型快閃記憶體之一般結構的佈局圖；

第 32A、32B 和 32C 圖分別是為沿著第 31 圖中之 I-I 線、II-II 線和 III-III 線的示意剖視圖；

第 33A 至 33C 圖是為顯示在一種製造快閃記憶體之習知方法中之一個處理步驟的示意剖視圖；

第 34A 至 34C 圖亦是為顯示從第 33A 至 33C 圖延續之下一個處理步驟的示意剖視圖；

第 35A 至 35C 圖亦是為顯示從第 34A 至 34C 圖延續之下一個處理步驟的示意剖視圖；

第 36A 至 36C 圖亦是為顯示從第 35A 至 35C 圖延續之下一個處理步驟的示意剖視圖；

第 37A 至 37C 圖亦是為顯示從第 36A 至 36C 圖延續之下一個處理步驟的示意剖視圖；

第 38 圖是為顯示一個一般 AND-型快閃記憶體之結構的電路圖；

第 39 圖是為顯示一 AND-型快閃記憶體之一般結構的佈局圖；

第 40A、40B 和 40C 圖分別是為了沿著第 39 圖中之 I-I 線、II-II 線和 III-III 線的示意剖視圖；

第 41A 至 41C 圖是為顯示第三習知例子之快閃記憶體之結構的示意剖視圖；

第 42A 至 42C 圖是為顯示在一種製造該第三習知例子之快閃記憶體之習知方法中之一個處理步驟的示意剖視圖；及

第 43A 至 43C 圖亦是為顯示從第 42A 至 42C 圖延續之下一個處理步驟的示意剖視圖。

【實施方式】

本發明之非依電性半導體記憶體裝置及其製造方法將會明確地配合該等附圖作詳細說明。

(第一實施例)

首先，本發明之第一實施例的非依電性半導體記憶體裝置將會作說明。在該第一實施例中的電路結構係與先前在第 30 圖中所示的電路結構相同，但佈局與剖面結構係與先前在第 31 圖與第 32A 至 32C 圖中所示之第一習知例子的那些不同。第 1 圖是為顯示本發明之第一實施例之非依電性半導體記憶體裝置(NOR-型快閃記憶體)之結構的佈局圖。第 2A、2B 和 2C 圖分別是為了沿著第 1 圖中之 I-I 線、

II-II 線與 III-III 線的示意剖視圖。

而且，在該第一實施例中，如在第 2A 至 2C 圖中所示，該位元線係由形成於該半導體基體 1 之表面部份之位元線雜質-擴散層 4 所構成，而該字線 6 係由形成於該半導體基體 1 之表面上的半導體薄膜所構成，一絕緣薄膜係被置放於該半導體基體 1 與該半導體薄膜之間。該等側壁 8 係形成於該字線 6 的側表面上，而該氮化矽薄膜 22 係形成於該字線 6 上。該 ONO 薄膜 2 亦被設置於該等側壁 8 與半導體基體 1 之間。該整個表面係以該中間層絕緣薄膜 9 覆蓋。該半導體基體 1 之沒有形成位元線雜質-擴散層 4、字線 6 與側壁 8 的區域係於其中形成一凹槽 21。該中間層絕緣薄膜 9 亦被充填於該凹槽 21 內。該中間層絕緣薄膜 9 係藉著 CVD 法來被形成，例如。要注意的是，除了在位元線雜質-擴散層 4 上的氧化矽薄膜 5 和在字線 6 上的氮化矽薄膜 22 之外，絕緣薄膜(ONO 薄膜 2、側壁 8 和中間層絕緣薄膜 9)的描繪在第 1 圖中係被省略。

在該第一實施例中之通道阻絕雜質-擴散層 7 的圖案係因此稍微與先前在第 31 圖中所示的那個不同。更特別地，如在第 1 圖中所示，該字線 6 與通道阻絕雜質-擴散層 7 在一平面圖中永不彼此直接接觸，而取而代之係有一個具有一與該側壁 8 之寬度相等之寬度的間隙在該字線 6 與通道阻絕雜質-擴散層 7 之間。

在該第一實施例之如此構成的裝置中，元件隔離不僅係藉該通道阻絕離質-擴散層 7 且亦係藉該充填於凹槽 21

內的中間層絕緣薄膜 9 來達成，其確保一提升的電壓電阻。在該凹槽 21 的形成中，如在第 2C 圖中所示，由於在該等字線 6 之間的凹槽 21 與該等字線 6 中之每一者之間係有側壁 8，且由於在字線 6 上有該氮化矽薄膜 22，在該等側壁 8、氮化矽薄膜 22 和氧化矽薄膜 5 能夠被使用作為蝕刻光罩下，不需要任何抗阻薄膜作罩遮。這使得要輕易精巧地處理該字線 6 是有可能的，而且係進一步有利於抑制在電晶體特徵上之因在該凹槽 21 藉蝕刻來被形成時可能發生之損害而起的變動。側壁 8 的形成係永不需要一個用於在該記憶體細胞陣列之區域之內製造它們的專門處理，而係能夠與形成於像解碼器般之週邊電路之區域之內之 MOS 電晶體的側壁一起被產生。因此，處理步驟的數目不增加。

下一個段落將會說明一種製造該第一實施例之如此構成之 NOR-型快閃記憶體的方法。第 3A、3B 和 3C 圖到第 8A、8B 和 8C 圖是為連續地顯示在製造本發明之第一實施例之 NOR-型快閃記憶體之方法中之處理步驟的示意剖視圖。現在要注意的是，在從第 3A 到 8C 圖的圖式中，具有在最後加上”A”之圖號的圖式是為沿著第 1 圖中之 I-I 線的剖視圖，具有在最後加上”B”之圖號的圖式是為沿著第 1 圖中之 II-II 線的剖視圖，而具有在最後加上”C”之圖號的圖式是為沿著第 1 圖中之 III-III 線的剖視圖。

首先，如在第 3A、3B 和 3C 圖中所示，該 ONO 薄膜 2 係形成於該半導體基體 1 的表面上。在該 ONO 薄膜 2 的形成中，具有 3 到 10 nm 之厚度的氧化矽薄膜 2a 係在 800 到

1,000°C 或附近下藉熱氧化來首先被形成。接著，在該氧化矽薄膜 2a 上，具有 12 到 16 nm 之厚度的氮化矽薄膜 2b 係在 600 到 800°C 或附近下藉 CVD 法來被形成。此外，在該氮化矽薄膜 2b 上，具有 5 到 10 nm 之厚度的氧化矽薄膜 2c 係在 1,000 到 1,100°C 下藉濕氧化來被形成。於此中要把該氮化矽薄膜 2b 的厚度縮減至 5 到 10 nm，且藉 CVD 法來形成該氧化矽薄膜 2c 亦是可容許的。

接著，該抗阻薄膜 3 係藉塗佈來被形成於該 ONO 薄膜 2 上，而且該抗阻薄膜然後係如在第 4A 到 4C 圖中所示被定以圖案俾可僅在位元線雜質-擴散層要被形成的目標區域中具有開孔。是為該 ONO 薄膜 2 之組件之該氧化矽薄膜 2c 和氮化矽薄膜 2b 的曝露部份係被蝕刻掉。在該抗阻薄膜 3 作為光罩下，砷離子然後係藉離子植入法來被摻雜到該半導體基體 1 的表面部份俾藉此形成該位元線雜質-擴散層 4。離子植入法的條件係與 1×10^{15} 到 $3 \times 10^{15} \text{ cm}^{-2}$ 或附近的劑量、60 到 80 keV 的離子加速電壓、及 0° 的傾斜角(入射角)有關，例如。

接著，如在第 5A 到 5C 圖中所示，具有 400 到 600 nm 之厚度的氧化矽薄膜 5 係在 800 到 1,000°C 或附近下藉濕氧化來被長成於該位元線雜質-擴散層 4 的表面。由於該氧化的結果，該 ONO 薄膜 2 的兩邊緣係升高到某程度。

然後，磷-摻雜非晶矽(DASi)薄膜係藉 CVD 法來被長成於該整個表面上，而矽化鎢(Wsi)薄膜係藉 CVD 法來被進一步長成於該 DASi 薄膜上。磷的劑量是為，例如，在一個從

2×10^{20} 到 $3 \times 10^{21} \text{ cm}^{-3}$ 或附近的範圍之內。該 DASi 薄膜的厚度是為 100 到 150 nm，而該 Wsi 薄膜的厚度是為 100 到 180 nm。在本實施例中，一氮化矽薄膜係藉 CVD 法來被形成於該 Wsi 薄膜。該氮化矽薄膜的厚度能夠設定為 50 到 150 nm，例如。於此中要形成能夠確保對該半導體基體 1 之一合意水平之蝕刻選擇性的其他薄膜，例如，氧化矽薄膜或氧氮化矽薄膜，代替該氮化矽薄膜亦是可容許的。接著，一抗阻薄膜係藉塗佈來被形成於該氮化矽薄膜上，而然後係被定以圖案俾可具有一個與在週邊電路區域中之電晶體的閘極電極和該等字線之圖案相等的圖案，即，俾可僅於在該週邊電路區域中之電晶體之閘極電極和該等字線要被形成的目標區域中具有開孔。然後，如在第 6A 到 6C 圖中所示，該氮化矽薄膜、該 Wsi 薄膜和 DASi 薄膜係連續地被蝕刻俾藉此形成在該週邊電路區域中之電晶體(圖中未示)的閘極電極和該等字線 6。要注意的是，在該週邊電路區域中，在該 DASi 薄膜的形成之前，於在該週邊電路區域中具有開孔的抗阻薄膜作為光罩下，該 ONO 薄膜 2 被蝕刻掉，然後，該抗阻光罩被移去，而一閘極氧化薄膜(圖中未示)係被形成。

接著，一 CVD 氧化薄膜係以 100 到 200 nm 的厚度來被長成於該整個表面上，而然後係被各向異性地蝕刻俾藉此於該等字線 6 及在該週邊電路區域中之電晶體之閘極電極(圖中未示)的側表面上產生該等側壁 8，如在第 7A 至 7C 圖中所示。而且，緊在該 CVD 氧化薄膜下面之 ONO 薄膜

2 的一部份係藉該各向異性蝕刻來被蝕刻掉。於此中要形成能夠確保對該半導體基體 1 之一合意水平之蝕刻選擇性的其他薄膜，例如，氧化矽薄膜或氮化矽薄膜，代替該 CVD 氧化薄膜亦是可容許的。

一抗阻薄膜(圖中未示)然後被形成俾可覆蓋該週邊電路區域並且僅允許該快閃記憶體細胞區域被曝露，而然後在如此之抗阻薄膜作為光罩下，該半導體基體 1 被蝕刻。由於該氮化矽薄膜 22、氧化矽薄膜 5 和側壁 8 亦能夠作用如該快閃記憶體細胞區域中的蝕刻光罩，僅該半導體基體 1 之未由它們中之一者所覆蓋的部份被蝕刻。該凹槽 21 係被如此形成，如在第 8A 到 8C 圖中所示。硼離子然後係在該抗阻薄膜、氮化矽薄膜 22、氧化矽薄膜 5 和側壁 8 作為光罩下藉離子植入法來被摻雜至該凹槽 21 的底部部份俾藉此形成該通道阻絕雜質-擴散層 7。離子植入法的條件係與 5×10^{12} 到 $1 \times 10^{13} \text{ cm}^{-2}$ 或附近的劑量、20 到 40 keV 的離子加速電壓、及 0° 的傾斜角(入射角)有關，例如。該抗阻薄膜然後被移去，該中間層絕緣薄膜 9 係藉 CVD 法來被形成於該整個表面上，例如，導線(圖中未示)的形成等等係跟隨在該中間層絕緣薄膜 9 的形成後面。因此，該第一實施例的 NOR-型快閃記憶體係被製成。要藉由以斜角離子植入法來摻雜硼離子俾亦形成該通道阻絕雜質-擴散層 7 於該凹槽 21 的側表面上亦是可容許的。這樣成功地降低該等電晶體的窄通道效應。

第 9A 至 10B 圖是為顯示該 NOR-型快閃記憶體之運作

的示意圖式。第 9A 圖顯示資料”0”的寫入運作，而第 9B 圖顯示資料”0”的抹除運作。第 10A 和 10B 圖顯示資料的讀取運作，其中，第 10A 圖顯示資料”1”被事前儲存的情況，而第 10B 圖顯示資料”0”被事前儲存的情況。

就資料之寫入運作係藉著熱電子(CHE)之注入來被達成的情況而言，如在第 9A 圖中所示，該閘極電壓、汲極電壓和源極電壓係分別被設定成，例如，10V、5V 和 0V 的位準。該基體的電壓位準現在是為 0V。從一通道 20 注入的電子係被陷入到該是為 ONO 薄膜 2 之組件的氮化矽薄膜 2b，或者係在該氧化矽薄膜 2a 與氮化矽薄膜 2b 之間的邊界。雖然第 9A 圖顯示電子係被注入在該汲極附近的示範情況，藉由互換該源極電壓與汲極電壓，要把電子注入在該源極附近俾藉此寫入資料亦是有可能的。即，一個記憶體細胞能夠儲存兩個位元，如由該等斷線圈所表示。

另一方面，就資料之抹除運作根據在該等能帶之間之隧道效應來進行的情況而言，如在第 9B 圖中所示，該閘極電壓、汲極電壓和源極電壓係分別被設定為，例如，-5V、5V 和懸浮位準的位準。該基體的電壓位準現在是為 0V。電洞係從與相當於該汲極的位元線雜質-擴散層 4 注入到該是為 ONO 薄膜 2 之組件的氮化矽薄膜 2b，或者係注入到在該氧化矽薄膜 2a 與氮化矽薄膜 2b 之間的邊界。如果電子係事前被陷入於該氮化矽薄膜 2b 或者在以上所述的邊界的話，這些電子係由被注入的電洞抵消俾藉此達成資料的抹除。相對地，如果在該氮化矽薄膜 2b 或者在以上所述的邊

界係沒有電子被陷入的話，該等被注入的電洞係被陷入在該氮化矽薄膜 2b 或者在以上所述的邊界。雖然第 9B 圖顯示電洞係僅被注入在該汲極附近的示範情況，藉由在抹除期間使該源極電壓與在 5V 的汲極電壓相等，例如，要把被注入在該源極附近的電子與被注入在該汲極附近的那些一起抵消俾藉此全體地抹除資料亦是有可能的。

當資料被讀取時，如在第 10A 和 10B 圖中所示，該閘極電壓、汲極電壓和源極電壓係分別被設定為，例如，3.3V、1V 和 0V 的位準。該基體的電壓位準再次是為 0V。就沒有被陷入的電子呈現於該氮化矽薄膜 2b 或於在該氧化矽薄膜 2a 與氮化矽薄膜 2b 之間之邊界的情況而言，如在第 10A 圖中所示，相當於該源極的一位元線雜質-擴散層 4 與相當於該汲極的另一位元線雜質-擴散層 4 係由該通道 20 連接，其導致資料”0”之讀取的結果。另一方面，就電子被陷入該氮化矽薄膜 2b 或在該以上所述之邊界的情況而言，如在第 10B 圖中所示，該通道 20 無法到達相當於該汲極的位元線雜質-擴散層 4，且該中間-源極-汲極電流不在兩個位元線雜質-擴散層 4 之間流動，其導致資料”1”之讀取的結果。

(第二實施例)

接著，本發明之第二實施例的非依電性半導體記憶體裝置(NOR-型快閃記憶體)將會作說明。在該第二實施例中的電路結構係與先前在第 30 圖中所示的那個相同，但佈局與剖面結構係與在該第一習知例子和第一實施例中的那些

不同。第 11 圖是為顯示本發明之第二實施例之非依電性半導體記憶體裝置(NOR-型快閃記憶體)之結構的佈局圖。第 12A、12B 和 12C 圖分別是為沿著第 11 圖中之 I-I 線、II-II 線和 III-III 線的示意剖視圖。

在該第二實施例中，一矽化鈷薄膜 24 係形成於該字線 6 上。該半導體基體 1 之不形成有位元線雜質-擴散層 4 和字線 6 的區域係具有一凹槽 23 形成於其中。在這實施例中，該通道阻絕雜質-擴散層 7 係形成於該凹槽 23 的底部。該側壁 8 係被形成於在該等位元線雜質-擴散層 4 之間的凹槽 23，如在第 12B 圖中所示，而且係被形成俾可延伸在從該字線 6 與堆疊於該字線 6 上之矽化鈷薄膜 24 之側表面到在該等字線 6 之間之凹槽 23 之底部的區域上，如在第 12C 圖中所示。與在第一實施例中所示的情況不同，該 ONO 薄膜 2 係因此不被形成於該側壁 8 下面。該中間層絕緣薄膜 9 亦被填注於該凹槽 23 內。該中間層絕緣薄膜 9 係，例如，與該第一實施例相似地藉著 CVD 法來被形成。要注意的是，除了在位元線雜質-擴散層 4 上的氧化矽薄膜 5 之外，該等絕緣薄膜(ONO 薄膜 2、側壁 8 和中間絕緣薄膜 9)的描繪在第 11 圖中係被省略。

在該第二實施例之如此構成的裝置中，元件隔離不僅由該通道阻絕雜質-擴散層 7 達成且亦由被填注於該凹槽 23 內的中間層絕緣薄膜 9 達成。在該凹槽 23 的形成中，如在第 12C 圖中所示，由於一個形成在要被處理之材料層與於字線 6 之光刻定以圖案處理中之抗阻薄膜之間的防反射層

(圖中未示)，以及該氧化矽薄膜 5 係可利用作為蝕刻光罩，沒有必要以任何的抗阻薄膜作為光罩。這樣保證一個提升的電壓電阻，而且使得要輕易地精巧處理該字線 6 是有可能的。

下一個段落將會描述一種製造該第二實施例之如此構成之 NOR-型快閃記憶體的方法。第 13A、13B 和 13C 圖到第 15A、15B 和 15C 圖是為連續地顯示在製造本發明之第二實施例之 NOR-型快閃記憶體之方法中之處理步驟的示意剖視圖。現在，要注意的是，在從第 13A 到 15C 圖的圖式中，具有最後加上”A”之圖號的圖式是為沿著第 11 圖中之 I-I 線的剖視圖，具有最後加上”B”之圖號的圖式是為沿著第 11 圖中之線 II-II 的剖視圖，而具有最後加上”C”之圖號的圖式是為沿著第 11 圖中之線 III-III 的剖視圖。

首先，與該第一實施例的情況相似，在第 3A、3B 和 3C 圖至第 6A、6B 和 6C 圖中所示的處理步驟係被進行。

接著，一抗阻薄膜(圖中未示)係被形成俾可覆蓋該週邊電路區域並且僅允許該快閃記憶體細胞區域被曝露，而該半導體基體 1 然後係被蝕刻，其中，罩遮係由該抗阻薄膜實現。由於該氮化矽薄膜 22 與氧化矽薄膜 5 在該快閃記憶體細胞區域中能夠作用如一蝕刻光罩，僅未由它們中之任一者所覆蓋之半導體基體 1 與該 ONO 薄膜 2 的一部份被蝕刻。該凹槽 23 係因此被形成，如在第 13A 到 13C 圖中所示。硼離子然後係藉著離子植入法來被摻雜到該凹槽 23 的底部部份俾藉此形成該通道阻絕雜質-擴散層 7，其中，罩遮係

由該抗阻薄膜、氮化矽薄膜 22 和氧化矽薄膜 5 實現。離子植入法的條件係與 5×10^{12} 到 $1 \times 10^{13} \text{ cm}^{-2}$ 或附近的劑量、20 到 40 keV 的離子加速電壓、及 0° 的傾斜角(入射角)有關，例如。該抗阻薄膜然後被移去。要藉由以斜角離子植入法來摻雜硼離子俾亦形成該通道阻絕雜質-擴散層 7 於該凹槽 23 的側表面上亦是可容許的。要把該抗阻薄膜定以圖案俾可具有在相鄰之字線 6 之間但與兩者相距的開孔又亦可容許的。就該抗阻薄膜被如此定以圖案的情況而言，由於該抗阻薄膜與氧化矽薄膜 5 兩者能夠作用如一蝕刻光罩，該凹槽 23 係能夠被形成與該等字線 6 的邊緣相距。與在第三習知例子中的情況不同，由於該抗阻薄膜不被使用作為用於形成字線 6 的蝕刻光罩，因此係沒有該抗阻薄膜不利地影響字線 6 之精巧處理的憂慮。這樣保證字線 6 的精巧處理，縱使該抗阻薄膜係相當厚，及保證在該凹槽形成之前損壞的避免，縱使該抗阻薄膜係相當薄。

接著，一 CVD 氧化薄膜係以 100 到 200 nm 的厚度長成於整個表面上，而然後係被各向異性地蝕刻俾藉此產生該等側壁 8 於該週邊電路區域中之電晶體之閘極電極(圖中未示)的側表面上、於在該等位元線雜質-擴散層 4 之間之凹槽 23 的側表面上，如在第 14B 圖中所示，及俾可延伸在從字線 6 與堆疊於該字線 6 上之矽化鈷薄膜 24 之側表面到在該等字線 6 之間之凹槽 23 之底部的區域上，如在第 14C 圖中所示。於此中要形成能夠確保對半導體基體 1 之一合意水平之蝕刻選擇性之其他薄膜，例如，氮化矽薄膜或氧氮

化矽薄膜，代替該 CVD 氧化薄膜亦是有可能的。

在該等字線 6 上和在該週邊電路區域中之電晶體之閘極電極上的氮化矽薄膜 22 然後係藉著使用磷酸的沸煮處理 (boiling treatment) 來被移去，例如。用於以氫氟酸來移去在該週邊電路區域中之電晶體之源極-和-汲極區域(圖中未示)上之氧化薄膜的處理係跟隨在該沸煮處理後面。一 Co 薄膜和一 TiN 薄膜然後係連續地藉由濺鍍來被形成於該整個表面上，而然後係遭受在 450 到 550°C 下的燈焰回火 (lamp annealing) (迅速熱回火：RTA) 俾藉此允許這些薄膜與該字線 6 和閘極電極的表面，在該週邊電路區域中之電晶體之源極-和-汲極區域，起反應作用。該矽化鈷薄膜 24 係因此被形成，如在第 15A 到 15C 圖中所示。該中間層絕緣薄膜 9 然後係藉由，例如，CVD 法來被形成在該整個表面上，導線(圖中未示)的形成等等係跟隨在該中間層絕緣薄膜 9 的形成後面。因此，該第二實施例的 NOR-型快閃記憶體係被製成。

(第三實施例)

接著，本發明之第三實施例的非依電性半導體記憶體裝置(NOR-型快閃記憶體)將會被說明。在該第三實施例中的電路結構係與先前在第 30 圖中所示的那個相同，但佈局和剖面結構係與在該第一習知例子，及在該第一和第二實施例中的那些不同。第 16 圖是為顯示本發明之第三實施例之非依電性半導體記憶體裝置(NOR-型快閃記憶體)之結構的佈局圖。第 17A、17B 和 17C 圖分別是為沿著第 16 圖中

之 I-I 線、II-II 線和 III-III 線的示意剖視圖。

在該第三實施例中，該矽化鈷薄膜 24 不僅被形成於該字線 6 上，且亦被形成於該位元線雜質-擴散層 4 上。該氧化矽薄膜 5 不被形成於該位元線雜質-擴散層 4 上。與在該第二實施例中的情況相似，該半導體基體 1 之沒有形成位元線雜質-擴散層 4 和字線 6 的區域係具有一凹槽 23 形成於其中。在這實施例中，該通道阻絕雜質-擴散層 7 係被形成於該凹槽 23 的底部。在該等位元線雜質-擴散層 4 之間的側壁 8，如在第 17B 圖中所示，係被形成於該凹槽 23 內在一個比形成於該位元線雜質-擴散層 4 上之矽化鈷薄膜 24 之底端低的水平，而在該等字線 6 之間的側壁 8，如在第 17C 圖中所示，係被形成在該從矽化鈷薄膜 24 之底端之水平到該凹槽 23 之底部的區域上。該矽化鈷薄膜 24 亦被形成於在該通道阻絕雜質-擴散層 7 上之由側壁 8 所包圍的區域。要注意的是，除了在位元線雜質-擴散層 4 上的氧化矽薄膜 5 之外，該等絕緣薄膜(ONO 薄膜 2、側壁 8 和中間層絕緣薄膜 9)的描繪在第 16 圖中係被省略。

就該第三實施例之如此構成的快閃記憶體而言，與由該第二實施例所得到之那些相同的運作和效果係能夠被獲得，而且位元線的電阻係數亦能夠憑藉被形成於位元線雜質-擴散層 4 上的矽化鈷薄膜 24 來被降低。雖然該矽化鈷薄膜 24 亦餘留在該通道阻絕雜質-擴散層 7 上，該矽化鈷薄膜 24 係藉側壁 8 來與字線 6 和位元線雜質-擴散層 4 隔離，因此在其之間的短路係被防止。

下一個段落將會描述一種製造該第三實施例之如此構成之 NOR-型快閃記憶體的方法。第 18A、18B 和 18C 圖到第 20A、20B 和 20C 圖是為連續地顯示在製造本發明之第三實施例之 NOR-型快閃記憶體之方法中之處理步驟的示意剖視圖。現在要注意的是，在從第 18A 圖到第 20C 圖的圖式中，具有最後加上”A”之圖號的圖式是為沿著第 16 圖中之 I-I 線的剖視圖，具有最後加上”B”之圖號的圖式是為沿著第 16 圖中之線 II-II 的剖視圖，而具有最後加上”C”之圖號的圖式是為沿著第 16 圖中之線 III-III 的剖視圖。

首先，與該第一實施例的情況相似，在第 3A、3B 和 3C 圖到第 6A、6B 和 6C 圖中所示的處理步驟係被進行。

接著，一抗阻薄膜(圖中未示)係被形成俾可覆蓋該週邊電路區域並允許僅該快閃記憶體細胞區域被曝露，而然後該半導體基體 1 係被蝕刻，其中，罩遮係由該抗阻薄膜實現。由於該氮化矽薄膜 22 與氧化矽薄膜 5 亦能夠作用如在該快閃記憶體細胞區域中的蝕刻光罩，僅未由它們中之任一者所覆蓋之半導體基體 1 與 ONO 薄膜 2 的一部份被蝕刻。該凹槽 23 係因此被形成，如在第 18A 到 18C 圖中所示。硼離子然後係藉著離子植入法來被摻雜到該凹槽 23 的底部部份俾藉此形成該通道阻絕雜質-擴散層 7，其中，罩遮係由該抗阻薄膜、氮化矽薄膜 22 和氧化矽薄膜 5 實現。離子植入法的條件係與 5×10^{12} 到 $1 \times 10^{13} \text{ cm}^{-2}$ 或附近的劑量、20 到 40 keV 的離子加速電壓、及 0° 的傾斜角(入射角)有關，例如。該抗阻薄膜然後被移去。要藉由以斜角離子植

入法來摻雜硼離子俾亦形成該通道阻絕雜質-擴散層 7 於該凹槽 23 的側表面上亦是可容許的。要把該抗阻薄膜定以圖案俾可具有在相鄰之字線之間但與兩者相距的開孔又亦可容許的。就該抗阻薄膜被如此定以圖案的情況而言，由於該抗阻薄膜與氧化矽薄膜 5 兩者能夠作用如一蝕刻光罩，該凹槽 23 係能夠被形成與該等字線 6 的邊緣相距。

接著，一 CVD 氧化薄膜係以 100 到 200 nm 的厚度長成於該整個表面上，而然後被各向異性地蝕刻。過蝕刻現在係在這實施例被執行。結果，側壁 8 被形成於在該週邊電路區域中之電晶體之閘極電極(圖中未示)的側表面上、被形成於在位元線雜質-擴散層 4 之間的凹槽 23 內，如在第 19B 圖中所示、及被形成俾可延伸在該從字線 6 與堆疊於字線 6 上之矽化鈷薄膜 24 之側表面到在字線 6 之間之凹槽 23 之底部的區域上，如在第 19C 圖中所示，其中，氧化矽薄膜 5 亦被移去，如在第 19B 圖中所示。側壁 8 的高度係比在該第二實施例中的那個低。於此中要形成能夠確保對半導體基體 1 之一合意水平之蝕刻選擇性的其他薄膜，例如，氮化矽薄膜或氧氮化矽薄膜，代替該 CVD 氧化薄膜亦是可容許的。

在字線 6 上和該週邊電路區域中之電晶體之閘極電極上的氮化矽薄膜 22 然後係藉利用磷酸的沸煮處理來被移去，例如。跟在這處理後面的是為以氫氟酸把在該週邊電路區域中之電晶體之源極-與-汲極區域(圖中未示)上之氧化薄膜移去的處理。即使在該過蝕刻之後可能遺留下來的任

何氧化矽薄膜 5 係能夠完全地由這處理移去。一 Co 薄膜與一 TiN 薄膜然後係連續地藉著濺鍍來被形成於該整個表面上，而然後係遭受在 450 到 550°C 下的燈焰回火(迅速熱回火：RTA)俾藉此允許這些薄膜與字線 6、位元線雜質-擴散層 7、通道阻絕雜質-擴散層 7 之曝露部份、和該週邊電路區域中之電晶體之閘極電極和源極-與-汲極區域的表面起反應作用。該矽化鈷薄膜 24 係因此被形成，如在第 20A 到 20C 圖中所示。該中間層絕緣薄膜 9 然後係藉 CVD 法來被形成於該整個表面上，例如，跟在該中間層絕緣薄膜 9 之形成後面的是為導線(圖中未示)的形成等等。因此，該第三實施例的 NOR-型快閃記憶體係被製成。

(第四實施例)

接著，本發明之第四實施例的非依電性半導體記憶體裝置(AND-型快閃記憶體)將會被說明。在該第四實施例中的電路結構係與先前在第 38 圖中所示的那個相同，但佈局與剖面結構係與在第 39 圖和第 40A 至 40C 圖中所示之第二習知例子中的那些不同。第 21 圖是為顯示本發明之第四實施例之非依電性半導體記憶體裝置(AND-型快閃記憶體)之結構的佈局圖。第 22A、22B 和 22C 圖分別是為沿著第 21 圖中之 I-I 線、II-II 線和 III-III 線的示意剖視圖。

而且，在該第四實施例中，如在第 22A 到 22C 圖中所示，該位元線係由形成於半導體基體 1 之表面部份的位元線雜質-擴散層 4 所構成，而該字線 6 係由形成於半導體基體 1 上的半導體薄膜所構成，一絕緣薄膜係置於該半導體

基體 1 與該半導體薄膜之間。該等側壁 8 係形成於該字線 6、在該字線 6 下面之 ONO 薄膜 2 與在該 ONO 薄膜 2 下面之懸浮閘極 14 的側表面上，而該氮化矽薄膜 22 係形成於該字線 6 上。該整個表面係由該中間層絕緣薄膜 9 覆蓋。該半導體基體 1 之沒有形成位元線雜質-擴散層 4、字線 6、側壁 8 和元件隔離氧化薄膜 12 的區域係形成有一凹槽 25 於其中。在這實施例中，該通道阻絕雜質-擴散層 7 係形成於該凹槽 25 的底部。該中間層絕緣薄膜 9 亦被填注於該凹槽 25 內。該中間層絕緣薄膜 9 係藉 CVD 法來被形成，例如。要注意的是，除了該位元線雜質-擴散層 4 上的氧化矽薄膜 5 和該字線 6 上的氮化矽薄膜 22 之外，該等絕緣薄膜 (ONO 薄膜 2、側壁 8、中間層絕緣薄膜 9 和隧道氧化薄膜 13) 的描繪在第 21 圖係被省略。

在該第四實施例中之通道阻絕雜質-擴散層 7 的圖案係因此稍微與先前在第 39 圖中所示的那個不同。更特別地，如在第 21 圖中所示，字線 6 與通道阻絕雜質-擴散層 7 在平面圖中係永不彼此直接接觸，而取而代之，在它們之間係有一個具有相當於側壁 8 之寬度之寬度的間隙。

在該第四實施例之如此構成的裝置中，元件隔離係不僅由該通道阻絕雜質-擴散層 7 達成且亦由填注於該凹槽 25 內的中間層絕緣薄膜 9 達成，其確保一提升的電壓電阻。在該凹槽 25 的形成中，如在第 22C 圖中所示，因為於在該等字線 6 之間之凹槽 25 與該等字線 6 中之每一者之間係有側壁 8，且在字線 6 上係有氮化矽薄膜 22，其中，側壁 8、

氮化矽薄膜 22、元件隔離氧化薄膜 12 和氧化矽薄膜 5 全部能夠被使用作為蝕刻光罩，因此係不需要任何的抗阻薄膜作為光罩。這樣使得要輕易地精巧處理字線 6 是有可能的，而且係進一步有利於抑制由於可能在凹槽 25 藉蝕刻形成時發生之損壞所引起之在電晶體特性上的變化。

第 23A 到 24B 圖是為顯示該 NOR-型快閃記憶體之運作的示意圖。第 23A 圖顯示資料”0”的寫入運作，而第 23B 圖顯示資料”0”的抹除運作。第 24A 和 24B 圖顯示資料的讀取運作，其中，第 24A 圖顯示資料”1”被事前儲存的情況，而第 24B 圖顯示資料”0”被事前儲存的情況。

當資料被寫入時，如在第 23A 圖中所示，閘極電壓、汲極電壓和源極電壓係分別被設定為，例如，-8V、6V 與懸浮位準的位準。該基體的電壓位準現在是為 0V。被陷入於該懸浮閘極 14 的電子係由富勒-諾德哈姆(FN)隧道電流撤銷。

另一方面，當資料被抹除時，如在第 23B 圖中所示，閘極電壓、汲極電壓和源極電壓係分別被設定為，例如，10V、-8V 和 -8V 的位準。該基體的電壓位準係被設定為 -8V，例如。電子係在來自半導體基體之富勒-諾德哈姆(FN)隧道電流的幫助下由該懸浮閘極 14 陷捕。

當資料被讀取時，如在第 24A 和 24B 圖中所示，閘極電壓、汲極電壓和源極電壓係分別典型地被設定為，例如，3.3V、1.2V 與 0V 的位準。該基體的電壓位準現在是為 0V。就沒有被陷捕之電子呈現於該懸浮閘極 14 的情況而言，如

在第 24A 圖中所示，一反轉層係被形成於該半導體基體 1，如在第 24A 圖中所示，而相當於該源極的一位元線雜質-擴散層 4 與相當於該汲極的另一位元線雜質-擴散層 4 係由該通道 20 連接，其允許中間-源極-汲極電流在這些位元線雜質-擴散層 4 之間流動。這樣係導致資料”0”之讀取的結果。另一方面，就電子被陷捕於該懸浮閘極 14 的情況而言，如在第 24B 圖中所示，既沒有反轉層被形成亦沒有通道被形成，而因此該中間-源極-汲極電流不在兩位元線雜質-擴散層 4 之間流動，其導致資料”1”之讀取的結果。

該第四實施例之 AND-型快閃記憶體之凹槽 25 能夠以製造一 AND-型快閃記憶體之習知方法為基礎，由在該第一實施例中所述的方法形成，其中，側壁 8 被形成於該週邊電路區域中之電晶體之閘極電極(圖中未示)與字線 6 的側表面上，一個僅曝露該快閃記憶體細胞區域的抗阻薄膜係被形成，且該半導體基體 1 然後被蝕刻，其中，該抗阻薄膜、側壁 8、氮化矽薄膜 22、元件隔離氧化薄膜 12 和氧化矽薄膜 5 係被使用作為光罩。其他的結構組件能夠由已知的一般程序來被形成。一處理是如此，例如，形成該元件隔離氧化薄膜 12 於該半導體基體 1 的表面上、形成該隧道絕緣薄膜 13 於該半導體基體 1 上、形成該位元線雜質-擴散層 4 於該半導體基體 1 的表面部份、形成該氧化矽薄膜 5 於該位元線雜質-擴散層 4 上、形成該懸浮閘極 14 於該隧道絕緣薄膜 13 上及於該氧化矽薄膜 5 上、形成該 ONO 薄膜 2 於該懸浮閘極 14 上、及連續地形成於稍後被處理來形成字

線 6 的該導電層與該氮化矽薄膜 22(在被定以圖案之前)於該整個表面上。其後的該等處理係可以與在該第一實施例中的那些相同。要藉斜角離子植入法來摻雜硼離子俾亦形成該通道阻絕雜質-擴散層 7 於該凹槽 25 的側表面上亦是可容許的，如在第 25A 到 25C 圖中所示。第 25A、25B 和 25C 分別是為了沿著第 21 圖中之 I-I 線、II-II 線和 III-III 線之顯示本發明之第四實施例之非依電性半導體記憶體裝置(AND-型快閃記憶體)之變化例子的示意剖視圖。

(第五實施例)

接著，本發明之第五實施例的非依電性半導體記憶體裝置(AND-型快閃記憶體)將會被說明。在該第五實施例中的電路結構係與先前在第 38 圖中所示的那個相同，但佈局與剖面結構係與在該第二習知例子和該第四實施例中的那些不同。第 26 圖是為顯示本發明之第五實施例之非依電性半導體記憶體裝置(AND-型快閃記憶體)之結構的佈局圖。第 27A、27B 和 27C 圖分別是為了沿著第 26 圖中之 I-I 線、II-II 線和 III-III 線的示意剖視圖。

在該第五實施例中，矽化鈷薄膜 24 係形成於字線 6 上。該半導體基體 1 之沒有形成位元線雜質-擴散層 4、字線 6 和元件隔離氧化薄膜 12 的區域係具有一凹槽 26 形成於其中。在這實施例中，該通道阻絕雜質-擴散層 7 係形成於該凹槽 26 的底部。該側壁 8 係形成於在位元線雜質-擴散層 4 之間的凹槽 26 內，如在第 27B 圖中所示，且係被形成俾可延伸在該從字線 6 與堆疊於字線 6 上之矽化鈷薄膜 24

之側表面到字線 6 之間之凹槽 26 之底部的區域上，如在第 27C 圖中所示。該中間層絕緣薄膜 9 亦被填注於該凹槽 26 內。該中間層絕緣薄膜 9 係與該第四實施例的情況相似地由 CVD 法形成，例如。要注意的是，除了位元線雜質-擴散層 4 上的氧化矽薄膜 5 之外，該等絕緣薄膜(ONO 薄膜 2、側壁 8、中間層絕緣薄膜 9 和隧道氧化薄膜 13)的描繪在第 26 圖中係被省略。

在該第五實施例之如此構成的裝置中，元件隔離係不僅由該通道阻絕雜質-擴散層 7 達成且亦由被填注於該凹槽 26 內的中間層絕緣薄膜 9 達成。在該凹槽 26 的形成中，如在第 27C 圖中所示，因為一個在字線 6 之光刻定以圖案處理中被形成於要被處理之材料層與一抗阻薄膜之間的防反射層(圖中未示)、元件隔離氧化薄膜 12 和氧化矽薄膜 5 係可利用作為蝕刻光罩，利用任何抗阻薄膜的罩遮係沒有必要。這樣係確保與由該第四實施例所得到之那些相同的效果。

在該第五實施例之 AND-型快閃記憶體中的凹槽 26 能夠以製造一 AND-型快閃記憶體的習知方法為基礎，由在該第二實施例中所述的方法形成，其中，字線 6 與堆疊於其上的氮化矽薄膜 22 被形成、僅曝露該快閃記憶體細胞區域的抗阻薄膜被形成、且半導體基體 1 然後被蝕刻，其中，罩遮係由該抗阻薄膜、氮化矽薄膜 22、元件隔離氧化薄膜 12 和氧化矽薄膜 5 實現。其他的結構組件係由已知的一般程序形成。其後的處理係可以與在第二實施例中的那些相

同。

(第六實施例)

接著，本發明之第六實施例的非依電性半導體記憶體裝置(AND-型快閃記憶體)將會被說明。在該第六實施例中的電路結構係與先前在第 38 圖中所示的那個相同，但佈局與剖面結構係與在該第二習知例子，及該第四和第五實施例中的那些不同。第 28 圖是為顯示本發明之第六實施例之非依電性半導體記憶體裝置(AND-型快閃記憶體)之結構的佈局圖。第 29A、29B 和 29C 圖分別是為了沿著第 28 圖中之 I-I 線、II-II 線和 III-III 線的示意剖視圖。

在該第六實施例中，矽化鈷薄膜 24 係不僅被形成於該字線 6 上，且亦被形成於該位元線雜質-擴散層 4 上。該氧化矽薄膜 5 不被形成於該位元線雜質-擴散層 4 上。與在該第四實施例中的情況相似，該半導體基體 1 之沒有形成位元線雜質-擴散層 4、元件隔離氧化薄膜 12 和字線 6 的區域係具有凹槽 26 形成於其中。在這實施例中，該通道阻絕雜質-擴散層 7 係形成於該凹槽 26 的底部。在該等位元線雜質-擴散層 4 之間的側壁 8，如在第 29B 圖中所示，係形成於該凹槽 26 內在一個比形成於位元線雜質-擴散層 4 上之矽化鈷薄膜 24 之底端低的水平，而在該等字線 6 之間的側壁 8，如在第 29C 圖中所示，係形成在該從矽化鈷薄膜 24 之底端之水平到該凹槽 26 之底部的區域上。該矽化鈷薄膜 24 亦被形成於該通道阻絕雜質-擴散層 7 上之由側壁 8 所包圍的區域。要注意的是，除了位元線雜質-擴散層 4 上的氧化矽

薄膜 5 之外，該等絕緣薄膜(ONO 薄膜 2、側壁 8、中間層絕緣薄膜 9 和隧道氧化薄膜 13)的描繪在第 28 圖中係被省略。

對於該第六實施例之如此構成的快閃記憶體，與由該第五實施例所得到之那些相同的運作和效果能夠被得到，而且位元線的電阻係數亦能夠憑藉形成於位元線雜質-擴散層 4 上的矽化鈷薄膜 24 來被降低。雖然該矽化鈷薄膜 24 亦餘留在該通道阻絕雜質-擴散層 7 上，該矽化鈷薄膜 24 係由來自該字線 6 與位元線雜質-擴散層 4 的側壁 8 所隔離，因此在它們之間的短路係被防止。

該第六實施例之 AND-型快閃記憶體的凹槽 26 能夠以製造 AND-型快閃記憶體的習知方法為基礎，由在該第三實施例中所述的方法形成，其中，字線 6 與堆疊於其上的氮化矽薄膜 22 被形成、僅曝露該快閃記憶體細胞區域的抗阻薄膜被形成、且該半導體基體 1 然後被蝕刻，其中，罩遮係由該抗阻薄膜、氮化矽薄膜 22、元件隔離氧化薄膜 12 和氧化矽薄膜 5 實現。其他的結構組件能夠由已知的一般程序形成。其後的處理係可以與在該第三實施例中的那些相同。例如，該第六實施例的結構能夠藉由以過蝕刻和氫氟酸處理移去該氧化矽薄膜 5，及藉著接連的自行對準矽化物處理來被得到。

【圖式簡單說明】

第 1 圖是為顯示本發明之第一實施例之非依電性半導體記憶體裝置(NOR-型快閃記憶體)之結構的佈局圖；

第 2A 至 2C 圖是為顯示本發明之第一實施例之 NOR-型快閃記憶體之結構的示意剖視圖；

第 3A 至 3C 圖是為顯示在製造本發明之第一實施例之 NOR-型快閃記憶體之方法中之一個處理步驟的示意剖視圖；

第 4A 至 4C 圖亦是為顯示從第 3A 至 3C 圖延續之下一個處理步驟的示意剖視圖；

第 5A 至 5C 圖亦是為顯示從第 4A 至 4C 圖延續之下一個處理步驟的示意剖視圖；

第 6A 至 6C 圖亦是為顯示從第 5A 至 5C 圖延續之下一個處理步驟的示意剖視圖；

第 7A 至 7C 圖亦是為顯示從第 6A 至 6C 圖延續之下一個處理步驟的示意剖視圖；

第 8A 至 8C 圖亦是為顯示從第 7A 至 7C 圖延續之下一個處理步驟的示意剖視圖；

第 9A 和 9B 圖是為顯示該 NOR-型快閃記憶體之運作的示意圖；

第 10A 和 10B 圖亦是為顯示該 NOR-型快閃記憶體之運作的示意圖；

第 11 圖是為顯示本發明之第二實施例之非依電性半導體記憶體裝置(NOR-型快閃記憶體)之結構的佈局圖；

第 12A 至 12C 圖是為顯示本發明之第二實施例之 NOR-型快閃記憶體之結構的示意剖視圖；

第 13A 至 13C 圖是為顯示在一種製造本發明之第二實

施例之 NOR-型快閃記憶體之方法中之一個處理步驟的示意剖視圖；

第 14A 至 14C 圖亦是為顯示從第 13A 至 13C 圖延續之下一個處理步驟的示意剖視圖；

第 15A 至 15C 圖亦是為顯示從第 14A 至 14C 圖延續之下一個處理步驟的示意剖視圖；

第 16 圖是為顯示本發明之第三實施例之非依電性半導體記憶體裝置(NOR-型快閃記憶體)之結構的佈局圖；

第 17A 至 17C 圖是為顯示本發明之第三實施例之 NOR-型快閃記憶體之結構的示意剖視圖；

第 18A 至 18C 圖是為顯示在一種製造本發明之第三實施例之 NOR-型快閃記憶體之方法中之一個處理步驟的示意剖視圖；

第 19A 至 19C 圖亦是為顯示從第 18A 至 18C 圖延續之下一個處理步驟的示意剖視圖；

第 20A 至 20C 圖亦是為顯示從第 19A 至 19C 圖延續之下一個處理步驟的示意剖視圖；

第 21 圖是為顯示本發明之第四實施例之非依電性半導體記憶體裝置(AND-型快閃記憶體)之結構的佈局圖；

第 22A 至 22C 圖是為顯示本發明之第四實施例之 AND-型快閃記憶體之結構的示意剖視圖；

第 23A 和 23B 圖是為顯示該 AND-型快閃記憶體之運作的示意圖；

第 24A 和 24B 圖亦是為顯示該 AND-型快閃記憶體之

運作的示意圖；

第 25A 至 25C 圖是為顯示該第四實施例之變化例子的示意剖視圖；

第 26 圖是為顯示本發明之第五實施例之非依電性半導體記憶體裝置(AND-型快閃記憶體)之結構的佈局圖；

第 27A 至 27C 圖是為顯示本發明之第五實施例之 AND-型快閃記憶體之結構的示意剖視圖；

第 28 圖是為顯示本發明之第六實施例之非依電性半導體記憶體裝置(AND-型快閃記憶體)之結構的佈局圖；

第 29A 至 29C 圖是為顯示本發明之第六實施例之 AND-型快閃記憶體之結構的示意剖視圖；

第 30 圖是為顯示一 NOR-型快閃記憶體之一般結構的電路圖；

第 31 圖是為顯示一 NOR-型快閃記憶體之一般結構的佈局圖；

第 32A、32B 和 32C 圖分別是為沿著第 31 圖中之 I-I 線、II-II 線和 III-III 線的示意剖視圖；

第 33A 至 33C 圖是為顯示在一種製造快閃記憶體之習知方法中之一個處理步驟的示意剖視圖；

第 34A 至 34C 圖亦是為顯示從第 33A 至 33C 圖延續之下一個處理步驟的示意剖視圖；

第 35A 至 35C 圖亦是為顯示從第 34A 至 34C 圖延續之下一個處理步驟的示意剖視圖；

第 36A 至 36C 圖亦是為顯示從第 35A 至 35C 圖延續之

下一個處理步驟的示意剖視圖；

第 37A 至 37C 圖亦是為顯示從第 36A 至 36C 圖延續之下一個處理步驟的示意剖視圖；

第 38 圖是為顯示一個一般 AND-型快閃記憶體之結構的電路圖；

第 39 圖是為顯示一 AND-型快閃記憶體之一般結構的佈局圖；

第 40A、40B 和 40C 圖分別是為了沿著第 39 圖中之 I-I 線、II-II 線和 III-III 線的示意剖視圖；

第 41A 至 41C 圖是為顯示第三習知例子之快閃記憶體之結構的示意剖視圖；

第 42A 至 42C 圖是為顯示在一種製造該第三習知例子之快閃記憶體之習知方法中之一個處理步驟的示意剖視圖；及

第 43A 至 43C 圖亦是為顯示從第 42A 至 42C 圖延續之下一個處理步驟的示意剖視圖。

【圖式之主要元件代表符號表】

4 位元線雜質-擴散層	1 半導體基體
6 字線	2 ONO 薄膜
8 側壁	9 中間層絕緣薄膜
7 通道阻絕雜質-擴散層	10 位元線觸點
11 字線觸點	2a 氧化矽薄膜
2b 氮化矽薄膜	2c 氧化矽薄膜

12 元件隔離氧化薄膜

14 懸浮閘極

15 凹槽

16 抗阻薄膜

22 氮化矽薄膜

23 凹槽

25 凹槽

13 隧道氧化薄膜

5 氧化矽薄膜

17 熱氧化薄膜

21 凹槽

20 通道

24 矽化鈷薄膜

26 凹槽

伍、中文發明摘要：

一磷摻雜非晶矽薄膜與一氮化矽薄膜係連續地長成於一半導體基體上。該被得到的疊層係被定以圖案俾可得到字線。一CVD 氧化薄膜係長成於該整個表面上而然後被各向異性地蝕刻俾藉此形成側壁於該等字線的側表面上。一事前形成在該CVD 氧化薄膜下面的ONO 薄膜亦藉著該蝕刻來被移去。該半導體基體被蝕刻俾藉此形成一凹槽，其中，罩遮係由該氮化矽薄膜、氧化矽薄膜和側壁實現。硼離子係透過相同的光罩來藉離子植入法被摻雜到該凹槽的底部俾藉此形成一通道阻絕雜質-擴散層。然後，一中間層絕緣薄膜係形成在該整個表面上。

陸、英文發明摘要：

A phosphorus-doped amorphous silicon film and a silicon nitride film are serially grown over a semiconductor substrate. The obtained stack is patterned so as to obtain word lines. A CVD oxide film is grown on the entire surface and then anisotropically etched to thereby form sidewalls on the lateral faces of the word lines. An ONO film previously formed just under the CVD oxide film is also removed by the etching. The semiconductor substrate is etched to thereby form a groove, where masking is effected by the silicon nitride film, silicon oxide film and sidewall. Boron ions are doped by ion implantation through the same mask into the bottom of the groove to thereby form a channel stop impurity-diffused layer. Then, an inter-layer insulating film is formed over the entire surface.

拾、申請專利範圍：

1.一種非依電性半導體記憶體裝置，包含：

一半導體基體；

數條位元線，其係由形成於該半導體基體之表面部份的雜質-擴散層所構成；及

數條字線，其係由形成於該半導體基體上的導電層所構成且係被配置俾可在平面圖中與該數條位元線相交；

一第一絕緣薄膜，其係形成於該等字線上；及

一第二絕緣薄膜，其係沿著該等字線形成；

其中，在每兩相鄰的字線之間，

一凹槽係形成於該半導體基體的表面部份在每一個於平面圖中由形成於該等相鄰之字線之上之第一絕緣薄膜與由相鄰之位元線所界定的區域之內俾可與該第二絕緣薄膜對準；

一通道阻絕雜質-擴散層係形成在該凹槽的底部；及

一絕緣薄膜係填注於該凹槽內。

2.如申請專利範圍第 1 項所述的非依電性半導體記憶體裝置，其中，該第二絕緣薄膜是為一側壁。

3.一種非依電性半導體記憶體裝置，包含：

一半導體基體；

數條位元線，其係由形成於該半導體基體之表面部份的雜質-擴散層所構成；及

數條字線，其係由形成於該半導體基體上的導電層所構成且係被配置俾可在平面圖中與該數條位元線相交；

其中，在每兩相鄰的字線之間，

一凹槽係形成於該半導體基體的表面部份在每一個於平面圖中由該等相鄰之字線與相鄰之位元線所界定的區域之內；

一通道阻絕雜質-擴散層係形成於該凹槽的底部；

側壁係形成於該等個別之字線的側表面上俾可朝該凹槽的底部延伸；及

一絕緣薄膜係填注於該凹槽內。

- 4.如申請專利範圍第 3 項所述之非依電性半導體記憶體裝置，其中，該凹槽係被形成俾可在平面圖中與該等字線對準。
- 5.如申請專利範圍第 3 項所述之非依電性半導體記憶體裝置，其中，該凹槽係被形成俾可在平面圖中與該等字線相距。
- 6.如申請專利範圍第 3 項所述之非依電性半導體記憶體裝置，更包含一形成於該等位元線上和於自該等側壁曝露之通道阻絕雜質-擴散層之一部份上的矽化物薄膜。
- 7.如申請專利範圍第 1 項所述之非依電性半導體記憶體裝置，其中，該通道阻絕雜質-擴散層亦被形成於該凹槽的側表面上。
- 8.如申請專利範圍第 3 項所述之非依電性半導體記憶體裝置，其中，該通道阻絕雜質-擴散層亦被形成於該凹槽的側表面上。
- 9.如申請專利範圍第 1 項所述之非依電性半導體記憶體裝

置，其中，該裝置是為 NOR-型快閃記憶體。

10.如申請專利範圍第 3 項所述之非依電性半導體記憶體裝置

置，其中，該裝置是為 NOR-型快閃記憶體。

11.如申請專利範圍第 1 項所述之非依電性半導體記憶體裝置

置，其中，該裝置是為 AND-型快閃記憶體。

12.如申請專利範圍第 3 項所述之非依電性半導體記憶體裝置

置，其中，該裝置是為 AND-型快閃記憶體。

13.一種製造非依電性半導體記憶體裝置之方法，包含如下之步驟：

形成一疊層於一半導體基體上，該疊層係由一第一氧化薄膜、一氮化薄膜和一第二氧化薄膜以這順序堆疊所構成；

形成數條位元線，該數條位元線係由該半導體基體之表面部份的雜質-擴散層所構成；

形成一第一絕緣薄膜於該數條位元線上；

連續地形成一導電層與一第二絕緣薄膜於該整個表面上；

把該導電層與該第二絕緣薄膜定以圖案俾可得到數條在平面圖中與該數條位元線相交的字線；

形成側壁，該等側壁係由一在該等字線之側表面上的第三絕緣薄膜所構成；

藉由蝕刻該半導體基體的表面來形成一凹槽，其中，罩遮係由該第一絕緣薄膜、第二絕緣薄膜與側壁實現；

藉著離子植入法來形成一通道阻絕雜質-擴散層於該

凹槽的底部；及

以一第四絕緣薄膜填注該凹槽。

14.一種製造非依電性半導體記憶體裝置之方法，包含如下之步驟：

形成一疊層於一半導體基體上，該疊層係由一第一氧化薄膜、一氮化薄膜和一第二氧化薄膜以這順序堆疊所構成；

形成數條位元線，該數條位元線係由該半導體基體之表面部份的雜質-擴散層所構成；

形成一第一絕緣薄膜於該數條位元線上；

連續地形成一導電層與一第二絕緣薄膜於該整個表面上；

把該導電層與該第二絕緣薄膜定以圖案俾可得到數條在平面圖中與該數條位元線相交的字線；

藉由蝕刻該半導體基體的表面來形成一凹槽，其中，罩遮係由該第一絕緣薄膜與第二絕緣薄膜實現；

藉著離子植入法來形成一通道阻絕雜質-擴散層於該凹槽的底部；

形成側壁於該等字線的側表面上，該等側壁係由一第三絕緣薄膜所構成且係朝該凹槽的底部延伸；及

以一第四絕緣薄膜填注該凹槽。

15.一種製造非依電性半導體記憶體裝置之方法，包含如下之步驟：

形成一疊層於一半導體基體上，該疊層係由一第一氧

化薄膜、一氮化薄膜和一第二氧化薄膜以這順序堆疊所構成；

形成數條位元線，該數條位元線係由該半導體基體之表面部份的雜質-擴散層所構成；

形成一第一絕緣薄膜於該數條位元線上；

連續地形成一導電層與一第二絕緣薄膜於該整個表面上；

把該導電層與該第二絕緣薄膜定以圖案俾可得到數條在平面圖中與該數條位元線相交的字線；

形成一抗阻薄膜，該抗阻薄膜覆蓋該導電層與該第二絕緣薄膜，並且具有開孔在平面圖中於該等在每兩相鄰之字線之間的區域而且與該等字線相距；

藉由蝕刻該半導體基體的表面來形成一凹槽，其中，罩遮係由該第一絕緣薄膜和該抗阻薄膜實現；

藉著離子植入法來形成一通道阻絕雜質-擴散層於該凹槽的底部；及

以一第四絕緣薄膜填注該凹槽。

16.一種製造非依電性半導體記憶體裝置之方法，包含如下之步驟：

形成一隧道絕緣薄膜於一半導體基體上；

形成數條位元線，該數條位元線係由該半導體基體之表面部份的雜質-擴散層所構成；

形成一第一絕緣薄膜於該數條位元線上；

形成一懸浮閘極於該隧道絕緣薄膜與該第一絕緣薄

膜上；

形成一疊層於該懸浮閘極上，該疊層係由一第一氧化薄膜、一氮化薄膜和一第二氧化薄膜以這順序堆疊所構成；

連續地形成一導電層與一第二絕緣薄膜於該整個表面上；

把該導電層與該第二絕緣薄膜定以圖案俾可得到數條在平面圖中與該數條位元線相交的字線；

形成側壁，該等側壁係由一在該等字線之側表面上的第三絕緣薄膜所構成；

藉由蝕刻該半導體基體的表面來形成一凹槽，其中，罩遮係由該第一絕緣薄膜、第二絕緣薄膜與側壁實現；

藉著離子植入法來形成一通道阻絕雜質-擴散層於該凹槽的底部；及

以一第四絕緣薄膜填注該凹槽。

17.一種製造非依電性半導體記憶體裝置之方法，包含如下之步驟：

形成一隧道絕緣薄膜於一半導體基體上；

形成數條位元線，該數條位元線係由該半導體基體之表面部份的雜質-擴散層所構成；

形成一第一絕緣薄膜於該數條位元線上；

形成一懸浮閘極於該隧道絕緣薄膜與該第一絕緣薄膜上；

形成一疊層於該懸浮閘極上，該疊層係由一第一氧化

薄膜、一氮化薄膜和一第二氧化薄膜以這順序堆疊所構成；

連續地形成一導電層與一第二絕緣薄膜於該整個表面上；

把該導電層與該第二絕緣薄膜定以圖案俾可得到數條在平面圖中與該數條位元線相交的字線；

藉由蝕刻該半導體基體的表面來形成一凹槽，其中，罩遮係由該第一絕緣薄膜與第二絕緣薄膜實現；

藉著離子植入法來形成一通道阻絕雜質-擴散層於該凹槽的底部；

形成側壁於該等字線的側表面上，該等側壁係由一第三絕緣薄膜所構成且係朝該凹槽的底部延伸；及

以一第四絕緣薄膜填注該凹槽。

18.如申請專利範圍第 14 項所述之製造非依電性半導體記憶體裝置之方法，在該形成側壁之步驟與該填注第四絕緣薄膜之步驟之間，更包含如下之步驟：

移去該第二絕緣薄膜；及

形成一矽化薄膜於該等字線上。

19.如申請專利範圍第 17 項所述之製造非依電性半導體記憶體裝置之方法，在該形成側壁之步驟與該填注第四絕緣薄膜之步驟之間，更包含如下之步驟：

移去該第二絕緣薄膜；及

形成一矽化薄膜於該等字線上。

20.如申請專利範圍第 14 項所述之製造非依電性半導體記憶體

體裝置之方法，其中，該形成側壁的步驟係包含如下之步驟：

形成一第三絕緣薄膜於該整個表面上；及

在伴隨地移去該第一絕緣薄膜時各向異性地蝕刻該第三絕緣薄膜。

21.如申請專利範圍第 17 項所述之製造非依電性半導體記憶體裝置之方法，其中，該形成側壁的步驟係包含如下之步驟：

形成一第三絕緣薄膜於該整個表面上；及

在伴隨地移去該第一絕緣薄膜時各向異性地蝕刻該第三絕緣薄膜。

22.如申請專利範圍第 20 項所述之製造非依電性半導體記憶體裝置之方法，在伴隨地移去該第一絕緣薄膜時各向異性地蝕刻該第三絕緣薄膜之步驟與以該第四絕緣薄膜填注該等凹槽之步驟之間，更包含如下之步驟：

移去該第二絕緣薄膜；及

形成一矽化薄膜於該等字線、該等位元線與自該等側壁曝露之通道阻絕雜質-擴散層的一部份上。

23.如申請專利範圍第 21 項所述之製造非依電性半導體記憶體裝置之方法，在伴隨地移去該第一絕緣薄膜時各向異性地蝕刻該第三絕緣薄膜之步驟與以該第四絕緣薄膜填注該等凹槽之步驟之間，更包含如下之步驟：

移去該第二絕緣薄膜；及

形成一矽化薄膜於該等字線、該等位元線與自該等側

壁曝露之通道阻絕雜質-擴散層的一部份上。

24.一種製造非依電性半導體記憶體裝置之方法，包含如下之步驟：

形成一隧道絕緣薄膜於一半導體基體上；

形成數條位元線，該數條位元線係由該半導體基體之表面部份的雜質-擴散層所構成；

形成一第一絕緣薄膜於該數條位元線上；

形成一懸浮閘極於該隧道絕緣薄膜與該第一絕緣薄膜上；

連續地形成一導電層與一第二絕緣薄膜於該整個表面上；

把該導電層與該第二絕緣薄膜定以圖案俾可得到數條在平面圖中與該數條位元線相交的字線；

形成一抗阻薄膜，該抗阻薄膜覆蓋該導電層與該第二絕緣薄膜，並且具有開孔在平面圖中於該等在每兩相鄰之字線之間的區域且與該等字線相距；

藉由蝕刻該半導體基體的表面來形成一凹槽，其中，罩遮係由該第一絕緣薄膜與該抗阻薄膜實現；

藉著離子植入法來形成一通道阻絕雜質-擴散層於該凹槽的底部；及

以一第四絕緣薄膜填注該凹槽。

25.如申請專利範圍第 15 項所述之製造非依電性半導體記憶體裝置之方法，在該形成通道阻絕雜質-擴散層之步驟與該以第四絕緣薄膜填注凹槽之步驟之間，更包含如下之步

驟：

移去該第二絕緣薄膜；及

形成一矽化薄膜於該等字線上。

26.如申請專利範圍第 24 項所述之製造非依電性半導體記憶體裝置之方法，在該形成通道阻絕雜質-擴散層之步驟與該以第四絕緣薄膜填注凹槽之步驟之間，更包含如下之步驟：

移去該第二絕緣薄膜；及

形成一矽化薄膜於該等字線上。

27.如申請專利範圍第 15 項所述之製造非依電性半導體記憶體裝置之方法，在該形成通道阻絕雜質-擴散層之步驟與該以第四絕緣薄膜填注凹槽之步驟之間，更包含如下之步驟：

移去該第二絕緣薄膜；及

形成一矽化薄膜於該等字線、該等位元線、與自該等側壁曝露之通道阻絕雜質-擴散層的一部份上。

28.如申請專利範圍第 24 項所述之製造非依電性半導體記憶體裝置之方法，在該形成通道阻絕雜質-擴散層之步驟與該以第四絕緣薄膜填注凹槽之步驟之間，更包含如下之步驟：

移去該第一絕緣薄膜；

移去該第二絕緣薄膜；及

形成一矽化薄膜於該等字線、該等位元線、與自該等側壁曝露之通道阻絕雜質-擴散層的一部份上。

- 29.一種製造非依電性半導體記憶體裝置之方法，該裝置包含一半導體基體、數條由形成於該半導體基體之表面部份之雜質-擴散層所構成的位元線、及數條由形成於該半導體基體上之導電層所構成且被配置俾可在平面圖中與該數條位元線相交的字線，該方法包含如下之步驟：

藉由蝕刻該半導體基體來形成一凹槽，其中，罩遮係由一事前形成於該數條位元線與該數條字線上的絕緣薄膜實現；

藉著離子植入法來形成一通道阻絕雜質-擴散層於該凹槽的底部；及

以一第四絕緣薄膜填注該凹槽。

- 30.一種製造非依電性半導體記憶體裝置之方法，該裝置包含一半導體基體、數條由形成於該半導體基體之表面部份之雜質-擴散層所構成的位元線、及數條由形成於該半導體基體上之導電層所構成且被配置俾可在平面圖中與該數條位元線相交的字線，該方法包含如下之步驟：

藉由蝕刻該半導體基體來形成一凹槽，其中，罩遮係由一事前形成於該數條位元線的絕緣薄膜與一事前形成於該等字線上的抗阻薄膜實現；

藉著離子植入法來形成一通道阻絕雜質-擴散層於該凹槽的底部；及

以一第四絕緣薄膜填注該凹槽。

- 31.如申請專利範圍第 13 項所述之製造非依電性半導體記憶體裝置之方法，在該藉離子植入法來形成通道阻絕雜質-

擴散層於凹槽之底部的步驟中，該通道阻絕雜質-擴散層係藉離子植入法來亦形成於該凹槽的側表面上。

32.如申請專利範圍第 14 項所述之製造非依電性半導體記憶體裝置之方法，在該藉離子植入法來形成通道阻絕雜質-擴散層於凹槽之底部的步驟中，該通道阻絕雜質-擴散層係藉離子植入法來亦形成於該凹槽的側表面上。

33.如申請專利範圍第 15 項所述之製造非依電性半導體記憶體裝置之方法，在該藉離子植入法來形成通道阻絕雜質-擴散層於凹槽之底部的步驟中，該通道阻絕雜質-擴散層係藉離子植入法來亦形成於該凹槽的側表面上。

34.如申請專利範圍第 16 項所述之製造非依電性半導體記憶體裝置之方法，在該藉離子植入法來形成通道阻絕雜質-擴散層於凹槽之底部的步驟中，該通道阻絕雜質-擴散層係藉離子植入法來亦形成於該凹槽的側表面上。

35.如申請專利範圍第 17 項所述之製造非依電性半導體記憶體裝置之方法，在該藉離子植入法來形成通道阻絕雜質-擴散層於凹槽之底部的步驟中，該通道阻絕雜質-擴散層係藉離子植入法來亦形成於該凹槽的側表面上。

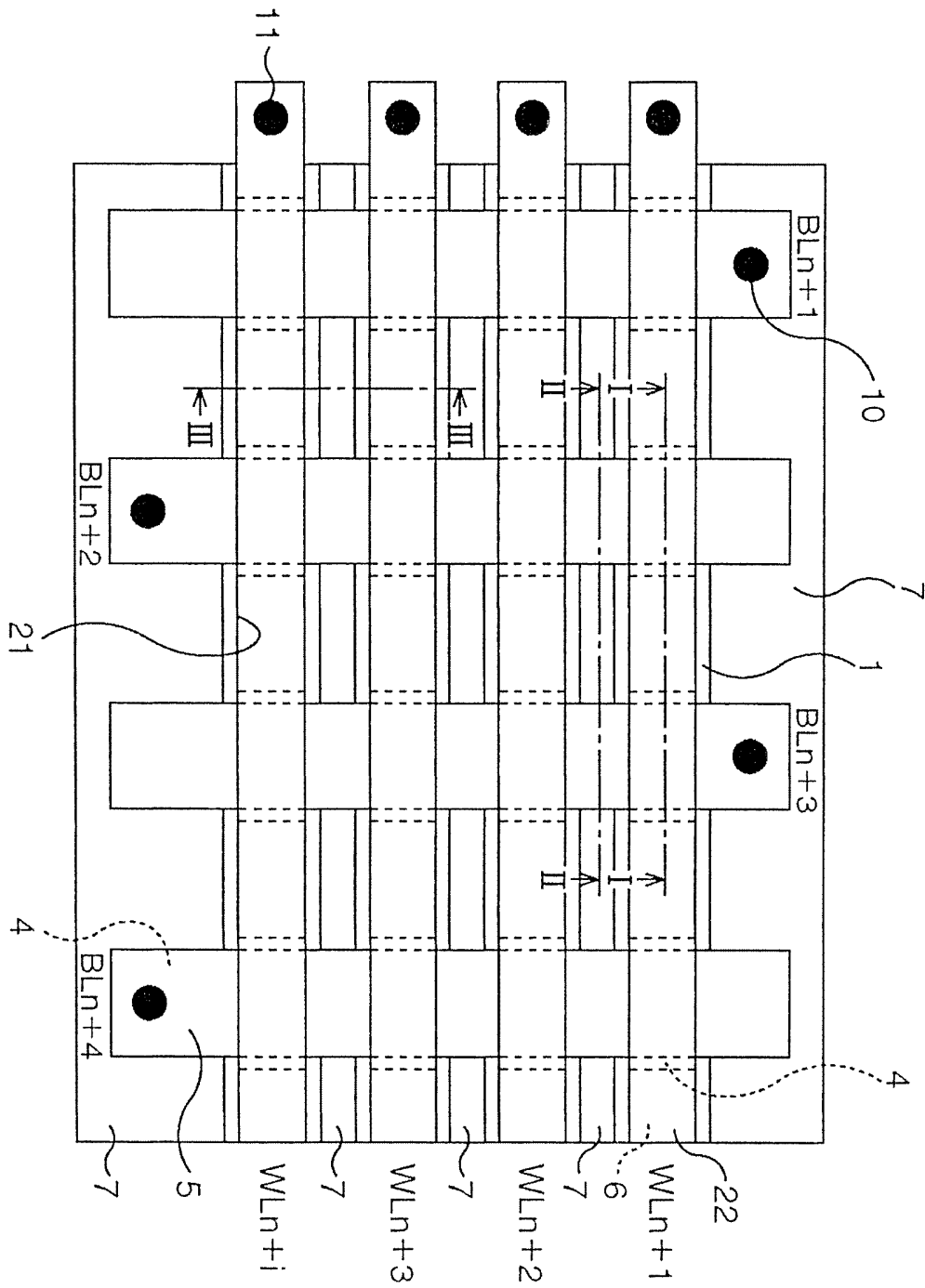
36.如申請專利範圍第 24 項所述之製造非依電性半導體記憶體裝置之方法，在該藉離子植入法來形成通道阻絕雜質-擴散層於凹槽之底部的步驟中，該通道阻絕雜質-擴散層係藉離子植入法來亦形成於該凹槽的側表面上。

37.如申請專利範圍第 29 項所述之製造非依電性半導體記憶體裝置之方法，在該藉離子植入法來形成通道阻絕雜質-

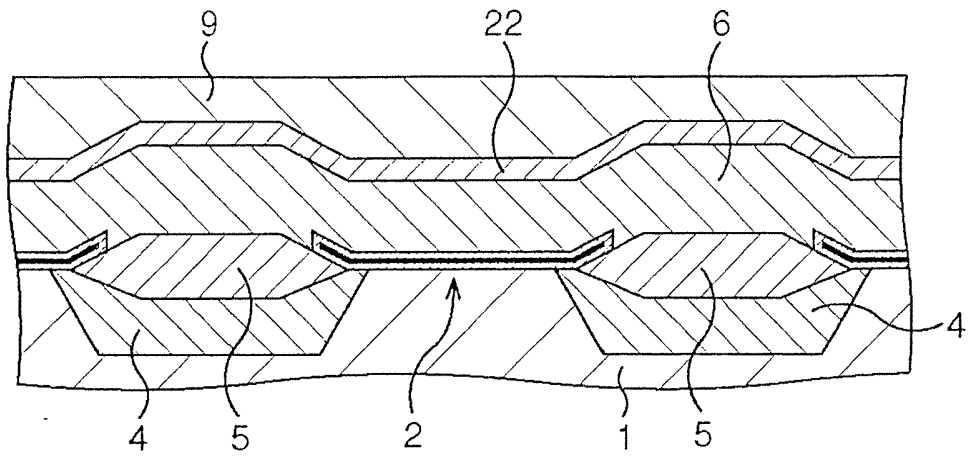
擴散層於凹槽之底部的步驟中，該通道阻絕雜質-擴散層係藉離子植入法來亦形成於該凹槽的側表面上。

- 38.如申請專利範圍第 30 項所述之製造非依電性半導體記憶體裝置之方法，在該藉離子植入法來形成通道阻絕雜質-擴散層於凹槽之底部的步驟中，該通道阻絕雜質-擴散層係藉離子植入法來亦形成於該凹槽的側表面上。

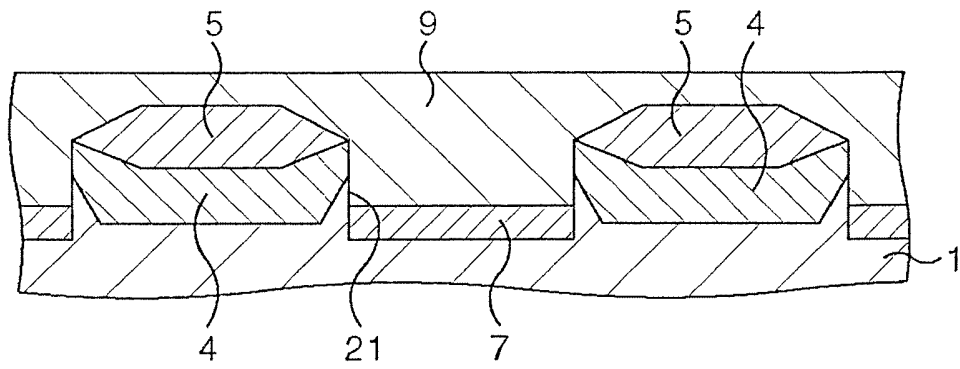
9-11-203



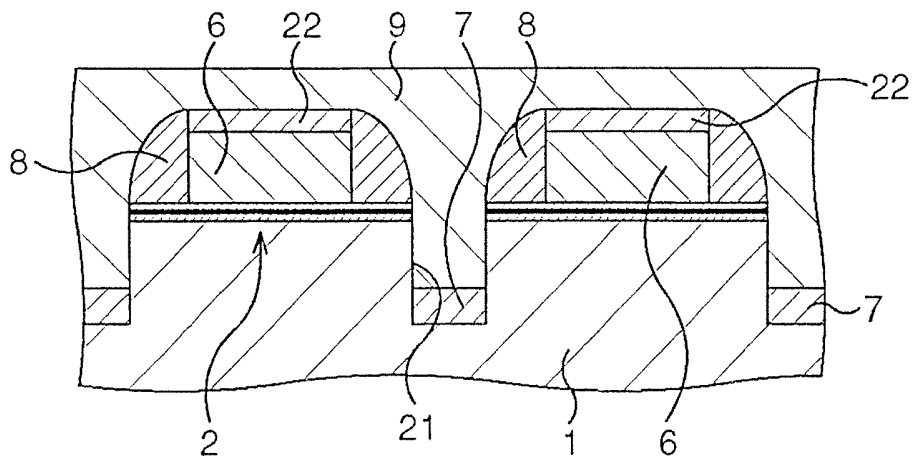
第 2A 圖



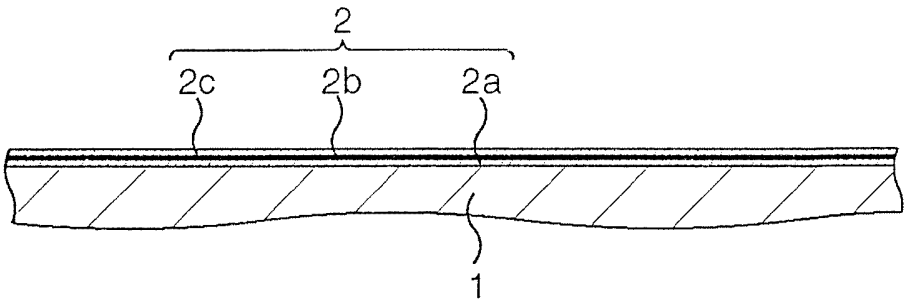
第 2B 圖



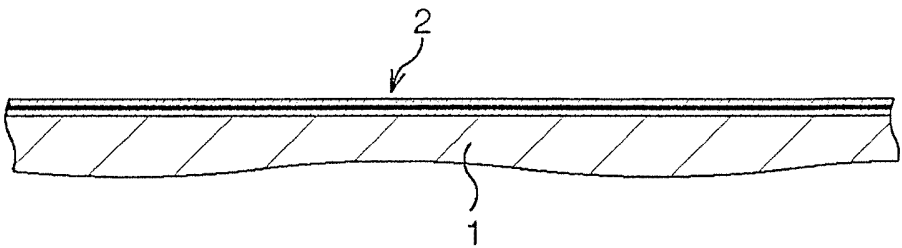
第 2C 圖



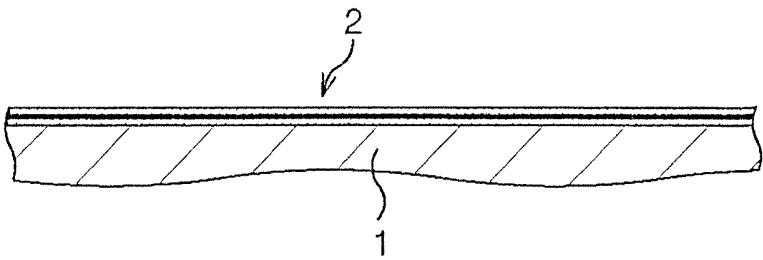
第 3A 圖



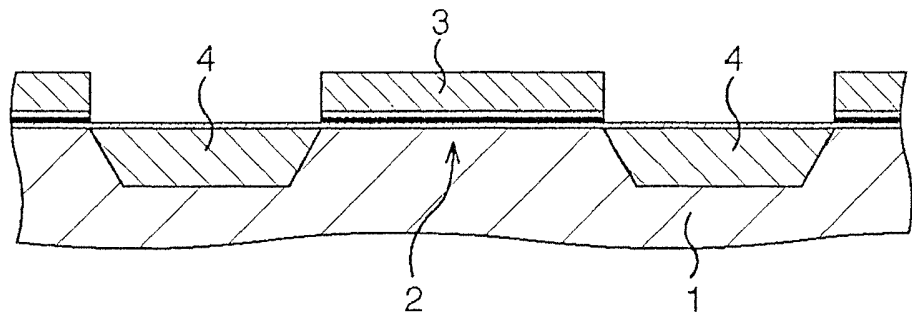
第 3B 圖



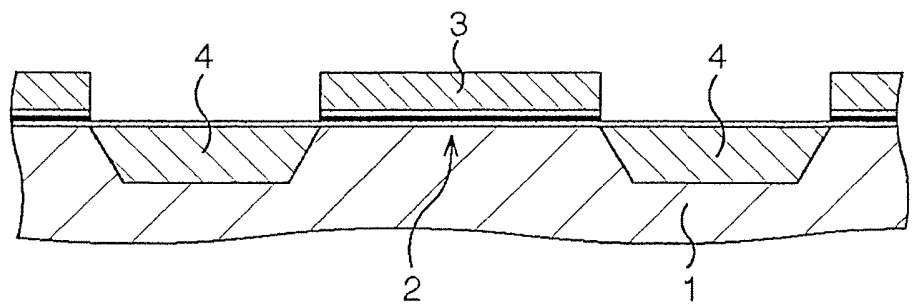
第 3C 圖



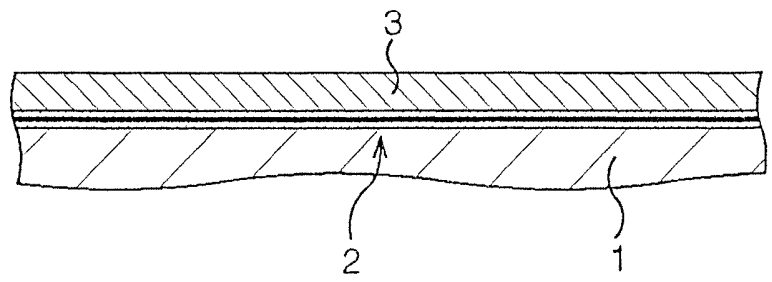
第 4A 圖



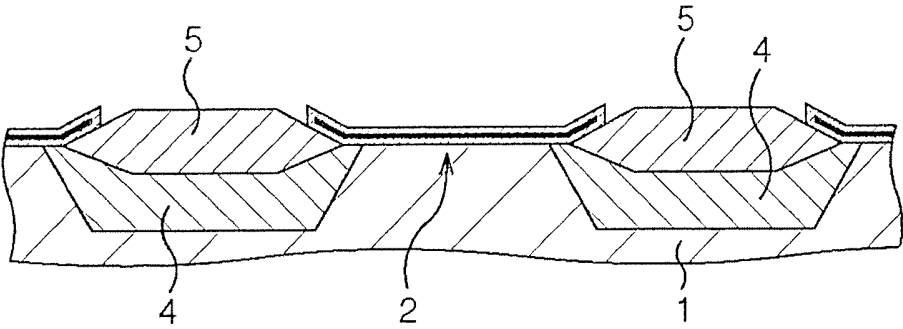
第 4B 圖



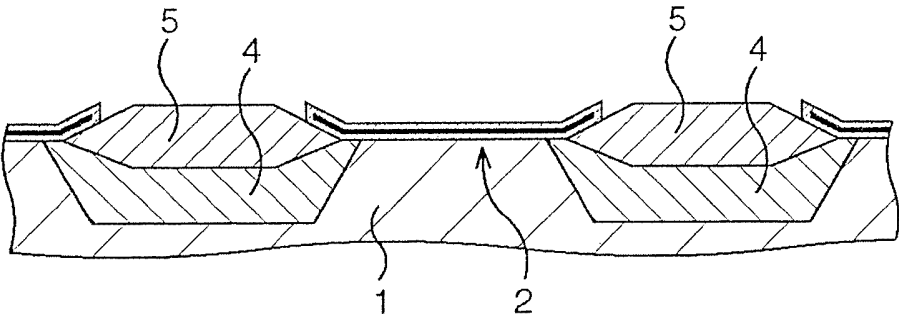
第 4C 圖



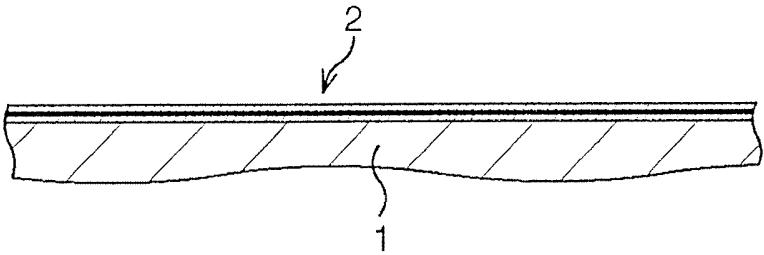
第 5A 圖



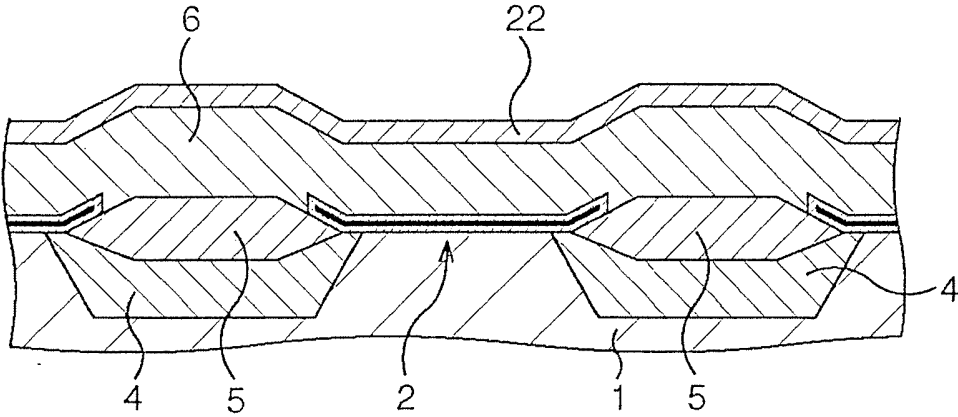
第 5B 圖



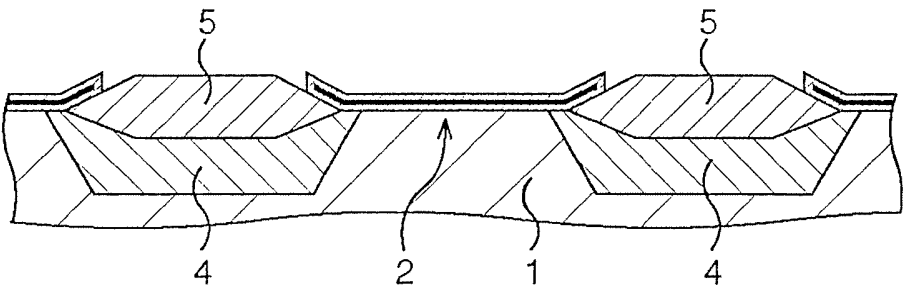
第 5C 圖



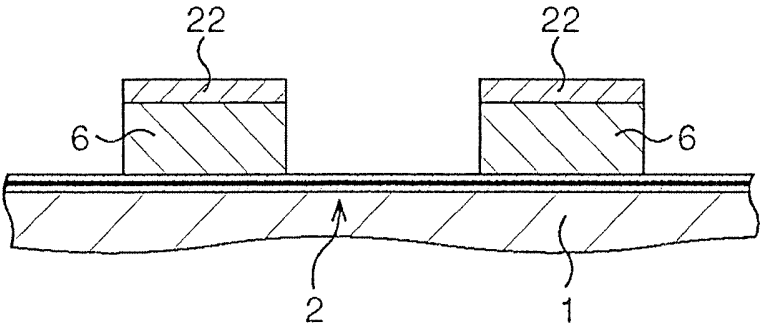
第 6A 圖



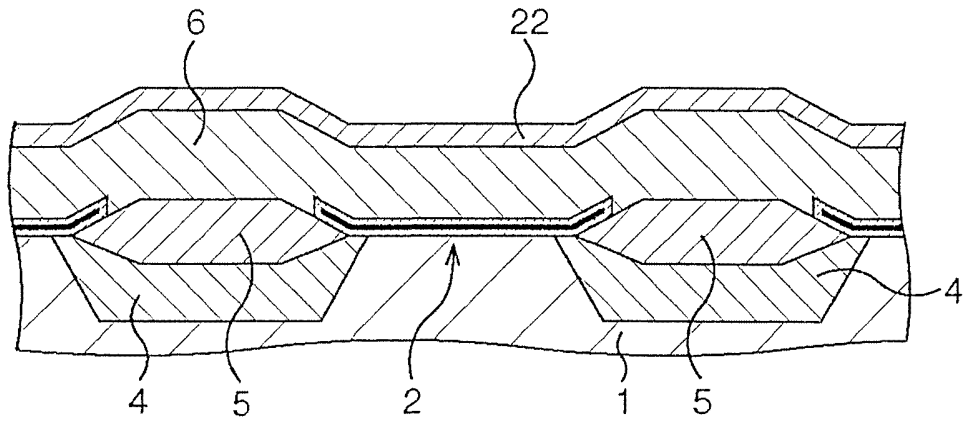
第 6B 圖



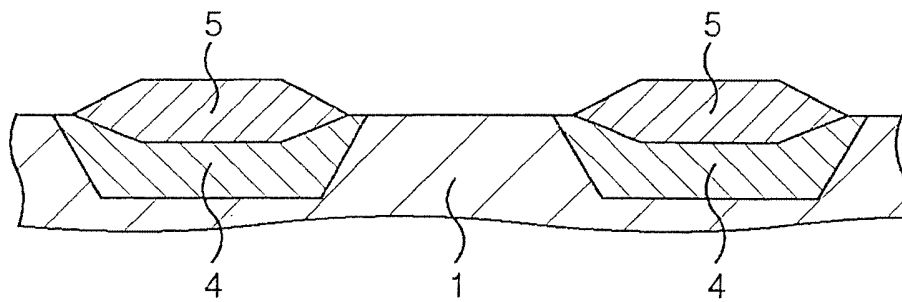
第 6C 圖



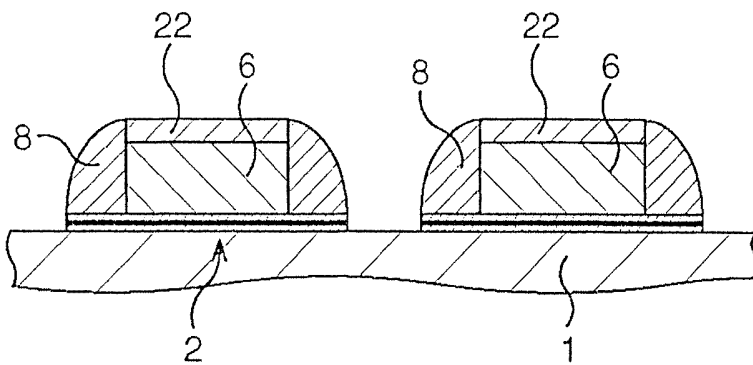
第 7A 圖



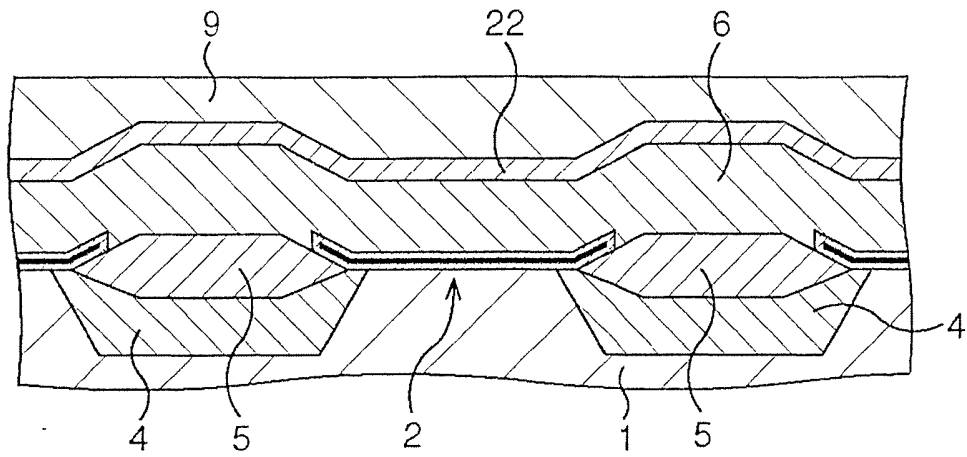
第 7B 圖



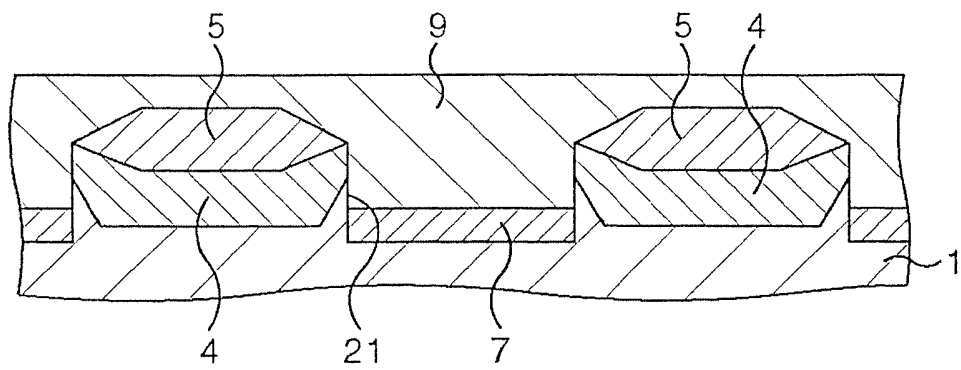
第 7C 圖



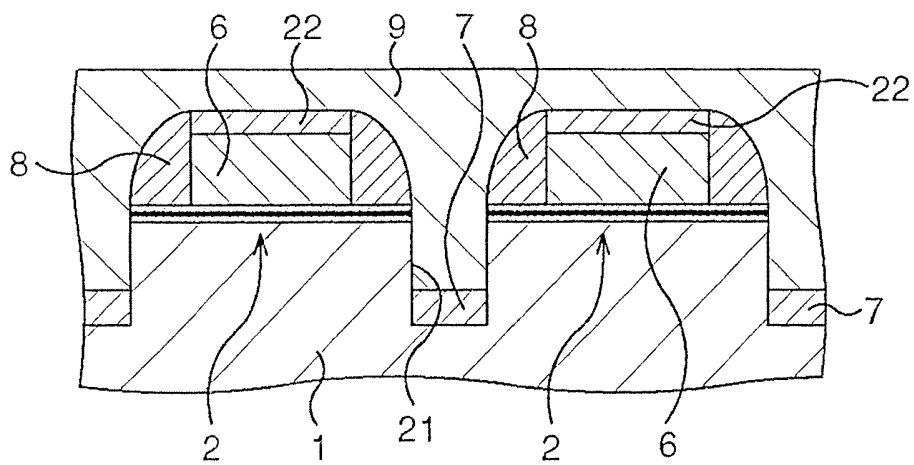
第 8A 圖



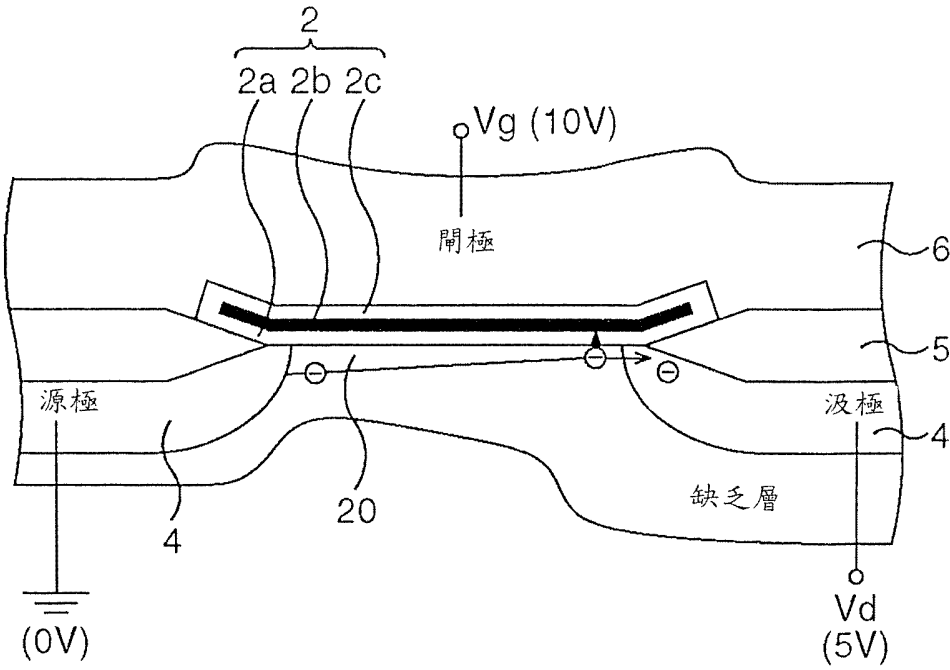
第 8B 圖



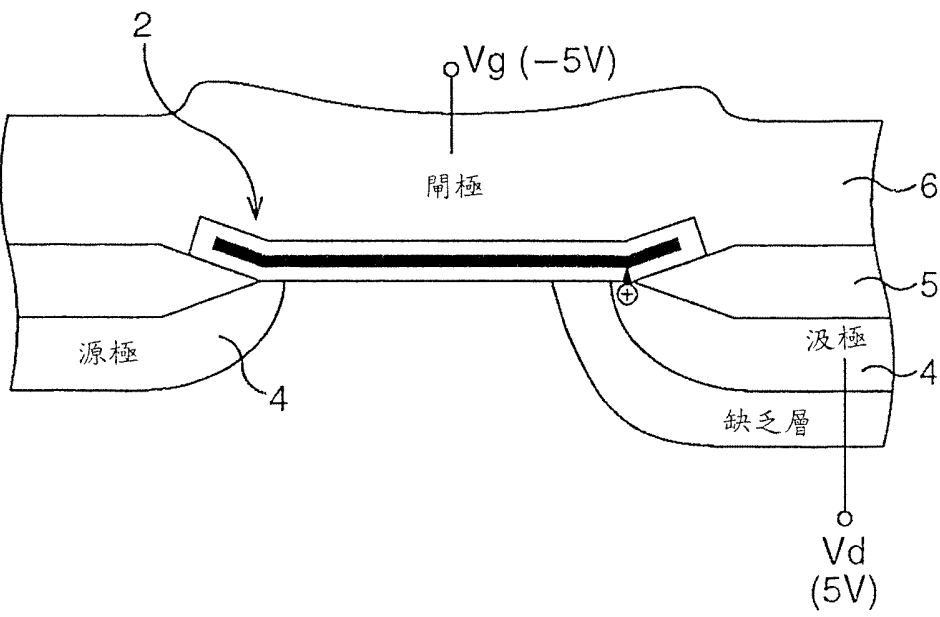
第 8C 圖



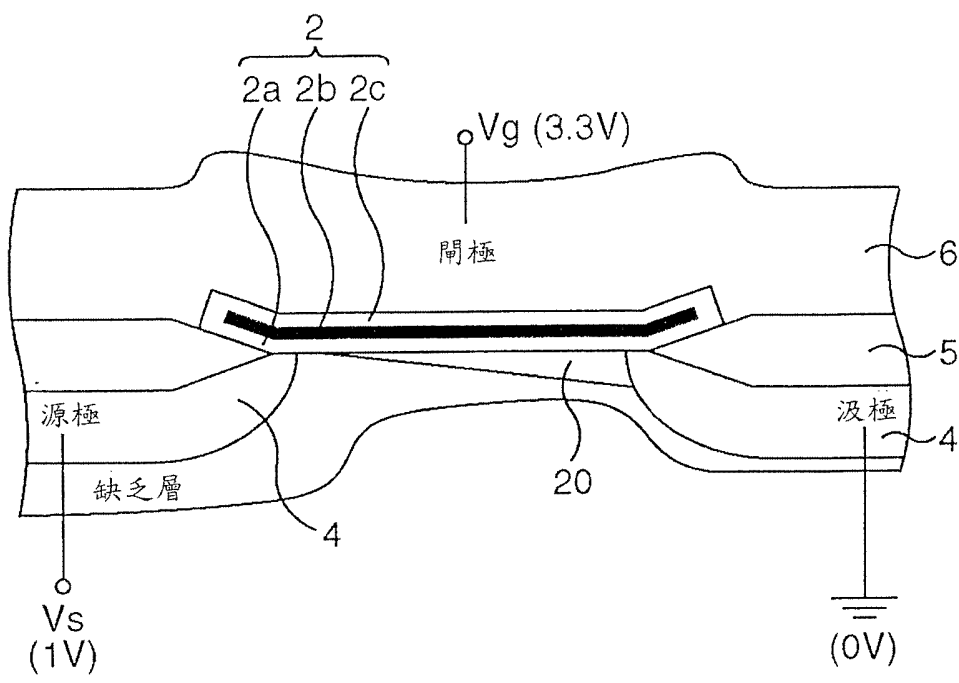
第 9A 圖



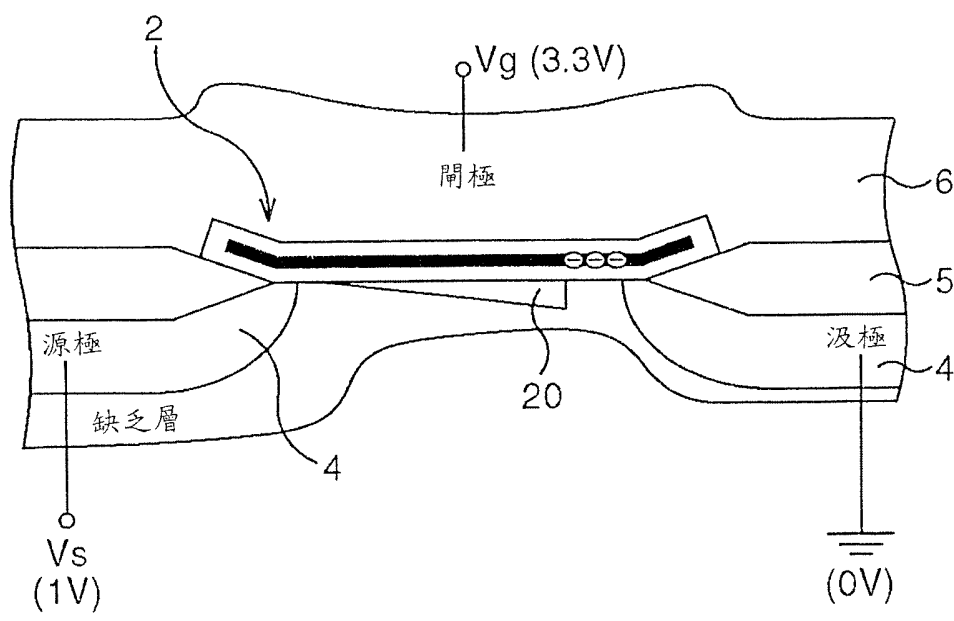
第 9B 圖



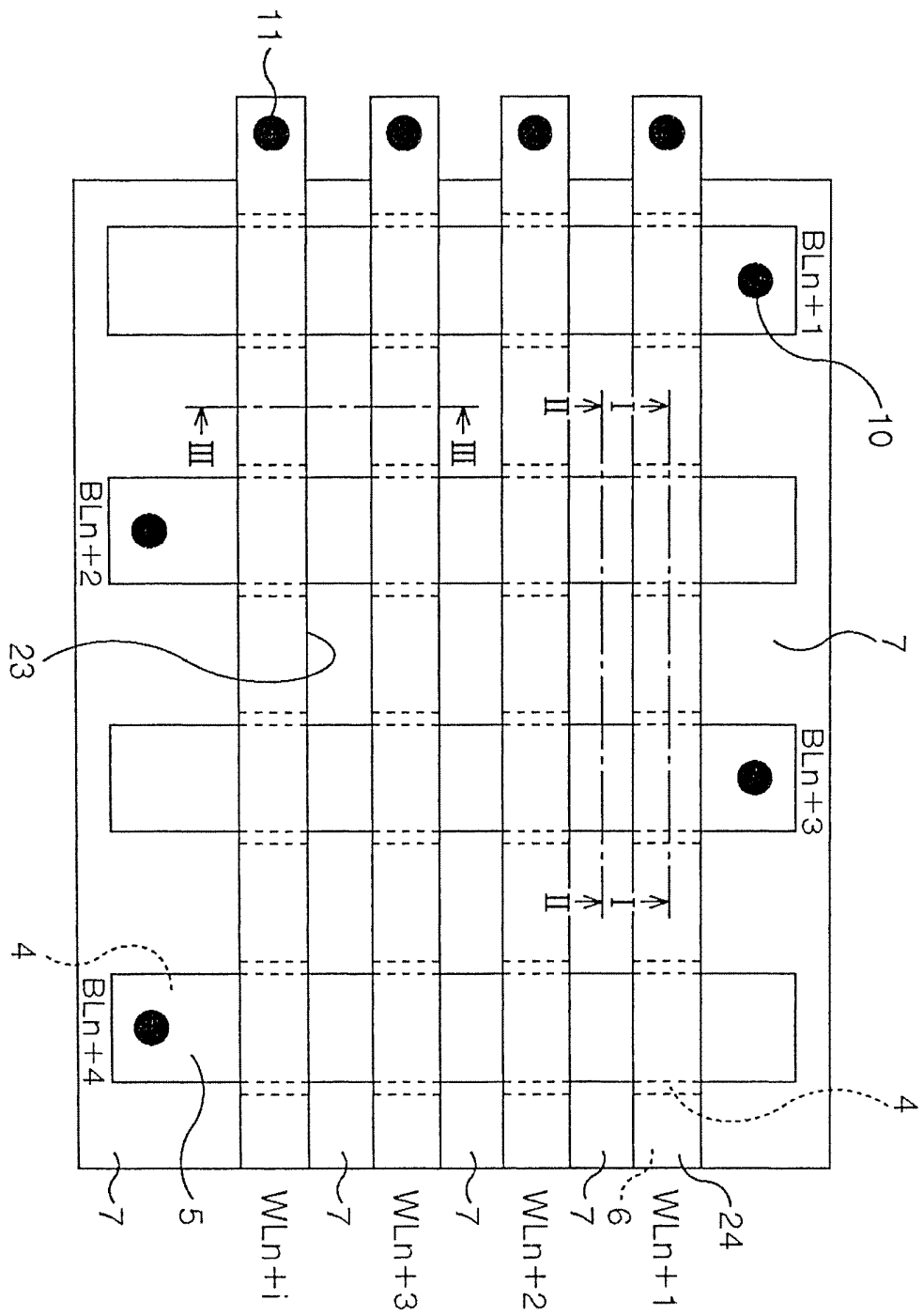
第 10A 圖



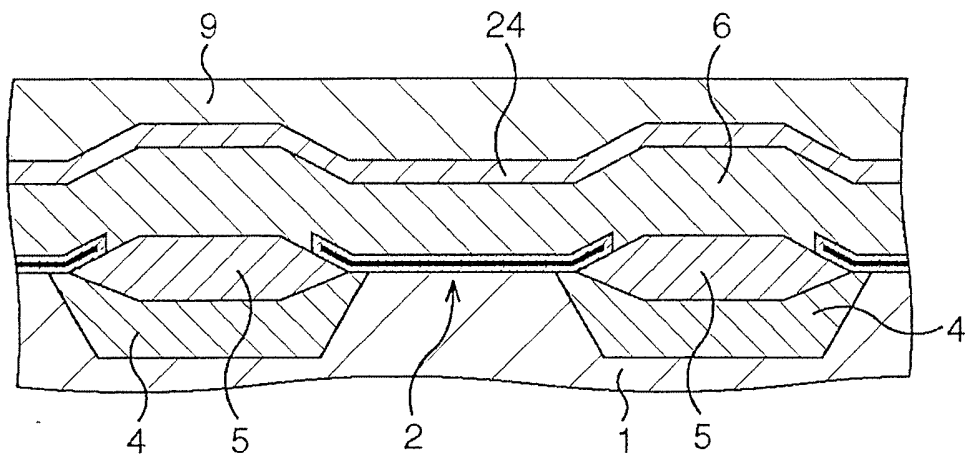
第 10B 圖



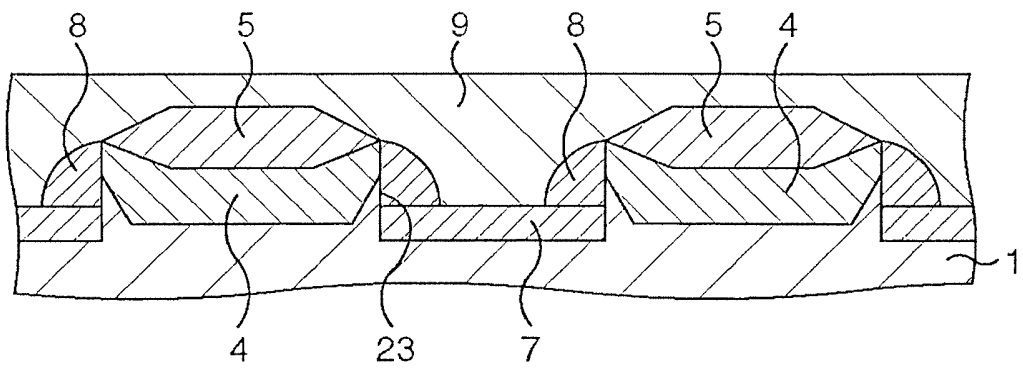
卷二



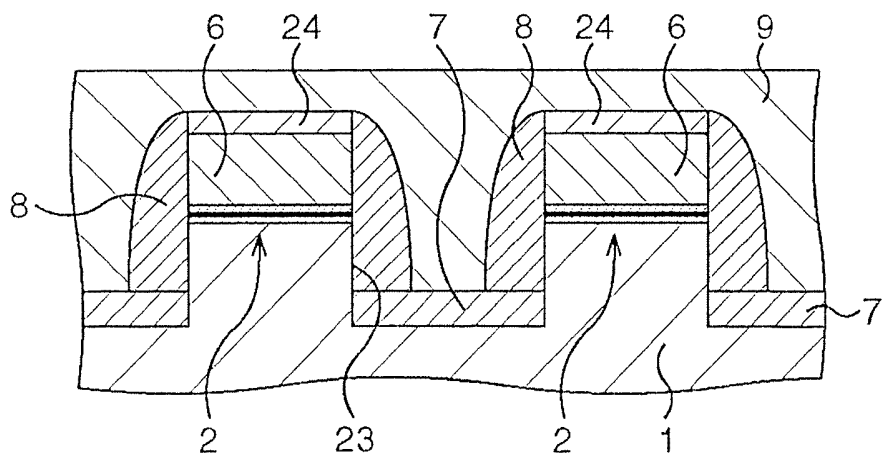
第 12A 圖



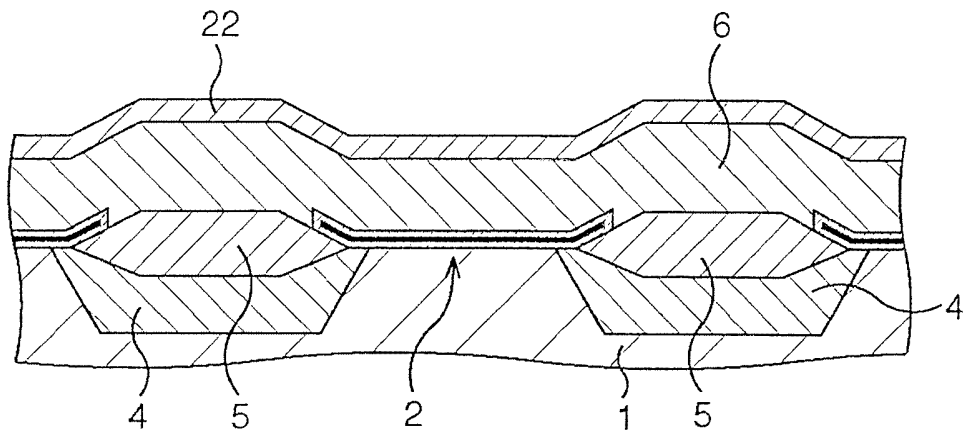
第 12B 圖



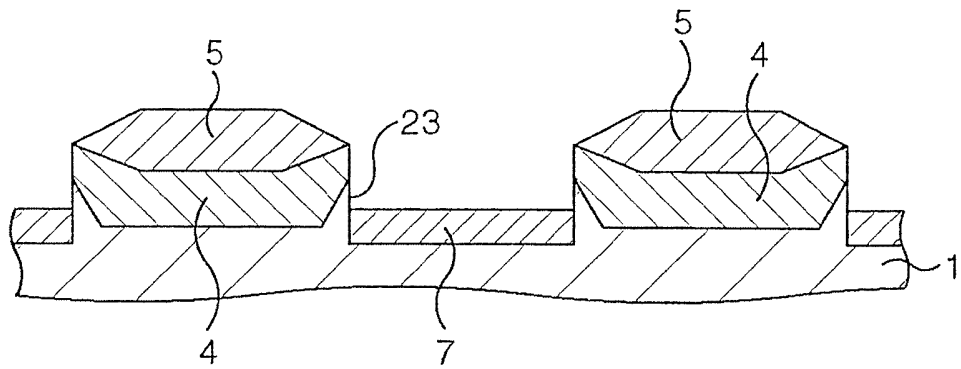
第 12C 圖



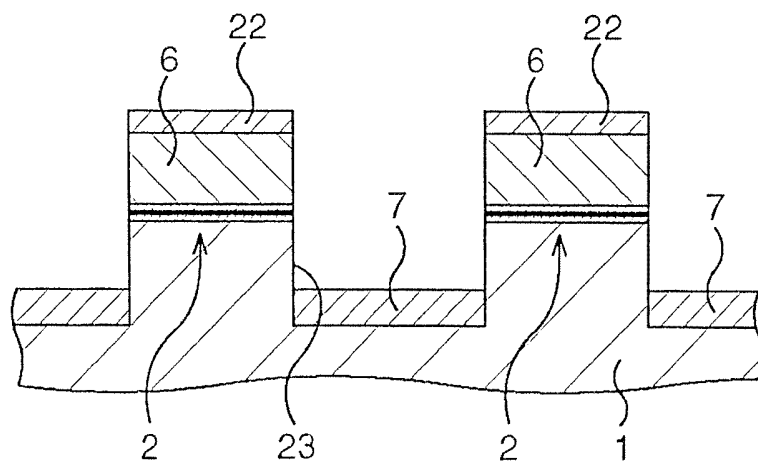
第 13A 圖



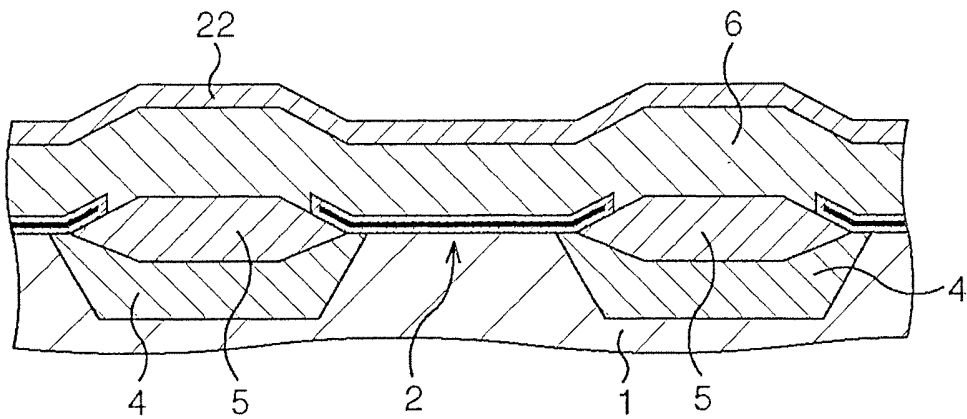
第 13B 圖



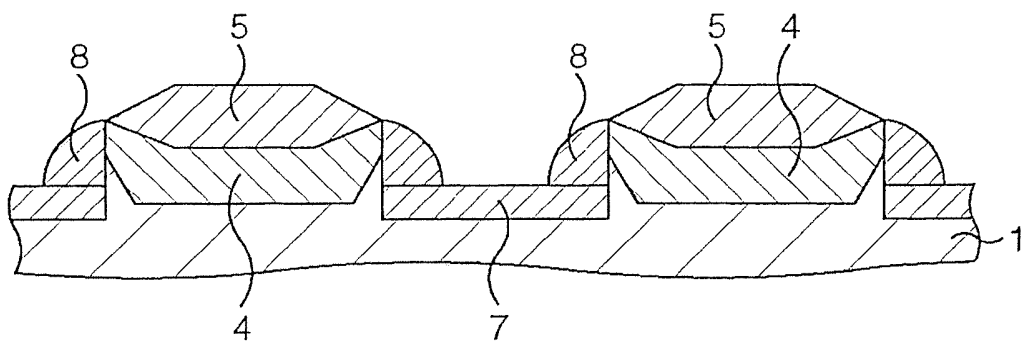
第 13C 圖



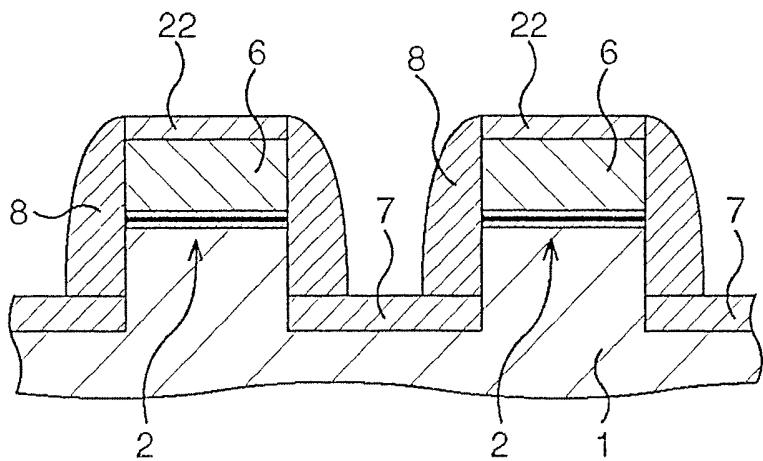
第 14A 圖



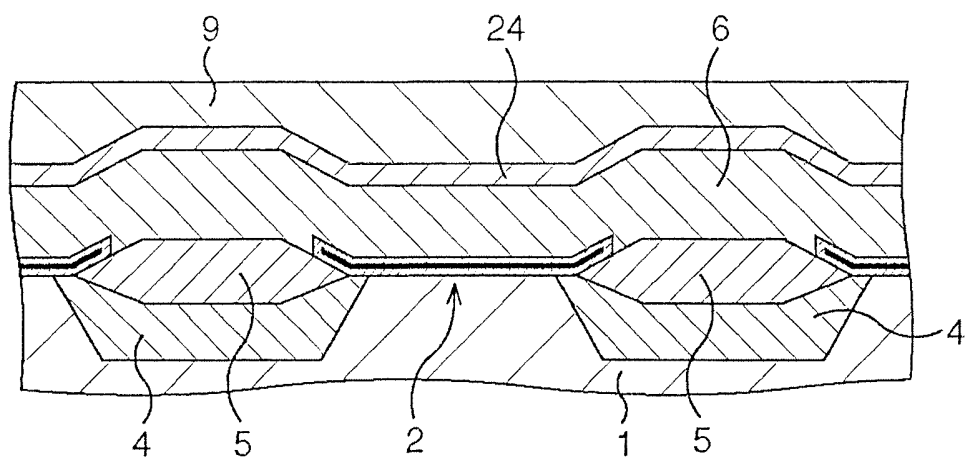
第 14B 圖



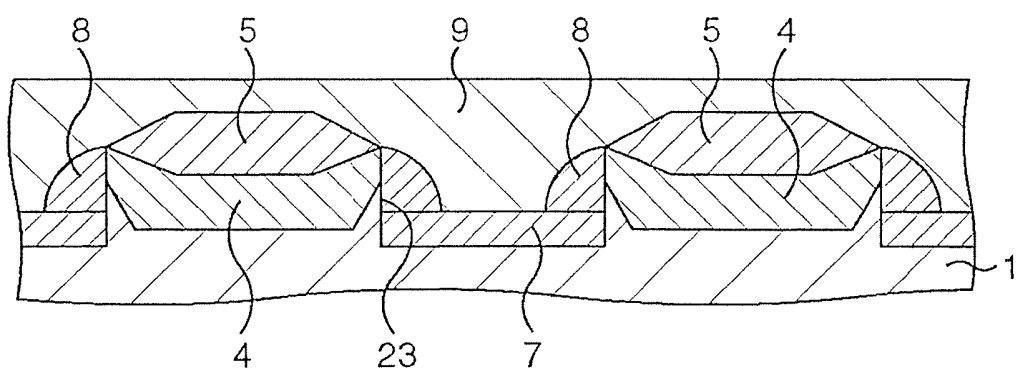
第 14C 圖



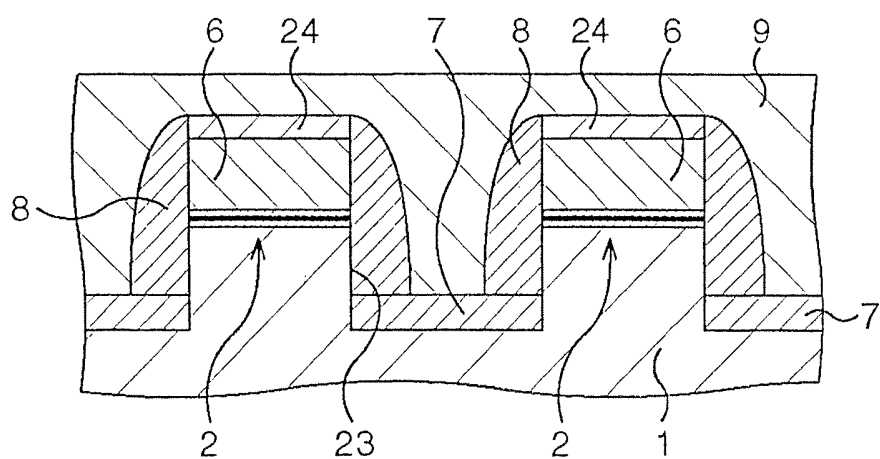
第 15A 圖



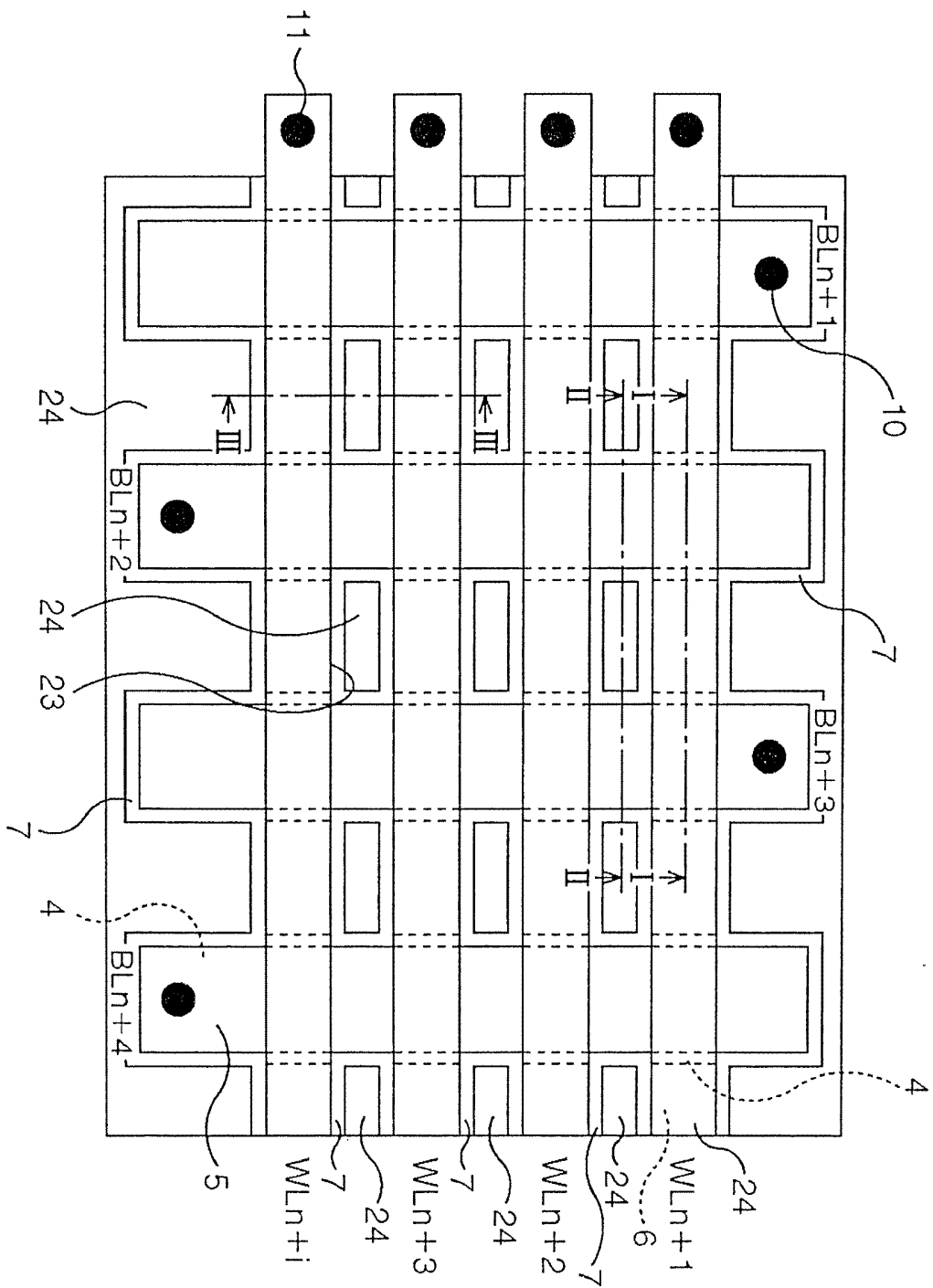
第 15B 圖



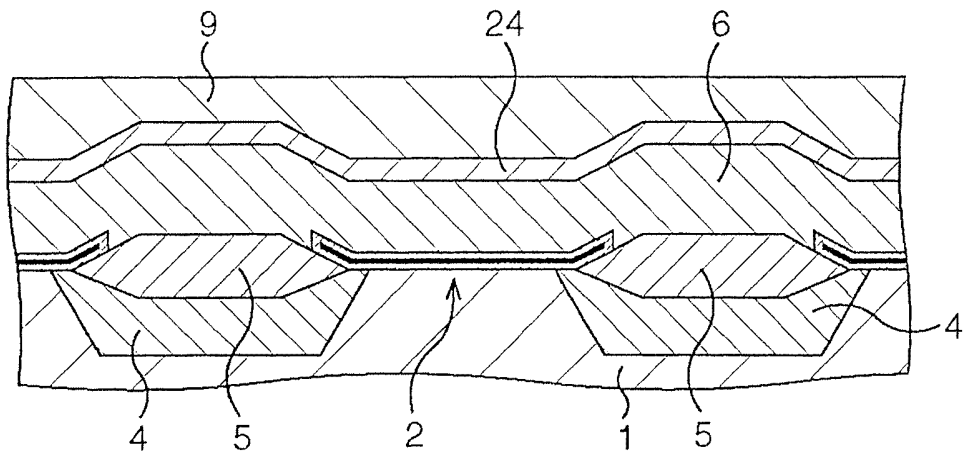
第 15C 圖



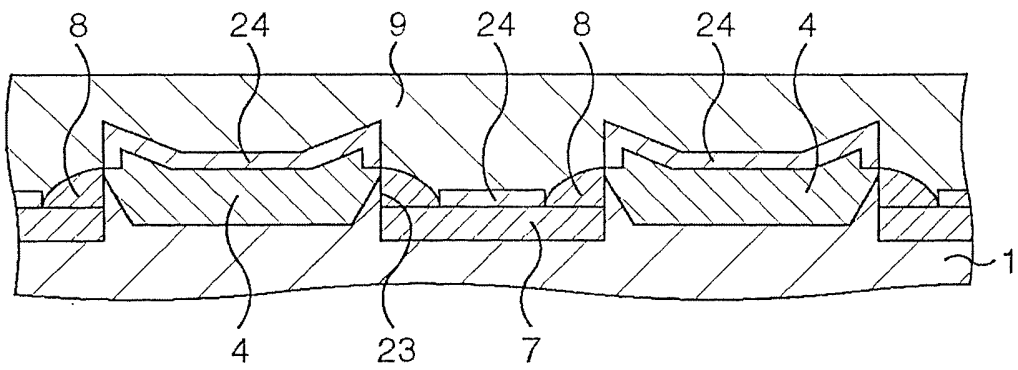
第 16 回



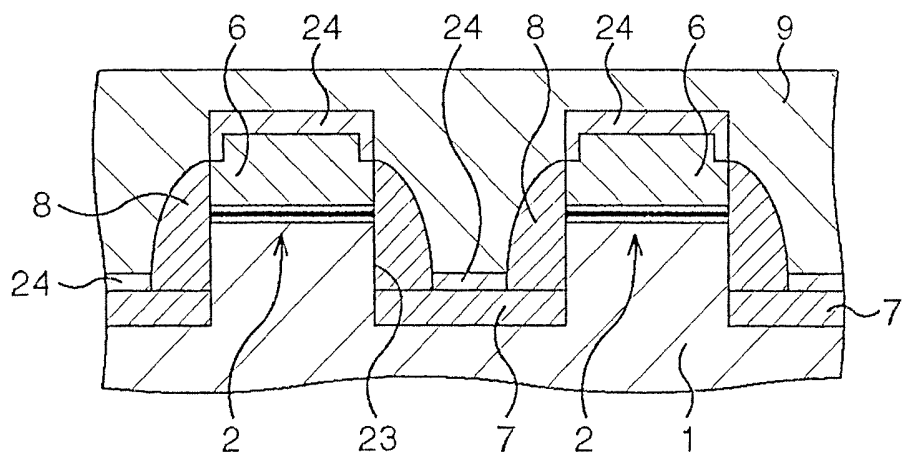
第 17A 圖



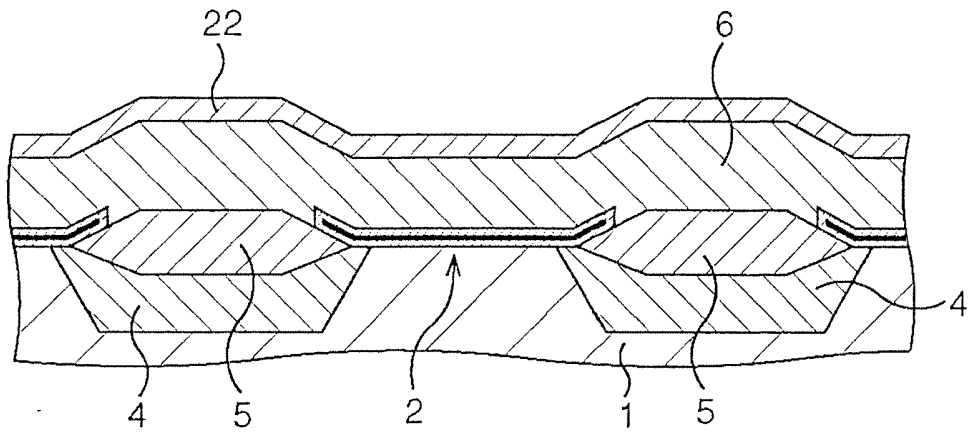
第 17B 圖



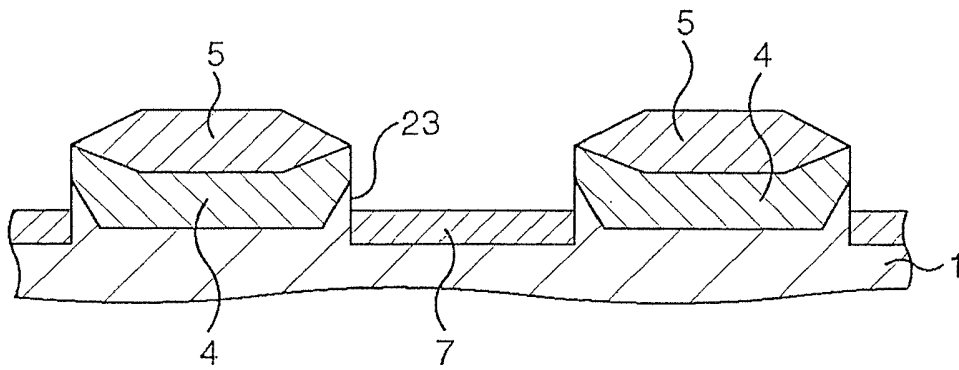
第 17C 圖



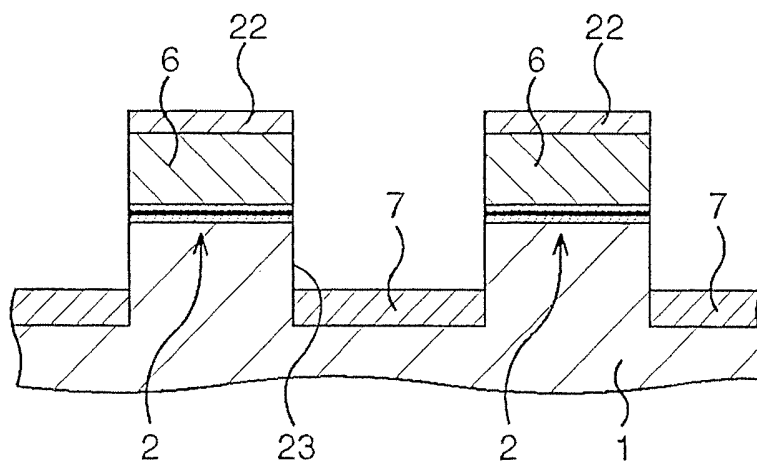
第 18A 圖



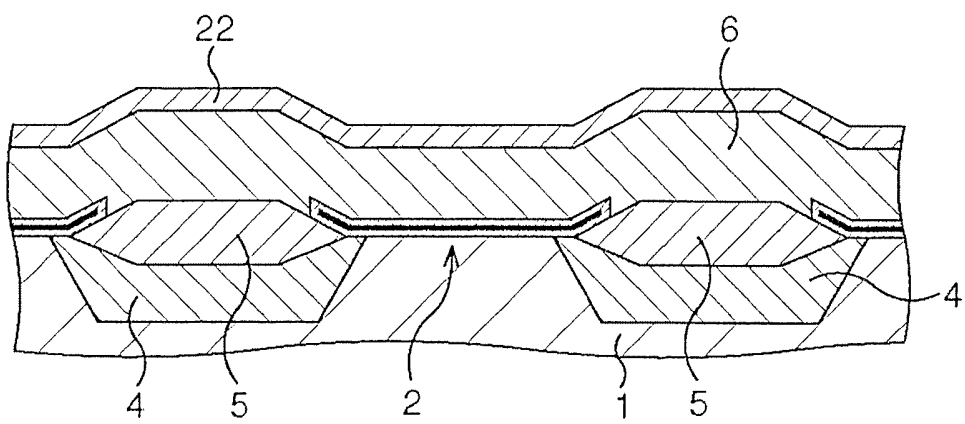
第 18B 圖



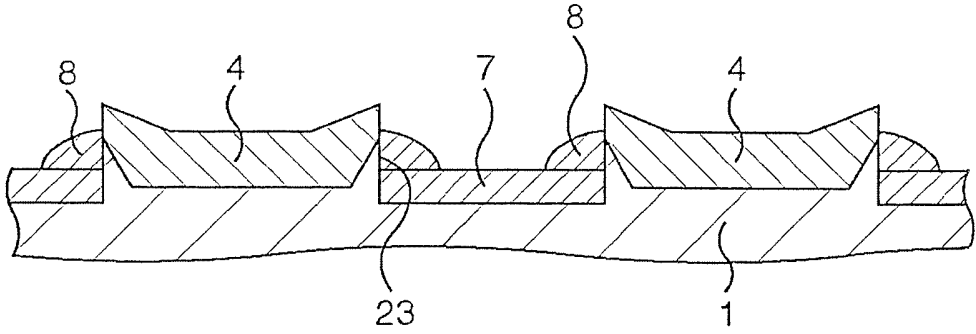
第 18C 圖



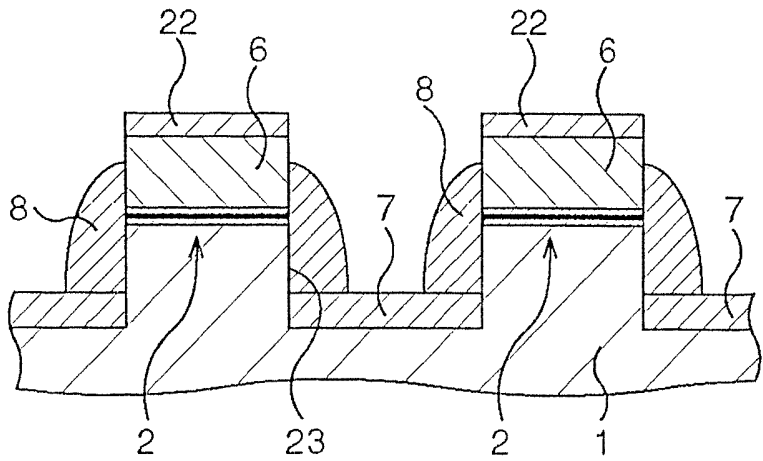
第 19A 圖



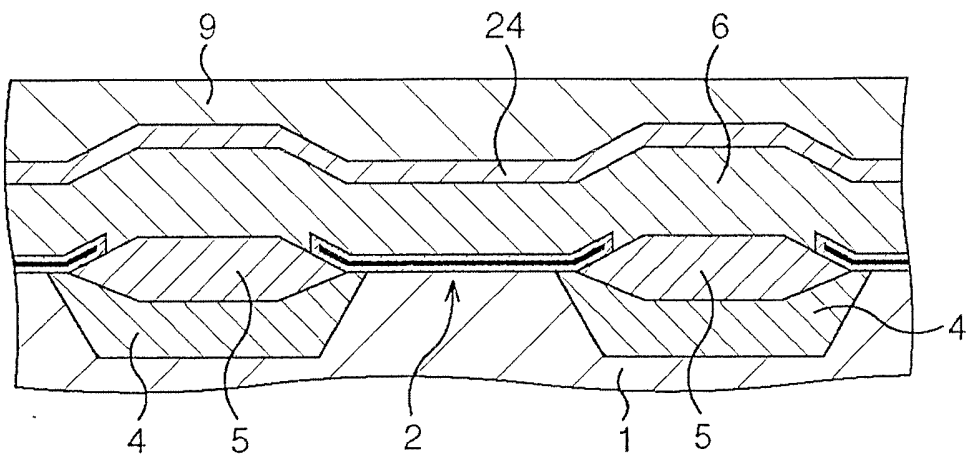
第 19B 圖



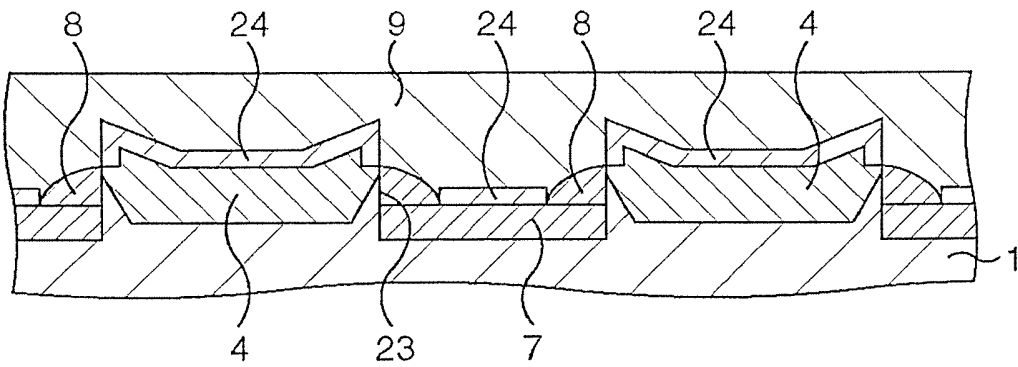
第 19C 圖



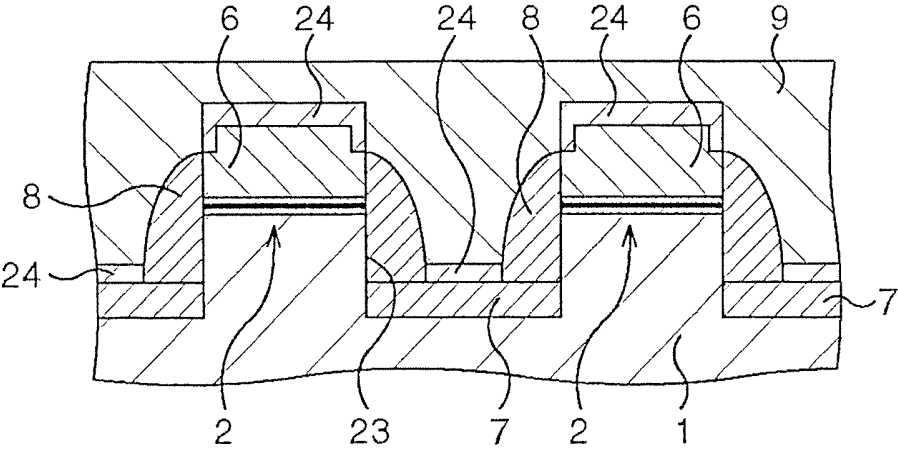
第 20A 圖

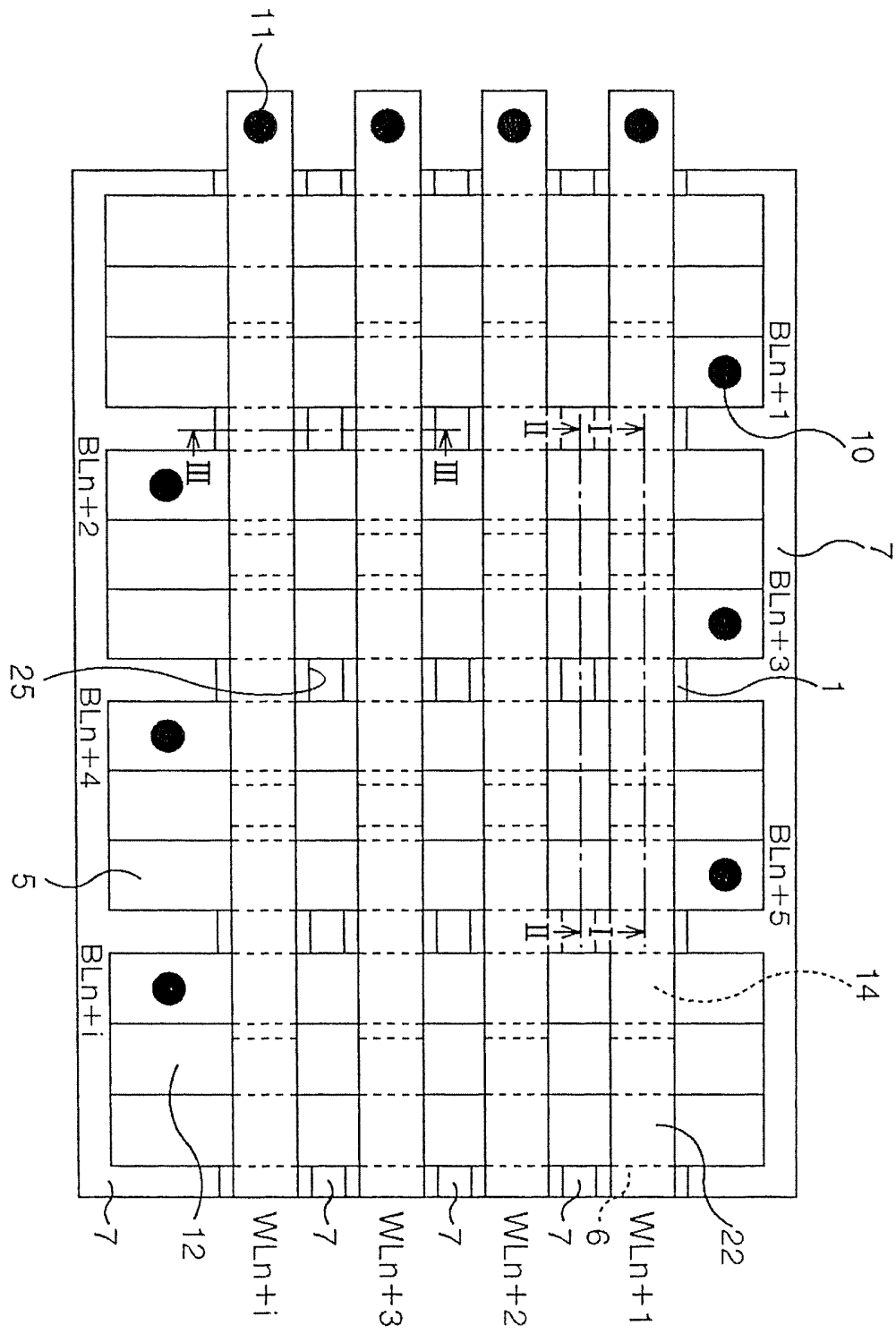


第 20B 圖



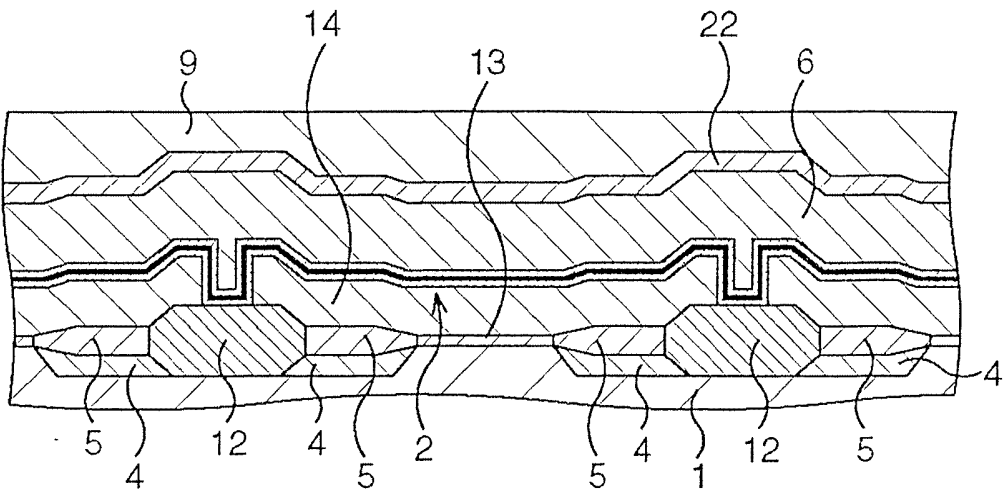
第 20C 圖



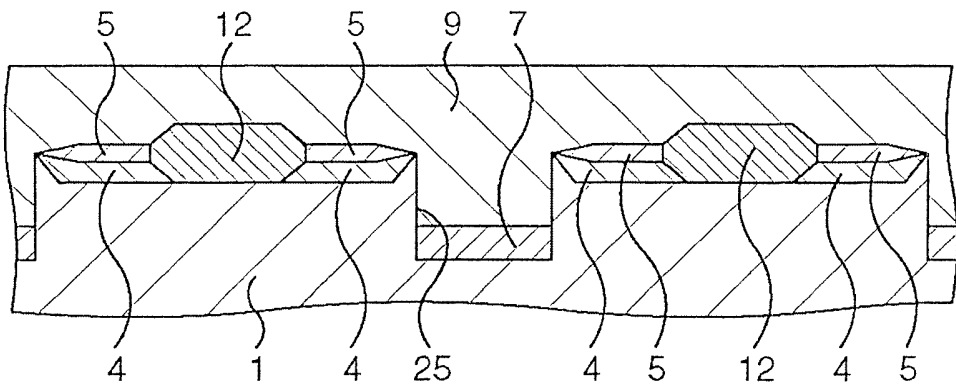


第 21 圖

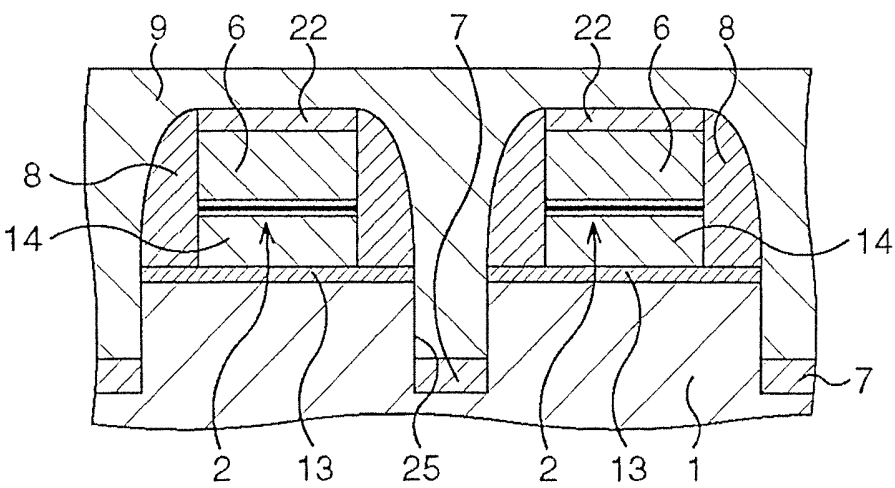
第 22A 圖



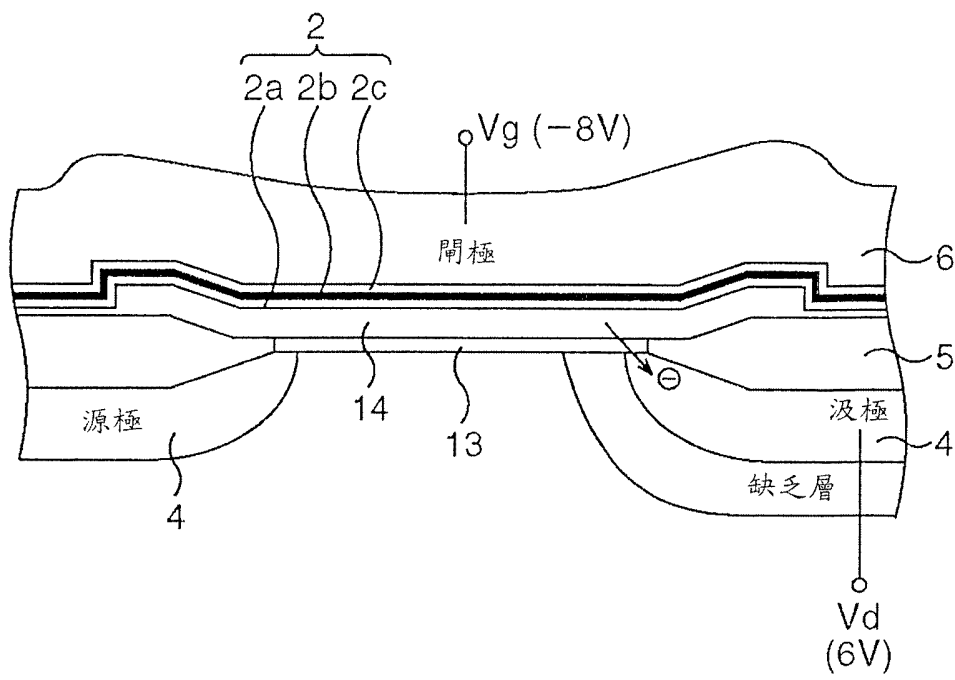
第 22B 圖



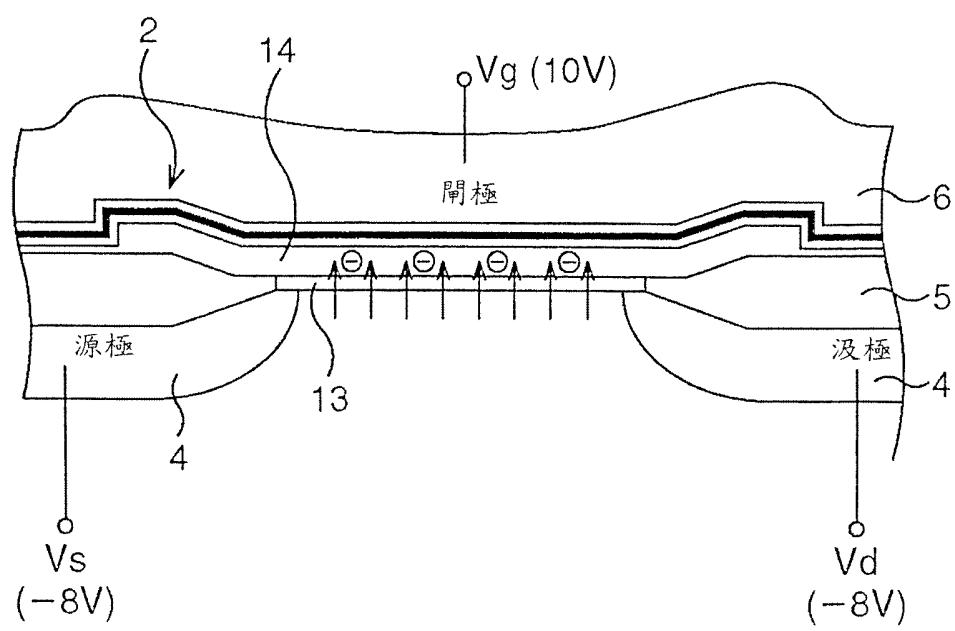
第 22C 圖



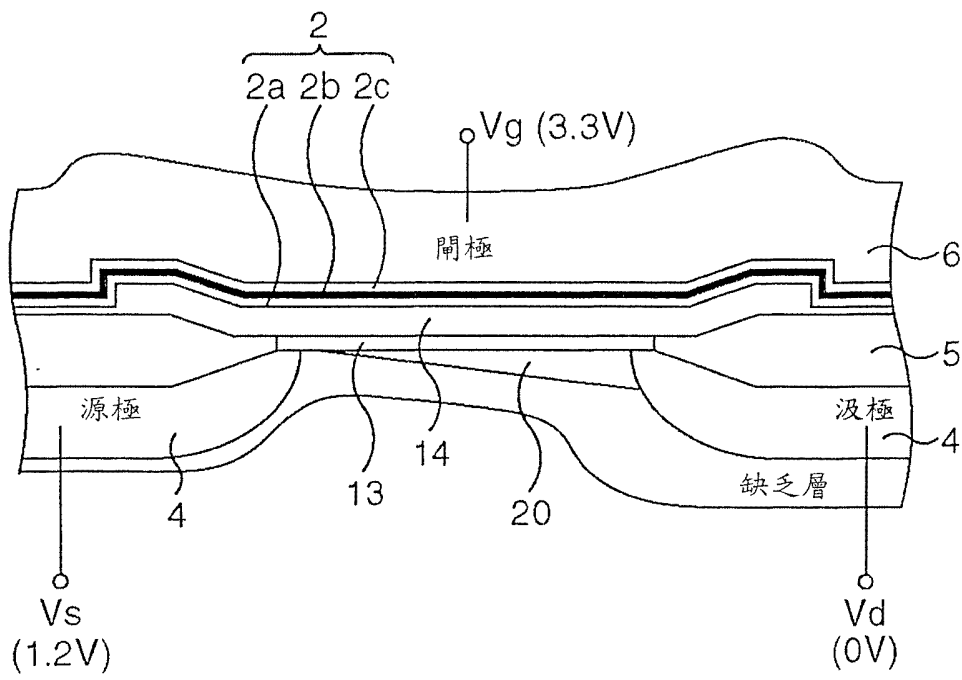
第 23A 圖



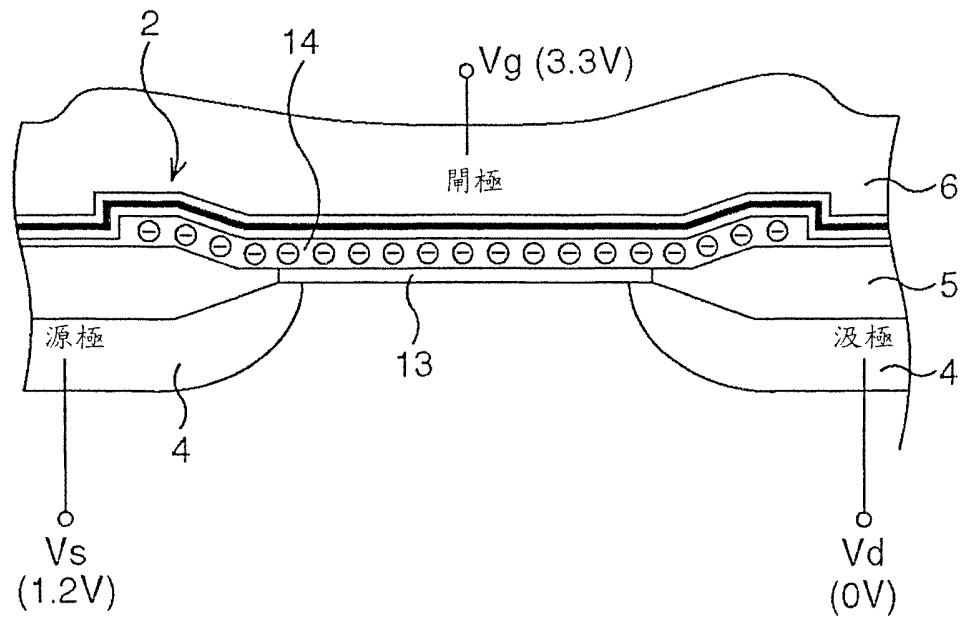
第 23B 圖



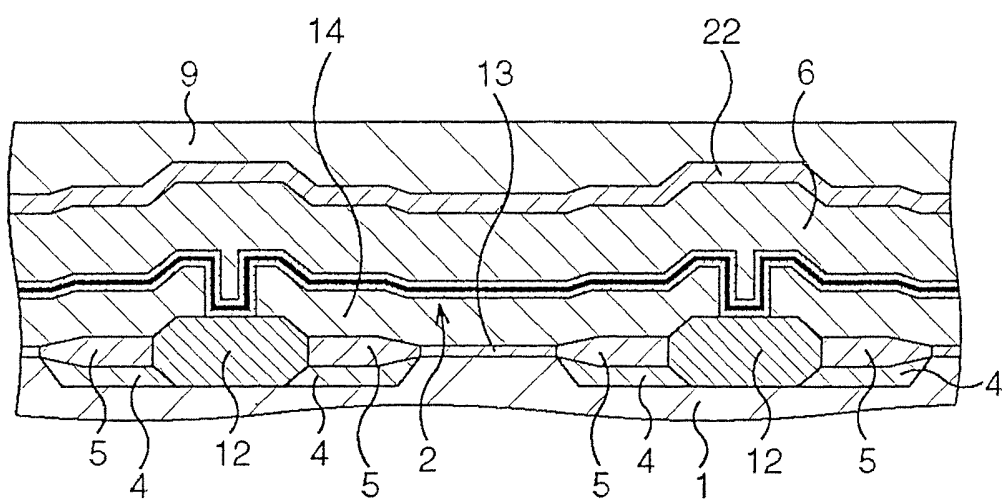
第 24A 圖



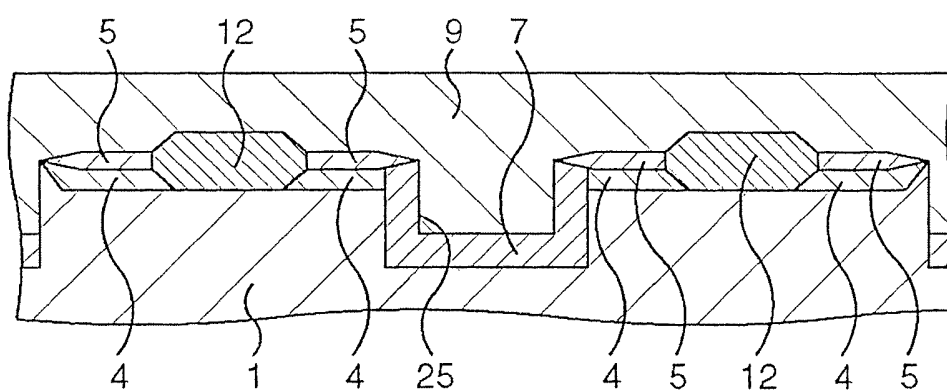
第 24B 圖



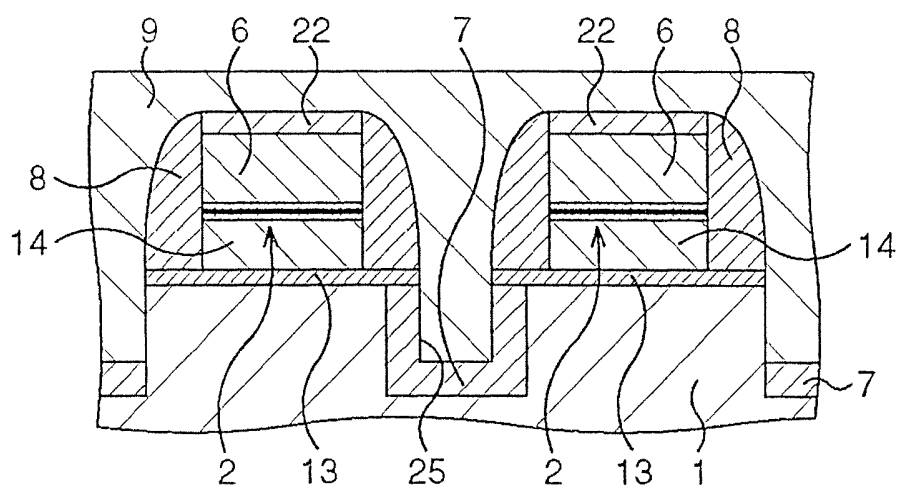
第 25A 圖



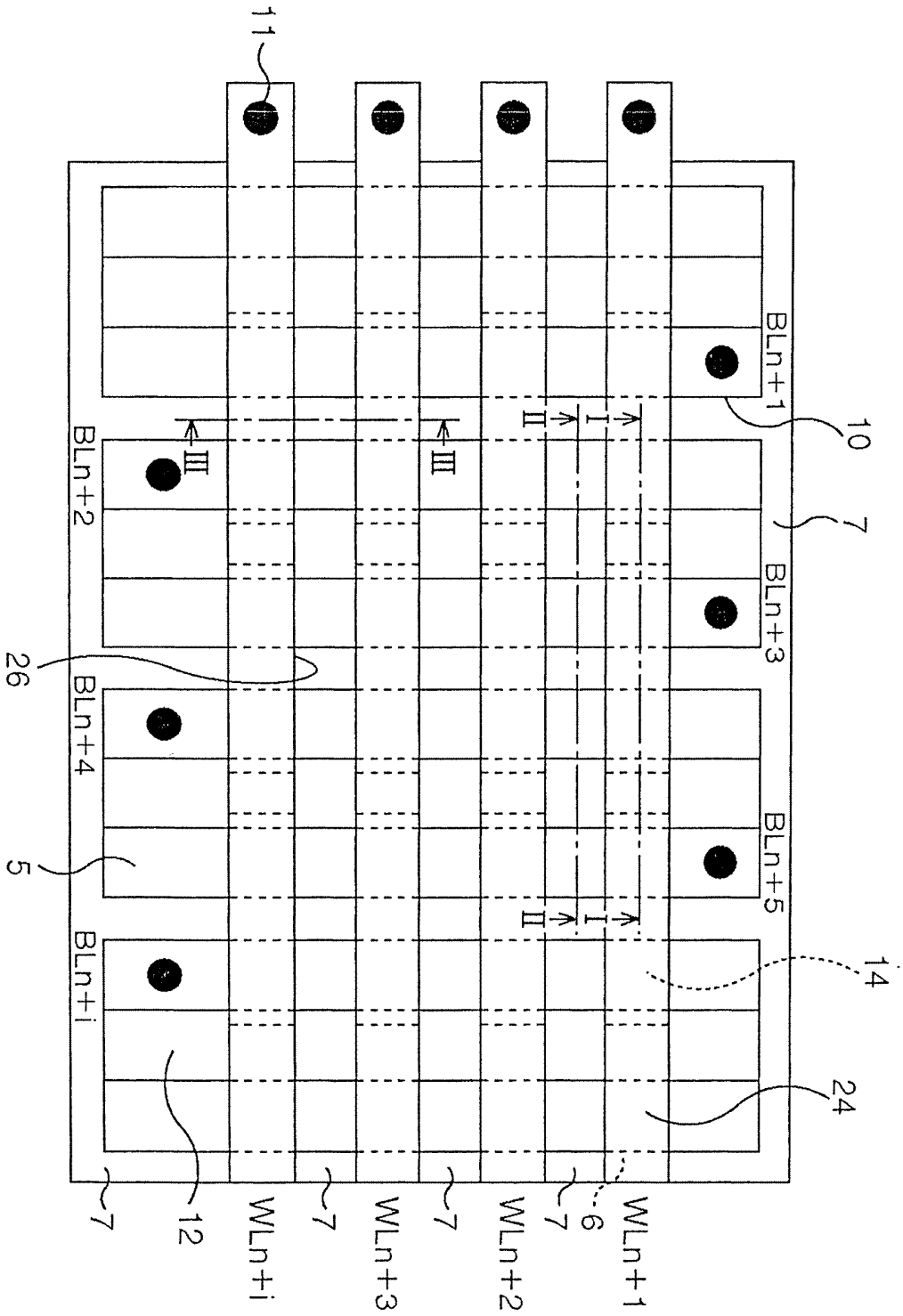
第 25B 圖



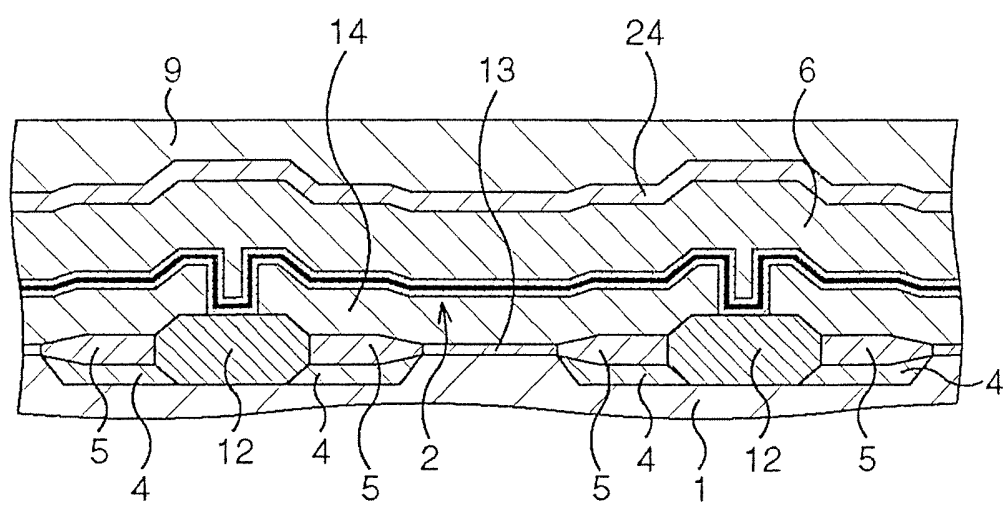
第 25C 圖



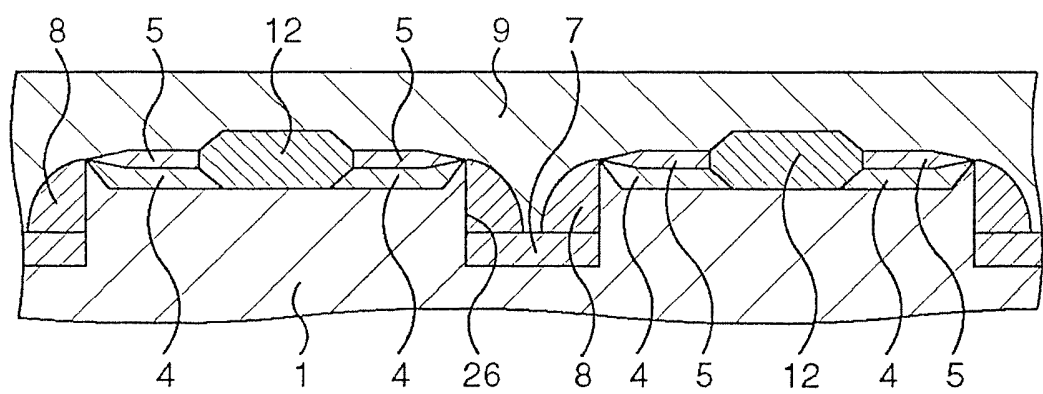
第 26 圖



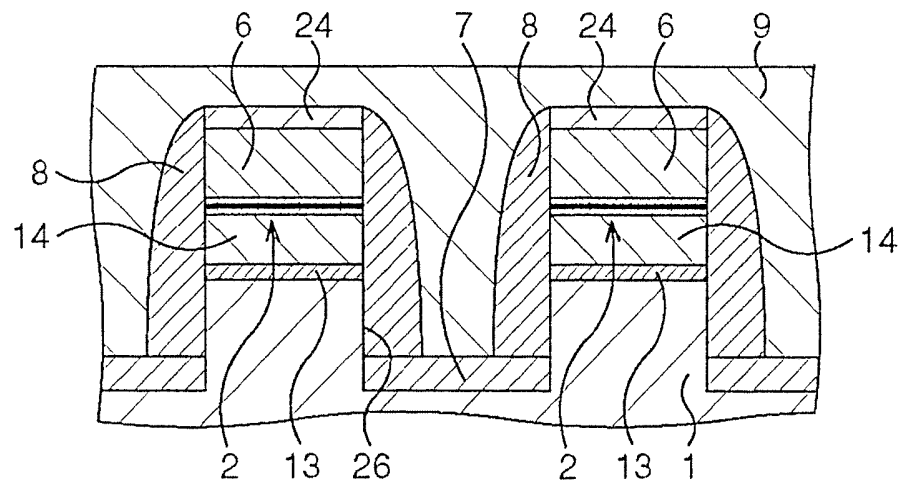
第 27A 圖



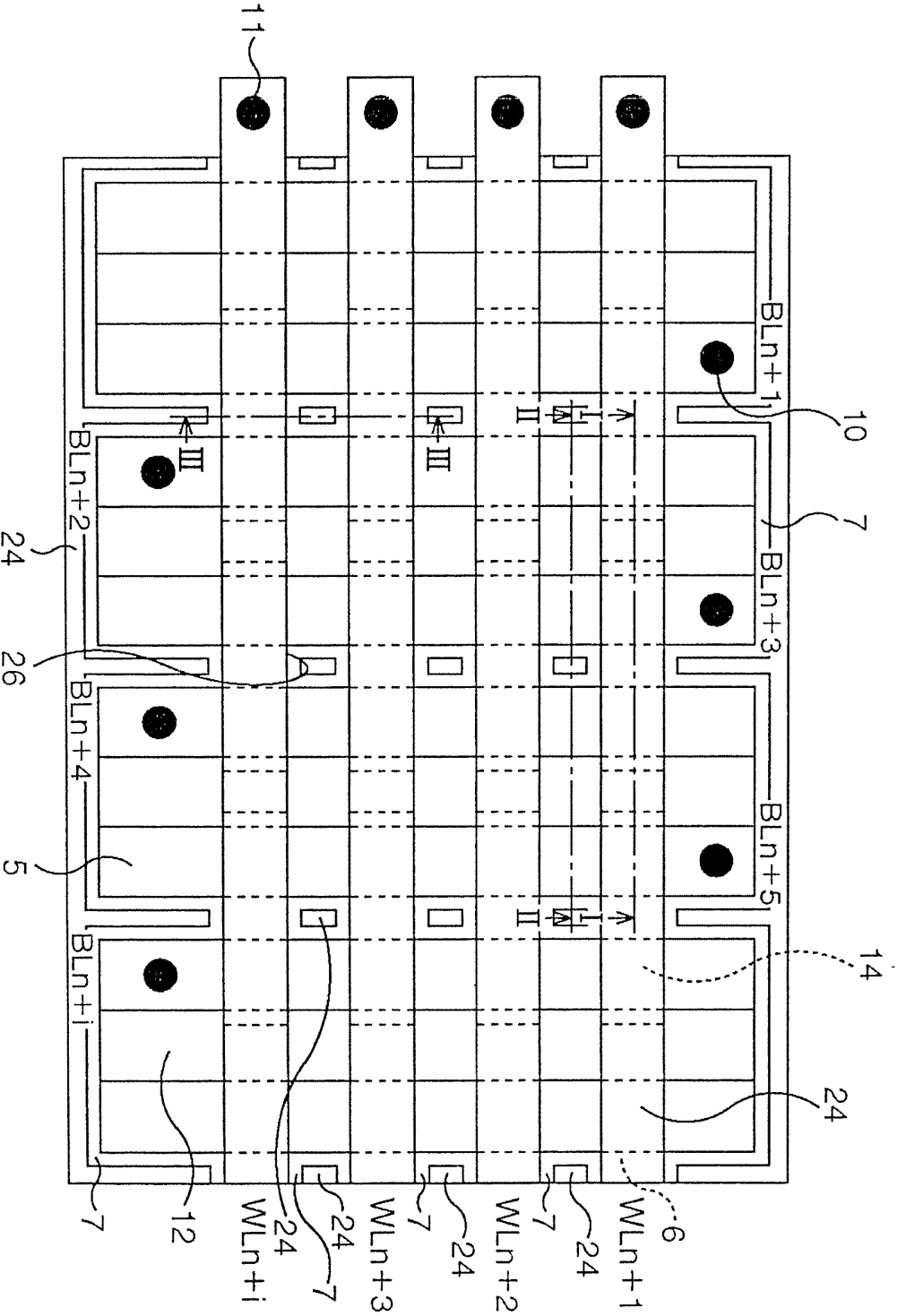
第 27B 圖



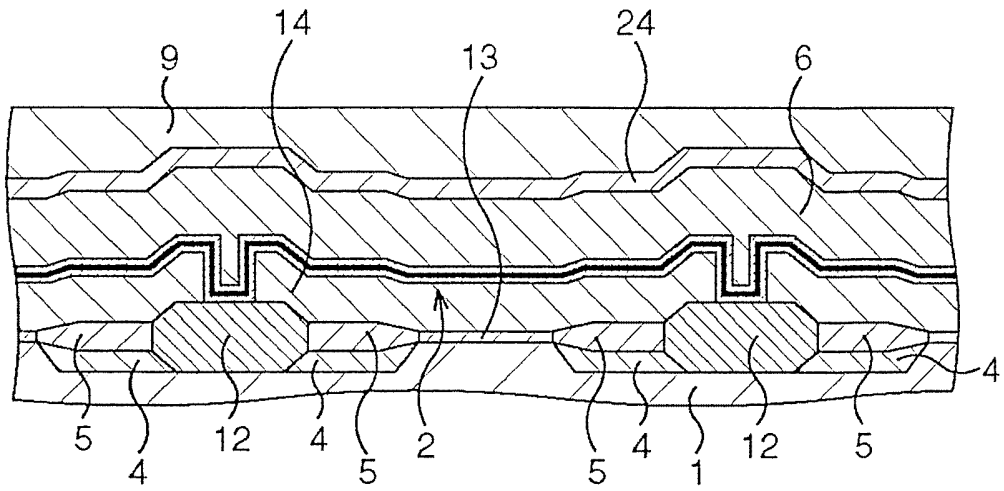
第 27C 圖



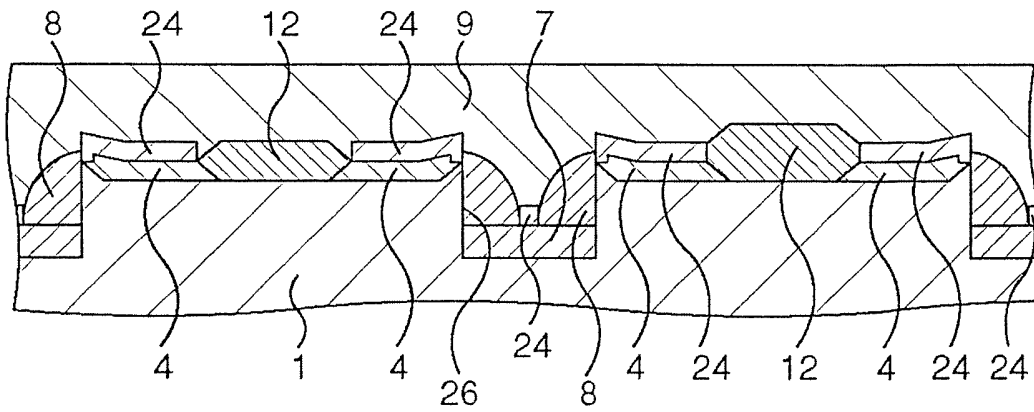
第 28 圖



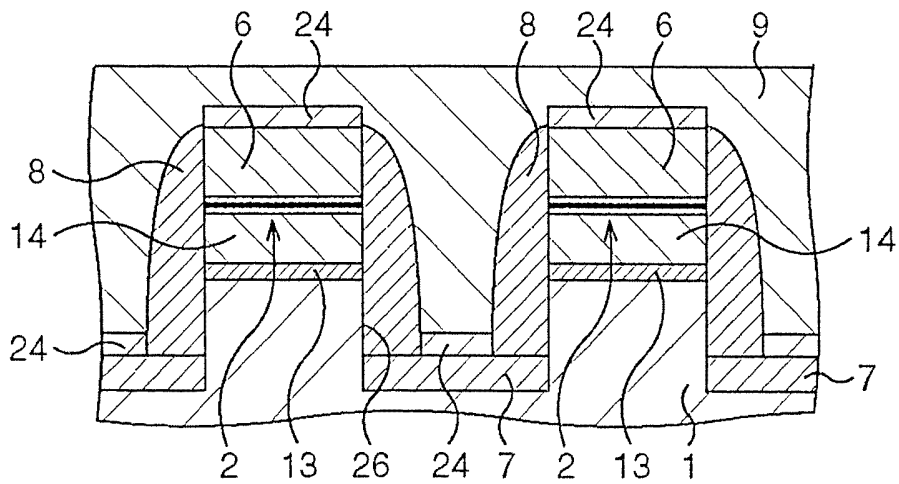
第 29A 圖



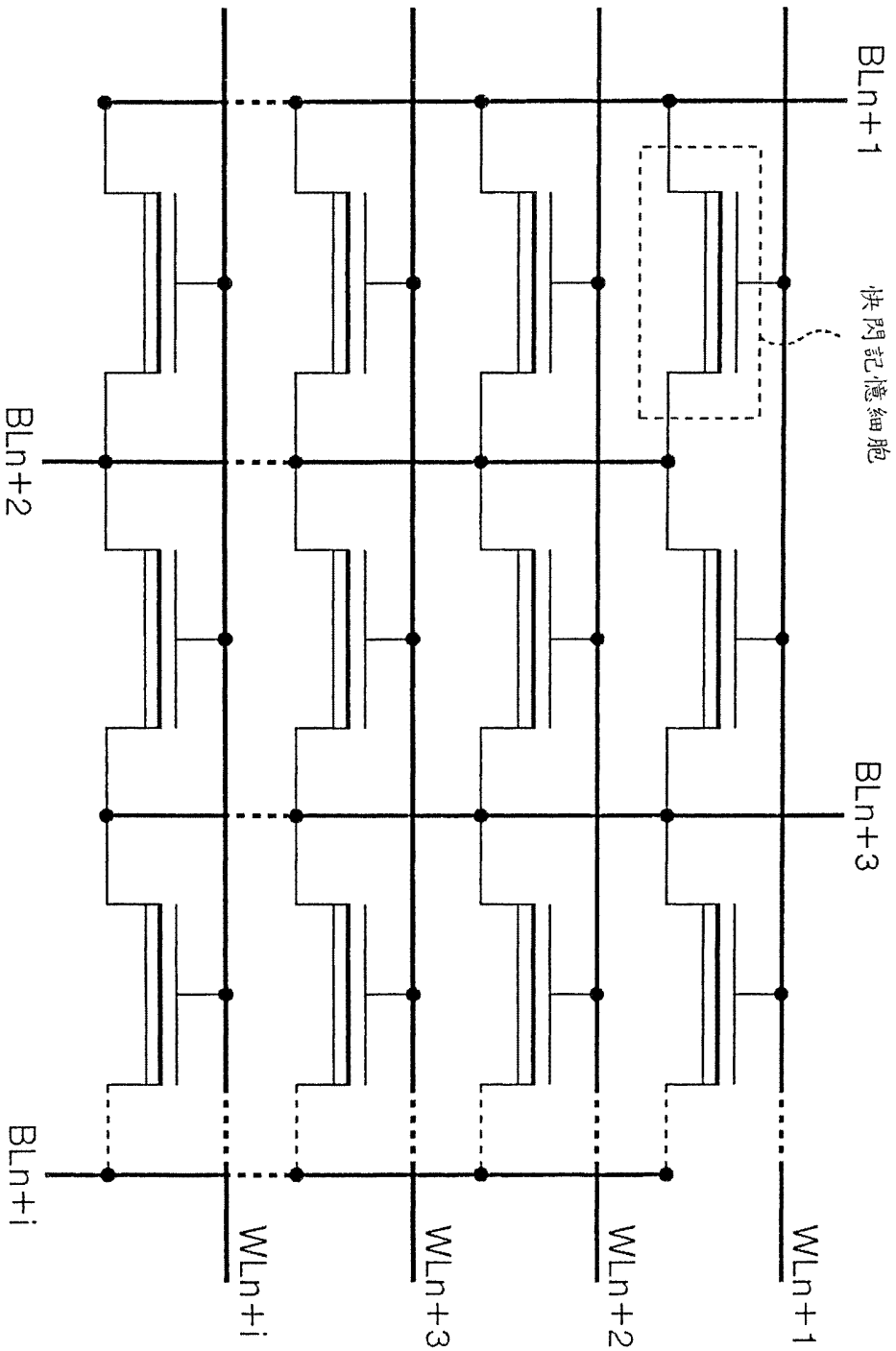
第 29B 圖

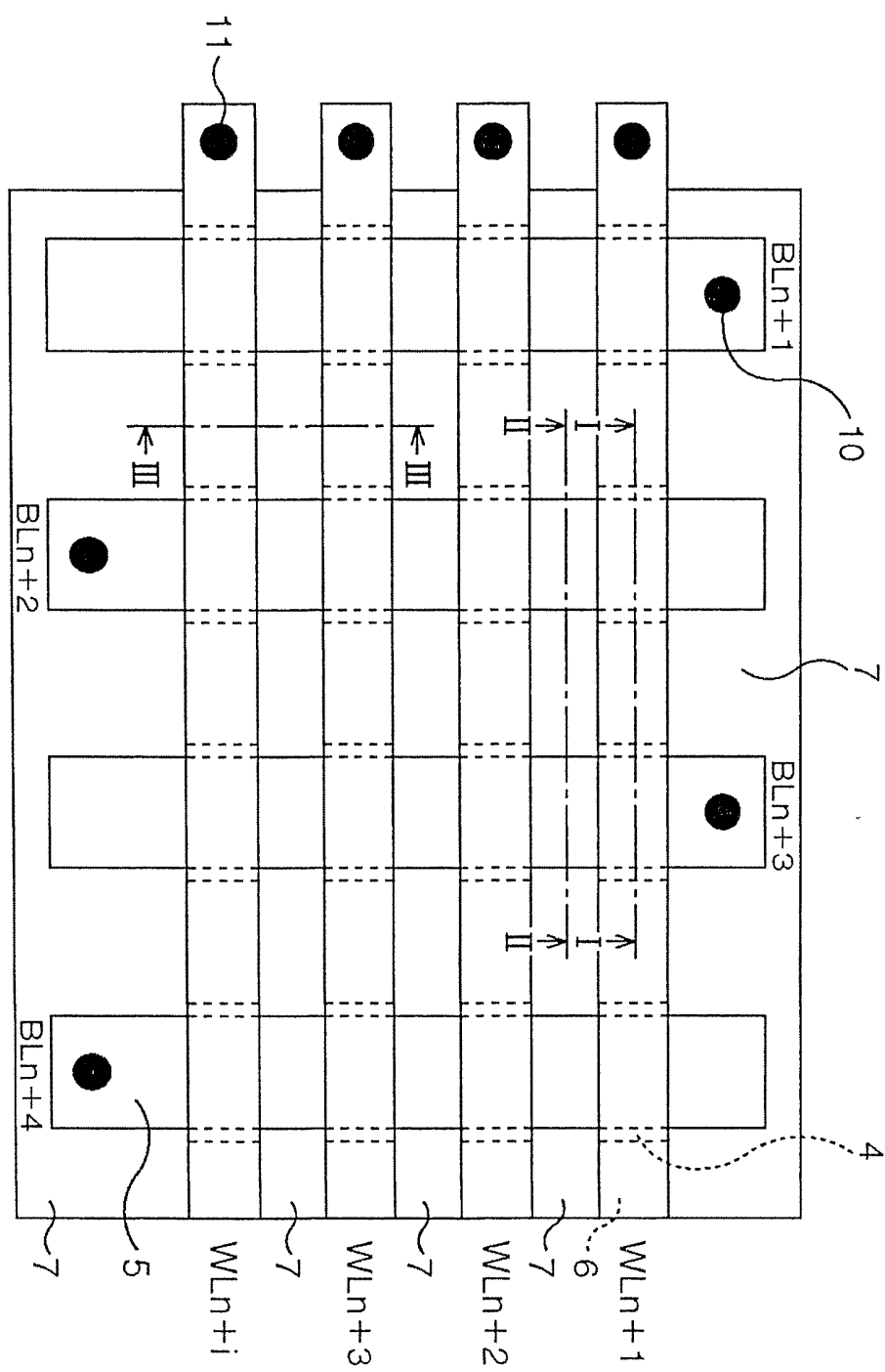


第 29C 圖



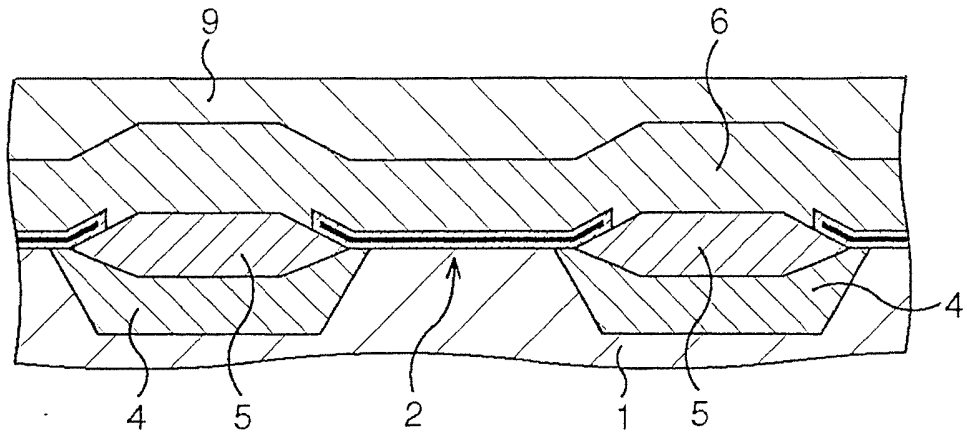
第 30 圖



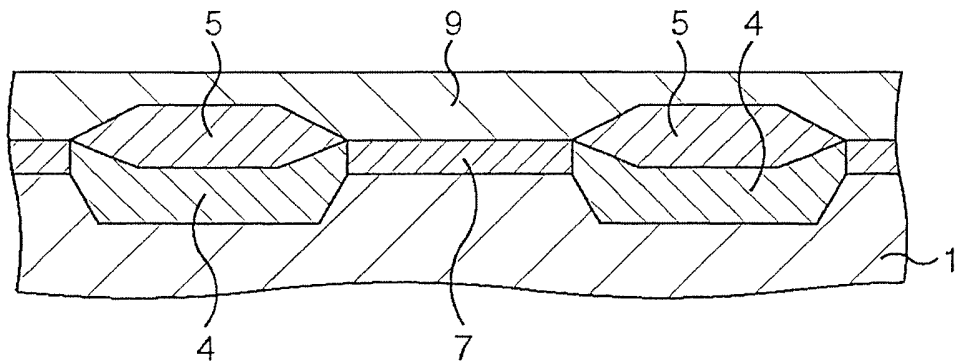


第 31 圖

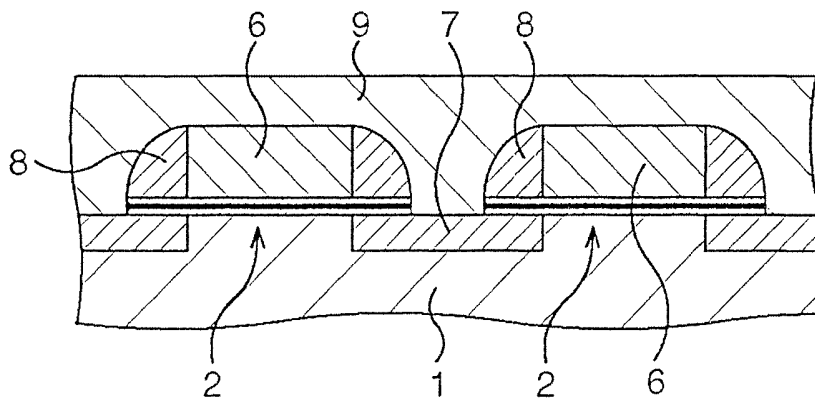
第 32A 圖



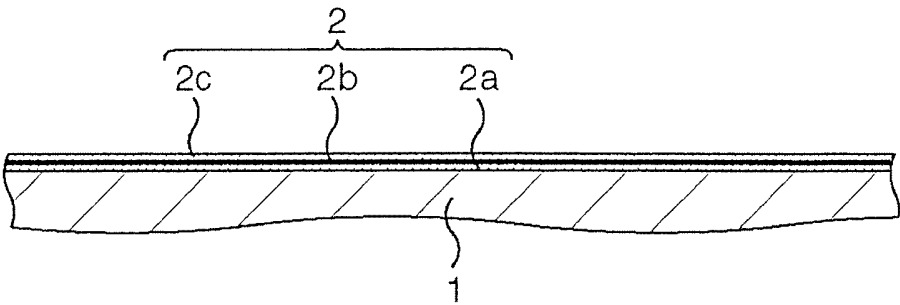
第 32B 圖



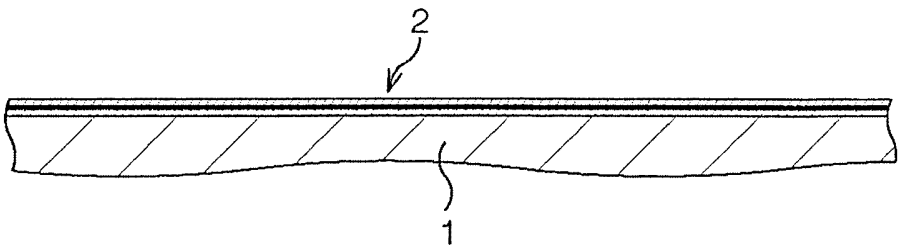
第 32C 圖



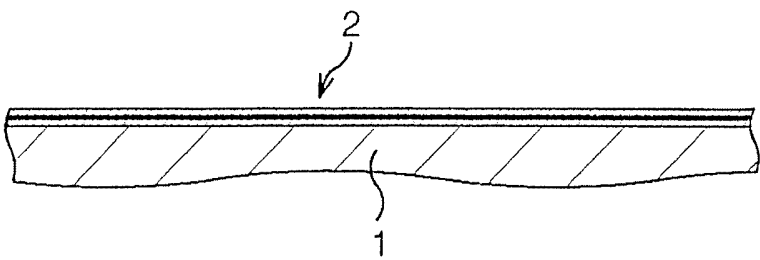
第 33A 圖



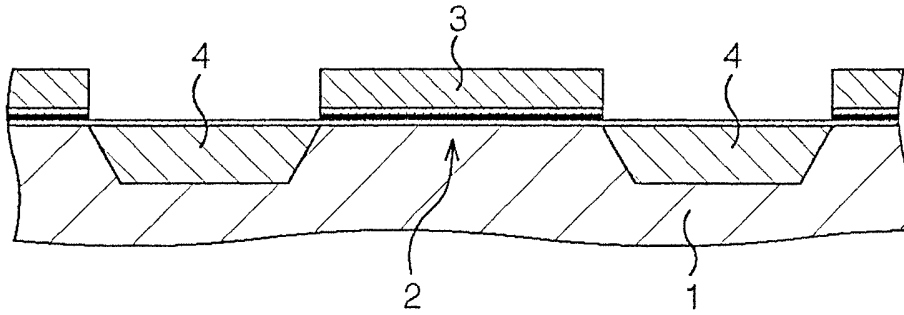
第 33B 圖



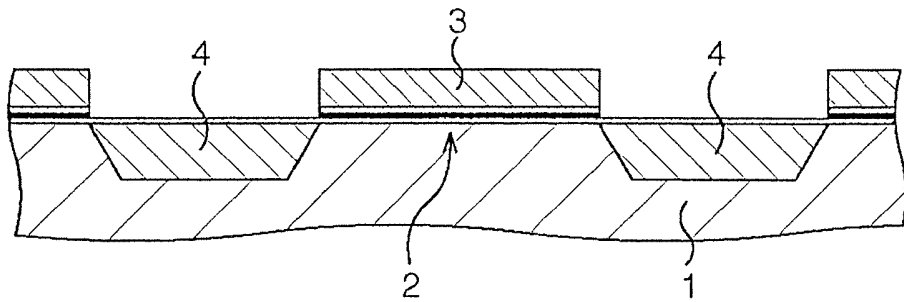
第 33C 圖



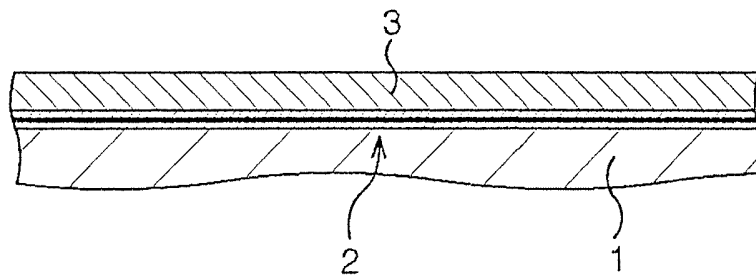
第 34A 圖



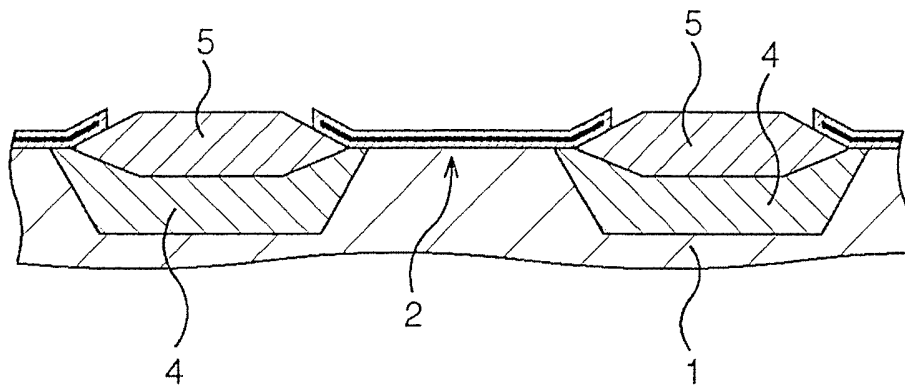
第 34B 圖



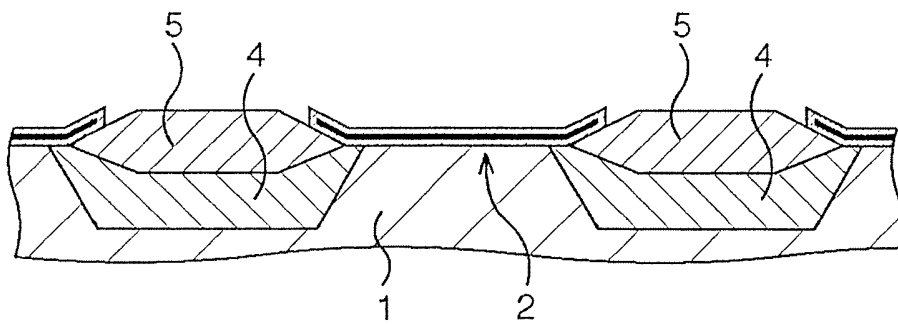
第 34C 圖



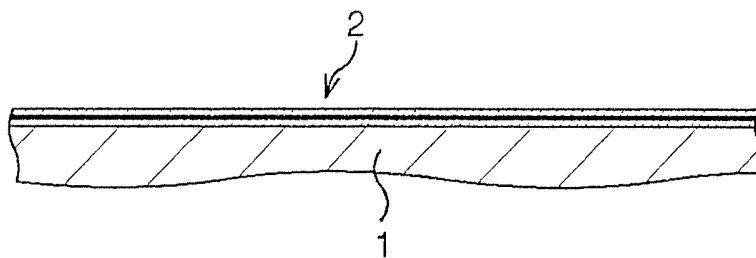
第 35A 圖



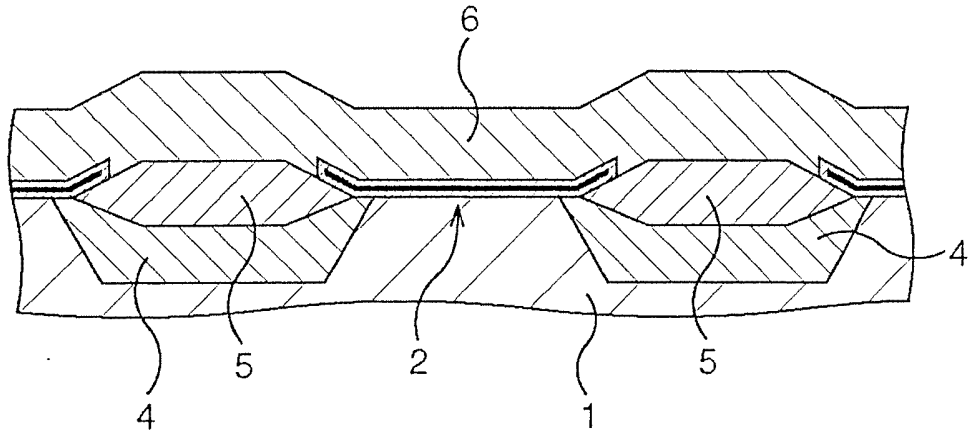
第 35B 圖



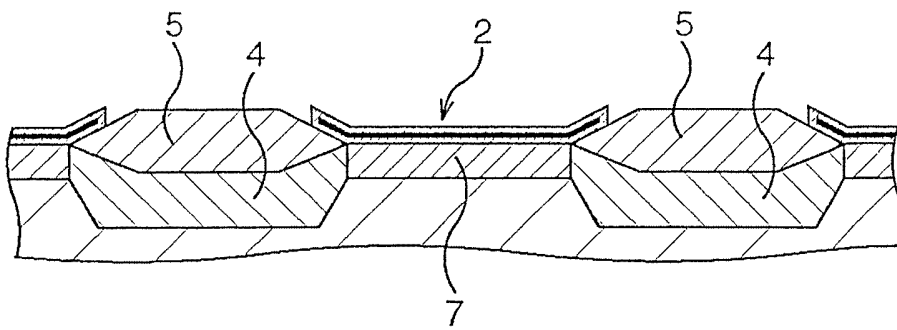
第 35C 圖



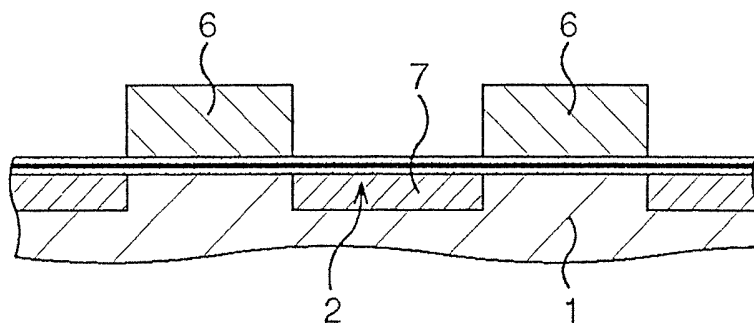
第 36A 圖



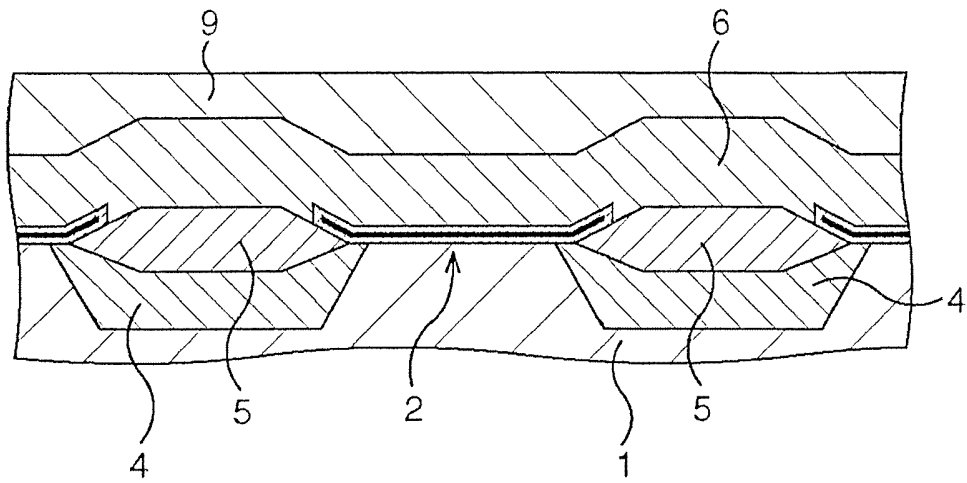
第 36B 圖



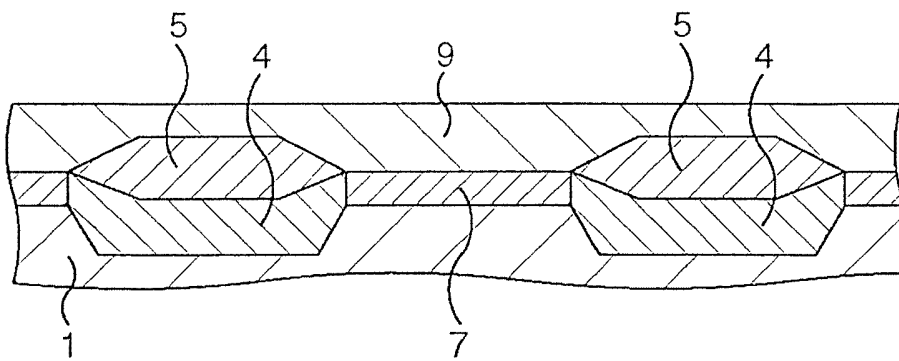
第 36C 圖



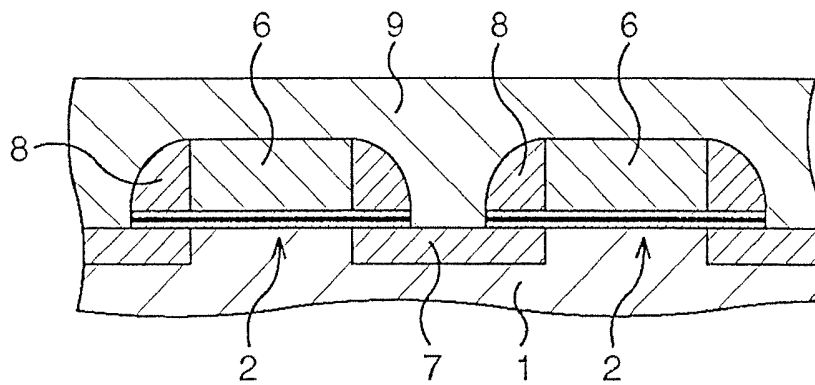
第 37A 圖

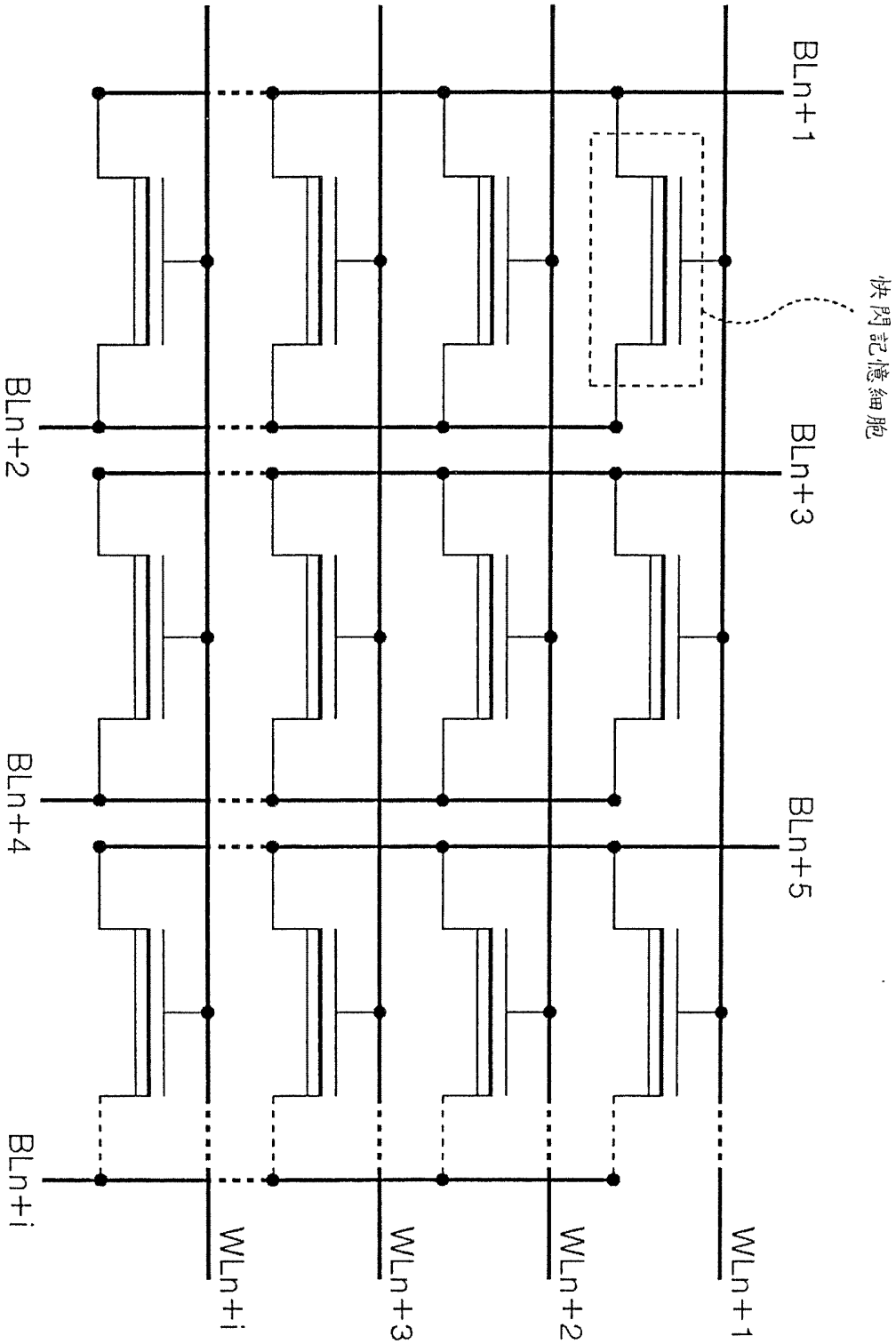


第 37B 圖



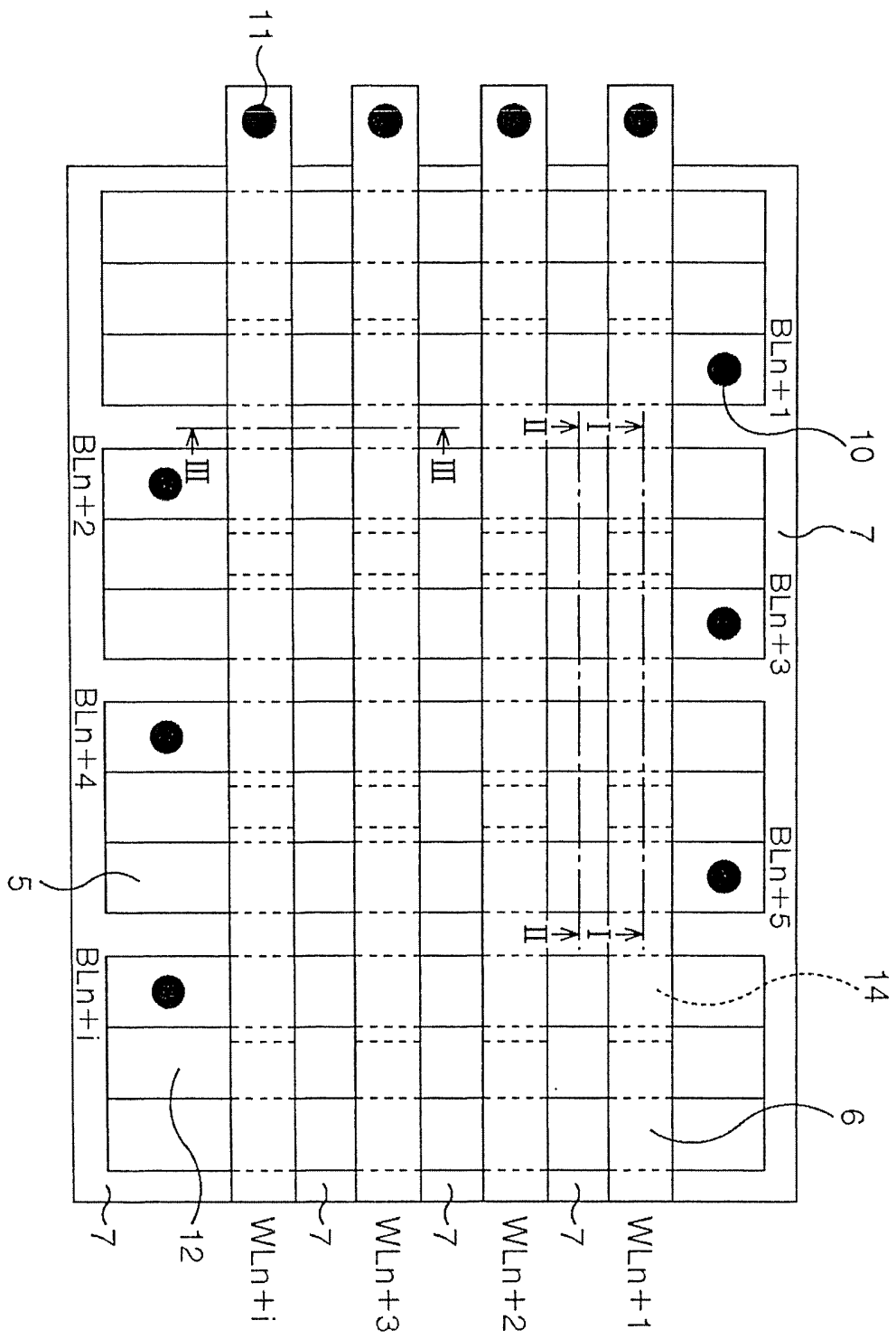
第 37C 圖



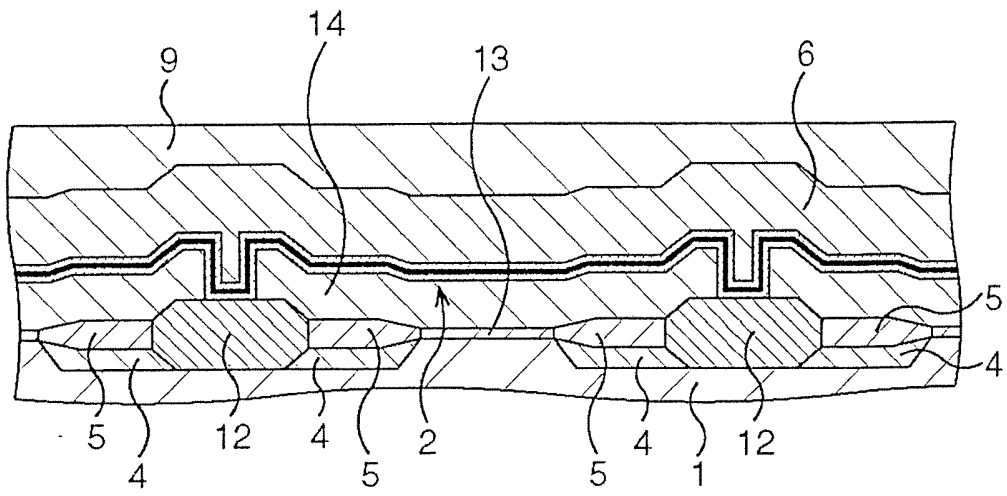


第 38 圖

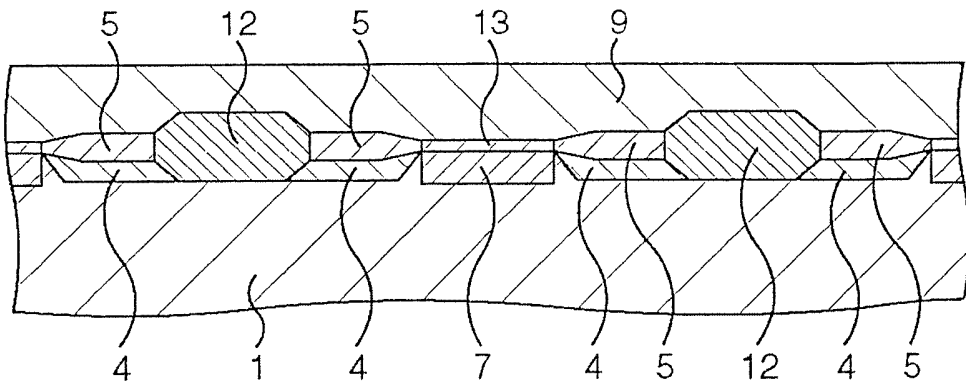
卷三十九



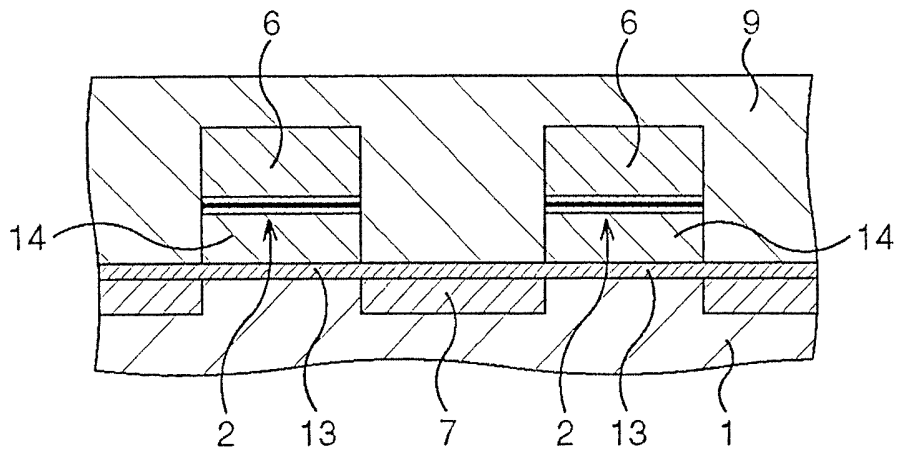
第 40A 圖



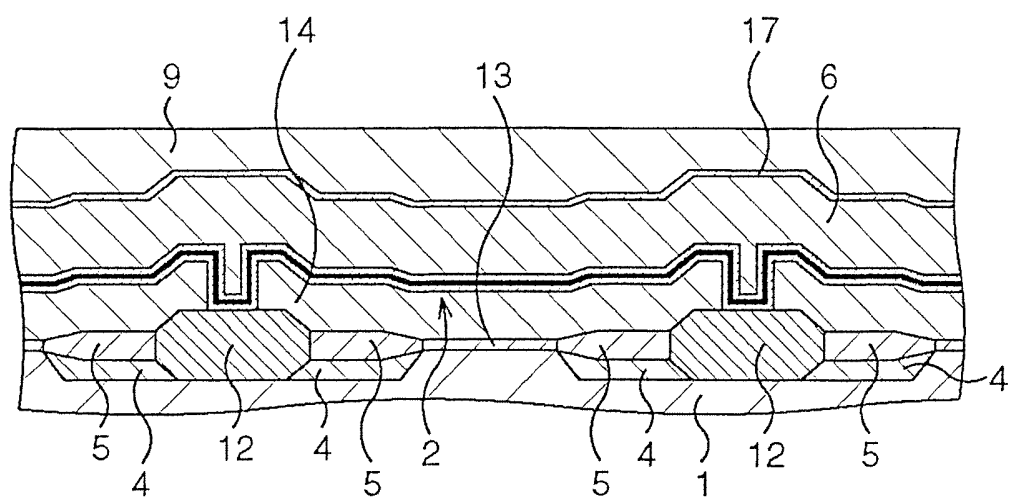
第 40B 圖



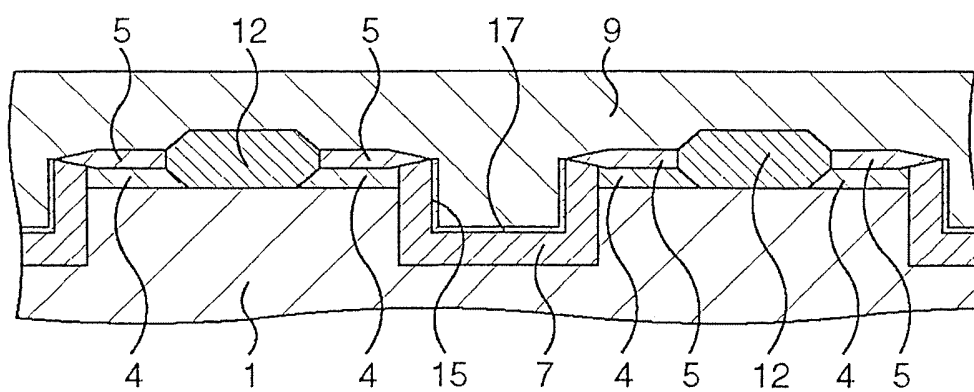
第 40C 圖



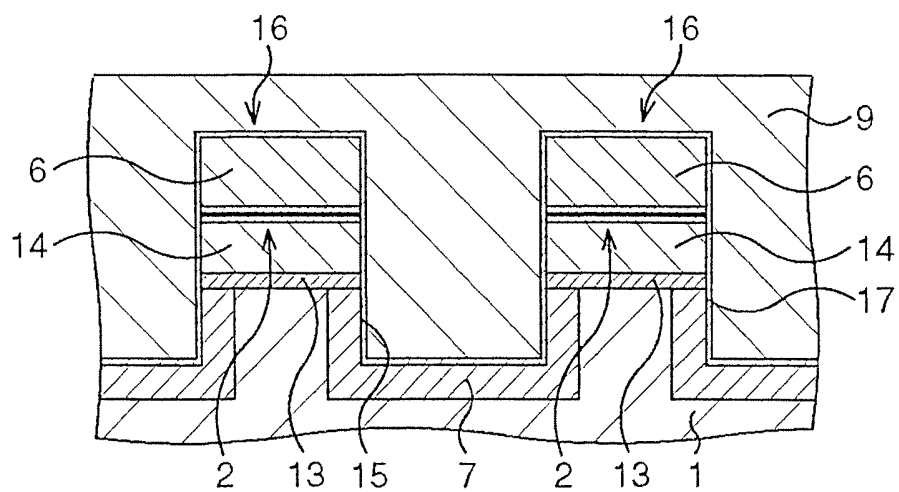
第 41A 圖



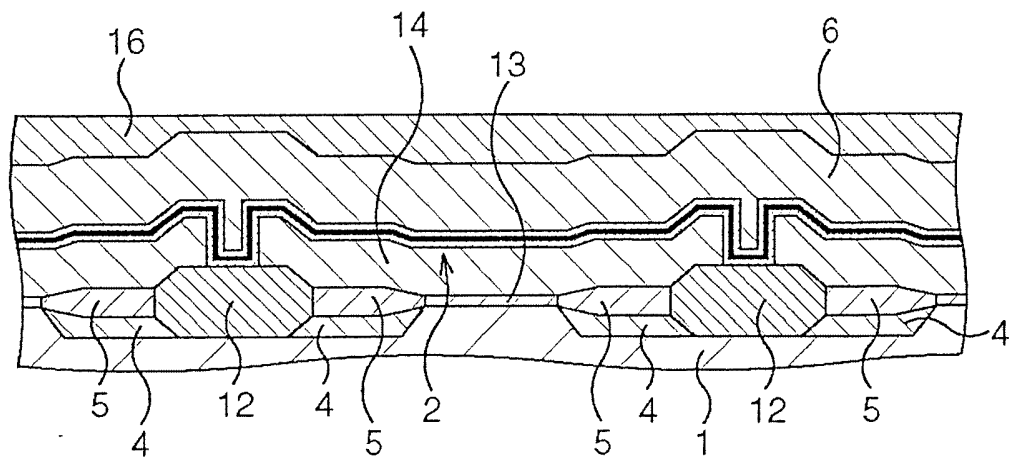
第 41B 圖



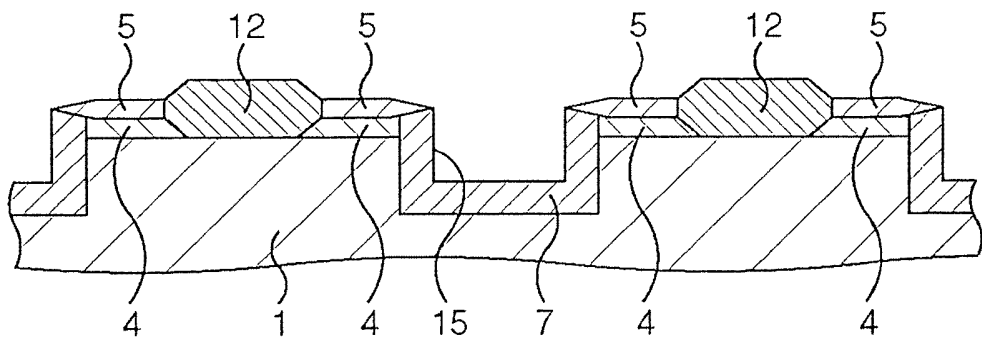
第 41C 圖



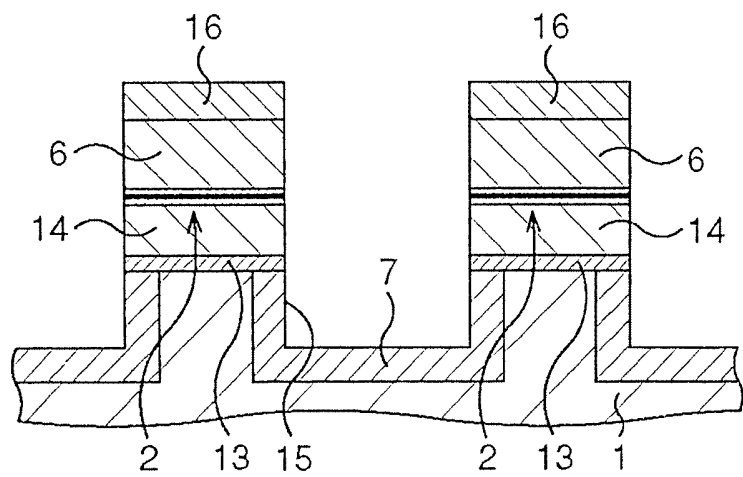
第 42A 圖



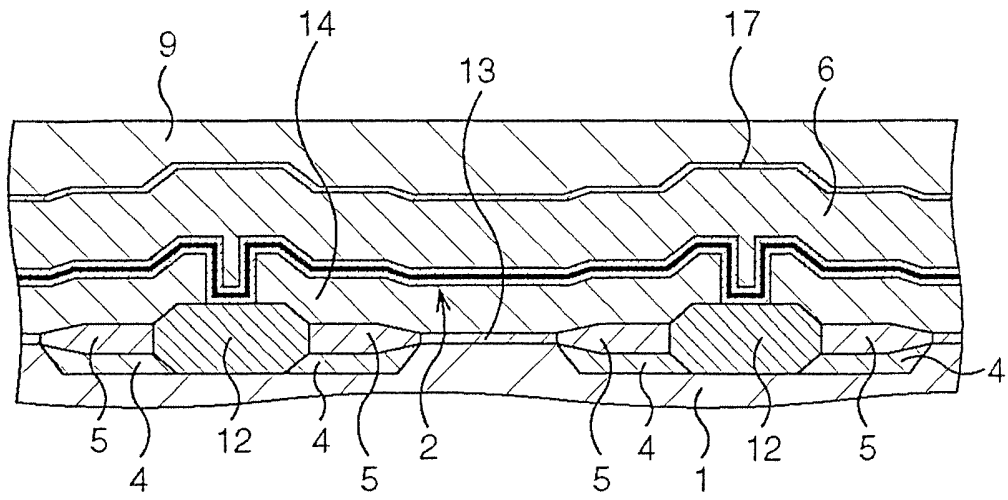
第 42B 圖



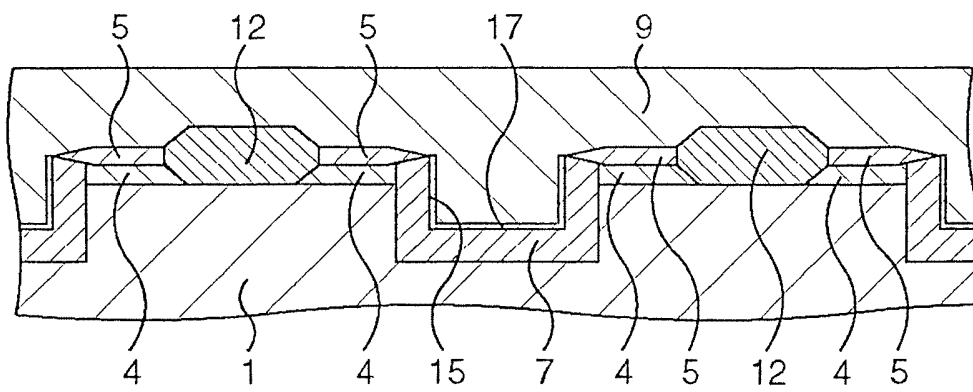
第 42C 圖



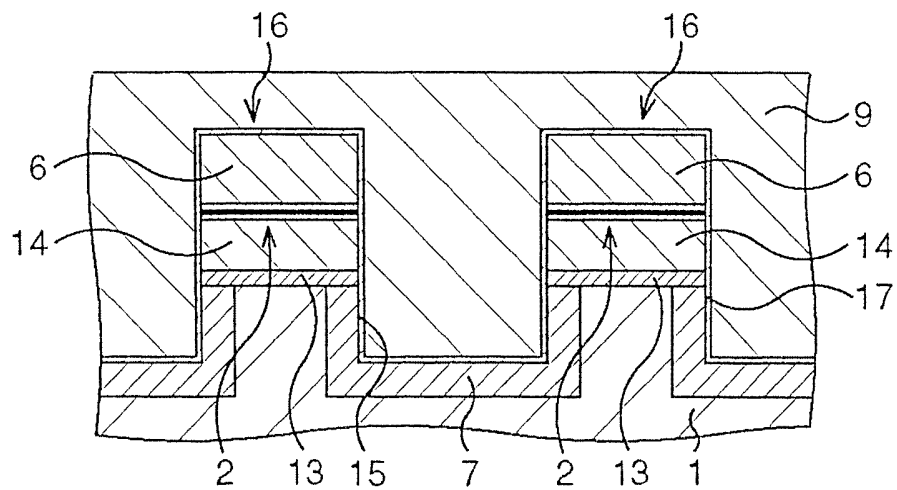
第 43A 圖



第 43B 圖



第 43C 圖



柒、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件代表符號簡單說明：

- 1 半導體基體
- 4 位元線雜質-擴散層
- 6 字線
- 7 通道阻絕雜質-擴散層
- 5 氧化矽薄膜
- 10 位元線觸點
- 11 字線觸點
- 21 凹槽
- 22 氮化矽薄膜

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：