



申請日期	90 年 4 月 20 日
案 號	90109578
類 別	G09G 3/36

A4  
C4

525132

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	液晶顯示裝置
	英 文	
二、發明 創作人	姓 名	(1) 藤岡恭弘 (2) 伊藤茂 (3) 後藤充
	國 籍	(1) 日本                      (2) 日本                      (3) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(株)知的所有權本部內  (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(株)知的所有權本部內  (3) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(株)知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所  (2) 日立裝置工程股份有限公司 日立デバイスエンジニアリング株式会社
	國 籍	(1) 日本                      (2) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地  (2) 日本國千葉縣茂原市早野三六八一番地
	代 表 人 姓 名	(1) 庄山悅彦  (2) 長壁邦治

裝 訂 線

經濟部智慧財產局員工消費合作社印製

申請日期	90 年 4 月 20 日
案 號	90109578
類 別	

A4  
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明人 創作	姓 名	(4) 中安洋三 (5) 齋藤良幸
	國 籍	(4) 日本                      (5) 日本 (4) 日本國千葉縣茂原市早野三六八一 日立裝置工程股份有限公司內
	住、居所	(5) 日本國千葉縣茂原市早野三六八一 日立裝置工程股份有限公司內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

日本 2000年5月18日 2000-146603 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明(1)

### 發明背景

本發明係關於液晶顯示裝置，特別係關於適用於在驅動電路(汲極驅動器)間轉送數位訊號的方式之液晶顯示裝置的驅動電路而有效的計數。

STN(Super Twist Nematic)方式、或者 TFT(Thin Film Transister)之液晶顯示模組，廣泛使用作為筆記型電腦等的顯示裝置。

這些液晶顯示裝置，具備液晶顯示面板，與驅動液晶顯示面板的驅動電路。

如此，於這樣的液晶顯示裝置，例如日本特開平6-13724號公報所記載的，僅有被層疊(cascade)接續的驅動電路的前頭之驅動電路，輸入數位訊號(例如顯示資料或者時脈訊號)，於其他的驅動電路，以通過驅動電路內，依序轉送數位訊號的方式(以下稱為數位訊號依序轉送方式)係屬已知。

在前述公報(特開平6-13724號)所記載的液晶顯示裝置，構成驅動電路的半導體積體電路裝置(IC)，被直接實裝於液晶顯示面板的玻璃基板，但是例如特開平6-3684號公報所記載的，將構成此驅動電路的半導體積體電路裝置(IC)搭載於帶狀運送器封裝(tape carrier package)，採用前述之數位訊號依序轉送方式之液晶顯示裝置亦屬已知。

此外，於數位訊號依序轉送方式之驅動電路，為了消去訊號的負荷比變動，反轉訊號的極性轉送至下一段的驅動電路之習知文獻，例如有「SHARP 技報，第74號(1999年

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(2)

8月)，第31～34頁」無論任一習知技術，都完全沒有關於整列時脈訊號的升起計時與降下計時之時脈補償電路。

供解決課題之手段

如第32圖(a)所示，將顯示資料在顯示資料取入用的時脈訊號的升起時間點與下降時間點取入之雙邊緣(dual-edge)取入方式的場合，爲了在設定(setup)期間、以及保持(hold)期間具有充裕度，在顯示資料的切換時間點的中間時間點，必須要使時脈訊號的升起時間點與降下時間點一致。

然而，在採用如前所述的數位訊號依序轉送方式的液晶顯示裝置，所謂由計時控制器(或者顯示控制裝置)送出的顯示資料與時脈訊號，係傳送於各驅動電路內的訊號線，以及各驅動電路間的傳送線路(玻璃基板上的傳送線路或者帶狀運送器封裝上的傳送線路。

亦即，由計時控制器送出的顯示資料與時脈訊號，是在各汲極驅動器間受讓的。

因此，各汲極驅動器的內部特性，例如CMOS反相器(invertor)電路之各MOS電晶體的閾值( $V_{th}$ )的變動等，或是傳送線路上的某種因素，導致時脈訊號的負荷比(亦即，對脈衝訊號的週期之高電平期間之比)改變，而且藉由複數次的受讓，負荷比的變動有被累積之虞。

而，時脈訊號的負荷比的變動變大，與顯示資料之間的相位差變大時，如第32圖(b)所示，以時脈訊號取入顯示資料時之設定期間，或者保持期間減少，最差的場合，有在各驅動電路無法取入顯示資料之虞，液晶顯示面板產生

(請先閱讀背面之注意事項再填寫本頁)

訂

線

### 五、發明說明(3)

錯誤顯示，而顯著損害顯示品質。

如前述的問題點，在時脈訊號的兩邊緣取入顯示資料的方式的場合下會變得更顯著，即使在時脈訊號的單方邊緣取入顯示資料的方式也沒有例外。

本發明為了解決前述從前技術的問題點而進行改良，本發明的目的在於提供液晶顯示裝置可以補償被輸入液晶驅動電路的時脈訊號的負荷比的變動之技術。

此外，本發明之其他目的在於提供可以正常進行影像訊號的取入，可以提高液晶顯示元件的顯示品質之技術。

本發明之前述以及其他目的與新特徵，可由本說明書的記載以及附圖來說明。

#### 發明概要

本發明係為了解決前述從前技術的問題點而進行改良者，本發明的目的在於提供液晶顯示裝置可以補償被輸入液晶驅動電路的時脈訊號的負荷比的變動之技術。

此外，本發明之其他目的在於提供可以正常進行影像訊號的取入，可以提高液晶顯示元件的顯示品質之技術。

本發明之前述以及其他目的與新特徵，可由本說明書的記載以及附圖來說明。

本發明所揭示的發明之中，簡單說明具有代表性者的概要如下。

亦即，本發明係具有液晶顯示元件與液晶驅動電路之液晶顯示裝置，其特徵為：前述液晶驅動電路以從第2電平

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(4)

至第1電平的切換計時，取入被輸入前述液晶驅動電路的影像訊號至匯流排，有被取入前述匯流排的影像訊號選擇驅動前述液晶顯示元件的電壓。前述內部時脈訊號，係藉由時脈補償電路，把被輸入前述液晶驅動電路的外部時脈訊號之第1電平期間與第2電平期間分別整列於指定之值的內部時脈訊號。

根據前述手段，於各液晶驅動電路，藉由時脈補償電路，產生藉由時脈補償電路，把被輸入前述液晶驅動電路的外部時脈訊號之第1電平期間與第2電平期間分別整列於指定之值的內部時脈訊號，所以可以補償由外部輸入的時脈訊號的負荷比的變動。

藉此，在各液晶驅動電路可以正確取入顯示資料，所以提高液晶顯示元件的顯示品質成爲可能。

前述時脈補償電路，係使用相位鎖定迴圈電路，或者延遲鎖定迴圈電路構成的。

進而，使內部時脈訊號輸出至下一段的液晶驅動電路的緣故，與使從外部輸入的時脈訊號直接輸出至下一段的液晶驅動電路的場合相比，可以更能抑制時脈訊號的負荷比的變動。

形成第1時脈訊號與反轉該第1時脈訊號的第2時脈訊號，將前述第1時脈訊號供給至下一段液晶驅動電路的第2時脈訊號系統，將前述第2時脈供給至下一段的液晶驅動電路的第1時脈訊號系統，以補償從外部輸入的時脈訊號的負荷比的變動。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(5)

藉此，在各液晶驅動電路可以正確取入顯示資料，所以提高液晶顯示元件的顯示品質成爲可能。

此外，分離顯示資料轉送用電路的電源，與時脈訊號轉送用電路的電源，所以可以降低對時脈訊號轉送用電路之顯示資料轉送用電路的影響。

較佳之實施型態之詳細說明

以下參照圖面詳細說明本發明的實施型態。

又，於說明實施型態之用的所有圖面，具有同一機能者賦予相同的符號，省略其反覆說明。

### 第1實施型態

第1圖係顯示本發明的第1實施型態之液晶顯示模組的顯示面板的基本構成之方塊圖。

如該圖所示，本實施型態的液晶顯示模組，係由：液晶顯示面板100、計時控制器110、電源電路120、汲極驅動器130、閘極驅動器140、可撓曲印刷電路板(以下稱之爲FPC基板)150所構成。

液晶顯示面板100，係將像素電極PIX、被形成薄膜電晶體TFT等之TFT基板、對向電極、被形成彩色濾光膜等之濾光膜基板等隔著指定間隔而重疊，藉由在該兩基板間之週緣部附近設爲框狀的密封材，貼合兩基板，同時由設於密封材的一部份之液晶封入口封入液晶至兩基板間的密封材內側，密封之，進而在兩基板的外側貼附偏光板而構

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(6)

成。

各像素係由像素電極 PIX 與薄膜電晶體 TFT 所構成，對應於複數掃描訊號線(或者閘極訊號線)G 與影像訊號線(或者汲極訊號線)D 之交差的部分而被設置的。

又，在本實施型態，為了保持像素電極 PIX 的電位，各個像素都設有保持電容 CST。

CL 係供對保持電容 CST 供給基準電壓  $V_{com}$  之用的電容線。

又，電容線 CL 可以前述掃描訊號線 G 代用。

各像素之薄膜電晶體 TFT，其源極被接續於像素電極 PIX，汲極被接續於影像訊號線 D，閘極被接續於掃描訊號線 G，作為供對像素電極 PIX 供給顯示電壓(階調電壓)之用的開關而發揮功能。

又，源極、汲極的稱呼，因偏壓的關係亦有相反的情形，此處，將被接續於影像訊號線 D 的稱為汲極。

計時控制器 110、汲極驅動器 130 與閘極驅動器 140，分別被實裝於構成液晶顯示面板 100 的 TFT 基板的透明性絕緣基板(玻璃基板)上。

接著，如前所述，由計時控制器 110 送出的數位訊號(顯示資料、時脈訊號等)，以及由電源電路供給的階調基準電壓，被輸入前頭的汲極驅動器 130，傳播於各汲極驅動器 130 內的內部訊號線，以及各汲極驅動器 130 間的傳送線路(玻璃基板上的傳送線路)，被輸入各汲極驅動器 130。

此處，各汲極驅動器 130 的電源電壓，由電源電路 120

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(7)

介由 FPC 基板 150 被供給至各汲極驅動器 130。

同樣地，由計時控制器 110 送出的數位訊號(時脈訊號等)，被輸入前頭的閘極驅動器 140，介由各閘極驅動器 140 內的內部訊號線，以及各閘極驅動器 140 間的傳送線路(玻璃基板上的傳送線路)，被供給至各閘極驅動器 140。

計時控制器 110，由 1 個半導體積體電路(LSI)所構成，根據由電腦本體側送來的時脈訊號、顯示器計時訊號、水平同步訊號、垂直同步訊號之各顯示控制訊號以及顯示用資料(R、G、B)，控制、驅動汲極驅動器 130 以及閘極驅動器 140。

閘極驅動器，根據由計時控制器 110 送出的圖框開始指示訊號(FLM)以及移位時脈(CL3)，於每 1 水平掃描時間，依序對液晶顯示面板 100 的各閘極訊號線 G 供給高電平之選擇掃描電壓。

藉此，被接續於液晶顯示面板 100 的各閘極訊號線 G 的複數薄膜電晶體(TFT)導通於 1 水平掃描時間之間。

第 2 圖，係顯示第 1 圖所示的汲極驅動器 130 的概略構成之方塊圖。又，於此第 2 圖，添附字 i 意味著從汲極驅動器 130 的外部輸入的訊號，添附字 o 意味著傳播於汲極驅動器 130 內而由汲極驅動器 130 往外部輸出的訊號。

例如，CL2i 係從外部輸入的顯示資料控鎖用時脈訊號。顯示資料控鎖用時脈訊號傳播於汲極驅動器 130 內而往外部(下一段之汲極驅動器 130)輸出。由汲極驅動器 130 往外部輸出的顯示資料控鎖用時脈訊號以 CL2o 表示。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(8)

該圖所示之時脈補償電路200，根據由外部輸入的顯示資料控鎖用時脈訊號(CL2i)，產生負荷比為50%之內部時脈訊號(亦即，高電平期間與低電平期間相等的時脈訊號)(CLL2)。

該圖所示之控鎖電路(1)135，根據由控鎖位址選擇器132送出的資料取入訊號，依序控鎖由資料取入演算電路133送出的顯示資料。

又，由資料取入演算電路133送出的顯示資料，經由資料輸出電路134往外部輸出。

此處，控鎖位址選擇器132，根據由時脈控制電路131送出的內部時脈訊號(CLL2)，產生資料取入訊號。

控鎖電路(2)136，根據由時脈控制電路131送出的輸出計時控制用時脈(CL1)，取入被控鎖於控鎖電路(1)135之顯示資料，輸出至解碼器電路137。

解碼器電路137，由從階調電壓產生電路139供給的64階調的階調電壓，選擇對應於從控鎖電路(2)136送出的顯示資料之階調電壓而輸出至擴大電路138。

擴大電路138，增幅(電流增幅)由解碼器電路137送出的階調電壓供給至各汲極訊號線D(Yi)。

藉由以上動作，在液晶顯示面板100顯示影像。

又，解碼器電路137以及擴大電路138，分別以正極用的電路、與負極性的電路構成，此處省略詳細說明。

此外，階調電壓產生電路139，根據由外部供給的正極性的階調基準電壓(V0~V4)產生正極性的64階調的階調電

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(9)

壓，根據由外部供給的負極性的階調基準電壓(V5~V9)產生負極性的64階調的階調電壓。

第3圖，係顯示第2圖所示之時脈補償電路200之一例之方塊圖。

此第3圖所示之時脈補償電路200，係使用相位鎖定迴圈電路(Phase Locked Loop，以下簡稱PLL電路)之電路。

使用此PLL電路之時脈補償電路，電路的佔用面積很少，對小型化汲極驅動器是有利的，可以使液晶顯示面板的周圍區域縮小。

第3圖所示的電路，係以相位比較器120、充電幫浦電路211、濾波電路212、電壓控制發訊電路(以下簡稱VCO電路)213、與m分頻器214構成。

在此PLL電路，以相位比較器210比較輸入時脈訊號(fi)，與m分頻器214所輸出的輸出時脈訊號(fo)之相位。

相位比較器210，在相位比較的結果，輸入時脈訊號(fi)的相位較輸出時脈訊號fo)更為前進的場合，輸出相位延遲脈衝(INC)，此外，輸入時脈訊號(fi)的相位較輸出時脈相位(fo)更為延遲的場合，輸出相位前進脈衝(DEC)。

充電幫浦電路211，將前述之相位延遲脈衝(INC)或者相位前進脈衝(DEC)分別變換為電流脈衝，濾波電路212，藉由根據前述相位延遲脈衝(INC)之電流脈衝，使內部電容的電位上昇，此外，藉由根據前述相位前進脈衝(DEC)之電流脈衝，使內部電容的電位下降。

在連結震盪器或者放射器結合型比安定多震盪器電路

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(10)

等所構成的 VCO 電路 213，根據此內部電容的電位，改變時脈訊號 ( $f_m$ ) 的震盪頻率。

藉此，使輸入時脈訊號 ( $f_i$ ) 與輸出時脈訊號 ( $f_o$ ) 之震盪頻率與相位一致。

以下，使用第 4 圖說明可以藉由第 3 圖所示的 PLL 電路，由負荷比非 50% 的輸入時脈訊號 ( $f_i$ ) 得到負荷比 50% 的輸出時脈訊號 ( $f_o$ ) 的理由。

又，此第 4 圖，顯示 VCO 電路 213 輸出輸入時脈訊號 ( $f_i$ ) 的兩倍頻率的時脈訊號 ( $f_m$ )， $m$  分頻器 214 以 2 分頻器構成的場合之計時圖。

如第 4 圖所示，負荷比非為 50% 的輸入時脈訊號 ( $f_i$ ) 與輸出時脈訊號 ( $f_o$ ) 同步的場合，由 VCO 電路 213 輸出輸入時脈訊號 ( $f_i$ ) 的 2 倍的頻率的時脈訊號 ( $f_m$ )。

此時脈訊號 ( $f_m$ )，以 2 分頻器分頻而成為輸出時脈訊號 ( $f_o$ )，但輸出時脈訊號 ( $f_o$ ) 在時脈訊號  $f_m$  的升起 (或是下降) 的時間點，成為由高電平至低電平，以及由低電平至高電平變化的時脈訊號，所以此輸出時脈訊號 ( $f_o$ )，成為負荷比 50% 的時脈訊號。

又，由 VCO 電路 213，不一定得到負荷比 50% 的時脈訊號 ( $f_m$ )，所以第 3 圖所示的 PLL 電路的  $m$  分頻器 214，係為了獲得最終負荷比 50% 的輸出時脈訊號 ( $f_o$ ) 而設的。

第 5 圖係顯示第 2 圖所示的時脈補償電路 200 之其他例之方塊圖。

此第 5 圖所示的時脈補償電路 200，係使用延遲鎖定迴

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(11)

圈電路(Delay Locked Loop；以下簡稱 DLL 電路)之電路。

使用 DLL 電路之時脈補償電路，在具有延遲線這一點，較使用 PLL 電路者電路佔有面積變大，但是因為不需要高速的訊號所以動作安定，即使液晶顯示面板的像素增加訊號頻率也不會變高，可以安定動作。

第5圖所示的電路，係以 DLL 電路 220、2分頻器(221、222)、排他邏輯和電路(EOR)來構成。

第6圖係顯示第5圖所示的 DLL 電路 220的電路構成之電路圖。第7圖係顯示第6圖所示的延遲線 310的構成之電路圖。

此外，第8圖係顯示第6圖所示的電路的計時圖。

於此第6圖所示的 DLL 電路 220，上下計數器(up-down counter)312，在對輸入(IN)的升起邊緣，當 OUT2(DWN)為高電平、OUT3(UP)為低電平的狀態時，為了進而使相位延遲而將計數值 + 1。

解碼器電路 311，將上下計數器 312的計數值解碼，打開(ON)對應於該計數值的延遲線 310的開關元件(HIZ)之一，增加訊號線上的延遲元件 DEL，增加延遲線 310的延遲時間。

相反的，對於輸入(IN)的升起邊緣，在 OUT(DWN)為低電平、OUT3(UP)為高電平狀態時，上下計數器 312，為了使太遲的相位還原而將計數值 - 1。

解碼器電路 311，解碼上下計數器 312的計數值，打開(ON)對應於該計數值的延遲線 310的開關元件(HIZ)之一，減

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(12)

少訊號線上的延遲元件 DEL，減少延遲線 310 的延遲時間。

此外，對輸入(IN)的升起邊緣 OUT2(DWN)、OUT3(UP)都為低電平狀態時，作為相位一致者，上下計數器 312 保持計數值。

藉此，可由 OUT2 對輸入時脈訊號 ( $f_i$ )，獲得相位延遲 180 度的時脈訊號 ( $f_t$ )。

以下，使用第 9 圖，藉由第 5 圖所示的電路，說明可由負荷比非 50% 的輸入時脈訊號 ( $f_i$ ) 獲得負荷比為 50% 的輸出時脈訊號 ( $f_o$ ) 的理由。

如第 9 圖所示，從 DLL 電路 220，對負荷比非 50% 的輸入時脈訊號 ( $f_i$ )，可得相位延遲 180 度的時脈訊號 ( $f_t$ )。

此輸入時脈訊號 ( $f_i$ ) 於被輸入 2 分頻器 221，相位延遲 180 度的時脈訊號 ( $f_t$ ) 被輸入 2 分頻器 222，成為被 2 分頻的時脈訊號。

在此場合，如前所述，以 2 分頻器分頻的時脈訊號，在 2 分頻前 (例如，輸入時脈訊號 ( $f_i$ )) 的升起 (或者下降) 時間點，成為由高電平變化為低電平，以及由低電平變化為高電平的時脈訊號，所以以此 2 分頻器分頻的時脈訊號成為負荷比 50% 的時脈訊號。

藉由將以此分頻器 (221、222) 2 分頻之時脈訊號，輸入排他邏輯和電路 (EOR)，可得同步於輸入時脈訊號 ( $f_i$ )，負荷比 50% 的輸出時脈訊號 ( $f_o$ )。

又，第 3 圖所示的時脈補償電路 200，具有可以使電路規模縮小的優點，但相反的有必須要高速動作的缺點。

## 五、發明說明(13)

對此，第5圖所示的時脈補償電路200，具有不需要高速動作的優點，但是相反的有電路規模增大的缺點。

亦即，將本發明之時脈補償電路組裝入實際製品的場合，必須要考慮到前述之優點、缺點。

其次，說明第2圖所示之資料取入/演算電路133以及資料輸出電路134。第10圖係顯示資料取入/演算電路133以及資料輸出電路134的電路構成之電路圖。

於此第10圖，虛線左側(箭頭 AA 的方向)，表示資料取入/演算電路133，虛線右側(箭頭 BB 的方向)，表示資料輸出電路134。

如該圖所示，資料取入/演算電路133，係以演算電路(21、22、23)與控鎖電路31構成，此外，資料輸出電路134，係以演算電路(24、25、26)、與控鎖電路(32、33)、與多路轉換電路(41、42)、與延遲電路51所構成。

又，在第10圖，顯示資料轉送用之內部訊號線，圖示的係以使用於汲極驅動器130的液晶驅動電壓輸出的內部匯流排線來兼用的場合。

以下，說明各部的動作。

第11圖係顯示於第10圖所示的電路圖，每1條內部匯流排之電路構成。第12圖係顯示第11圖所示之時脈訊號(CLL2)，與顯示資料，與內部訊號線上之顯示資料的計時圖。

又，在此第11圖，省略演算電路(21、22、24、25)。

如第12圖所示，在時脈訊號(CLL2)升起的时间點，從

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(14)

外部輸入的顯示資料(D1)被取入 D 型雙穩態多諧震盪電路(以下簡稱雙穩態多諧震盪電路)1。

此外，在時脈訊號(CLL2)的降下時間點，由外部輸入的顯示資料(D2)被取入雙穩態多諧震盪電路3而被輸出至內部匯流排線 B，同時，被取入雙穩態多諧震盪電路1的顯示資料(D1)，被取入雙穩態多諧震盪電路2而被輸出至內部匯流排線 A。

如此，在本實施型態，在同一計時送出顯示資料至內部匯流排線。

又，內部匯流排線，以2系統匯流排線構成的理由將在稍後說明。

被送出至內部匯流排線(A、B)的顯示資料，因為傳播於汲極驅動器130的長邊方向，亦即因為橫跨半導體晶片的長邊長而被傳播，由內部匯流排線的配線電阻以及配線電容產生延遲，產生與時脈訊號(CLL2)之相位偏移。

因此，在時脈訊號(CLL2)之降下時間點，將內部匯流排線上的顯示資料(D1)取入雙穩態多諧震盪電路4，同時將內部匯流排線上的顯示資料(D2)取入雙穩態多諧震盪電路5，吸收前述之相位偏移。

此外，被取入雙穩態多諧震盪電路4與雙穩態多諧震盪電路5的顯示資料，藉由多路轉換電路(開關電路)41，交互被輸出至外部。

藉此，被輸出至外部的顯示資料，以從外部被輸入的順序，被輸出至外部。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(15)

在使對下一段汲極驅動器轉送的訊號極性反轉而輸出的習知文獻(SHARP技報,第74號(1999年8月),第31~34頁)之技術,因為必須要縱序接續正邏輯的汲極驅動器與負邏輯的汲極驅動器,因此有汲極驅動器必須要有2種,汲極驅動器的成本變高,液晶顯示裝置的組裝變得複雜生產率不能提高等缺點。

但是,根據本發明,藉由設補正時脈訊號(CL2)的負荷比的電路,不必要反轉轉送資料,因此汲極驅動器也只要一種即可,具有汲極驅動器的成本也不會變高,液晶顯示裝置的組裝變得容易,可以大幅提高生產率等效果。

又,在第10圖,說明了將顯示資料轉送用的內部訊號線,以使用於汲極驅動器130的液晶驅動電壓輸出的內部匯流排線來兼用的場合,例如,如第13圖所示,將顯示資料轉送用之內部訊號線,與汲極驅動器130的液晶驅動電壓輸出所使用的內部匯流排線另行設置亦可。

但是,在第13圖所示之例,因為必須要自汲極驅動器130的36條內部匯流排線(例如6位元X3(RGB用的匯流排線)X2=36條),以及與其同等的內部訊號線,所以構成汲極驅動器130的半導體晶片的面積增大這部分變得不利。

對此,在本實施型態,將顯示資料轉送用的內部訊號線,以使用於汲極驅動器130的液晶驅動電壓輸出之內部匯流排線兼用的緣故,可以比第13圖所示之例縮小半導體晶片的面積。

其次,回到第10圖,說明演算電路(21、22)的動作。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(16)

在第1圖之計時控制器110與前頭之汲極驅動器130以及接續各汲極驅動器間之顯示資料傳送線路由顯示資料的改變所導致的耗電量(在傳送線路之充放電等)會成為問題。

例如，3像素(X 6位元 = 18條)之顯示資料之中有9條在高電平，剩下的9條在低電平，接下來下3個像素份之顯示資料成為與此之反轉電平的場合，成為18條所有顯示資料都改變，此動作在越高速、此外振幅越大時在顯示資料傳送線路之充放電使耗電量變大。

在此，為了抑制前述狀態導致之耗電量，在計時控制器110，將資料反轉訊號(第2圖所示之POL訊號)設為一條，根據資料反轉訊號預先演算18條之顯示資料，不進行前述18條之顯示資料的改變，僅反轉、送出資料反轉訊號的電平，

各汲極驅動器130的演算電路21，係藉由演算這些訊號使3像素(X 6位元 = 18條)之顯示資料之中的9條在高電平，剩下的9條在低電平，其次之3像素份的顯示資料，產生此反轉電平，實現與沒有資料反轉訊號的場合，同樣的功能而抑制耗電量的電路。

演算電路21，係由排他邏輯和所構成，如第1表所示，資料反轉訊號(第2圖之POL訊號)為「0」時，不反轉顯示資料而輸出，資料反轉訊號(第2圖之POL訊號)為「1」時，反轉顯示資料而輸出。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(17)

第1表

輸入		輸出
資料輸入訊號	資料反轉訊號	A
0	0	0
0	1	1
1	0	1
1	1	0

其次，說明演算電路22的動作。

液晶顯示面板100，藉由交流化驅動方法來驅動。

此交流化驅動方法之一，為共同對稱法，在共同對稱法(例如，點反轉法，n線反轉法)，

必須要對各像素電極，施加正極性的階調電壓與負極性的階調電壓。

第14圖係詳細顯示本實施型態之汲極驅動器130的各個色之鄰接的汲極訊號線( $Y_i$ ， $Y_{i+1}$ )之電路構成。

於此第14圖，235A、235B係顯示第2圖所示之拴鎖電路(1)135之分別的拴鎖電路，236A、236B係顯示第2圖所示之拴鎖電路(2)136之分別的拴鎖電路。

此外，237A、237B係顯示第2圖所示的解碼器電路137之分別的解碼器電路，237A係選擇正極性的階調電壓之高電壓解碼器電路，237B係選擇負極性的階調電壓之低電壓解碼器電路。

同樣地，238A、238B顯示第2圖所示的擴大電路138之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(18)

分別的擴大電路，238A 係擴大正極性的階調電壓之高電壓擴大電路，238B 係擴大負極性的階調電壓之低電壓擴大電路。

如此，在本實施型態，取代每條汲極訊號線設正極性的電路與負極性的電路，而改對每條相鄰的各色之汲極訊號線設一對正極性側電路與負極性側電路，以開關部239切換而對分別的相鄰之各色之汲極訊號線，供給正極性的階調電壓或者負極性的階調電壓。

例如，對汲極訊號線( $Y_i$ )供給正極性的階調電壓，對汲極訊號線( $Y_{i+1}$ )供給負極性的階調電壓的場合，在開關部239使汲極訊號線( $Y_i$ )接續於正電壓擴大電路238A，使汲極訊號線( $Y_{i+1}$ )接續於低電壓擴大電路238B，相反的，在對汲極訊號線( $Y_i$ )施加負極性的階調電壓，對汲極訊號線( $Y_{i+1}$ )施加正極性的階調電壓的場合，在開關部239使汲極訊號線( $Y_i$ )接續於低電壓擴大電路238B，使汲極訊號線( $Y_{i+1}$ )接續於正電壓擴大電路238A。

然而，正極性側的拴鎖電路235，被接續於第10圖所示的內部匯流排線D，負極性的拴鎖電路235B，被接續於第10圖所示的內部匯流排線E。

因此，爲了對汲極訊號線( $Y_i$ )供給正極性的階調電壓，必須對內部匯流排線D，送出供在汲極訊號線( $Y_i$ )選擇正極性的階調電壓之用的顯示資料，相反的，爲了對汲極訊號線( $Y_i$ )供給負極性的階調電壓，必須對內部匯流排線E，送出供在汲極訊號線( $Y_i$ )選擇負極性的階調電壓之用的顯示資

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(19)

料。

演算電路 22，係爲了將前述之顯示資料送出至第 10 圖所示的內部匯流排線 D，或者送出至內部匯流排線 E 之用而設的。

演算電路 22，係以開關電路(61、62)構成，開關電路 61，因應交流化訊號(第 2 圖所示之 M 訊號)之「1」或者「0」電平，而選擇由雙穩態多諧震盪電路 3 輸出的顯示資料，或者由雙穩態多諧震盪電路 2 輸出的顯示資料，送出至內部匯流排線 D。

同樣的，開關電路 62，因應交流化訊號(第 2 圖所示之 M 訊號)之「0」或者「1」電平，而選擇由雙穩態多諧震盪電路 2 輸出的顯示資料，或者由雙穩態多諧震盪電路 3 輸出的顯示資料，送出至內部匯流排線 E。

此處，對開關 62 供給的交流訊號 M，係對開關電路 61 供給的交流化訊號 M 的反轉訊號的緣故，對內部匯流排線 D 送出的顯示資料，係由雙穩態多諧震盪電路 3(或者雙穩態多諧震盪電路 2)所輸出的顯示資料的場合，對內部匯流排線 E 送出的顯示之料，成爲由雙穩態多諧震盪電路 2(或者雙穩態多諧震盪電路 3)輸出的顯示資料。

此演算電路 22 的演算內容顯示於第 15 圖。

演算電路 24，係施行與演算電路 21 相反的演算之電路。

此演算電路 24，係以被設於 2 系統的各內部匯流排線(D、E)之排他邏輯和電路所構成，根據資料反轉訊號，進而

## 五、發明說明 (20 )

反轉在演算電路 21 被反轉的顯示資料，此外，在演算電路 21 未被反轉的顯示資料直接以原狀態輸出之電路。

演算電路 25，係爲了藉由交流化訊號 M 的極性，替換被送出至 2 系統的內部匯流排線 (D、E) 上之顯示資料的順序，所以爲了將此順序改變排列爲顯示資料的輸入順序，而以多路轉換器電路 41 改變雙穩態多諧震盪電路 4 與雙穩態多諧震盪電路 5 之選擇順序之用的電路。

此演算電路 25 的演算內容顯示於第 16 圖。

如第 16 圖所示，此演算電路 25，在交流化訊號 M 爲「0」時，以內部匯流排線 D → 內部匯流排線 E → 內部匯流排線 D 的順序輸出顯示資料，在交流化訊號 M 爲「1」時，以內部匯流排線 E → 內部匯流排線 D → 內部匯流排線 E 的順序輸出顯示資料。

如在演算電路 24 所說明的，轉送的顯示資料，必須逆演算在演算電路 21 被演算之顯示資料。

此處，在本實施型態，此資料反轉訊號也藉由雙穩態多諧震盪電路 6 ~ 雙穩態多諧震盪電路 8 同步於時脈訊號 (CLL2) 而取入，此外，如前所述，藉由交流化訊號 M，被送出至 2 系統的內部匯流排線 (D、E) 上之顯示資料的順序被替換的緣故，配合該替換，藉由演算電路 23 的開關電路 (63、64)，將由雙穩態多諧震盪電路 7、雙穩態多諧震盪電路 8 輸出的資料反轉訊號分配送出至內部訊號線 (J、K)。

此內部訊號線 (J、K) 上的資料反轉訊號，分別被輸入演算電路 24 之設於每條 2 系統的內部匯流排線 (D、E) 之排他

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 (21 )

邏輯和電路。

此外，時脈訊號 (CLL2) 之下降的時間點，內部訊號線 (J，K) 上的資料反轉訊號，被取入至雙穩態多諧震盪電路 9 以及雙穩態多諧震盪電路 10，藉由演算電路 26，以多路轉換電路 42 改變雙穩態多諧震盪電路 9 以及雙穩態多諧震盪電路 10 的選擇順序，將替換的內部訊號線 (J，K) 上的資料反轉訊號還原為原來的狀態輸出至外部。

其次，說明延遲電路 51 的動作。

如第 17 圖所示，將顯示資料，在時脈訊號的升起時間點與降下時間點取入，於雙邊緣取入方式的場合，為了於設定期間、以及保持期間具有充裕度，在顯示資料的切換時間點的中間時間點，必須位於時脈訊號 (CLL2) 的升起時間點以及降下時間點。

然而，由第 12 圖所示的計時圖可知，在本實施型態，由多路轉換電路 41 送出的顯示資料的切換時間點，與時脈訊號 (CLL2) 的升起時間點以及下降時間點是一致的。

在此，在下一段的汲極驅動器 130，不能將顯示資料以雙穩態多諧震盪電路 1~3 取入。

延遲電路 51，係供延遲輸出至外部的時脈訊號 (CLL2) 的相位，解決前述的問題點而設的。

第 18 圖係顯示第 17 圖所示的延遲電路 51 之一例之電路圖。

此第 18 圖所示之電路，係以被縱序接續的  $n$  個反相器電路所構成，此反相器電路之數目 ( $n$ )，係根據此反相器電

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(22)

路之時脈訊號(CL2)的延遲量如第17圖所示，在顯示資料的切換時間點的中間時間點，以位於時脈訊號(CL2)的升起時間點以及降下時間點的延遲量(90度)的方式被設定的。

第19圖係顯示第17圖所示的延遲電路51之其他例之電路圖。

在此第19圖所示之電路，係在前述第6圖至第8圖說明的延遲鎖定迴圈電路，此場合，可得由OUT1延遲90度之時脈訊號(ft)。

第20圖係供說明汲極驅動器130與FPC基板150之與玻璃基板之間的接續方法之模式剖面圖。

如第20圖所示，於汲極驅動器130，經由FPC基板150的配線層320→玻璃基板SUB1的金屬化層321→玻璃基板SUB1的配線層322→玻璃基板SUB1的金屬化層323→汲極驅動器(半導體晶片)130的凸塊電極324而被供給電源電壓。

於此場合，在本實施型態，如第21圖所示，分離對顯示資料轉送用電路(例如，多路轉換電路41等)331供給的電源，與對時脈訊號轉送用電路(例如，延遲電路51等)332供給的電源等。

亦即，對顯示資料轉送用電路331，與時脈訊號轉送用電路332，分別介由其他的墊電極333以及電源線供給電源。

又，第21圖係顯示本實施型態之對汲極驅動器130的電源電壓供給系統之圖，於此第22圖，電阻R顯示由玻璃基板的金屬化層321→玻璃基板的配線層322→玻璃基板的金

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(23)

屬化層 323 → 汲極驅動器(半導體晶片)130的凸塊電極 324間的電阻成分。

第 22 圖係顯示不分離對顯示資料轉送用電路 331 供給的電源，及對時脈訊號轉送用電路 332 供給的電源的場合之電源電壓供給系統之圖，在此第 22 圖所示之例，流於顯示資料轉送用電路 331 的多路轉換電路 41 的電流只需要顯示資料的位元數而已，在前述電阻 R 之電壓降下相當大，藉此，被供給至時脈訊號轉送用電路 332 的電源電壓降低，時脈訊號 (CLL2) 的振幅變小。

然而，在本實施型態，分離供給至顯示資料轉送用電路 331 的電源，與供給至時脈訊號轉送用電路 332 的電源，如前述般，被供給至時脈訊號轉送用電路 332 的電源電壓降低，時脈訊號 (CLL2) 的振幅不會變小。

亦即，在本實施型態，可以減低對時脈訊號轉送用電路 332 之顯示資料轉送用電路 331 的影響。

### 第 2 實施型態

第 23 圖係顯示本發明之第 2 實施型態之汲極驅動器的概略構成之方塊圖。

本實施型態，將時脈補償電路 200 設於資料輸出電路 134 內這一點與前述第 1 實施型態不同。

在本實施型態，將以設在資料輸出電路內的時脈補償電路 200 所產生的時脈，延遲於前述延遲電路 51 而輸出至下一段的汲極驅動器 130。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(24)

又，本實施型態之汲極驅動器130內的各部的動作，如同將前述說明的內部時脈訊號(CLL2)改為時脈訊號(CL2)即可，所以省略詳細的說明。

進而，時脈補償電路200的插入位置，如前述第1實施型態那般，不限於汲極驅動器130的時脈訊號的輸入側，或者如本實施型態這般，不限定於汲極驅動器130的時脈訊號的輸出側，在汲極驅動器130內，由外部輸入的時脈訊號(CLL2)直到往外部輸出為止之傳送路徑中，插入前述之時脈補償電路200的話，當然可以得到前述之作用/效果。

### 第3實施型態

第24圖係顯示本發明之第3實施型態的汲極驅動器的概略構成之方塊圖。

在本實施型態，取代設前述各實施型態之時脈補償電路200，而如第25圖所示，在各汲極驅動器130內，藉由在由外部輸入的時脈訊號(CL2)直到往外部輸出為止之傳送路徑中被插入的電路元件(例如反相器電路)52，設定為邏輯電平反轉的次數成為奇數次之值。

如前所述，在CMOS反相器電路，改變各MOS電晶體的閾值( $V_{th}$ )時，改變輸出脈衝訊號的負荷比(亦即，對脈衝訊號的週期之高電平期間之比)。

因此，在採用數位訊號逐次轉送方式的液晶顯示裝置，時脈訊號(CL2)在各汲極驅動器130中傳送的途中，時脈訊號(CL2)的負荷比變化會被累積，與顯示資料之相位差會

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 (25 )

變大。

然而，如前所示，以使在各汲極驅動器 130 傳播的時脈訊號 (CL2) 的邏輯電平之反轉次數成爲奇數次的方式，例如即使在前段的汲極驅動器 130 時脈訊號 (CL2) 的負荷比以變大的方式改變，在下一段之汲極驅動器 130 也以時脈訊號 (CL2) 的負荷比變小的方式改變。

藉此，全體的時脈訊號 (CL2) 的負荷比的變化可以縮小。

又，本實施型態的汲極驅動器 130 內的各部動作，於前述之說明，只要將內部時脈訊號 (CLL2) 改爲時脈訊號 (CL2) 即可對應，因此省略其詳細說明。

如前所述，爲了防止負荷比的變動，反轉顯示資料而對下一段的汲極驅動器轉送資料的方法，記載於習知文獻 (SHARP 技報，第 74 號 (1999 年 8 月)，第 31 ~ 34 頁)，但是本實施型態，使顯示資料同步於時脈訊號 (CL2) 而輸出至下一段這一點，以及不反轉顯示資料而僅反轉時脈訊號 (CL2) 這一點，與上述文獻所記載者不同。

記載於上述文獻者，因爲沒有使顯示資料同步於時脈並且輸出的思想，所以爲了防止負荷比變動必須反轉所有的顯示資料而輸出。

亦即，次一段的汲極驅動器，必須以被反轉的顯示資料爲本產生液晶驅動電壓的緣故，不得不爲負邏輯之汲極驅動器，因此有增加汲極驅動器的種類，使成本變高，液晶顯示裝置的製造變得複雜，而製造率降低等缺點。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(26)

對此，在本發明，使顯示資料同步於時脈訊號(CL2)對下一段的汲極驅動器輸出的緣故，不必要反轉顯示資料而輸出，因此有下一段的汲極驅動器可以使用相同邏輯的汲極驅動器，成本不會變高，液晶顯示裝置的製造變得容易，生產率提高等效果。

此外，在本發明，關於時脈訊號(CL2)，為了防止負荷比變動，採用反轉而輸出，但是下一段之汲極驅動器，僅針對時脈訊號(CL2)設特別的控制電路即可，電路簡單，而且可以一種邏輯之汲極驅動器構成液晶顯示裝置。

具體而言，在本實施型態，將各汲極驅動器的啓始脈衝以時脈訊號(CL2)取入時的計時在正轉時脈與反轉時脈使其相同的電路，設於個汲極驅動器。

或者是如第26圖所示，使對下一段的汲極驅動器130轉送的顯示資料，延遲指定時間(例如90度)。

於此第26圖，正轉時脈訊號，表示被輸入至前一段的汲極驅動器130之時脈訊號(CL2)，反轉時脈訊號，表示被輸入至後一段的汲極驅動器130之時脈訊號(CL2)。

在此第26圖所示之例，在前段之汲極驅動器130，顯示資料(1)在正轉時脈訊號的升起時被取入汲極驅動器130，進而，顯示資料，例如藉由延遲電路延遲90度而被轉送至下一段的汲極驅動器130的緣故，即使下一段的汲極驅動器130，顯示資料(1)也在反轉時脈訊號的升起時被取入汲極驅動器130。

又，反轉顯示資料轉送至下一段汲極驅動器的方法，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(27)

也藉由對各汲極驅動器，將極性反轉之顯示資料還原至原來的極性之顯示資料的電路，以及設控制顯示資料的極性之電路，而可以使汲極驅動器共用化。

然而，如前所述，在習知文獻(SHARP 技報，第74號(1999年8月)，第31~34頁)中完全未被檢討，此外，必須要有對顯示資料的各個位元控制極性反轉的電路，有電路變得大規模的缺點。

### 第4實施型態

第27圖係簡化顯示前述實施型態之時脈訊號(CL2)之傳送路徑之圖。

如前所述，在習知文獻揭示的技術中，各汲極驅動器反轉顯示資料而轉送至下一段的汲極驅動器。

此外，時脈訊號也只有設1系統。

在前述習知文獻之技術，被輸入汲極驅動器的時脈訊號(CL2)如果是高電平的話，被輸入下一段的汲極驅動器的時脈訊號(CL2)為低電平，進而被輸入下一段的汲極驅動器的時脈訊號(CL2)為高電平。

因此，必須要準備2種汲極驅動器。

亦即，必須要準備以顯示資料以及時脈訊號(CL2)之正轉訊號被輸入為前提之邏輯構成的汲極驅動器(例如，第27圖之130a，130c)，及以被輸入反轉訊號為前提之邏輯構成的汲極驅動器(例如，第27圖之130c)。

如此，在被記載於前述習知文獻的汲極驅動器，有著

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(28)

液晶驅動電路的電路構成變成複雜的缺點。

第28圖係簡化顯示本發明的第4實施型態之時脈訊號(CL2)之傳送路徑之圖。

在本實施型態，對各汲極驅動器(130a, 130b, 130c)，輸入時脈訊號(CL2)之正轉時脈(CL2(T))，與時脈訊號(CL2)之反轉時脈(CL2(B))。

此處，與前述實施型態相同，所謂正轉時脈(CL2(T))與時脈訊號(CL2)之反轉時脈(CL(B))係在各汲極驅動器內的傳送路徑中，以使其邏輯電平的反轉次數成爲奇數次的方式被設定。

又，即使第28圖，也將正轉時脈(CL(T))，以及反轉時脈(CL2(B))的邏輯電平之奇數次的反轉次數，以串聯接續的3個反相器來表現。

即使在本實施型態，在前段之汲極驅動器(例如130a)正轉時脈(CL(T))以及反轉時脈(CL2(B))之負荷比以變大的方式改變，在次一段的汲極驅動器(例如130b)，正轉時脈(CL(T))以及反轉時脈(CL2(B))的負荷比的改變都可以成爲縮小的方式改變。

藉此，全體而言，可以縮小時脈訊號(CL2)之正轉時脈(CL(T))以及反轉時脈(CL(B))之負荷比的變化。

進而，在本實施型態，正轉時脈(CL(T))以及反轉時脈(CL(B))被傳送，切換各汲極驅動器間的傳送線路(玻璃基板上的傳送線路)，將由前段的汲極驅動器(例如，130a)輸出的正轉時脈(CL2(T))，作爲下一段的汲極驅動器(例如130b)

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 (29 )

的反轉時脈(CL(B))而輸入，將由前段的汲極驅動器(例如，130a)輸出的反轉時脈(CL2(B))，作為下一段的汲極驅動器(例如130b)的正轉時脈(CL(T))而輸入。

藉由採用如此的構成，各汲極驅動器(130a，130b，130c)之正轉時脈(CL2(T))被輸入至輸入端子的時脈訊號的電平，同樣變為相同，所以不需要如前所述那般，僅針對時脈訊號(CL2)設特別的控制電路等，而且也不必準備2種汲極驅動器。

又，於本實施型態，如第29圖所示，在各汲極驅動器(130a，130b，130c)之內部，切換正轉時脈(CL(T))以及反轉時脈(CL(B))被傳送的內部訊號線，將由前段的汲極驅動器(例如130a)所輸出的正轉時脈(CL2(T))，作為下一段的汲極驅動器(例如130b)的反轉時脈(CL2(B))輸入，將由前段的汲極驅動器(例如130a)所輸出的反轉時脈(CL2(B))，作為下一段的汲極驅動器(例如130b)的正轉時脈(CL2(T))輸入亦可。

### 第5實施型態

第30圖係顯示本發明的第5實施型態的資料取入/演算電路133以及資料輸出電路134的電路構成之電路圖。

於此第30圖，虛線左側(箭頭AA的方向)，表示資料取入/演算電路133，虛線右側(箭頭BB的方向)，表示資料輸出電路134。

如第30圖所示，在本實施型態，附加備用電路(71、72)

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 (30 )

這一點，與第10圖所示之前述第1實施型態的資料取入/演算電路133以及資料輸出電路134不同。

前述演算電路(21、22、23)之演算，係由外部輸入的顯示資料，僅在自汲極驅動器內取入的顯示資料的場合，成爲必要。

此處，在本實施型態，藉由備用電路(71、72)，由外部輸入的顯示資料，係自汲極驅動器內取入的顯示資料的場合，使演算電路(21、22、23)有效，在其他的場合使演算電路(21、22、23)無效。

第31圖係顯示第30圖所示之備用電路71的電路構成之方塊圖。

如第31圖所示，在此備用電路71，技術器電路350被輸入啓始脈衝(顯示資料取入開始訊號)時，計算時脈訊號(CLL2)。

此外，技術器電路350的計數，在指定的數目以下的場合，開關電路351輸出資料反轉訊號，計數器電路350的計數，超過指定的數目時，開關電路351輸出一定的偏壓電壓(高電平的電壓，或者低電平的電壓等) $V_{bb}$ 。

藉此，演算電路21實行第1表所示的演算內容。

又，備用電路72也是與備用電路71同樣的電路構成。

根據本實施型態的話，外部輸入的顯示資料，係不必要在自汲極驅動器內取入的顯示資料(換句話說，是單純轉送用的顯示資料)的場合因爲不需要進行多餘的演算，可以減低耗電量。

訂

線

## 五、發明說明(31)

此外，在前述各實施型態，針對汲極驅動器130，直接被實裝於液晶顯示面板的玻璃基板的場合加以說明，但本發明並不以此為限，汲極驅動器130，當然也可以用於被搭載在帶狀搬運封裝之數位訊號逐次轉送方式之液晶顯示裝置。

以上，將本發明的發明人所完成之發明，根據前述實施型態具體說明之，但本發明並不以前述實施型態為限定，在不逸脫其要旨的範圍內當然可以進行種種變更。

### 發明之效果

於本發明所揭示的發明之中藉由具有代表性者所得到的效果簡單說明如下。

(1)根據本發明之液晶顯示裝置，利用液晶驅動器IC內的資料匯流排於顯示資料的轉送，所以於各液晶驅動器IC使顯示資料並列傳送之用的印刷線路板變成不需要，可以縮小液晶顯示裝置的周邊電路區域。

(2)根據本發明之液晶顯示裝置，可以補償被輸入液晶驅動電路的時脈訊號的負荷比的變動。

(3)根據本發明之液晶顯示裝置，可以防止在液晶顯示元件引起被顯示的影像之誤顯示，所以可以提高被顯示於液晶顯示元件的顯示品質。

### 圖面之簡單說明

第1圖係顯示本發明的第1實施型態的液晶顯示模組的

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 (32 )

顯示面板的基本構成之方塊圖。

第2圖係顯示第1圖所示的汲極驅動器的概略構成之方塊圖。

第3圖係顯示第2圖所示的時脈補償電路之一例之方塊圖。

第4圖係供說明藉由第3圖所示的電路，可由負荷比非50%的輸入時脈訊號( $f_i$ )得到負荷比50%的輸出時脈訊號( $f_o$ )的理由。

第5圖係顯示第2圖所示的時脈補償電路之其他例之方塊圖。

第6圖係顯示第5圖所示的 DLL 電路的電路構成之電路圖。

第7圖係顯示第6圖所示的延遲線的構成之電路圖。

第8圖係顯示第6圖所示的計時圖。

第9圖係供說明藉由第5圖所示的電路，可由負荷比非50%的輸入時脈訊號( $f_i$ )得到負荷比50%的輸出時脈訊號( $f_o$ )的理由。

第10圖係顯示本發明第1實施型態所示的資料取入/演算電路以及資料輸出電路的電路構成之電路圖。

第11圖係顯示於第10圖所示的電路圖，每1條內部匯流排之電路構成。

第12圖係顯示第11圖所示之時脈訊號(CLL2)，與顯示資料，與內部訊號線上之顯示資料的計時圖。

第13圖係顯示將顯示資料轉送用的內部訊號線，與內

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(33)

部匯流排線係另行設置的場合之個性。

第14圖係詳細顯示每一條本發明的第1實施型態的汲極驅動器的各個色之鄰接的汲極訊號線(Y)之電路構成。

第15圖係顯示第10圖所示的演算電路22的演算內容。

第16圖係顯示第10圖所示的演算電路25的演算內容。

第17圖係供說明顯示資料的取入時間點之用的圖。

第18圖係顯示第17圖所示的延遲電路51之一例之電路圖。

第19圖係顯示第17圖所示的延遲電路51之其他例之電路圖。

第20圖係供說明汲極驅動器與FPC基板之與玻璃基板之間的接續方法之模式剖面圖。

第21圖係顯示本發明的第1實施型態之對汲極驅動器的電源電壓供給系統之圖。

第22圖係顯示不分離對顯示資料轉送用電路供給的電源，及對時脈訊號轉送用電路供給的電源的場合之電源電壓供給系統之圖。

第23圖係顯示本發明之第2實施型態之汲極驅動器的概略構成之方塊圖。

第24圖係顯示本發明之第3實施型態的汲極驅動器的概略構成之方塊圖。

第25圖係供說明本發明的第3實施型態之時脈補償方法之圖。

第26圖係供說明本發明的第3實施型態之一例之時脈訊

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(34)

號與顯示資料之關係之圖。

第27圖係簡化顯示本發明的第3實施型態之時脈訊號(CL2)之傳送路徑之圖。

第28圖係簡化顯示本發明的第4實施型態之時脈訊號(CL2)之傳送路徑之圖。

第29圖係簡化顯示本發明的第4實施型態之時脈訊號(CL2)之傳送路徑之變形例之圖。

第30圖係顯示本發明的第5實施型態的資料取入/演算電路以及資料輸出電路的電路構成之電路圖。

第31圖係顯示第30圖所示之備用電路的電路構成之方塊圖。

第32圖係供說明雙邊緣取入方式之設定期間以及保持期間之圖。

### 符號說明

- 100 液晶顯示面板
- 110 計時控制器
- 120 電源電路
- 130 汲極驅動器
- 140 閘極驅動器
- 150 FPC基板

(請先閱讀背面之注意事項再填寫本頁)

訂

繪

## 四、中文發明摘要(發明之名稱： 液晶顯示裝置 )

本發明提供補償被輸入液晶驅動電路的時脈訊號的負荷比(duty ratio)，使影像訊號的取入可以正常進行，可以提高顯示品質之液晶顯示裝置。

其係具備液晶顯示元件、與液晶驅動電路之液晶顯示裝置，其特徵為：液晶驅動電路，以內部時脈訊號之從第1電平(level)至第2電平之切換，或者從第2電平至第1電平之切換之計時，將被輸入液晶驅動電路的影像資料取入匯流排，由被取入匯流排的影像訊號選擇驅動液晶顯示元件的電壓，內部時脈訊號，藉由時脈補償電路，使被輸入液晶驅動電路的外部時脈訊號的第1電平期間與第2電平期間分別整列於指定值之時脈訊號。

## 英文發明摘要(發明之名稱： )

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種液晶顯示裝置，係具有液晶顯示元件與液晶驅動電路之液晶顯示裝置，其特徵為：

前述液晶驅動電路的構成具有：

輸入影像訊號的影像輸入端子；

輸入外部時脈訊號的時脈輸入端子；

根據外部時脈訊號產生內部時脈的時脈補償電路；

前述內部時脈訊號，振幅係由第1電壓起直到較第1電壓更低的第2電壓為止；

以內部時脈訊號的電壓切換的計時，收容影像訊號的資料記憶電路；

由資料記憶電路被輸出影像訊號的資料匯流排；

由資料匯流排的影像訊號選擇驅動液晶顯示元件的電壓而輸出的電壓選擇電路。

2. 如申請專利範圍第1項所述之液晶顯示裝置，其中時脈補償電路具有相位鎖定迴圈電路。

3. 如申請專利範圍第1項所述之液晶顯示裝置，其中時脈補償電路具有延遲鎖定迴圈電路。

4. 如申請專利範圍第1項所述之液晶顯示裝置，其中資料匯流排係由2系統之訊號線所構成。

5. 一種液晶顯示裝置，係具有液晶顯示元件與液晶驅動電路之液晶顯示裝置，其特徵為：

前述液晶驅動電路的構成具有：

輸入影像訊號的影像輸入端子；

輸入外部時脈、送出內部時脈之時脈補償電路，前述

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 六、申請專利範圍

內部時脈，具備輸出第1電壓的第1期間、與輸出第2電壓的第2期間；

以內部時脈切換的計時，取入影像訊號之資料控鎖電路；

由資料控鎖電路輸出影像訊號之資料匯流排；

由資料匯流排上的影像訊號往液晶顯示元件輸出電壓之電壓輸出電路；

將資料匯流排上的影像訊號往下一段之液晶驅動電路輸出之資料輸出電路；

所構成；

前述時脈形成電路根據外部時脈修正內部時脈。

6.如申請專利範圍第5項所述之液晶顯示裝置，其中時脈形成電路具有相位鎖定迴圈電路。

7.如申請專利範圍第5項所述之液晶顯示裝置，其中時脈形成電路具有延遲鎖定迴圈電路。

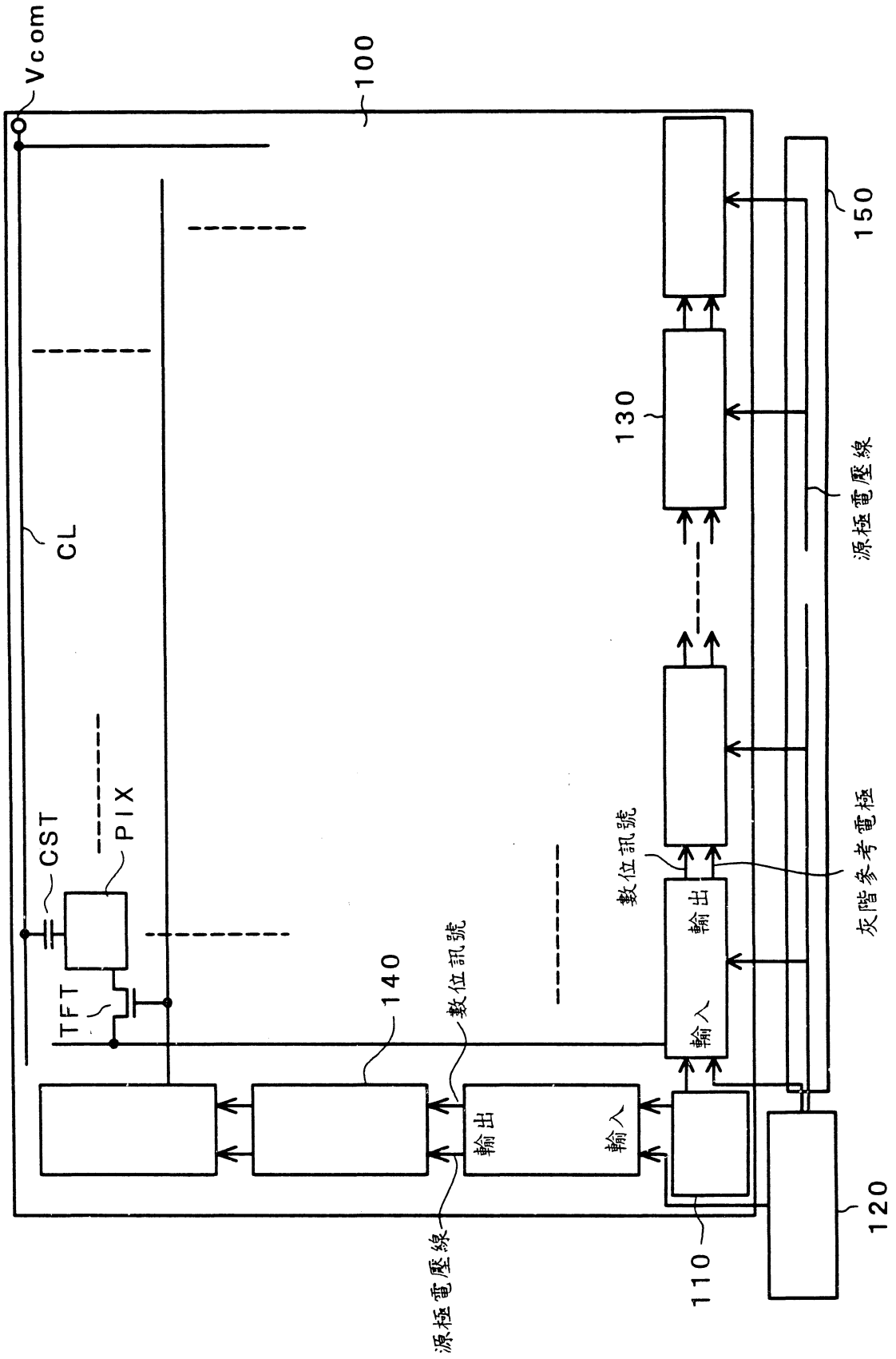
8.如申請專利範圍第5項所述之液晶顯示裝置，其中資料匯流排係由2系統之訊號線所構成。

(請先閱讀背面之注意事項再填寫本頁)

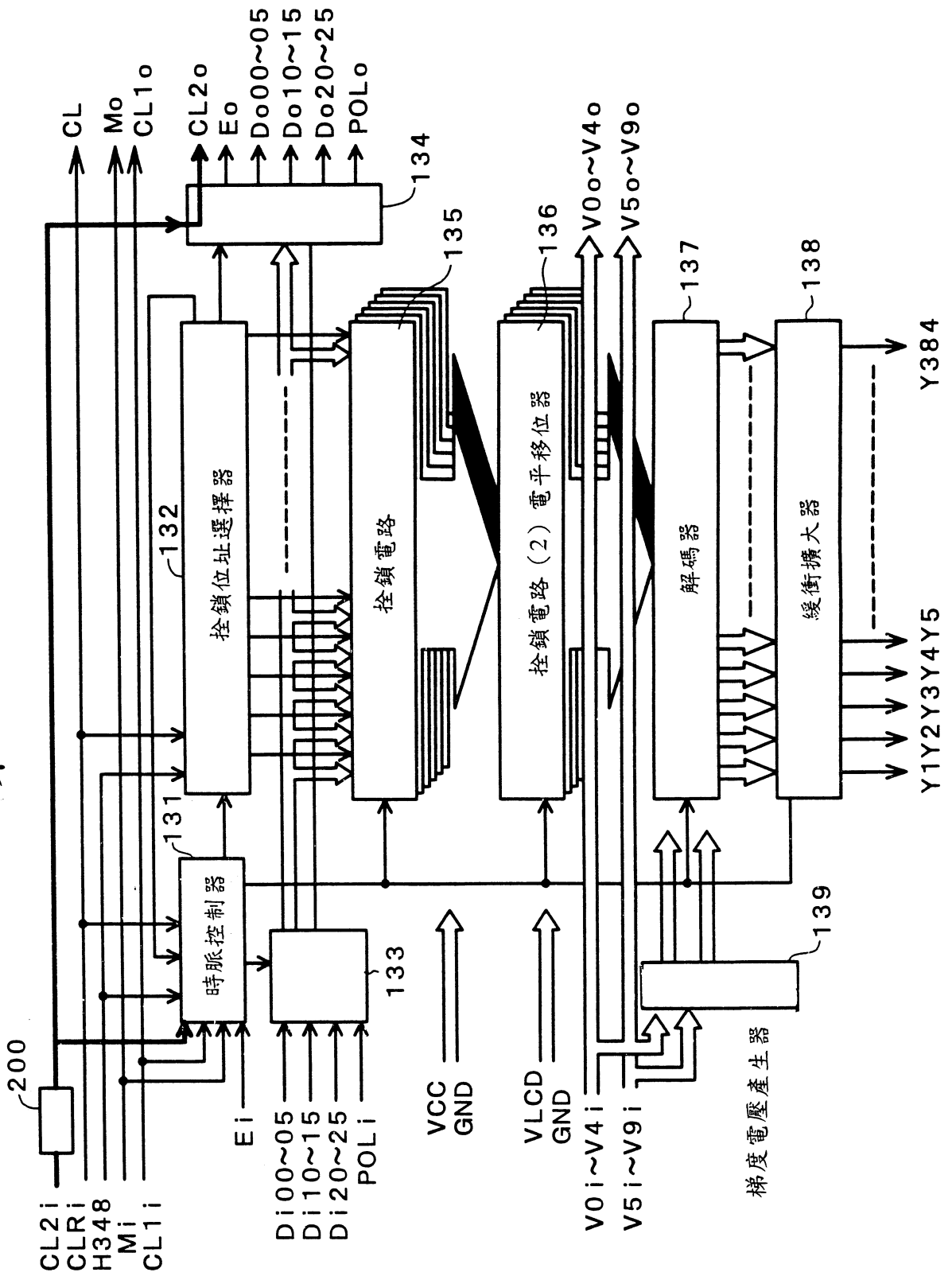
訂

線

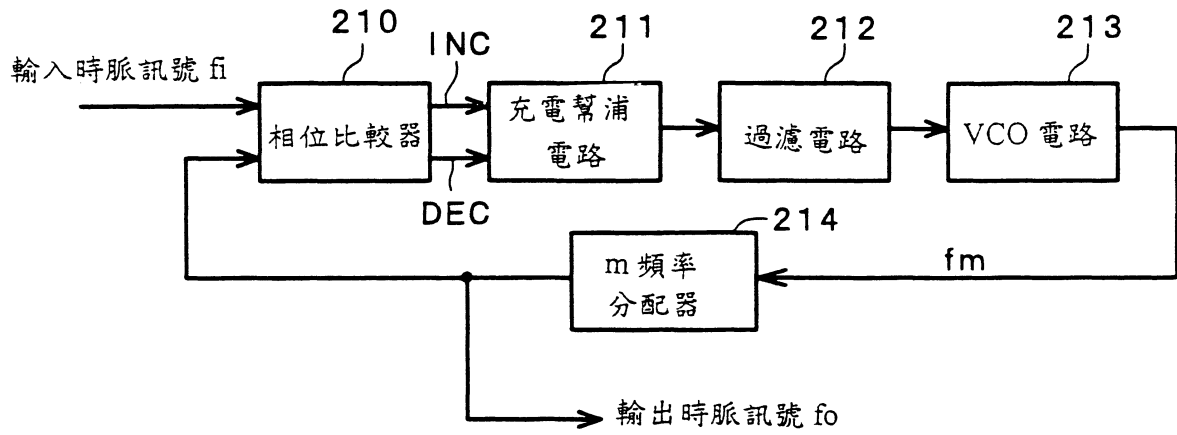
第 1 圖



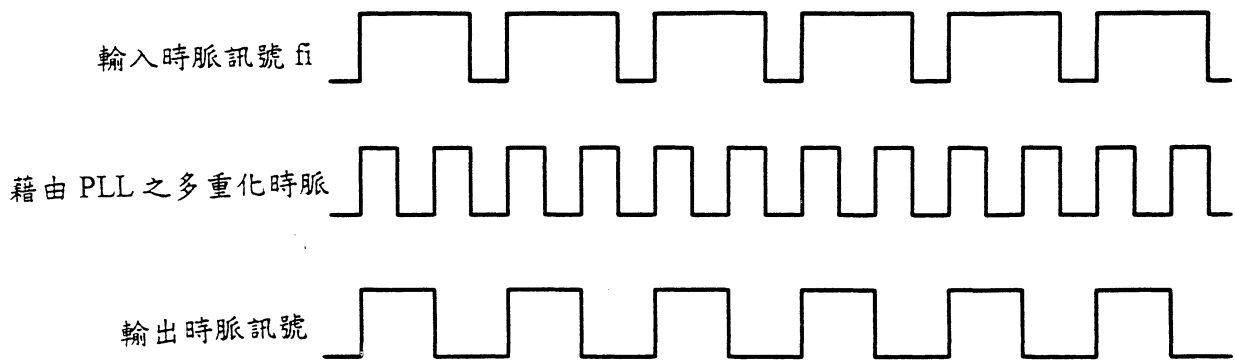
第 2 圖



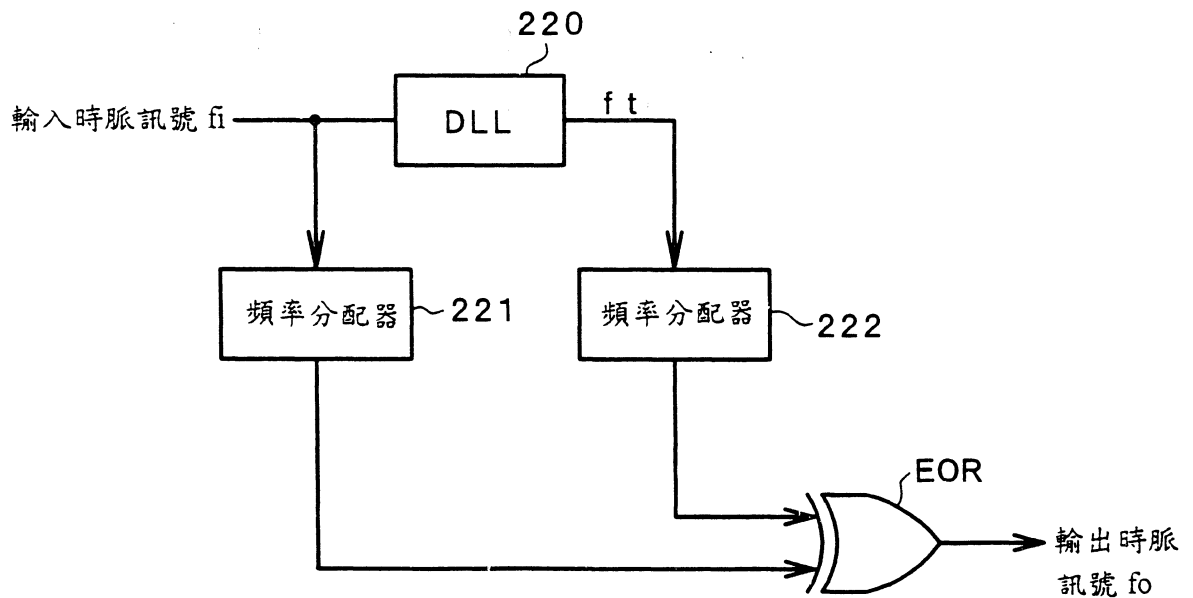
第 3 圖



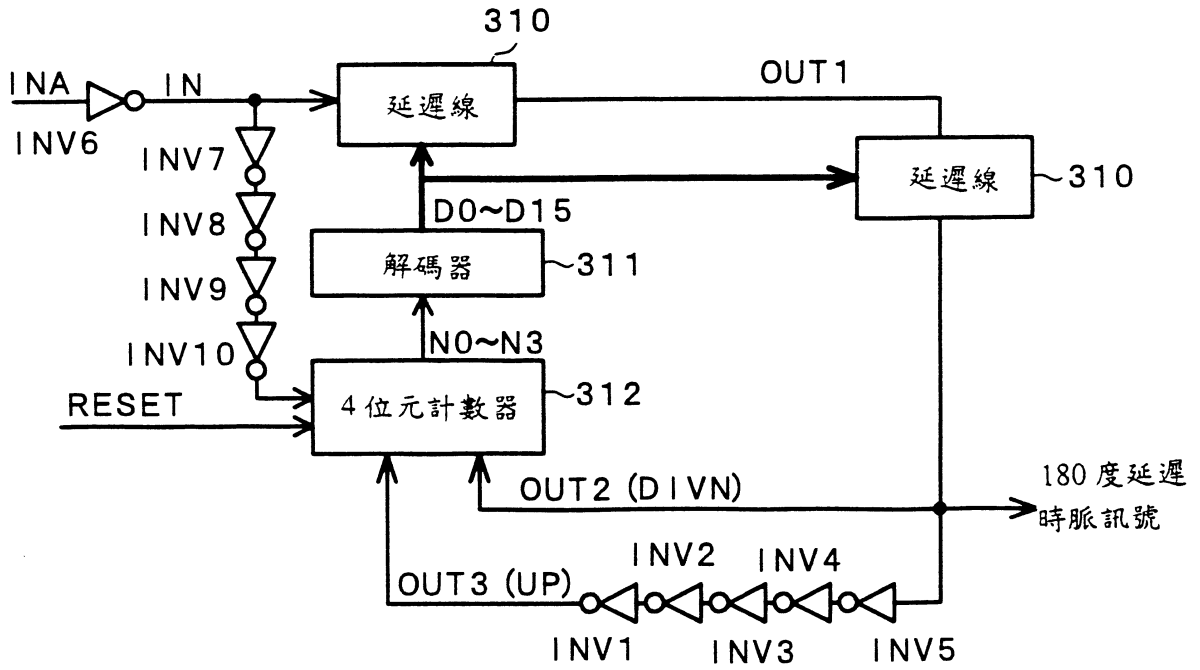
第 4 圖



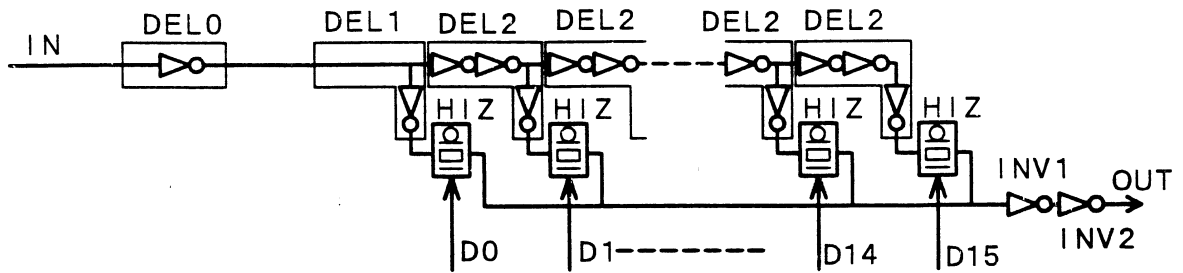
第 5 圖



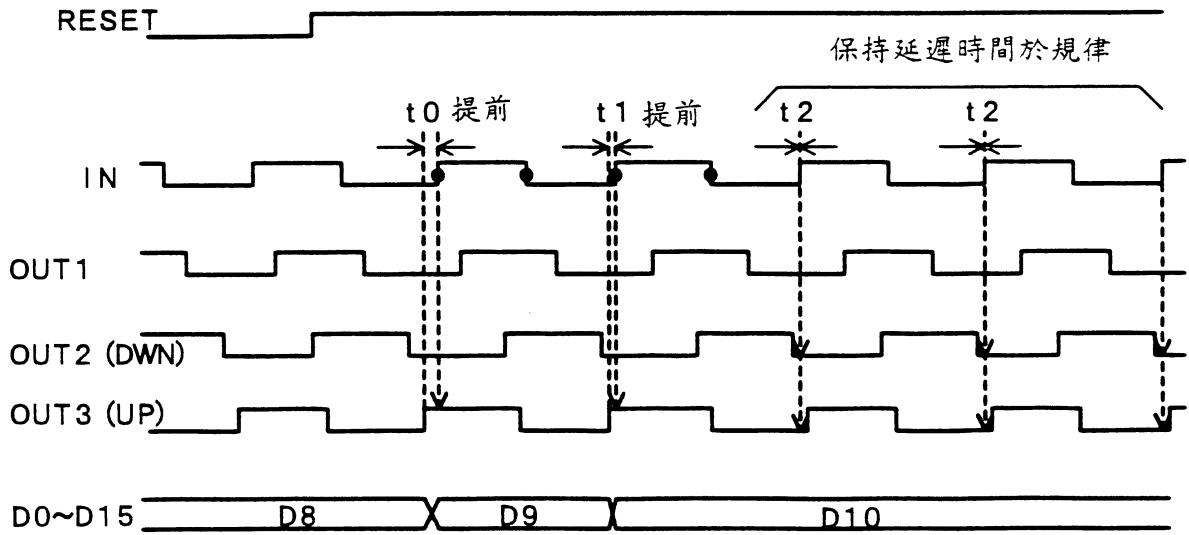
第 6 圖



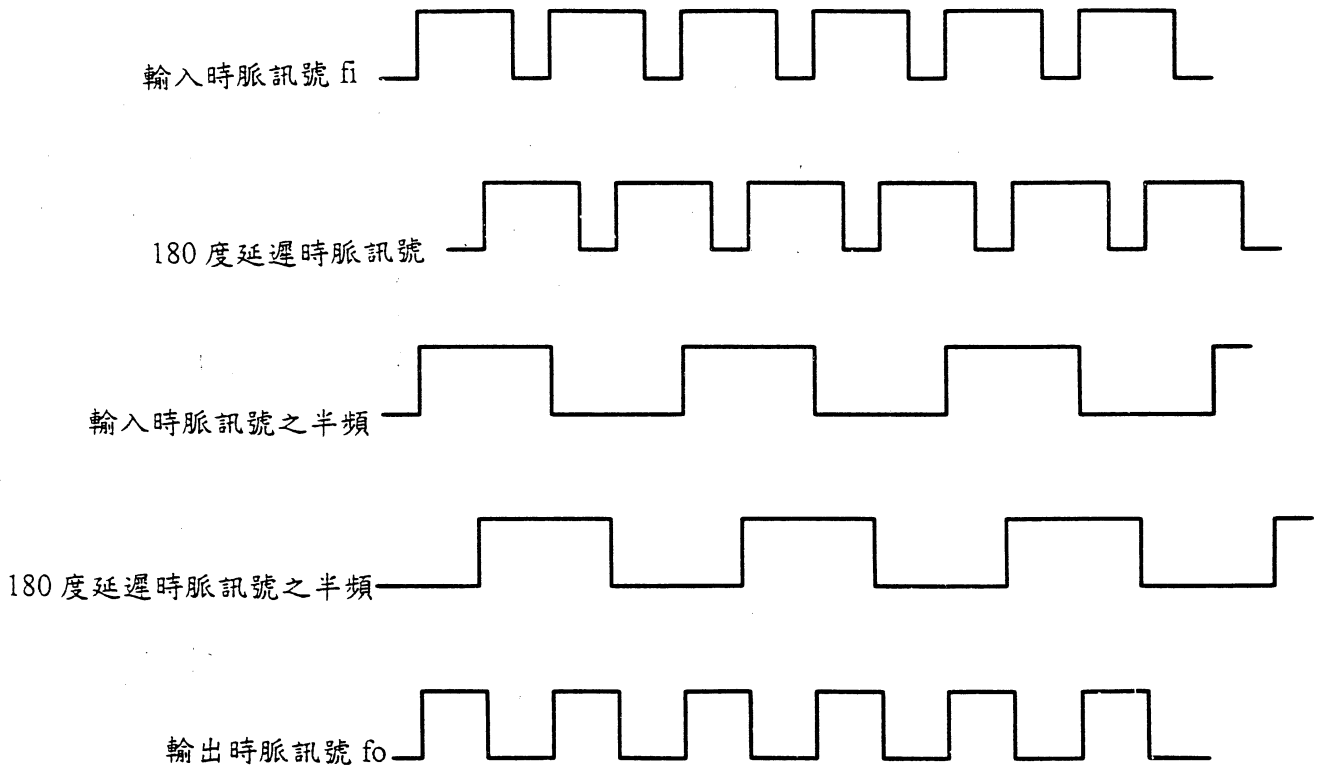
第 7 圖



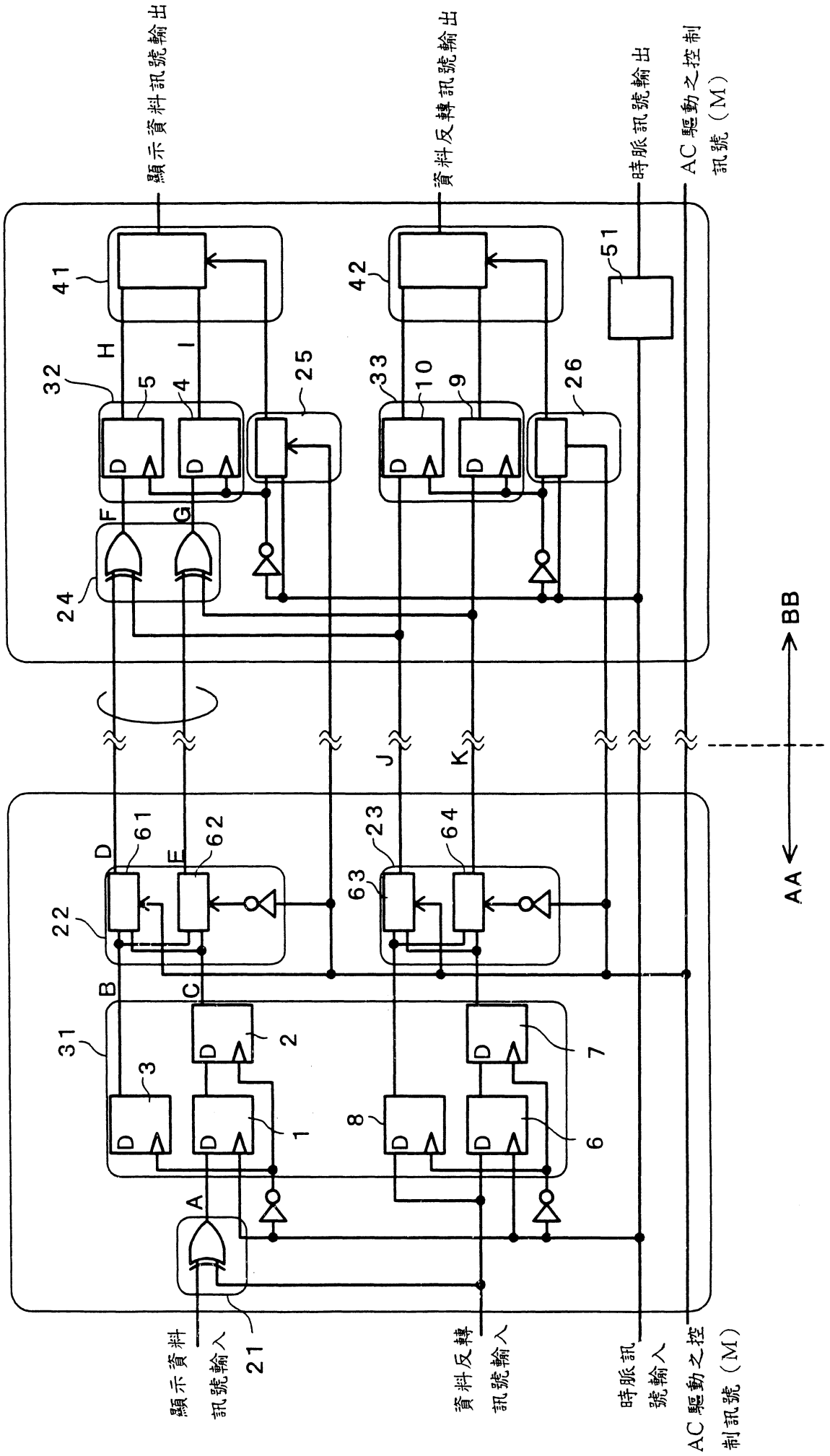
## 第 8 圖



## 第 9 圖

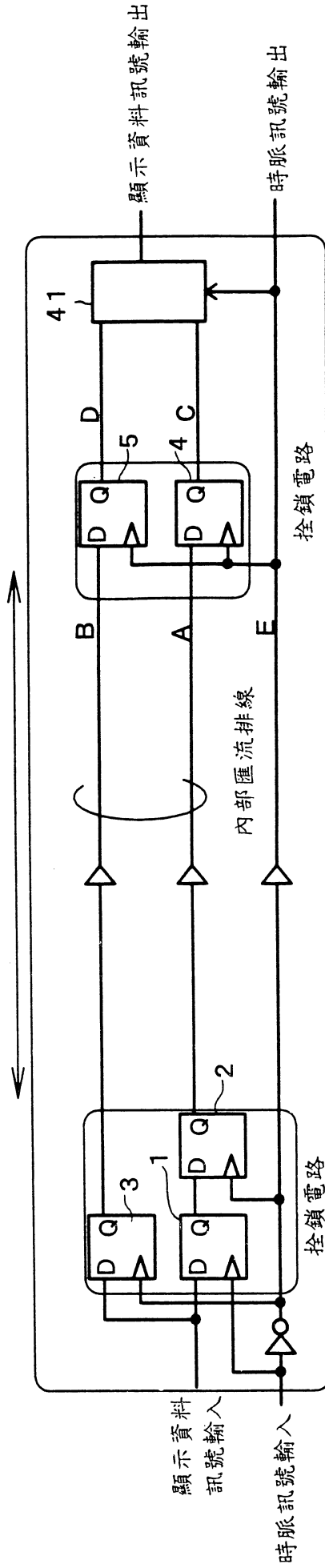


第 10 圖

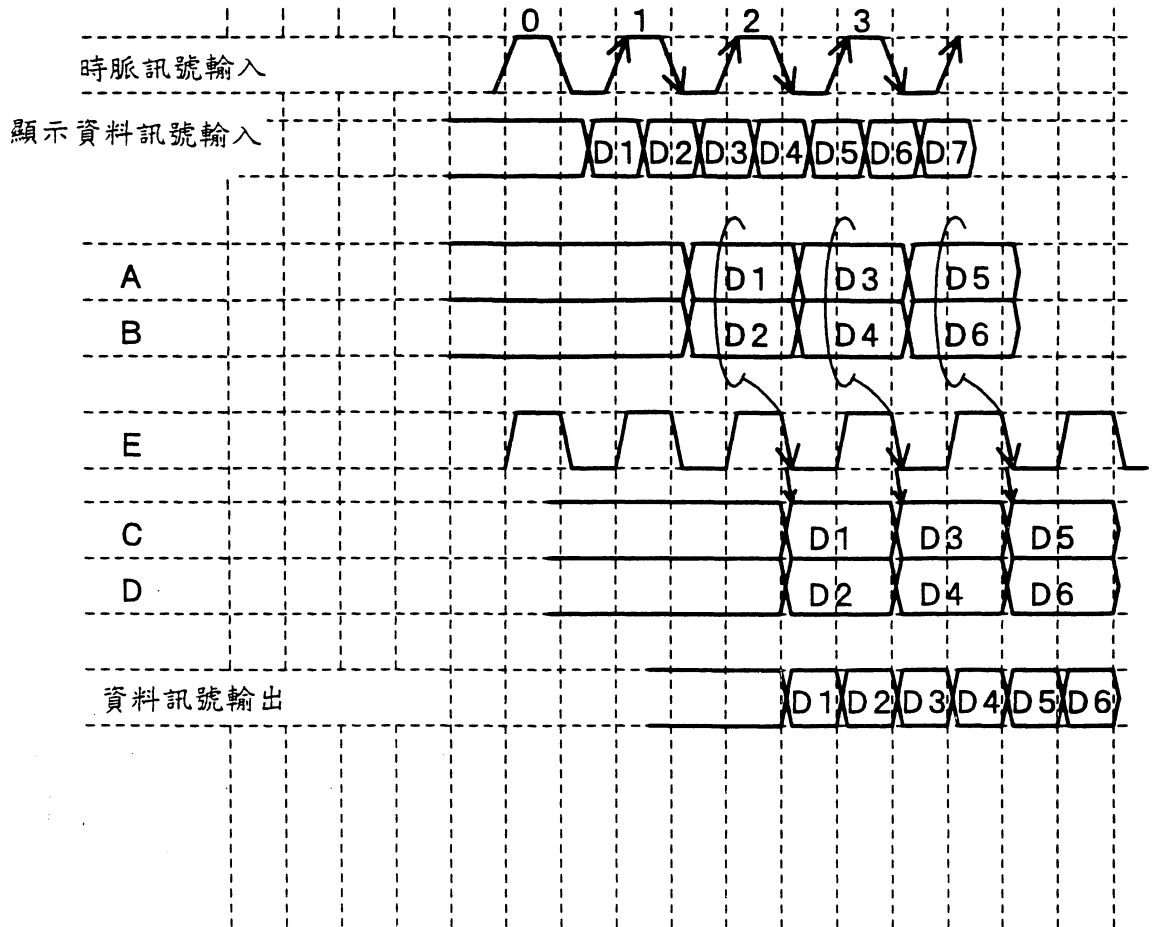


# 第 11 圖

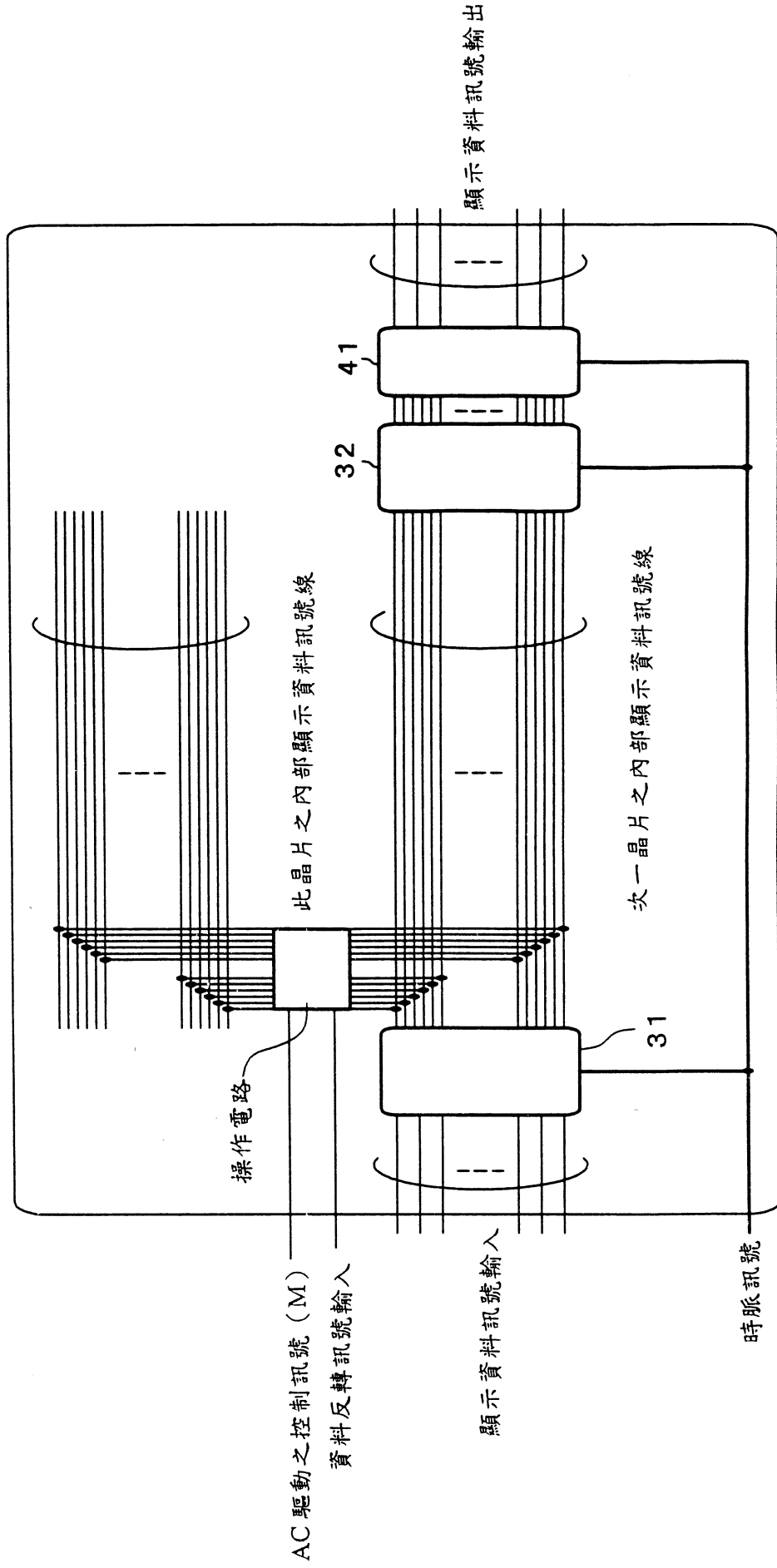
晶片較長邊之匯流排線長



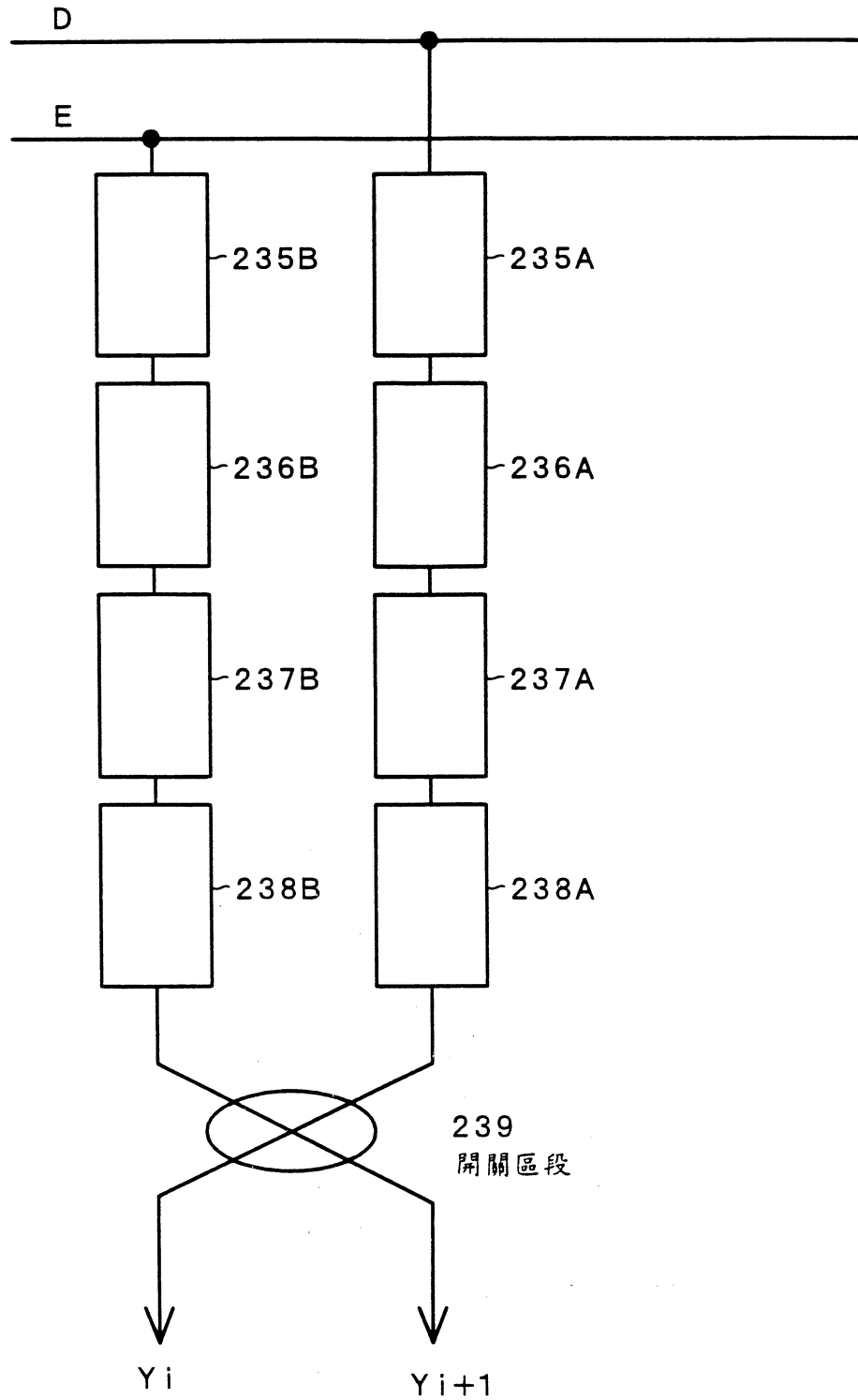
### 第 12 圖



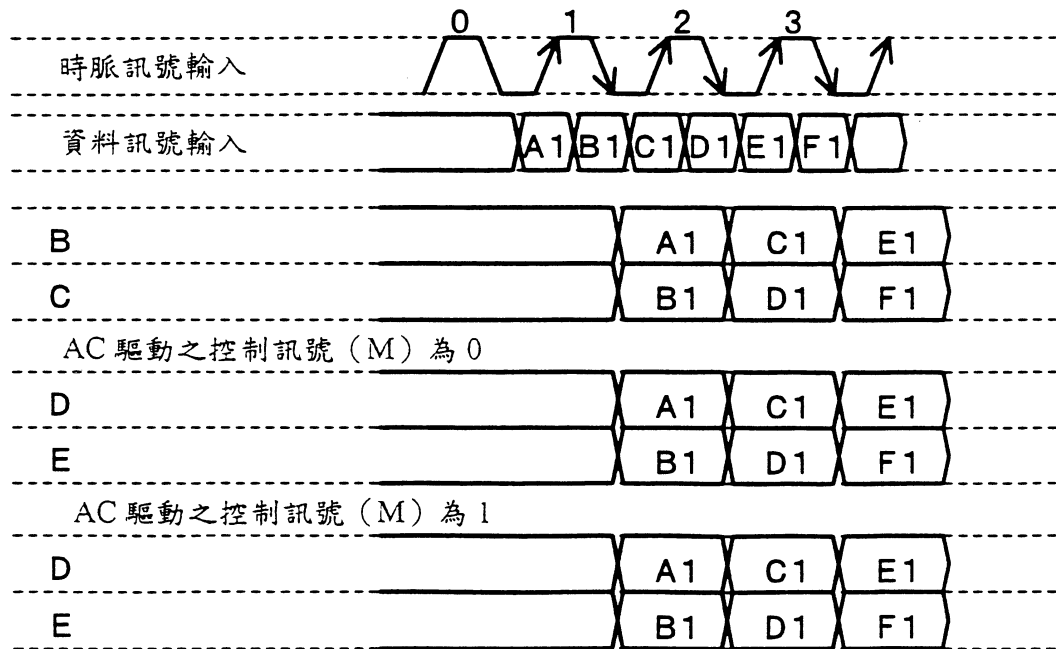
第 13 圖



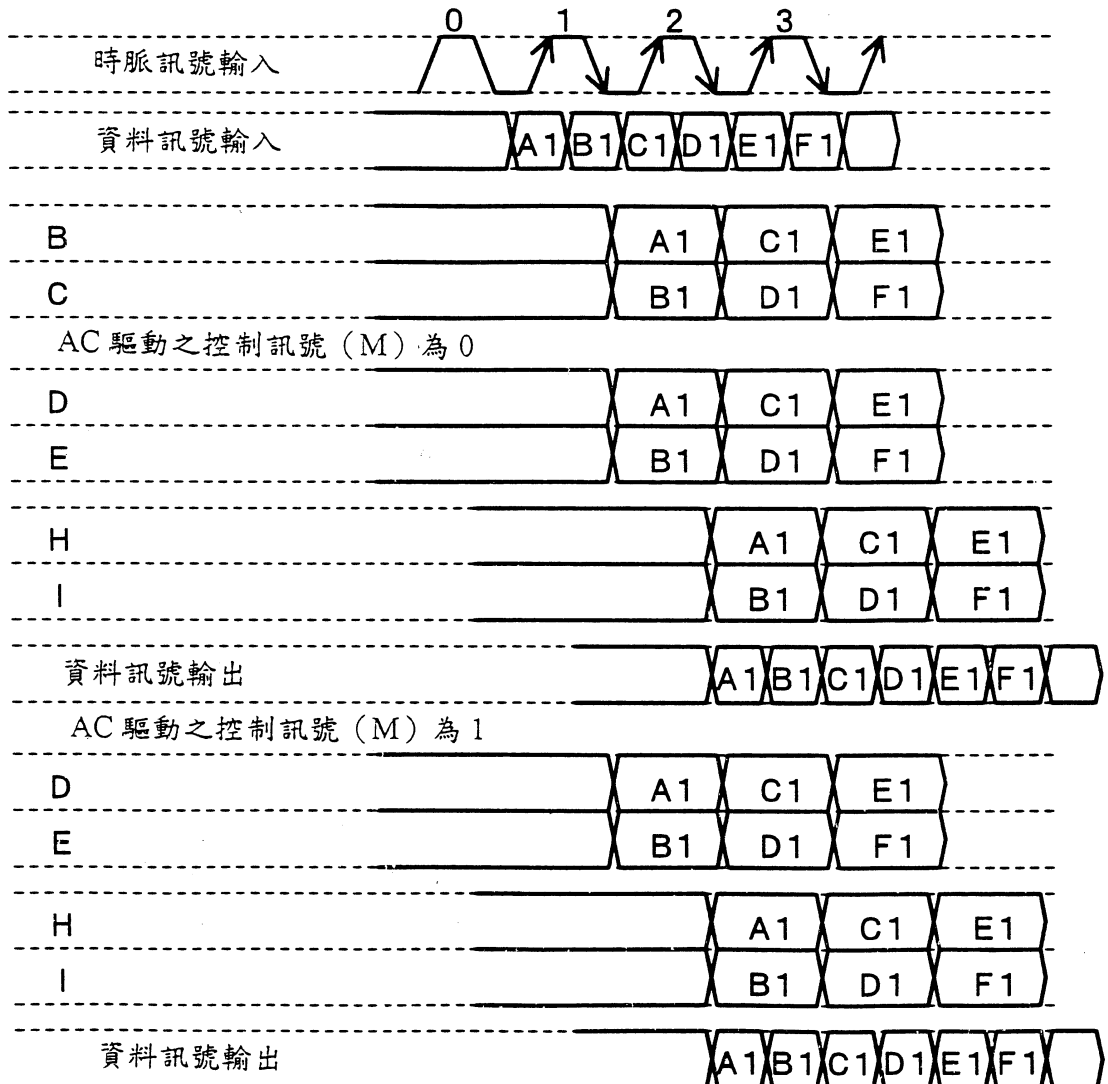
第 14 圖



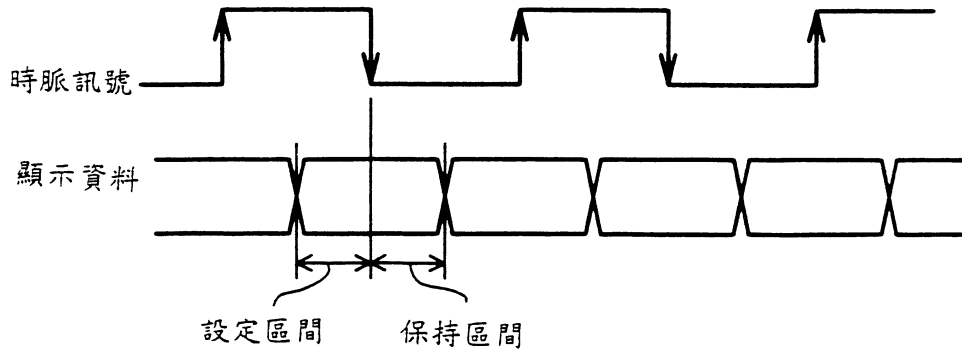
第 15 圖



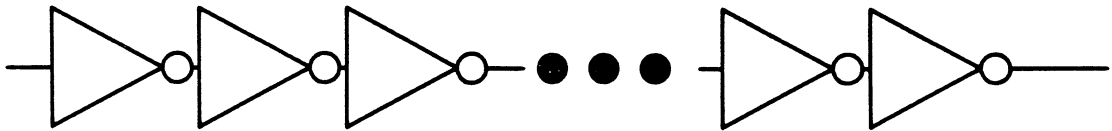
第 16 圖



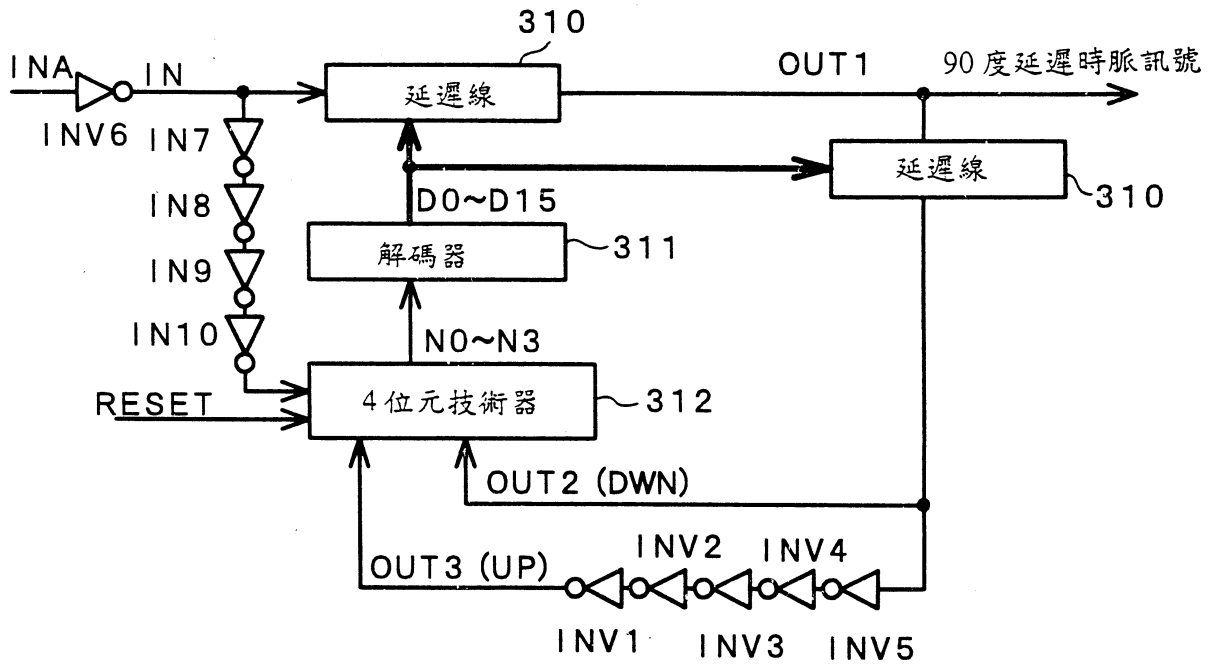
第 17 圖



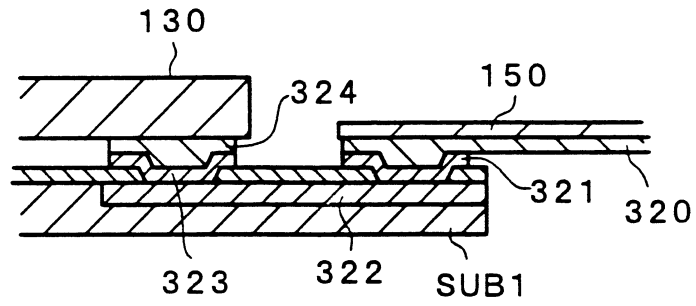
第 18 圖



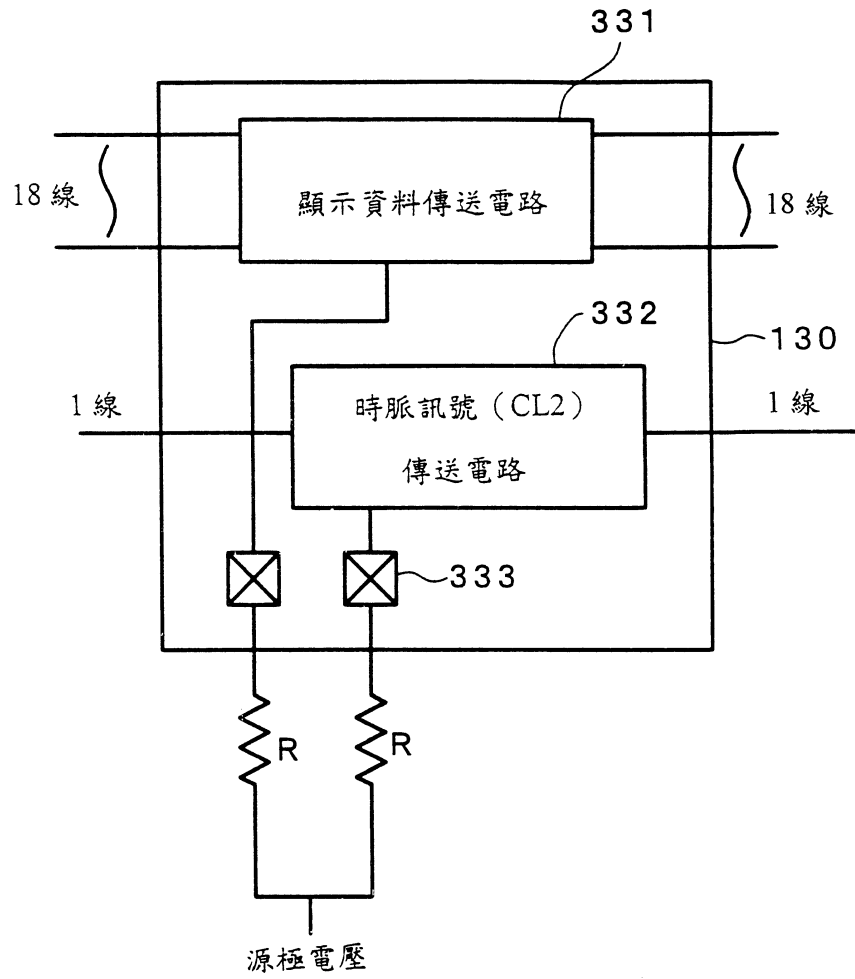
第 19 圖



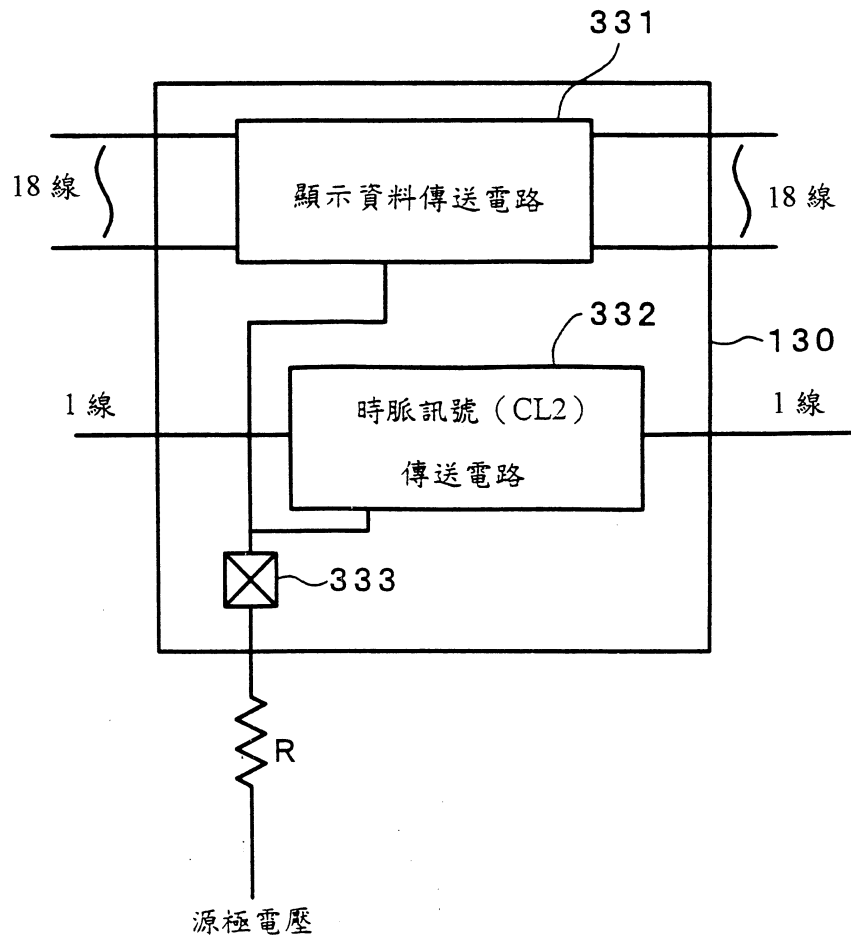
第 20 圖



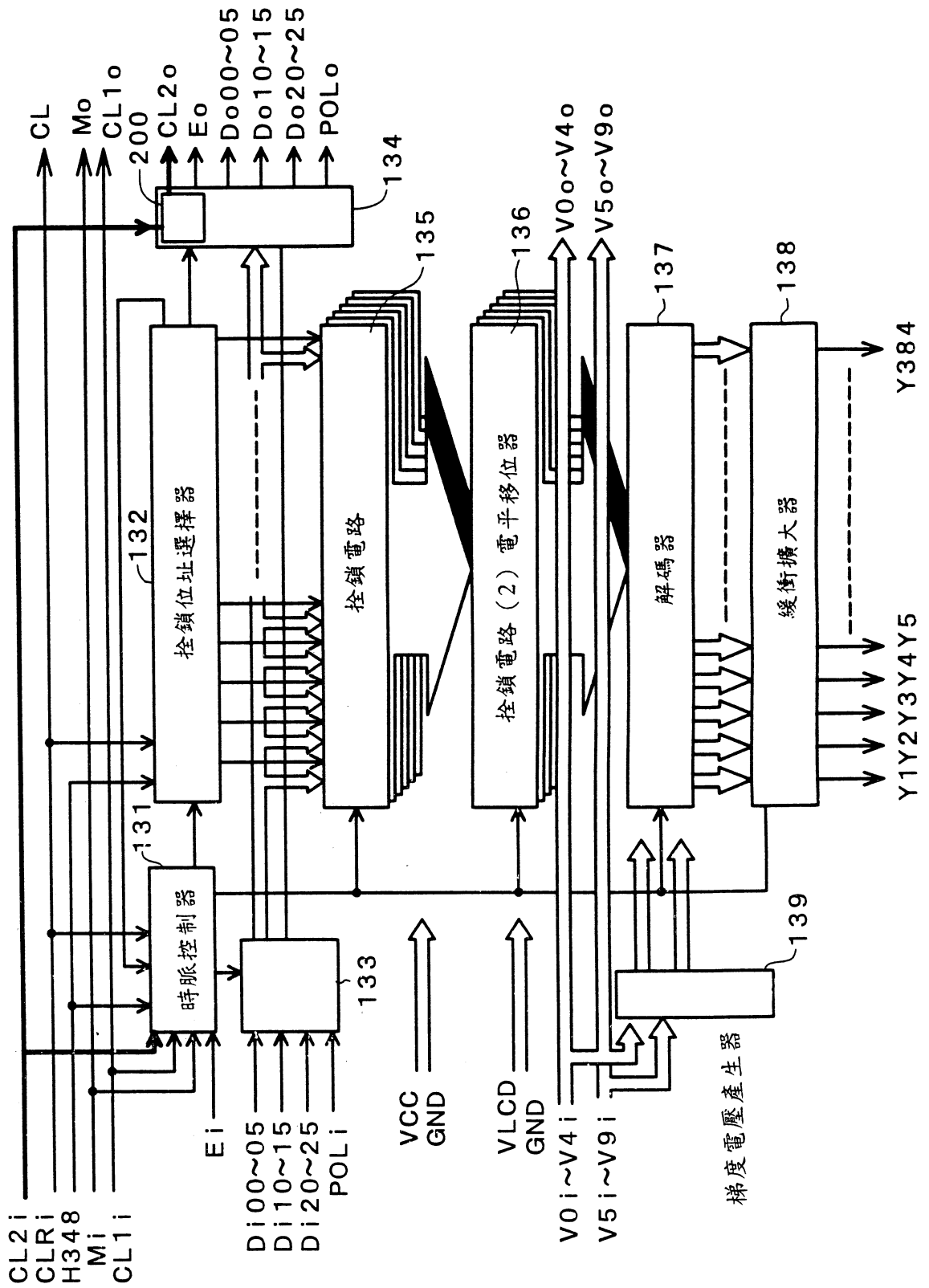
第 21 圖



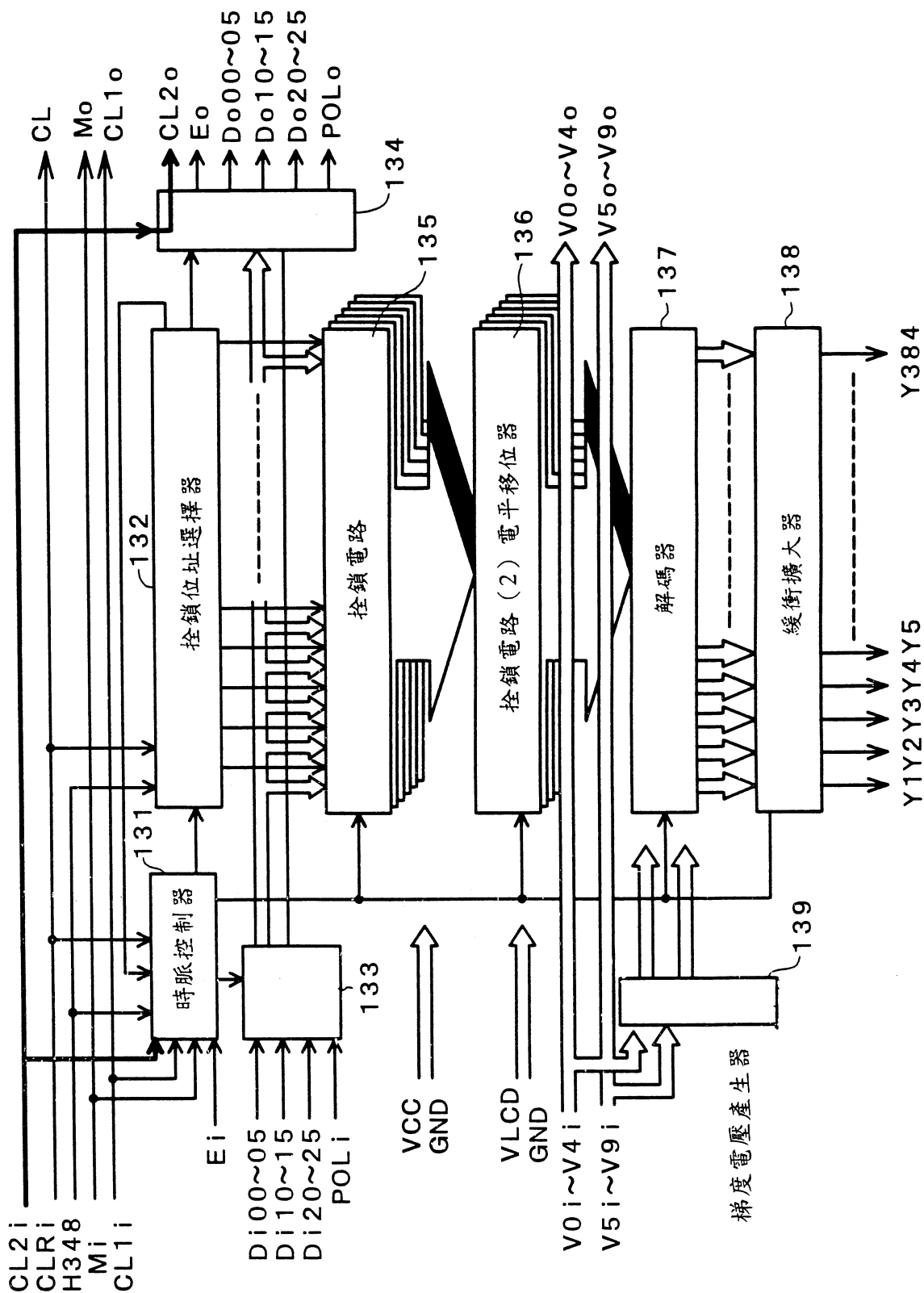
### 第 22 圖



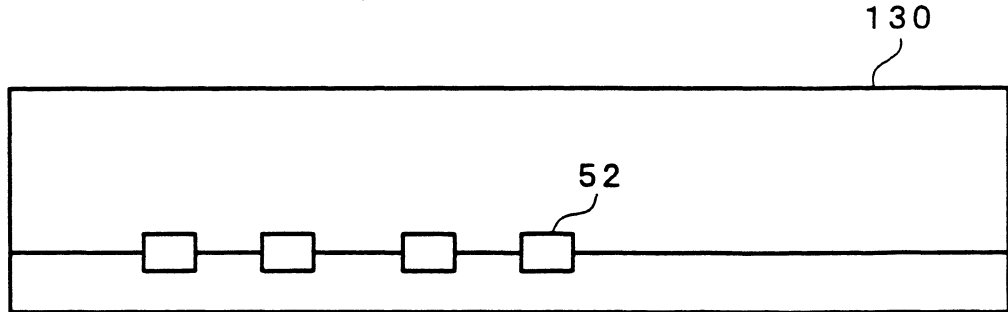
第 23 圖



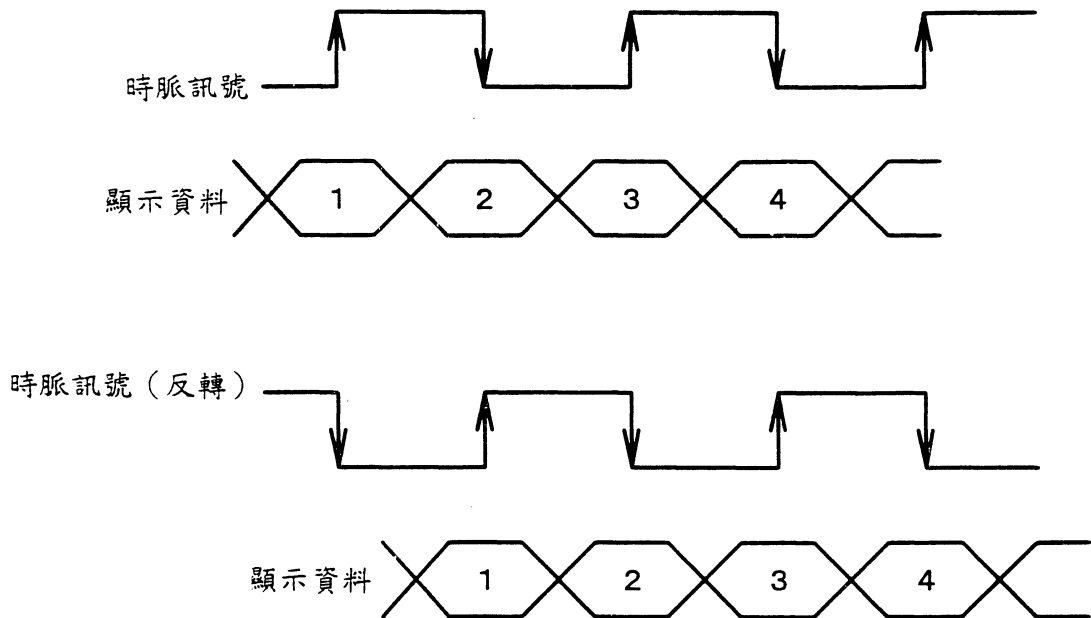
第 24 圖



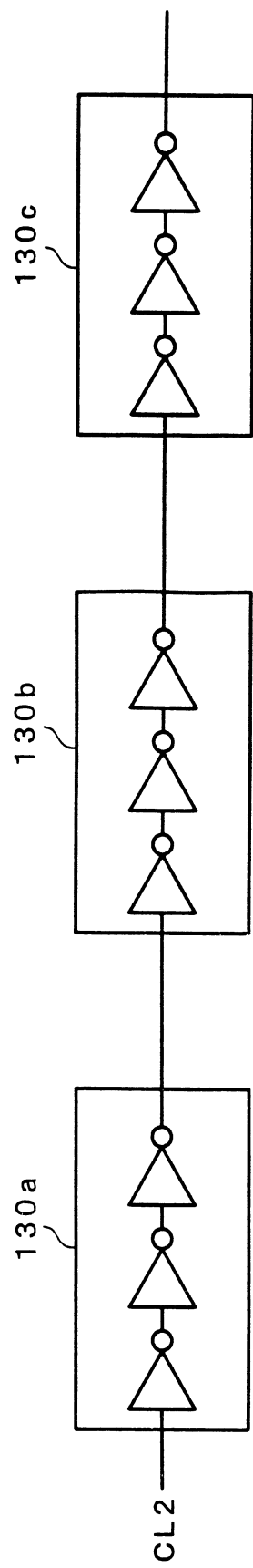
第 25 圖



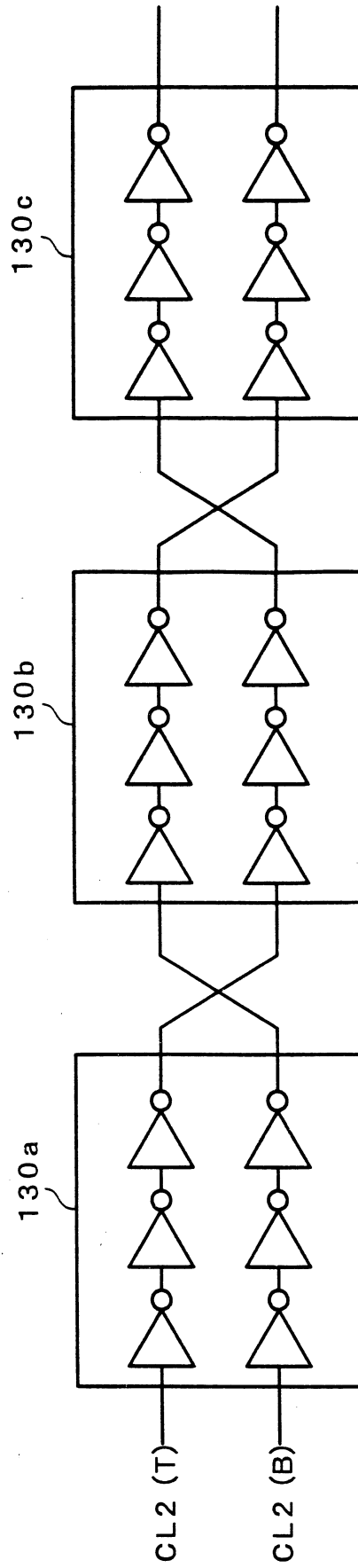
第 26 圖



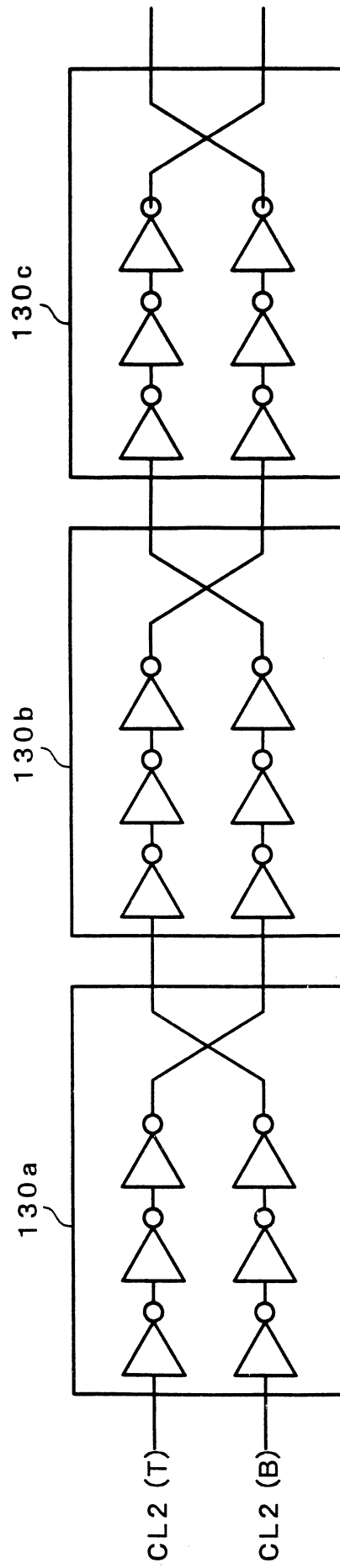
第 27 圖



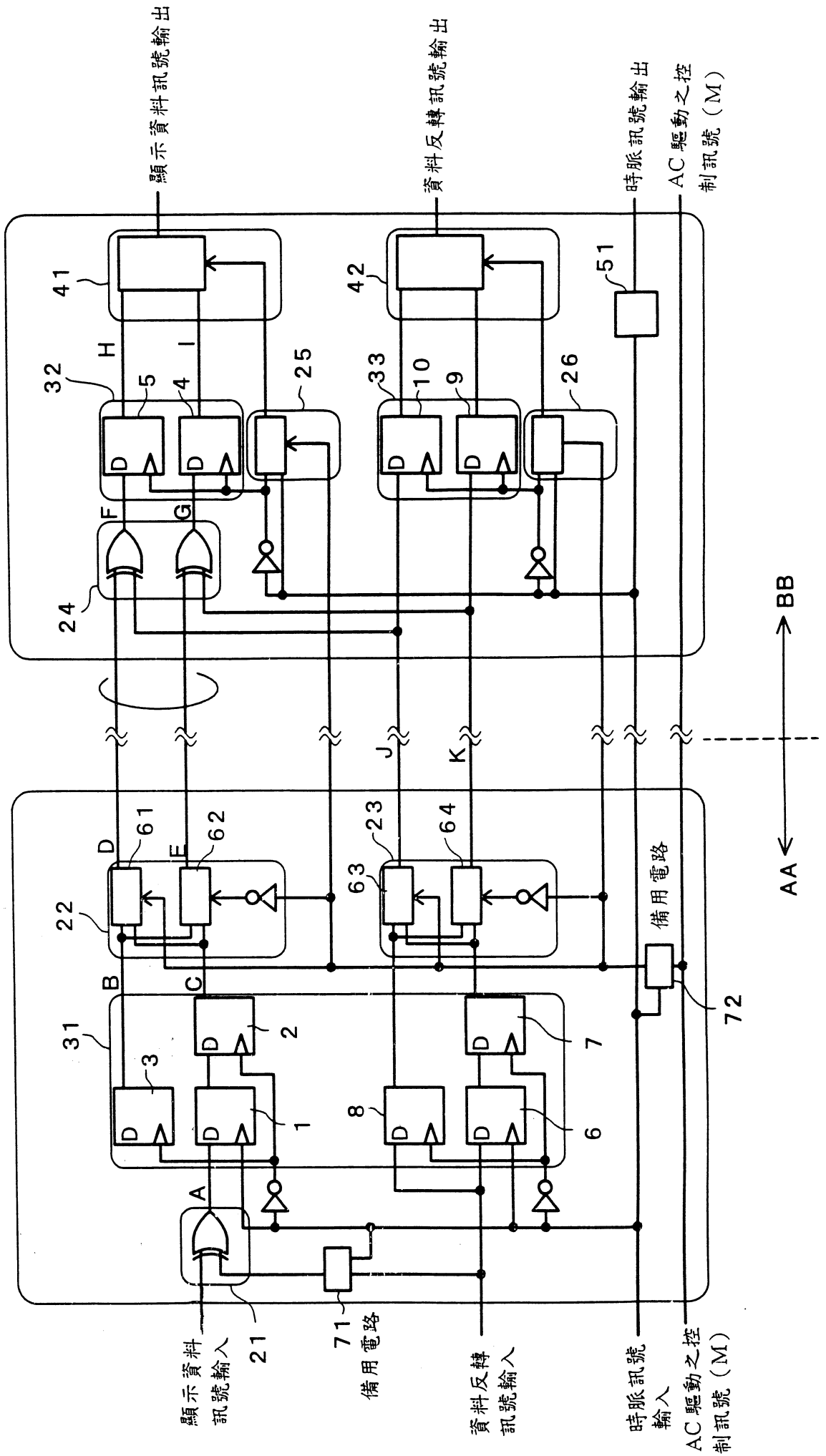
第 28 圖



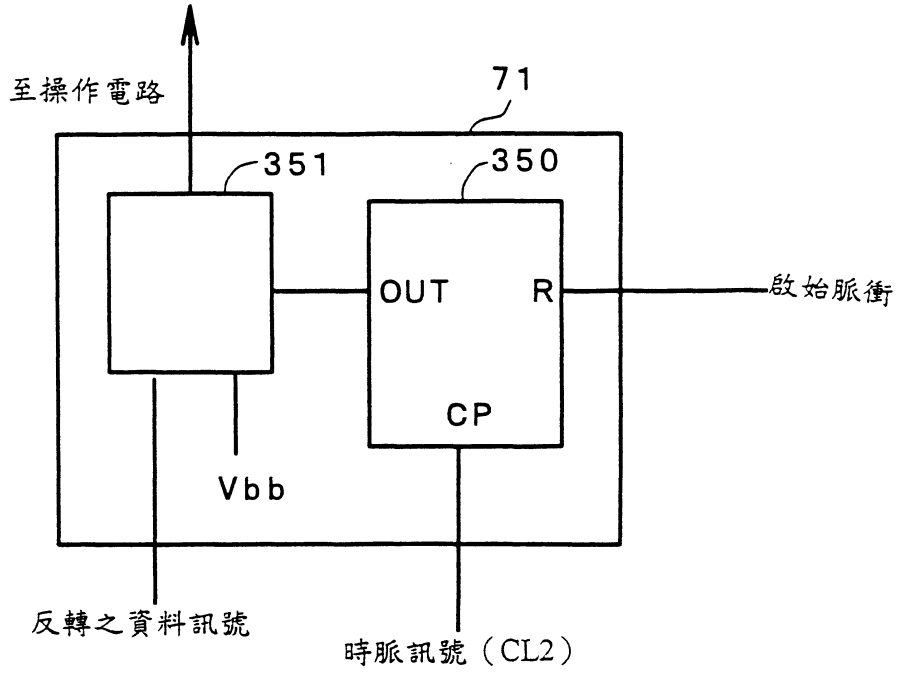
第 29 圖



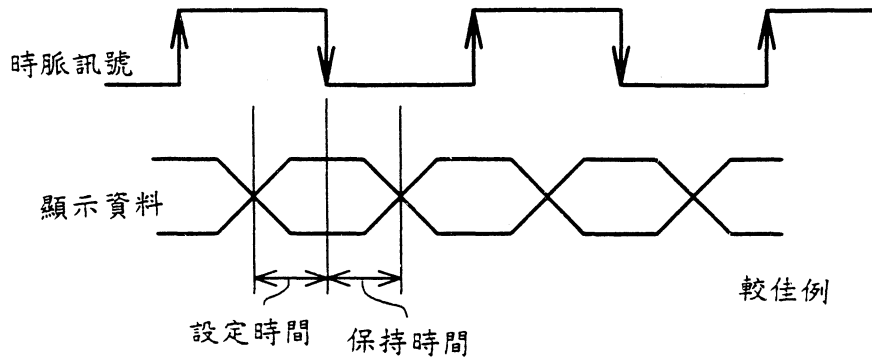
第 30 圖



第 31 圖



第 32A 圖



第 32B 圖

