

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-40053

(P2010-40053A)

(43) 公開日 平成22年2月18日(2010.2.18)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 1/06 (2006.01)	G06F 1/04 310	5B011
G06F 1/04 (2006.01)	G06F 1/04 301F	5B079
G06F 1/28 (2006.01)	G06F 1/00 333Z	5J056
G06F 1/32 (2006.01)	G06F 1/00 332Z	
H03K 19/00 (2006.01)	H03K 19/00 A	

審査請求 有 請求項の数 15 O L (全 18 頁)

(21) 出願番号 特願2009-235368 (P2009-235368)
 (22) 出願日 平成21年10月9日 (2009.10.9)
 (62) 分割の表示 特願2003-562769 (P2003-562769)
 の分割
 原出願日 平成15年1月17日 (2003.1.17)
 (31) 優先権主張番号 10/053, 227
 (32) 優先日 平成14年1月19日 (2002.1.19)
 (33) 優先権主張国 米国 (US)

(71) 出願人 591013469
 ナショナル セミコンダクタ コーポレイ
 ション
 NATIONAL SEMICONDUCTOR CORPORATION
 アメリカ合衆国, カリフォルニア 95
 051, サンタ クララ, セミコンダ
 クタ ドライブ 2900
 (74) 代理人 100066692
 弁理士 浅村 皓
 (74) 代理人 100072040
 弁理士 浅村 肇
 (74) 代理人 100091339
 弁理士 清水 邦明

最終頁に続く

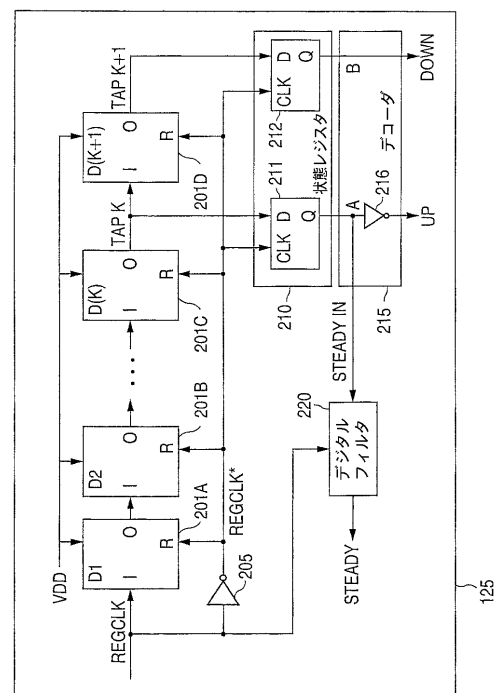
(54) 【発明の名称】 デジタル処理コンポーネント内で使用する適応電圧スケーリングクロック発生器およびその操作方法

(57) 【要約】

【課題】 デジタル処理コンポーネントの電源レベルを調整して、適正な電力消費を実現する。

【解決手段】 複数の動作周波数に変更することができるクロック信号を選択的にデジタル処理コンポーネント(100)に加えるクロック制御回路(705, 710, 715)が開示される。クロック制御回路(705, 710, 715)は(i)第1の動作周波数を第2の動作周波数に変更するコマンドを受信する、(ii)コマンドにตอบสนองして加えられたクロック信号をディセーブルする、(iii)第2の動作周波数を有するテストクロック信号を発生する、(iv)テストクロック信号を電源調節回路(125)に加える、および(v)電源調節回路(125)からの状態信号を感知するように操作できる。状態信号はデジタル処理コンポーネント(100)の電源レベルが第2の動作周波数に対して適切な最適値に調節されていることを示す。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

デジタル処理コンポーネントに選択的にクロック信号を加えるクロック制御回路であって、前記クロック信号は複数の動作周波数に変更することができ、(i) 第 1 の動作周波数を第 2 の動作周波数に変更するコマンドを受信し、(i i) 前記コマンドに応答して、前記デジタル処理コンポーネントへのクロック信号の供給をディセーブルし、(i i i) 前記第 2 の動作周波数を有するテストクロック信号を発生し、(i v) 前記テストクロック信号を電源調節回路に加え、(v) 前記デジタル処理コンポーネントの電源レベルが前記第 2 の動作周波数での使用用に調節されていることを示す前記電源調節回路からの状態信号を感知する、および(v i) 前記状態信号に応答して前記クロック信号を前記第 2 の動作周波数に設定する、ように動作する、クロック制御回路と、

10

連続して直列接続された複数の遅延セルであって、前記遅延セルの各々が電源レベルの値により決定される遅延時間を有し、最初の遅延セルの入力に加えられる前記テストクロック信号のクロックエッジが前記複数の遅延セル中を次々に伝播するようにされた複数の遅延セルと

を有する装置であって、

前記電源調節回路は(a) 少なくとも第 1 の特定の遅延セルおよび第 2 の特定の遅延セルの出力をモニタする、(b) 前記クロックエッジが前記第 1 の特定の遅延セルの出力に達しかつ前記第 2 の特定の遅延セルの出力に達していないかどうかを識別する、および(c) 前記クロックエッジが前記第 1 の特定の遅延セルの前記出力に達していない時または前記クロックエッジが前記第 2 の特定の遅延セルの前記出力に達した時に前記電源レベルを調節する制御信号を発生するように動作する前記装置。

20

【請求項 2】

請求項 1 に記載の装置であって、前記クロック制御回路は、さらに、前記デジタル処理コンポーネントへの前記クロック信号の前記供給をイネーブルするように動作する装置。

【請求項 3】

請求項 1 に記載の装置であって、前記クロック制御回路は、

前記第 2 の動作周波数を有する前記テストクロック信号を発生するように動作するクロックデバイダ回路、および

前記受信したコマンドに応答して前記デジタル処理コンポーネントへの前記クロック信号の前記供給をディセーブルし、前記状態信号に応答して前記デジタル処理コンポーネントへの前記クロック信号の前記供給をイネーブルするように動作するコントローラ

30

を含む装置。

【請求項 4】

請求項 1 に記載の装置であって、前記クロック制御回路は、さらに、前記クロック信号を前記テストクロック信号および前記状態信号の関数として前記第 2 の動作周波数に設定するように動作する装置。

【請求項 5】

デジタル処理コンポーネントに選択的にクロック信号を加えるクロック制御回路の動作方法であって、前記クロック信号は複数の動作周波数に変更することができ、前記クロック制御回路の前記動作方法は、

40

第 1 の動作周波数を第 2 の動作周波数に変更するコマンドを受信するステップと、

前記コマンドに応答して、前記デジタル処理コンポーネントへのクロック信号の供給をディセーブルするステップと、

前記第 2 の動作周波数を有するテストクロック信号を発生するステップと、

前記テストクロック信号を、連続して直列接続された前記複数の遅延セルうちの最初の遅延セルに加えて、その結果前記最初の遅延セルの入力に加えられるテストクロック信号のクロックエッジが前記複数の遅延セル中を次々に伝播すると共に、前記遅延セルの各々が前記デジタル処理コンポーネントの電源レベルの値により決定される遅延時間を有するステップと、

50

少なくとも、電源調節回路において第 1 の特定の遅延セルおよび第 2 の特定の遅延セルの出力をモニタするステップと、

前記テストクロックのクロックエッジが前記第 1 の特定の遅延セルの出力に達しかつ前記第 2 の特定の遅延セルの出力に達していないかどうかを識別するステップと、

前記クロックエッジが前記第 1 の特定の遅延セルの前記出力に達していない時または前記クロックエッジが前記第 2 の特定の遅延セルの前記出力に達した時に前記電源レベルを調節する制御信号を発生するステップと、

前記デジタル処理コンポーネントの電源レベルが前記第 2 の動作周波数の使用用に調節されていることを示す前記電源調節回路からの状態信号を感知するステップと、

前記状態信号に応答して、前記クロック信号を前記第 2 の動作周波数に設定するステップとを含む動作方法。

【請求項 6】

請求項 5 に記載の方法であって、さらに、前記デジタル処理コンポーネントへのクロック信号の供給をイネーブルするステップを含む方法。

【請求項 7】

請求項 5 に記載の方法であって、前記クロック制御回路は、

前記第 2 の動作周波数を有する前記テストクロック信号を発生するように動作するクロックデバイダ回路、および

前記受信したコマンドに응答して前記デジタル処理コンポーネントへの前記クロック信号の前記供給をディセーブルし、前記状態信号に응答して前記デジタル処理コンポーネントへの前記クロック信号の前記供給をイネーブルするように動作するコントローラを含む方法。

【請求項 8】

異なるクロック周波数で動作することができるデジタル処理コンポーネントと、

前記デジタル処理コンポーネントに可変電源レベル VDD を供給することができる可調節電源と、

前記 VDD を調節することができる電源調節回路と、

前記デジタル処理コンポーネントに選択的にクロック信号を加えるクロック制御回路であって、前記クロック信号は複数の動作周波数に変更することができ、前記クロック制御回路は (i) 第 1 の動作周波数を第 2 の動作周波数に変更するコマンドを受信する、(i i) 前記コマンドに응答して、前記クロック信号の前記デジタル処理コンポーネントへの供給をディセーブルする、(i i i) 前記第 2 の動作周波数を有するテストクロック信号を発生する、(i v) 前記テストクロック信号を前記電源調節回路に加える、(v) 前記デジタル処理コンポーネントの電源レベルが前記第 2 の動作周波数での使用用に調節されていることを示す前記電源調節回路からの状態信号を感知する、および (v i) 前記状態信号に응答して前記クロック信号を前記第 2 の動作周波数に設定する、ように動作するクロック制御回路と、

連続して直列接続された複数の遅延セルであって、前記遅延セルの各々が前記 VDD の値により決定される遅延時間を有し、最初の遅延セルの入力に加えられる前記テストクロック信号のクロックエッジが前記複数の遅延セル中を次々に伝播するようにされた複数の遅延セルと

を含むデジタル回路であって、

前記電源調節回路は (a) 少なくとも第 1 の特定の遅延セルおよび第 2 の特定の遅延セルの出力をモニタする、(b) 前記クロックエッジが前記第 1 の特定の遅延セルの出力に達しかつ前記第 2 の特定の遅延セルの出力に達していないかどうかを識別する、および (c) 前記クロックエッジが前記第 1 の特定の遅延セルの前記出力に達していない時または前記クロックエッジが前記第 2 の特定の遅延セルの前記出力に達した時に前記 VDD を調節する制御信号を発生するように動作するデジタル回路。

【請求項 9】

10

20

30

40

50

請求項 8 に記載のデジタル回路であって、前記クロック制御回路は、さらに、前記デジタル処理コンポーネントへのクロック信号の前記供給をイネーブルするように動作するデジタル回路。

【請求項 10】

請求項 8 に記載のデジタル回路であって、前記クロック制御回路は、

前記第 2 の動作周波数を有する前記テストクロック信号を発生するように動作するクロックデバイダ回路、および

前記受信したコマンドに応答して前記デジタル処理コンポーネントへの前記クロック信号の前記供給をディセーブルし、前記状態信号に応答して前記デジタル処理コンポーネントへの前記クロック信号の前記供給をイネーブルするように動作するコントローラ

10

を含むデジタル回路。

【請求項 11】

請求項 8 に記載のデジタル回路であって、前記クロック制御回路は、さらに、前記テストクロック信号および前記状態信号の関数として前記クロック信号を前記第 2 の動作周波数に設定するように動作するデジタル回路。

【請求項 12】

請求項 8 に記載のデジタル回路であって、前記電源調節回路は、前記クロック信号の次に続くクロックエッジが前記最初の遅延セルの入力に加えられる時に、前記クロックエッジが前記第 1 の特定の遅延セル出力に達しかつ前記第 2 の特定の遅延セル出力に達していないかどうかを識別するように動作するデジタル回路。

20

【請求項 13】

請求項 12 に記載のデジタル回路であって、前記最初の遅延セルの入力から前記第 1 の特定の遅延セルの出力までの全遅延時間は、前記デジタル処理コンポーネントの最大遅延時間よりも大であるようにした前記デジタル回路。

【請求項 14】

請求項 8 に記載のデジタル回路であって、前記電源調節回路は、さらに、少なくとも第 1 の特定の遅延セルの直前に配置された第 3 の特定の遅延セルおよび第 2 の特定の遅延セルのすぐ後に続く第 4 の特定の遅延セルの出力をモニタする前記デジタル回路。

【請求項 15】

請求項 14 に記載のデジタル回路であって、

30

前記電源調節回路は、

前記クロックエッジが前記第 3 の特定の遅延セルの出力に到達していない場合、比較的大きな増分値で前記 V D D を増加させ、

前記クロックエッジが前記第 3 の特定の遅延セルの出力に到達していてかつ前記第 1 の特定の遅延セルの出力に到達していない場合、比較的小さな増分値で前記 V D D を増加させ、

前記クロックエッジが前記第 2 の特定の遅延セルの出力に到達していてかつ前記第 4 の特定の遅延セルの出力に到達していない場合、比較的小さな減分値で前記 V D D を減少させ、

前記クロックエッジが前記第 2 の特定の遅延セルおよび前記第 4 の特定の遅延セルの出力に到達している場合、比較的大きな減分値で前記 V D D を減少させるように前記 V D D を調節する制御信号を発生するように動作する前記デジタル回路。

40

【発明の詳細な説明】

【技術分野】

【0001】

(発明の技術分野)

本発明は一般的に低電力集積回路に関し、特に、デジタル処理コンポーネントの給電レベル調節システムおよびその操作方法に関する。

【背景技術】

50

【 0 0 0 2 】

(発明の背景)

近年、特定用途集積回路 (A S I C) チップ、中央処理装置 (C P U) チップ、デジタル信号プロセッサ (D S P) チップ等の集積回路 (I C) の速度、電力、および複雑さは非常に進展してきている。これらの進展により、とりわけ、システムオンチップ (S O C) デバイスの開発が可能となってきた。S O C デバイスはワイヤレス受信機等 (すなわち、セルホーン、テレビ受像機等) の複雑な電子システムの全ての (または、ほぼ全ての) コンポーネントをシングルチップとして集積する。

【 0 0 0 3 】

電子装置の性能を評価する重要な規準は消費電力である。消費電力を最小限に抑えることはバッテリー電力で動作するポータブル装置において長い間重要な設計上の考慮すべき要件であった。バッテリー寿命を最大に延ばすことはポータブル装置における重要な目的であるため、ポータブル装置内で使用される I C の消費電力を最小限に抑えることが絶対必要である。近年、消費電力を最小限に抑えることは非ポータブル電子装置においてもより重要になってきている。多様な電子製品が消費者および企業により一層使用されるにつれ、自家所有者および企業経営者の電気代が増加してきている。電子製品の使用が増加することは米国、特に、カリフォルニアにおいてよく知られる電力不足を生じた電力需要増加の主要な一因でもある。

【 0 0 0 4 】

C P U および D S P 等の多くの複雑な電子コンポーネントはいくつかの異なるクロック速度で動作することができる。一般的に、電子コンポーネントはより低速で動作すると、電力が消費される定められた期間内における信号レベル遷移が少なくなるため、より少ない電力しか使用しない。D P U および D S P 内で論理ゲートがスイッチングする速度はゲートに接続された電源 V D D のレベルに直接影響される。V D D が大きくなると、ゲートを駆動するより大きい電圧および電流があるため、立上り時間およびゲート両端間の伝播遅延が減少する。逆に、V D D が小さくなると、立上り時間およびゲート両端間の伝播遅延は増加する。したがって、C P U や D S P が 8 0 0 M H z 等の比較的高いクロック周波数で動作しなければならない場合、V D D は + 3 . 3 V または + 2 . 4 V 等の高いレベルに設定される。C P U や D S P が 5 0 M H z 等の比較的低いクロック周波数で動作できる場合、V D D は + 1 . 2 V 等の低いレベルに設定することができる。

【 0 0 0 5 】

残念ながら、従来技術の出願は V D D のレベルを広範な数のクロック速度に微調整するためのいかなる手段も提供されていない。典型的に、D S P や C P U は 2 つのモード、たとえば、+ 3 . 3 V 高電力モードおよび + 1 . 2 V 低電力モードでしか動作できない。したがって、前例では、C P U や D S P が 5 0 M H z ではなく 1 0 0 M H z で動作しなければならない場合、5 0 M H z で使用される + 1 . 2 V V D D レベルは 1 0 0 M H z で動作するのに十分ではないことがある。したがって、D S P や C P U は + 3 . 3 V の V D D で動作することが必要となる。しかしながら、+ 3 . 3 V の V D D において、C P U や D S P は 1 0 0 M H z で動作するのに必要なものよりも遥かに多くの電力を消費することがある。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

したがって、大規模デジタル集積回路 (たとえば、D S P , C P U) 内の V D D のレベルを広範な数のクロック速度に一致するように微調整する回路および方法が従来技術で必要とされている。特に、電源 V D D を最適レベルに微調整して大規模デジタル集積回路の立上り時間および伝播遅延が大規模デジタル集積回路が動作するクロック速度にぴったり一致することを保証する回路および方法が必要とされている。特に、電源がクロック速度に従うのに十分なレベルである時に大規模デジタル集積回路に選択的にクロック信号を加え、さらに、クロック速度が変更される時は常に電源 V D D が新しいクロック速度に対し

10

20

30

40

50

て適切な最適レベルに調節される時間までクロック信号を無効にすることができるクロック発生器回路が必要とされている。

【課題を解決するための手段】

【0007】

(発明の概要)

従来技術の前記した欠点に取り組むために、関連付けられたデジタル処理コンポーネントにより指定される所望のクロック周波数でシステムクロック信号CLKを発生することができる適応電圧スケーリング(AVS)クロック発生器を提供することが本発明の主要な目的である。本発明の原理に従ったAVSクロック発生器の重要な局面は、異なるクロック周波数で作動することができる、デジタル処理コンポーネントの適切な動作を保証することである。

10

【0008】

AVSクロック発生器は、本発明の関連する実施例に従った電源調節回路と関連付けられると、電源の最適利用をさらに保証する。電源電圧VDDはデジタル処理コンポーネントの立上り時間および伝播遅延がデジタル処理コンポーネントが作動するクロック速度にぴったり一致することを保証する最適レベルに微調整される。

【0009】

有利な実施例に従って、デジタル処理コンポーネントに選択的にクロック信号を加えるクロック制御回路が導入され、クロック信号は複数の動作周波数に変更することができる。クロック制御回路は(i)第1の動作周波数を第2の動作周波数に変更するコマンドを受信し、(ii)コマンドに応答して加えられたクロック信号を無効にし、(iii)第2の動作周波数を有するテストクロック信号を発生し、(iv)テストクロック信号を電源調節回路に加え、および(v)電源調節回路からの状態信号を感知し、デジタル処理コンポーネントの電源レベルが第2の動作周波数に対して適切な最適値に調節されていることを示すように動作可能である。

20

【0010】

関連する実施例において、クロック制御回路はさらに状態信号に応答して加えられたクロック信号を第2の動作周波数に設定するように操作できる。もう一つの関連する実施例では、クロック制御回路はさらに加えられたクロック信号をイネーブルするように操作できる。

30

【0011】

もう一つの関連する実施例では、クロック制御回路はクロックデバイダ回路およびコントローラを含んでいる。もう一つの関連する実施例では、コントローラは受信コマンドに応答して加えられたクロック信号をディセーブルし状態信号に応答して加えられたクロック信号をイネーブルするように操作できる。さらにもう一つの関連する実施例では、クロックデバイダ回路は第2の動作周波数を有するテストクロック信号を発生するように操作できる。

【0012】

さらにもう一つの関連する実施例では、クロック制御回路は、さらに、テストクロック信号および状態信号の関数として加えられたクロック信号を第2の動作周波数に設定するように操作できる。

40

【0013】

もう一つの有利な実施例では、動的適応電圧スケーリングを有するデジタル処理コンポーネントを含むデジタル回路が導入される。デジタル回路は、さらに、可調整クロック源、可調整電源、電源調節回路、およびクロック信号を選択的にデジタル処理コンポーネントに加えるクロック制御回路を含んでいる。

【0014】

デジタル処理コンポーネントは異なるクロック周波数で動作することができる。可調整電源は電源電圧VDDをデジタル処理コンポーネントに供給することができる。電源調節回路はVDDを調節することができる。クロック制御回路は(i)第1の動作周波数を第

50

2の動作周波数に変えるコマンドを受信する、(i i) コマンドに応答して加えられたクロック信号をディセーブルする、(i i i) 第2の動作周波数を有するテストクロック信号を発生する、(i v) テストクロック信号を電源調節回路に加える、および(v) デジタル処理コンポーネントの電源レベルは第2の動作周波数に適切な最適値に調節されていることを示す電源調節回路からの状態信号を感知するように操作できる。

【 0 0 1 5 】

関連する実施例では、デジタル回路はさらに直列接続されたN遅延セルを含み、その各々が第1の遅延セルの入力に加えられたクロックエッジがN遅延セル中を逐次リップルするようにVDDの値により決定された遅延Dを有する。もう一つの関連する実施例では、電源調節回路は(i) 少なくともK遅延セルおよびK + 1遅延セルの出力をモニタする(i i) クロックエッジがK遅延セルの出力に達しておりK + 1遅延セルの出力には達していないことを決定する(i i i) VDDを調節できる制御信号を発生するように操作できる。電源調節回路は次の逐次クロックエッジが第1の遅延セル入力に加えられる時にクロックエッジがK遅延セル出力に達しておりK + 1遅延セル出力には達していないことを決定する。第1の遅延セル入力からK遅延セル出力までの全遅延はデジタル処理コンポーネントの最大遅延よりも大きい。

【 0 0 1 6 】

当業者が本発明の下記の詳細な説明をより良く理解できるように、本発明の特徴および技術的利点について広範に概説してきた。本発明のさらなる特徴および利点については以下に記述され、それらは本発明の特許請求の範囲の主題を形成する。当業者ならば、開示された概念および特定実施例を本発明の同じ目的を実施するために修正したり他の構造を設計する基礎として容易に使用できることを理解しなければならない。また、当業者ならばこのような同等構造はその最も広範な形において本発明の精神および範囲から逸脱しないことを理解しなければならない。

【 0 0 1 7 】

発明の詳細な説明を始める前に、本特許文書の初めから終りまで使用されるある語および語句の定義を説明するのが有利であり、“含む(i n c l u d e) ” および “含む(c o m p r i s e ,) ” という用語およびそれらの派生語は制限のない包含を意味し、“または(o r ,) ” という用語はおよび/またはの意味を含み、“関連付けられている(a s s o c i a t e d w i t h) ” および “それに関連付けられている(a s s o c i a t e d t h e r e w i t h) ” という語句およびその派生語は包含する、その中に包含される、相互接続する、含む、その中に含まれる、接続される、結合される、伝達できる、協同できる、インターリーブする、並置する、近接する、固定される、有する、の性質を有する、等を意味することができ、“回路” および “コントローラ” という用語は少なくとも一つの操作を制御する任意の回路、装置、コンポーネントまたはその一部を意味し、このような回路やコントローラは、適切であれば、ハードウェア、ファームウェアまたはソフトウェア、または場合によってはそれらの少なくとも2つのある組合せで実現することができる。ある語および語句に対する定義は本特許文書の初めから終りまで提供され、当業者ならば大概ではなくとも多くの場合、このような定義はこのような定義された語および語句の将来の使用だけでなく従来の使用にも適用されることを理解しなければならない。

【 図面の簡単な説明 】

【 0 0 1 8 】

【 図 1 】 本発明の典型的な実施例に従ったデジタル処理システムのブロック図である。

【 図 2 】 本発明の典型的な実施例に従った図 1 の適応電圧スケーリング(A V S) スラックタイム検出器を詳細に示す図である。

【 図 3 】 図 2 に示す典型的な実施例に従った適応電圧スケーリング(A V S) スラックタイム検出器の動作を示すタイミング図である。

【 図 4 A 】 本発明の第 1 の典型的な実施例に従った典型的な遅延セルを示す図である。

【 図 4 B 】 本発明の第 2 の典型的な実施例に従った典型的な遅延セルを示す図である。

【図 5】本発明の別の典型的な実施例に従った適応電圧スケーリング (A V S) スラックタイム検出器を示す図である。

【図 6】本発明の典型的な実施例に従った図 1 のデジタル処理システム内の適応電圧スケーリング (A V S) スラックタイム検出器の典型的な動作方法を示すフロー図である。

【図 7】本発明の第 1 の典型的な実施例に従った図 1 の A V S クロック発生器のブロック図である。

【図 8】本発明の第 2 の典型的な実施例に従った図 1 の A V S クロック発生器のブロック図である。

【図 9】本発明の原理に従った図 1 の A V S クロック発生器の動作を示すフロー図である。

10

【発明を実施するための形態】

【0019】

(発明の詳細な説明)

本発明およびその利点をより完全に理解するために、次に、同じ番号は同じ対象を示す添付図を参照して下記に説明する。以下に検討する図 1 から図 9 および本特許文書内の本発明の原理を記述するのに使用されるさまざまな実施例は単なる図解用であって決して本発明の範囲を制限するものと解釈してはならない。当業者ならば本発明の原理は適切に構成されたデジタル処理システム内にて実現できることを理解できる。

【0020】

図 1 は本発明の典型的な一実施例に従ったデジタル処理システム 100 のブロック図を示す。デジタル処理システム 100 は水晶発振器 105、位相同期ループ (P L L) 周波数シンセサイザ 110、適応電圧スケーリング (A V S) クロック発生器 115、D S P / C P U システム 120 と明示されたデジタル処理コンポーネント、適応電圧スケーリング (A V S) スラックタイム検出器 125、および適応電圧スケーリング (A V S) 電源 130 を含んでいる。

20

【0021】

典型的な水晶発振器 105 は出力の基準周波数が圧電結晶の機械的性質により決定される出力基準周波数信号を発生する。典型的な P L L 周波数シンセサイザ 110 は水晶発振器 105 の出力に接続されていて C L K E X T 信号を発生し、それは水晶発振器 105 により提供される基準周波数の倍数である動作周波数を有する。C L K E X T 信号は一組のクロック周波数を表すことができる。

30

【0022】

典型的な A V S クロック発生器 115 は P L L 周波数シンセサイザ 110 の出力、デジタル処理コンポーネント 120 および A V S スラックタイム検出器 125 に接続され、それぞれ、入力として C L K E X T 信号、F R E Q U E N C Y C O N T R O L 信号および S T E A D Y 信号を受信する。F R E Q U E N C Y C O N T R O L 信号は所望の動作クロック周波数 f_{clk} を設定し、典型的にそれは C L K E X T 信号の端数である。たとえば、C L K E X T 信号が 1.6 GHz であれば、A V S クロック発生器 115 は C L K E X T 信号を 4 で除して D S P / C P U システム 120 に供給される C L K 信号として 400 MHz クロックを作り出すことができる。後で詳細に説明するように、S T E A D Y 信号は電源電圧 V D D が C L K 信号の所望のクロック速度に一致するのに十分なレベルに調節されていることを A V S クロック発生器 115 に示す。S T E A D Y がイネーブルされると、C L K 信号は D S P / C P U システム 120 に加えられる。

40

【0023】

動作において、所望の動作周波数が現在の動作周波数よりも低ければ、システムクロック C L K およびレギュレータクロック信号 R E G C L K の両方の周波数が同時に新しいスケーリングされた周波数値 $f_{regclk} = a (f_{clk})$ に変更され、“a” はスケーリング定数、たとえば、 $a = 1$ または $a = 1/2$ である。所望の動作周波数が現在の動作周波数よりも高ければ、R E G C L K の周波数が最初に変更される。次に、V D D 供給電圧が新しい定常状態値に達すると、S T E A D Y 信号が活性化され、システムクロック周

50

波数は $f_{clk} = f_{regclk} / a$ に更新される。 $a = 1$ であれば、定常状態において、CLKおよびREGCLKは同じ周波数および位相を有する。 $a \neq 1$ であれば、定常状態において、CLKおよびREGCLKはスケーリングされた周波数および位相を有する。

【0024】

一般的に、DSP/CPUシステム120は数学計算を実施するように設計された任意のデジタル処理コンポーネントとすることができかつ適切にプログラマブルであり、デジタル処理コンポーネント120は音響、画像、等を含む異なるタイプの情報を操作するのに使用できることを意味する。本発明に従って、DSP/CPUシステム120は変動する動作周波数を有しAVSクロック発生器115およびAVS電源130の出力に接続されている。DSP/CPUシステム120は入出力(I/O)データを関連付けられた処理システム(図示せず(たとえば、移動通信装置、計算システム、等))と通信するだけでなく、FREQUENCY CONTROL信号を発生する。

10

【0025】

典型的なAVSスラックタイム検出器125は本発明の原理に従ったクリティカルパススラックタイム弁別器である。AVSスラックタイム検出器125はN遅延セルおよび電源調節回路(図2に関して示す)を含み、AVS電源130を制御してVDDを調節するように操作できる。N遅延セルは直列接続されており、その各々がVDDの値により決定される遅延(D)を有し、第1の遅延セルの入力に加えられるクロックエッジはN遅延セル中を逐次リップルするようにされる。N遅延セルに関連付けられる電源調節回路はVDDを調節することができかつ(i)少なくともK遅延セルおよびK+1遅延セルの出力をモニタする、(ii)クロックエッジがK遅延セルの出力に達しておりK+1遅延セルの出力には達していないことを決定する、および(iii)それに応答してVDDを調節することができる制御信号を発生するように操作できる。

20

【0026】

図2は本発明の好ましい実施例に従ったAVSスラックタイム検出器125を詳細に示す。AVSスラックタイム検出器125は典型的な遅延セル201A, 201B, 201Cおよび201Dを含むN個の逐次遅延セル201、インバータ205、状態レジスタ210、デコーダ215、およびデジタルフィルタ220を含んでいる。状態レジスタ210は、さらに、エッジトリガフリップフロップ(FF)211およびエッジトリガフリップフロップ(FF)212を含んでいる。デコーダ215はインバータ216を含んでいる。

30

【0027】

REGCLKクロック信号の立上りエッジはN逐次遅延セル201のチェーン内の各遅延セル中を逐次リップルする。N遅延セル201は同一コンポーネントでありDSP/CPUシステム120内のゲートと同じ工程から作られる。このようにして、N遅延セルのチェーン内の各遅延セルがその入力(I)およびその出力(O)間に可変伝播遅延Dを有し、それは他の全てのN遅延セル201の可変伝播遅延Dに実質的に等しい。伝播遅延が可変と言われるのは電源VDDのレベルが伝播遅延Dに影響を及ぼすためである。VDDが増加すると、N遅延セル201の各々の伝播遅延Dが減少する。VDDが減少すると、N遅延セル201の各々の伝播遅延Dが増加する。

40

【0028】

このようにして、VDDの定められた値に対して、第1の遅延セル(すなわち、遅延セル201A)の入力からK遅延セル(すなわち、遅延セル201C)の出力までの結合伝播遅延は $K \cdot D$ (すなわち、DのK倍)となる。典型的な遅延セル201A, 201B, 201Cおよび201Dはそれらの各遅延期間 D_1 , D_2 , $D(K)$, および $D(K+1)$ により逐次表示される。第1の遅延セルの入力からK遅延セルの出力までの結合伝播遅延 $K \cdot D$ は $a \neq 1$ の場合適切な係数によりスケーリングされた、M伝播遅延の安全マージンを含む、DSP/CPUシステム120を通る最長伝播遅延をモデル化するように設計される。たとえば、DSP/CPUシステム120を通る最長伝播遅延が $6D$ (すなわち

50

、6伝播遅延)以下であれば、Kの値を8に設定して、K遅延セルの出力は8伝播遅延(8D)を表し安全マージンMは2伝播遅延となるようにすることができる。別の実施例では、Kの値を7に設定して、K遅延セルの出力は7伝播遅延(7D)を表し安全マージンMは1伝播遅延となるようにすることができる。さらにもう一つの実施例では、Kの値を9に設定して、K遅延セルの出力は9伝播遅延(9D)を表し安全マージンMは3伝播遅延となるようにすることができる。

【0029】

VDDの値が増加するとDSP/CPUSystem120を通る最長伝播遅延は減少し、VDDの値が減少するとDSP/CPUSystem120を通る最長伝播遅延は増加する。しかしながら、遅延セル201はDSP/CPUSystem120内のゲートと同じ工程から作り出されるため、K遅延セル(すなわち、遅延セル201C)の出力における結合遅延 $K \cdot D$ は比例的に変化してDSP/CPUSystem120を通る最長伝播遅延を追跡する。AVSスラックタイム検出器125の目的は遅延セル201Aの入力において受信されたREGCLKクロック信号の立上りエッジは、REGCLKクロック信号の降下エッジが受信される時間までに、K遅延セル(すなわち、遅延セル201C)の出力に伝播するが $K+1$ 遅延セルの出力に伝播しないようにVDDのレベルを制御することである。立上りエッジが $K+1$ 遅延セル(すなわち、遅延セル201D)の出力へまたはそれを超えて伝播すれば、VDDはREGCLKクロック信号の現在のクロック速度に対して大きすぎ電力が浪費される。立上りエッジが少なくともK遅延セル(すなわち、遅延セル201C)の出力までは伝播しなければ、VDDはREGCLKクロック信号の現在のクロック速度に対して低すぎてDSP/CPUSystem120を通る最長伝播遅延によるエラーを生じることがある。

【0030】

図3は図2に示す典型的な実施例に従ったAVSスラックタイム検出器125の動作を示すタイミング図である。一つのクロックパルスが例示されている。最初に、REGCLKクロック信号はローである(論理0)。インバータ205はREGCLKクロック信号を反転してREGCLK*クロック信号を作り出し、それはN遅延セル201の各々のリセット(R)入力に加えられる。最初に、REGCLK*クロック信号はハイ(論理1)であり、それは各遅延セル201の出力(O)を論理0にする。

【0031】

REGCLKクロック信号が論理1(すなわち、クロックパルスの立上りエッジ)になると、REGCLK*クロック信号は論理0となって、全ての遅延セル201からリセット(R)信号を除去する。第1の伝播遅延D1後に、Tap1と呼ばれる遅延セル201Aの出力は論理1となる(点線で示す)。第2の伝播遅延D2後に、Tap2と呼ばれる遅延セル201Bの出力は論理1となる。立上りエッジはN遅延セル201のチェーン中を伝播し続ける。K伝播遅延D(K)後に、TapKと呼ばれる遅延セル201Cの出力は論理1となる(点線で示す)。

【0032】

$K+1$ 伝播遅延D($K+1$)後に、Tap $K+1$ と呼ばれる遅延セル201Dの出力は通常論理1となる。しかしながら、REGCLKクロック信号の降下エッジは $K+1$ 伝播遅延が完了する前に生じる。REGCLKクロック信号の降下エッジによりREGCLK*クロック信号は論理1(すなわち、立上りエッジ)となり、N遅延セル201の全てにリセット(R)信号を加えて全遅延セル201の出力(O)を論理0にリセットし戻す。

【0033】

状態レジスタ210内のフリップフロップ(FF)211は遅延セル201C(すなわち、TapK)の出力をモニタし、状態レジスタ210内のフリップフロップ(FF)212は遅延セル201D(すなわち、Tap $K+1$)の出力をモニタする。REGCLK*クロック信号の立上りエッジによりFF211およびFF212は出力がリセットされる前に遅延セル201Cおよび201Dの出力の値を読み取る。このようにして、S

T A T U S (A , B) とされる遅延セル 2 0 1 C および 2 0 1 D の出力の状態が R E G C L K クロック信号の降下エッジ (すなわち、R E G C L K * クロック信号の立上りエッジ) 毎に読み出される。

【 0 0 3 4 】

最適状況下で、R E G C L K クロック信号の立上りエッジは K 遅延セル (すなわち、遅延セル 2 0 1 C) の出力までしか伝播しない。このようにして、最適状況下では、 $A = 1$, $B = 0$, および $S T A T U S (A , B) = 1 0$ である。V D D が低すぎると、R E G C L K クロック信号の立上りエッジは K 遅延セルの出力まで伝播するのに失敗し $S T A T U S (A , B) = 0 0$ である。V D D が高すぎると、R E G C L K クロック信号の立上りエッジは少なくとも $K + 1$ 遅延セルの出力まで伝播し $S T A T U S (A , B) = 1 1$ である。

10

【 0 0 3 5 】

デコーダ 2 1 5 は $S T A T U S (A , B)$ の値を読み取って V D D を増加する制御信号 U P および V D D を減少する制御信号 D O W N を作り出す。最適状況下では、 $S T A T U S (A , B) = 1 0$ であり、 $U P = 0$ および $D O W N = 0$ となって V D D は変更されない。V D D が低すぎると、 $S T A T U S (A , B) = 0 0$ であり、 $U P = 1$ および $D O W N = 0$ となって V D D は増加する。V D D が高すぎると、 $S T A T U S (A , B) = 1 1$ であり、 $U P = 0$ および $D O W N = 1$ となって V D D は減少する。

【 0 0 3 6 】

典型的な実施例では、K 遅延セル出力に対応する A の値は生信号 S T E A D Y I N を表す。S T E A D Y I N 信号は V D D の値が安定レベルに調節されるまで 0 および 1 間で変動する。デジタルフィルタ 2 2 0 が S T E A D Y I N を受信してその出力における S T E A D Y 信号を論理 1 に設定する前にいつ S T E A D Y I N が論理 1 で安定となっているかを決定し、A V S クロック発生器 1 1 5 をイネーブルする。たとえば、デジタルフィルタ 2 2 0 は S T E A D Y 信号が論理 1 に設定される前に S T E A D Y I N = 1 の 1 0 連続値をカウントするカウンタとすることができる。1 0 のカウントに達する前に S T E A D Y I N が論理 0 に切り替わると、カウンタはゼロにリセットされカウントをやり直す。

20

【 0 0 3 7 】

図 4 A は本発明の第 1 の典型的な実施例に従った典型的な遅延セル 2 0 1 を示す。遅延セル 2 0 1 はインバータ 4 0 1 および N O R ゲート 4 0 2 を含んでいる。リセット信号 (R) が論理 1 であれば、N O R ゲート 4 0 2 の出力 (O) は論理 0 とされ入力 (I) は無関係である。リセット信号 (R) が論理 0 であれば、入力 I は N O R ゲート 4 0 2 の出力 (O) に通過することができる。このようにして、 $R = 0$ であれば、遅延セル 2 0 1 の入力 (I) における立上りエッジはインバータ 4 0 1 により反転され N O R ゲート 4 0 1 により再度反転される。このようにして、全遅延がインバータ 4 0 1 および N O R ゲート 4 0 2 の結合伝播遅延に等しくなった後で、遅延セル 2 0 1 の出力 (O) に立上りエッジが現れる。

30

【 0 0 3 8 】

図 4 B は本発明の第 2 の典型的な実施例に従った典型的な遅延セル 2 0 1 を示す。遅延セル 2 0 1 は N O R ゲート 4 0 2 および、典型的なインバータ 4 0 1 A および 4 0 1 B を含む、奇数個の逐次インバータ 4 0 1、および N O R ゲート 4 0 2 を含んでいる。リセット信号 (R) が論理 1 であれば、N O R ゲート 4 0 2 の出力 (O) は論理 0 とされ入力 (I) は無関係である。リセット信号 (R) が論理 0 であれば、入力 I は N O R ゲート 4 0 2 の出力 (O) に通過することができる。このようにして、 $R = 0$ であれば、遅延セル 2 0 1 の入力 (I) における立上りエッジはインバータ 4 0 1 A から 4 0 1 B により奇数回逐次反転され、次に、N O R ゲート 4 0 2 により最後に 1 回反転される。このようにして、偶数回の反転が行われ N O R ゲート 4 0 2 および全インバータ 4 0 1 A から 4 0 1 B の結合伝播遅延に等しい全遅延の後で、遅延セル 2 0 1 の出力 (O) に立上りエッジが現れる。このようにして、遅延セル 2 0 1 の全遅延はその中のインバータ 4 0 1 の数を変える

40

50

ことにより操作することができる。また、当業者ならば反転機能を実施する他のタイプのゲートを単純なインバータ401の替わりに使用できることを認識できる。一般的に、入力Iを受信して反転出力I*を発生する任意のタイプのゲートを使用することができる。

【0039】

図5は本発明の別の実施例に従ったAVSスラックタイム検出器125を詳細に示す。図2に例示されたAVSスラックタイム検出器125の第1の実施例は2つの制御信号、すなわちUPおよびDOWN、を作り出しそれを使用してVDDのレベルを比較的粗い増分ステップまたは比較的粗い減分ステップで調節することができた。図5に示す典型的な実施例では、AVSスラックタイム検出器125はVDDのレベルを比較的少量および比較的大量増減分するのに使用できる複数の制御信号を作り出す。

10

【0040】

図5のAVSスラックタイム検出器125は大概の点において図2に例示されたAVSスラックタイム検出器125と同一である。主要な違いはモニタされる遅延セル201出力数である。図2のAVSスラックタイム検出器125は2つの遅延セル201出力(すなわち、KおよびK+1)しかモニタしなかった。図5のAVSスラックタイム検出器125は3つ以上の遅延セル201の出力をモニタする。図5において、状態レジスタ210は合計P+1の遅延セル201出力を表すTap RからTap R+Pの出力をモニタする。

【0041】

DSP/CPUSystem 120を通る最長伝播遅延が6D(すなわち、6伝播遅延)以下である典型的な実施例について考える。安全マージンMが1伝播遅延でありかつPが3に等しければ、Tap Rは第7遅延セルの出力であり、Tap R+1は第8遅延セルの出力であり、Tap R+2は第9遅延セルの出力であり、Tap R+3は第10遅延セルの出力である。これら4つの遅延セル出力は、それぞれ、K-1遅延セル、K遅延セル、K+1遅延セル、およびK+2遅延セルの出力を表す。

20

【0042】

ここでも、AVSスラックタイム検出器125の目的は、REGCLKクロック信号の降下エッジが受信される時間までに、遅延セル201Aの入力において受信されたREGCLKクロック信号の立上りエッジはK遅延セル(Tap R+1)の出力に伝播するがK+1遅延セル(Tap R+2)の出力には伝播しないようにVDDのレベルを制御することである。このようにして、最適状況下で、STATUS(K-1, K, K+1, K+2)=1100である。しかしながら、図2の場合とは異なり、図5のデコーダ215はSTATUS(K-1, K, K+1, K+2)の値に従って異なる増分ステップサイズまたは減分ステップサイズを有する複数のVDD制御信号を発生することができる。

30

【0043】

たとえば、STATUS(K-1, K, K+1, K+2)が0000であれば、デコーダ215はVDDを比較的大きい量(たとえば、+0.1Vステップサイズ)だけ増分するLARGE UP制御信号を発生することができる。これは大きなエラーに対してVDDをより迅速に訂正する。STATUS(K-1, K, K+1, K+2)が1000であれば、デコーダ215はVDDを比較的小さい量(たとえば、+0.01Vステップサイズ)だけ増分するSMALL UP制御信号を発生することができる。これは小さなエラーに対してオーバシュートを生じることなくVDDを小さい量だけ増分する。

40

【0044】

たとえば、STATUS(K-1, K, K+1, K+2)が1111であれば、デコーダ215はVDDを比較的大きい量(たとえば、-0.1Vステップサイズ)だけ減分するLARGE DOWN制御信号を発生することができる。これは大きなエラーに対してVDDをより迅速に訂正する。STATUS(K-1, K, K+1, K+2)が1110であれば、デコーダ215はVDDを比較的小さい量(たとえば、-0.01Vステップサイズ)だけ減分するSMALL DOWN制御信号を発生することができる。これは小さなエラーに対してアンダーシュートを生じることなくVDDを小さい量だけ減分する。

50

【 0 0 4 5 】

本発明のさらにもう一つの実施例では、状態レジスタ 2 1 0 は、たとえば、6 遅延セル 2 0 1 出力をモニタして V D D のレベルの微調整および粗調整の度合いをさらに高めることができる。たとえば、最適状況下で、S T A T U S (K - 2 , K - 1 , K , K + 1 , K + 2 , K + 3) = 1 1 1 0 0 0 である。S T A T U S (K - 2 , K - 1 , K , K + 1 , K + 2 , K + 3) = 0 0 0 0 0 0 , 1 0 0 0 0 0 , または 1 1 0 0 0 0 であれば、デコーダ 2 1 5 は、それぞれ、L A R G E U P , M E D I U M U P または S M A L L U P 制御信号を発生することができる。S T A T U S (K - 2 , K - 1 , K , K + 1 , K + 2 , K + 3) = 1 1 1 1 1 1 , 1 1 1 1 1 0 または 1 1 1 1 0 0 であれば、デコーダ 2 1 5 は、それぞれ、L A R G E D O W N , M E D I U M D O W N および S M A L L D O W N 制御信号を発生することができる。

【 0 0 4 6 】

前記実施例では、A V S スラックタイム検出器 1 2 5 の動作は 2 つのトリガイイベント、すなわち、スラックタイムをモニタして V D D のレベルを制御するのに使用される R E G C L K クロック信号の最初に生じる立上りエッジおよびその引き続く降下エッジに関して記述された。しかしながら、これは単なる図解のためであり本発明の範囲を制限するものと解釈してはならない。当業者ならば R E G C L K クロック信号の最初に生じる降下エッジおよびその引き続く立上りエッジをトリガイイベントとして使用してスラックタイムをモニタし V D D のレベルを制御するように A V S スラックタイム検出器 1 2 5 を容易に再構成できることを認識できる。

【 0 0 4 7 】

図 6 にフロー図を示し、それは本発明の典型的な実施例に従ったデジタル処理システム 1 0 0 内の A V S スラックタイム検出器 1 2 5 の動作を図解している。最初に、D S P / C P U システム 1 2 0 が新しい公称クロック動作速度（たとえば、5 0 M H z ）を確立するための F R E Q U E N C Y C O N T R O L 信号の値を設定する（プロセスステップ 6 0 5 ）。次に、A V S スラックタイム検出器 1 2 5 は R E G C L K 信号をモニタしており、もしあれば、スラックタイムの量を決定する。前記したように、スラックタイムは D S P / C P U システム 1 2 0 内の最長伝播遅延と R E G C L K 信号のパルス幅間の時間差である（プロセスステップ 6 1 0 ）。D S P / C P U システム 1 2 0 内の最長伝播遅延は K 遅延セル 2 0 1 の出力における全遅延 $K \times D$ で表され、R E G C L K クロック信号のパルス幅はその立上りクロックエッジと次の降下クロックエッジ間の時間長である。あるいは、R E G C L K クロック信号のパルス幅はその降下クロックエッジと次の立上りクロックエッジ間の時間長である。スラックタイムが大きすぎると、V D D は減分される（プロセスステップ 6 1 5 および 6 2 0 ）。スラックタイムが小さすぎると、V D D は増分される（プロセスステップ 6 2 5 および 6 3 0 ）。そうでなければ、A V S スラックタイム検出器 1 2 5 は R E G C L K 信号をモニタし続け、もしあれば、スラックタイムの量を決定する（プロセスステップ 6 1 0 ）。

【 0 0 4 8 】

図 7 は本発明の第 1 の典型的な実施例に従った A V S クロック発生器 1 1 5 のブロック図である。第 1 の典型的な実施例では、A V S クロック発生器 1 1 5 はクロックデバイダ回路 7 0 5 （“ N で分割 ” と表示）、クロックデバイダ回路 7 1 0 （“ N 2 で分割 ” と表示）、および制御ブロック 7 1 5 を含むクロック制御回路を提供する。A V S クロック発生器 1 1 5 はデジタル処理コンポーネント 1 2 0 に選択的にクロック信号を加えるように操作できる。クロック信号は複数の動作周波数に変更することができる。

【 0 0 4 9 】

典型的なクロックデバイダ回路 7 0 5 は、入力として、水晶発振器 1 0 5 からの C L K E X T 信号および D S P / C P U システム 1 2 0 からの F R E Q U E N C Y C O N T R O L 信号 N を受信する。典型的なクロックデバイダ回路 7 1 0 は、入力として、水晶発振器 1 0 5 からの C L K E X T 信号および制御ブロック 7 1 5 からの第 2 の F R E Q U E N C Y C O N T R O L 信号 N 2 を受信する。典型的な制御ブロック 7 1 5 は、入力として

、A V Sスラックタイム検出器 1 2 5 からのS T E A D Y 信号およびD S P / C P U システム 1 2 0 からのF R E Q U E N C Y C O N T R O L 信号Nを受信する。

【 0 0 5 0 】

F R E Q U E N C Y C O N T R O L 信号の受信に応答して、制御ブロック 7 1 5 はD S P / C P U システム 1 2 0 に加えられたC L K 信号を停止する。次に、クロックデバイダ回路 7 0 5 はC L K E X T 信号をF R E Q U E N C Y C O N T R O L 信号で除することによりR E G C L K 信号を新しいクロック速度に設定する。次に、A V S 電源 1 3 0 のレベルがA V Sスラックタイム検出器 1 2 5 により新しいクロック速度に対する最適値に調節される間に、制御ブロック 7 1 5 はS T E A D Y 信号をモニタする。

【 0 0 5 1 】

A V Sスラックタイム検出器 1 2 5 からのイネーブルされたS T E A D Y 信号の受信に
10 応答して、制御ブロック 7 1 5 はクロックデバイダ回路 7 1 0 をイネーブルし、それはC
L K E X T 信号を第 2 のF R E Q U E N C Y C O N T R O L 信号値Nで除することにより
新しいC L K 信号を発生してD S P / C P U システム 1 2 0 に加える。定常状態では、第
2 のF R E Q U E N C Y C O N T R O L 信号N2はF R E Q U E N C Y C O N T R O L 信号Nに等しいか、あるいは定数によりスケーリングされる。

【 0 0 5 2 】

図 8 は本発明の第 2 の典型的な実施例に従ったA V Sクロック発生器 1 1 5 のブロック
図である。第 2 の典型的な実施例では、A V Sクロック発生器 1 1 5 はやはりD S P / C
P U システム 1 2 0 に選択的にクロック信号を与えるクロック制御回路を提供し、クロック
20 デバイダ回路 8 0 5 (“ N で分割 ” と表示) 、 A N D ゲート 8 1 0 、 および制御ブロッ
ク 8 1 5 を含んでいる。

【 0 0 5 3 】

クロックデバイダ回路 7 0 5 は、入力として、水晶発振器 1 0 5 からのC L K E X T 信
号およびD S P / C P U システム 1 2 0 からのF R E Q U E N C Y C O N T R O L 信号
Nを受信する。A N D ゲート 8 1 0 は、入力として、クロックデバイダ回路 7 0 5 からの
R E G C L K 信号および制御ブロック 8 1 5 からのE N A B L E 信号を受信する。典型的
な制御ブロック 8 1 5 は、入力として、A V Sスラックタイム検出器 1 2 5 からのS T E
A D Y 信号およびD S P / C P U システム 1 2 0 からのF R E Q U E N C Y C O N T R
O L 信号Nを受信する。

【 0 0 5 4 】

ここでも、F R E Q U E N C Y C O N T R O L 信号の受信に応答して、制御ブロック
7 1 5 はE N A B L E 信号を論理 0 に設定することによりD S P / C P U システム 1 2 0
に加えられたC L K 信号を停止する。次に、クロックデバイダ回路 7 0 5 はC L K E X T
信号をF R E Q U E N C Y C O N T R O L 信号で除することによりR E G C L K 信号を新
しいクロック速度に設定する。次に、A V S 電源 1 3 0 のレベルがA V Sスラックタイム
検出器 1 2 5 により新しいクロック速度に対する最適値に調節される間に、制御ブロック
7 1 5 はS T E A D Y 信号をモニタする。A V Sスラックタイム検出器 1 2 5 からのイネ
ーブルされたS T E A D Y 信号の受信に応答して、A N D ゲート 8 1 0 をイネーブルし新
しいC L K 信号 (R E G C L K) をD S P / C P U システム 1 2 0 に加えるために、制御
40 ブロック 7 1 5 はE N A B L E 信号を論理 1 に設定する。

【 0 0 5 5 】

図 9 はフロー図 9 0 0 を示し、それは本発明の原理に従ったA V Sクロック発生器 1 1
5 の動作を図解している。最初に、A V Sクロック発生器 1 1 5 はD S P / C P U システ
ム 1 2 0 から新しいF R E Q U E N C Y C O N T R O L 値Nを受信する (プロセスステ
ップ 9 0 5) 。クロック速度の変化に応答して、A V Sクロック発生器 1 1 5 はD S P /
C P U システム 1 2 0 に加えられたC L K 信号を停止する (プロセスステップ 9 1 0) 。
次に、A V Sクロック発生器 1 1 5 はR E G C L K 信号を新しいクロック速度に設定しV
D D 電源のレベル (あるいは、随意デジタル処理システム 1 0 0 の他の動作パラメータ)
が新しいクロック速度に対する最適値に調節される間、S T E A D Y 信号をモニタする (

10

20

30

40

50

プロセスステップ 915)。STEADY 信号が最後に再イネーブルされると(すなわち、STEADY 信号上に立上りエッジが生じる)、AVS クロック発生器 115 は CLK 信号を新しいクロック速度に設定して DSP / CPU システム 120 CLK 信号を再び加える(プロセスステップ 920)。

【0056】

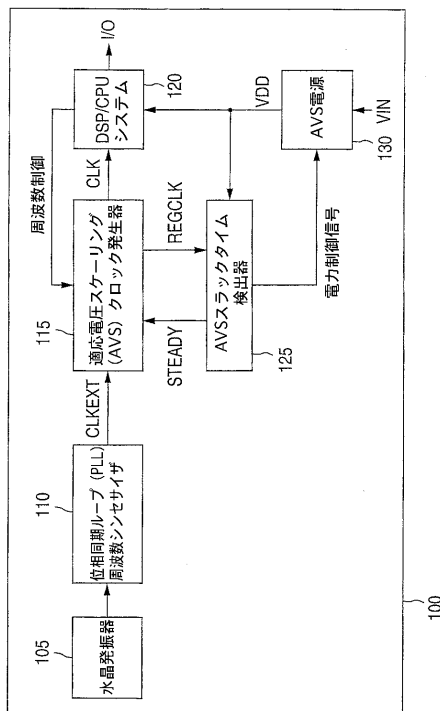
概括的に言えば、本発明の有利な実施例はクロック信号が複数の動作周波数に変更できるデジタル処理コンポーネントに選択的にクロック信号を加えるクロック制御回路に向けられている。クロック制御回路は(i)第1の動作周波数を第2の動作周波数に変更するコマンドを受信する、(ii)コマンドにตอบสนองして加えられたクロック信号をディセーブルする、(iii)第2の動作周波数を有するテストクロック信号を発生する、(iv)テストクロック信号を電源調節回路に加える、および(v)電源調節回路からの状態信号を感知するように操作できる。状態信号はデジタル処理コンポーネントの電源レベルが第2の動作周波数に対して適切な最適値に調節されていることを示す。

10

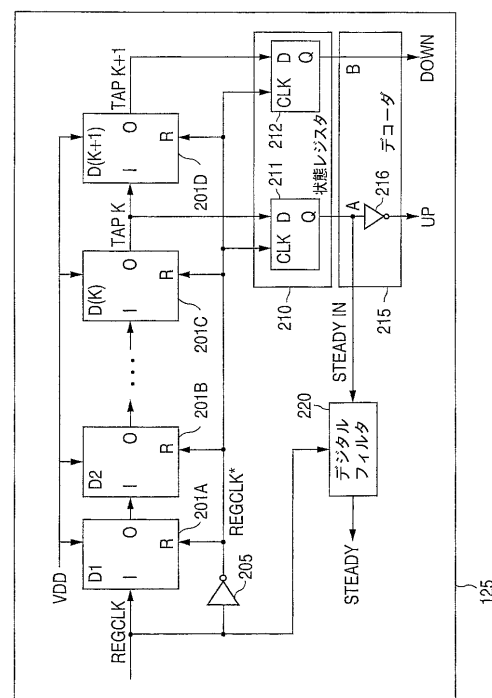
【0057】

本発明を詳細に記述してきたが、当業者なら最も広範な形の本発明の精神および範囲を逸脱することなく、それらをさまざまに修正、置換および変更できることを理解しなければならない。

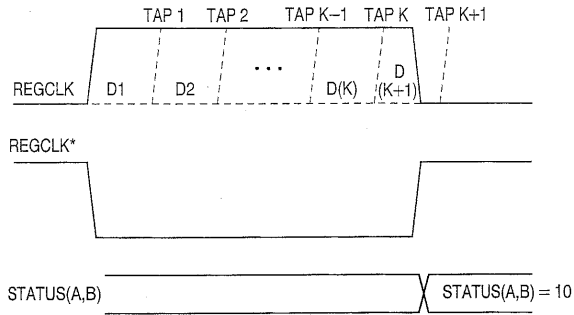
【図 1】



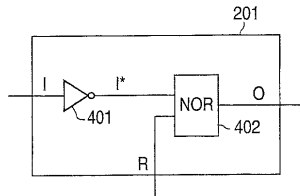
【図 2】



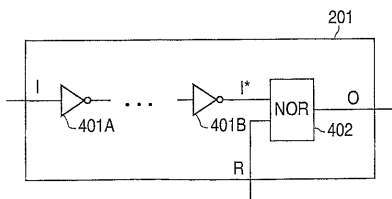
【図 3】



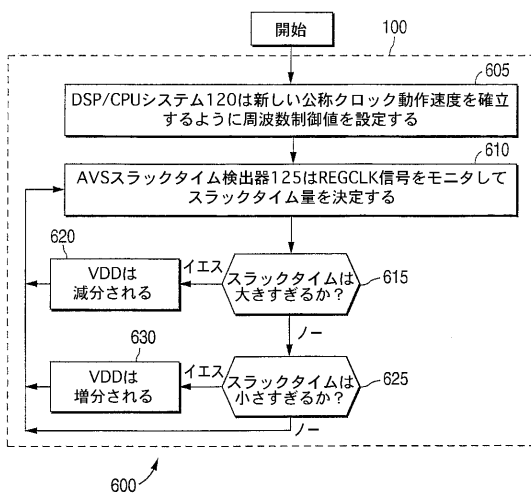
【図 4 A】



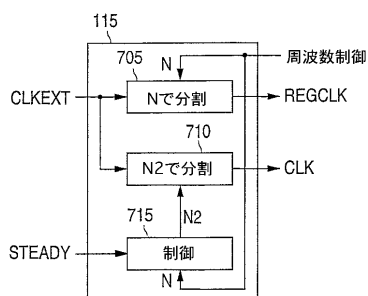
【図 4 B】



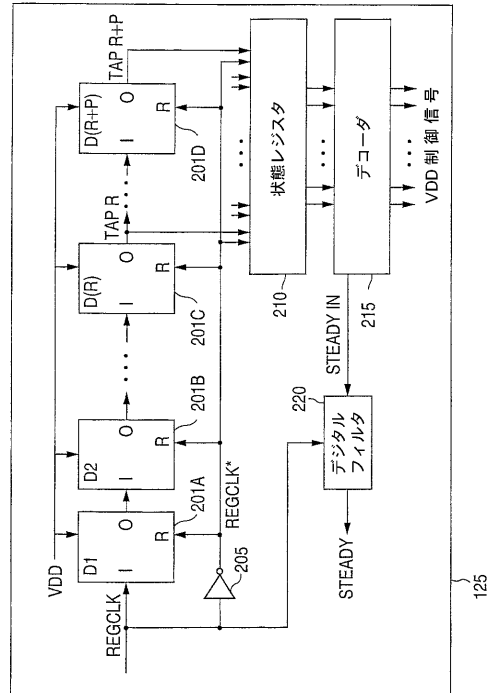
【図 6】



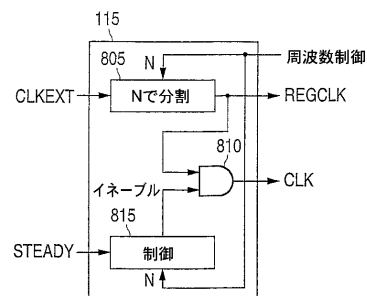
【図 7】



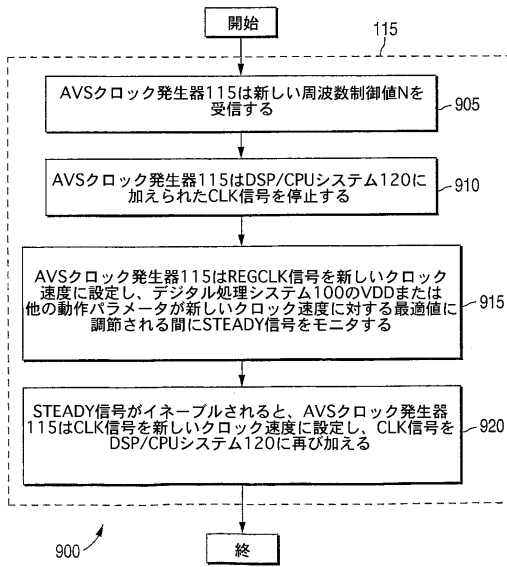
【図 5】



【図 8】



【図 9】



フロントページの続き

(74)代理人 100094673

弁理士 林 鈺三

(72)発明者 クランゼン、ブルーノ

アメリカ合衆国、カリフォルニア、サン ホゼ、フェアローン コート 2 2 8 5

(72)発明者 マクシモヴィク、ドラガン

アメリカ合衆国、コロラド、ボールダー、フランクリン ドライブ 4 8 8 0

F ターム(参考) 5B011 EA08 LL02 LL13

5B079 AA06 BA01 BB04 BC01

5J056 AA00 BB17 CC00 CC05 CC06 CC14 CC16 FF01 GG08 GG14

KK00