



# [12] 发明专利说明书

专利号 ZL 200480010000.4

[45] 授权公告日 2009年1月7日

[11] 授权公告号 CN 100449788C

[22] 申请日 2004.4.16

[21] 申请号 200480010000.4

[30] 优先权

[32] 2003.4.16 [33] US [31] 10/417, 851

[86] 国际申请 PCT/US2004/011864 2004.4.16

[87] 国际公布 WO2004/095459 英 2004.11.4

[85] 进入国家阶段日期 2005.10.14

[73] 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 格雷格里·格里恩柯维奇

马克·德赫雷拉

马克·A·德尔拉姆

克拉伦斯·J·特雷希

[56] 参考文献

JP2003-16776A 2003.1.17

JP2002-359355A 2002.12.13

US6587371B1 2003.7.1

US6365419B1 2002.4.2

审查员 李惟芬

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所

代理人 屠长存

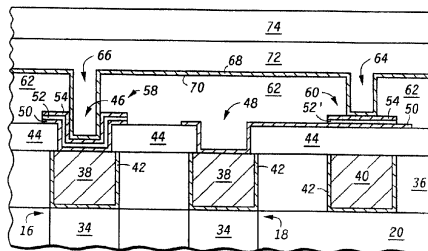
权利要求书4页 说明书8页 附图5页

## [54] 发明名称

磁电阻式随机存取存储器件结构及其制造方法

## [57] 摘要

一种 MRAM 器件结构(10)的制造方法包括提供衬底(12)，在所述衬底上形成第一晶体管(14)和第二晶体管(14)。形成与第一晶体管(14)电接触的有效磁隧道结元器件(60)。形成与第二晶体管(14)电接触的至少一部分假磁隧道结元器件(58)。将第一电介质层(62)淀积在至少一部分假磁隧道结元器件和有效磁隧道结元器件上。对第一电介质层进行蚀刻，从而同时形成至少一部分假磁隧道结元器件(58)的第一通路(64)，和有效磁隧道结元器件(60)的第二通路(66)。淀积导电互连层(68)，以使所述导电互连层从至少一部分假磁隧道结元器件(58)延伸到所述有效存储元件(64)。



1、一种磁电阻式随机存取存储器件结构的制造方法，所述方法包括如下步骤：

提供半导体衬底，所述衬底具有在其内形成的第一晶体管和第二晶体管；

形成与所述第一晶体管电接触的有效磁隧道结元器件；

形成与所述第二晶体管电接触的至少一部分假磁隧道结元器件，其中所述假磁隧道结元器件作为磁隧道结元器件是不起作用的，并用作电导体；

淀积第一电介质层使其上覆所述至少一部分假磁隧道结元器件和所述有效磁隧道结元器件；

对所述第一电介质层进行构图和蚀刻，从而同时形成通向所述至少一部分假磁隧道结元器件的第一通路和通向所述有效磁隧道结元器件的第二通路；以及

淀积导电互连层，使所述导电互连层从所述至少一部分假磁隧道结元器件延伸到所述有效磁隧道结元器件。

2、如权利要求1所述的方法，其特征在于，所述形成至少一部分假磁隧道结元器件的步骤包括：形成具有第一导电层、磁隧道结元件层和第二导电层的假磁隧道结元器件。

3、如权利要求1所述的方法，其特征在于，所述形成至少一部分假磁隧道结元器件的步骤包括：淀积第一导电层。

4、如权利要求1所述的方法，其特征在于，所述构图和蚀刻步骤包括：将所述第一通路蚀刻到所述至少一部分假磁隧道结元器件的梯台上。

5、如权利要求1所述的方法，其特征在于，还包括形成数字线，所述数字线与所述有效磁隧道结元器件发生磁耦合。

6、如权利要求1所述的方法，其特征在于，还包括：

提供覆盖所述导电互连层的第二电介质层；

对所述第二电介质层进行构图和蚀刻，从而形成沟槽；以及在所述沟槽内形成位线。

7、如权利要求 1 所述的方法，其特征在于，所述淀积导电互连层的步骤包括：淀积厚度为 100 至 4000 埃的导电层。

8、如权利要求 1 所述的方法，其特征在于，在所述构图和蚀刻步骤中，蚀刻所述第一电介质层，使所述第一通路和所述第二通路具有大约相同的深度。

9、如权利要求 1 所述的方法，其特征在于，所述形成有效磁隧道结元件的步骤包括：形成具有第一导电层、磁隧道结元件和第二导电层的有效磁隧道结元件。

10、一种磁电阻式随机存取存储器件结构，包括：

半导体衬底，所述衬底具有位于其内的第一晶体管和第二晶体管；

与所述第一晶体管电耦合的有效磁隧道结元件；

与所述第二晶体管电耦合的至少一部分假磁隧道结元件，其中所述假磁隧道结元件作为磁隧道结元件是不起作用的，并用作电导体；

从所述至少一部分假磁隧道结元件延伸到所述有效磁隧道结元件的金属互连层。

11、如权利要求 10 所述的磁电阻式随机存取存储器件结构，其特征在于，所述至少一部分假磁隧道结元件包括：第一导电层、磁隧道结元件层和第二导电层。

12、如权利要求 10 所述的磁电阻式随机存取存储器件结构，其特征在于，所述至少一部分假磁隧道结元件是第一导电层，所述金属互连层从所述第一导电层延伸到所述有效磁隧道结元件。

13、如权利要求 12 所述的磁电阻式随机存取存储器件结构，其特征在于，所述第一导电层包括梯台，所述金属互连层从所述梯台延伸到所述有效磁隧道结元件。

14、如权利要求 10 所述的磁电阻式随机存取存储器件结构，其

特征在于，所述至少一部分假磁隧道结元器件包括梯台，所述金属互连层从所述梯台延伸到所述有效磁隧道结元器件。

15、如权利要求 14 所述的磁电阻式随机存取存储器件结构，其特征在于，还包括在所述金属互连层下面的电介质材料层，所述电介质材料层具有一个表面，其中所述有效磁隧道结元器件和所述梯台距所述表面大致相同的距离。

16、如权利要求 10 所述的磁电阻式随机存取存储器件结构，其特征在于，还包括与所述有效磁隧道结元器件磁耦合的数字线。

17、如权利要求 10 所述的磁电阻式随机存取存储器件结构，其特征在于，所述有效磁隧道结元器件包括第一导电层、磁隧道结元件和第二导电层。

18、如权利要求 10 所述的磁电阻式随机存取存储器件结构，其特征在于，还包括与所述有效磁隧道结元器件磁耦合的位线。

19、一种磁电阻式随机存取存储器件，包括多个电耦合的磁存储元件阵列，每个阵列包括：

半导体衬底，所述衬底在其内具有第一晶体管 and 多个第二晶体管；

形成在所述半导体衬底上并且耦接至所述第一晶体管的端子的第一互连叠层；

在所述半导体衬底上形成的多个第二互连叠层，每个第二互连叠层与所述多个第二晶体管之一的端子耦接；

多个有效磁隧道结元器件，所述多个有效磁隧道结元器件的每一个都与所述多个第二互连叠层之一电接触；

与所述第一互连叠层电耦合的至少一部分假磁隧道结元器件，其中所述假磁隧道结元器件作为磁隧道结元器件是不起作用的，并用作电导体；以及

从所述至少一部分假磁隧道结元器件延伸到所述多个有效磁隧道结元器件的每一个的金属互连层。

20、如权利要求 19 所述的磁电阻式随机存取存储器件，其特征

在于，所述衬底具有第三晶体管，所述磁电阻式随机存取存储器件还包括：

在所述半导体衬底上形成并与所述第三晶体管的端子耦接的第三互连叠层；以及

与所述第三互连叠层电耦合的位线，所述位线与所述多个有效磁隧道结元器件的每一个发生磁耦合。

21、如权利要求 19 所述的磁电阻式随机存取存储器件，其特征在于，还包括多个数字线，每个数字线与所述多个有效磁隧道结元器件之一发生磁耦合。

22、如权利要求 19 所述的磁电阻式随机存取存储器件，其特征在于，所述至少一部分假磁隧道结元器件包括第一导电层、磁隧道结元件层和第二导电层。

23、如权利要求 19 所述的磁电阻式随机存取存储器件，其特征在于，所述至少一部分假磁隧道结元器件是第一导电层，所述金属互连层从所述第一导电层延伸到所述多个有效磁隧道结元器件中的每一个。

24、如权利要求 23 所述的磁电阻式随机存取存储器件，其特征在于，所述第一导电层包括梯台，所述金属互连层从所述梯台延伸到所述多个有效磁隧道结元器件中的每一个。

25、如权利要求 19 所述的磁电阻式随机存取存储器件，其特征在于，所述至少一部分假磁隧道结元器件包括梯台，所述金属互连层从所述梯台延伸到所述多个有效磁隧道结元器件中的每一个。

26、如权利要求 25 所述的磁电阻式随机存取存储器件，其特征在于，还包括在所述金属互连层下面的电介质材料层，所述电介质材料层具有一个表面，其中所述多个有效磁隧道结元器件中的每一个和所述梯台距所述表面大致相同的距离。

27、如权利要求 19 所述的磁电阻式随机存取存储器件，其特征在于，所述多个有效磁隧道结元器件中的每一个包括第一导电层、磁隧道结元件层和第二导电层。

## 磁电阻式随机存取存储器件结构及其制造方法

### 技术领域

本发明通常涉及磁电子器件，更具体地说，是涉及采用假磁隧道结元器件的磁电阻式随机存取存储器件结构的制造方法，以及采用假磁隧道结元器件的磁电阻式随机存取存储器件的结构。

### 背景技术

磁电子器件、自旋电子器件和自旋式器件，是利用由电子自旋显著产生的效应的器件的同义词。磁电效应用于许多信息设备中，并提供非易失性、可靠、防辐射和高密度的数据存储和恢复性能。磁电阻式随机存取存储（MRAM）器件是公知的磁电信息器件。

一类 MRAM 器件是由多个被称作磁隧道结（MTJ）元件的存储元件阵列和多个一般被称作位线和数字线的编程线组成的，每个编程线用来产生给 MTJ 元件编程序的磁场部分。阵列中的 MTJ 元件通过互连叠层一般与晶体管（一般为 N-通路场效应晶体管（FET））发生电耦合。互连叠层是利用采用许多通路和金属层的标准 CMOS 工艺形成的，互连叠层的形成需要许多掩模和蚀刻步骤。通路和金属层的数目根据与在同一芯片上制造的与存储器相关的具体器件的不同而不同。与互连叠层偶连的 MTJ 元器件的形成以及该元件与 MRAM 器件的连接的形成，也采用许多掩模和蚀刻步骤。每个掩模和蚀刻步骤都增大了生产 MRAM 器件所需的成本和时间。因此，甚至取消一个这样的步骤都能够节省制造成本和时间。

据此，期望提供改进的、用于制造 MRAM 器件的方法。此外，期望提供采用较少处理步骤的 MRAM 器件的制造方法。而且，期望提供用采用较少处理步骤的方法制造的 MRAM 器件。而且，本发明的其它所需特性和特征，从下面结合附图和此发明背景对本发明及所

附权利要求书的详细描述中，将变得显而易见。

### 附图说明

随后将结合以下附图来描述本发明，其中相同的附图标记表示相同的元件，并且

图 1-6 用截面图示意性表示出按照本发明一个示范性实施例的磁电阻式随机存取存储器件结构的制造方法；

图 7 用截面图示意性表示出按照本发明另一个示范性实施例的磁电阻式随机存取存储器件结构；

图 8 用截面图示意性表示出按照本发明再一个示范性实施例的磁电阻式随机存取存储器件结构；

图 9 用截面图示意性表示出按照本发明又一个示范性实施例的磁电阻式随机存取存储器件结构；

图 10 用截面图示意性表示出按照本发明再一个示范性实施例的磁电阻式随机存取存储器件结构；

图 11 用截面图示意性表示出按照本发明另一个示范性实施例的磁电阻式随机存取存储器件的一部分阵列。

### 具体实施方式

本发明的以下详细描述实际上仅仅是为了举例说明，并无意限定本发明或本发明的应用和用途。而且，也无意用本发明上述背景或本发明下述详细描述中提到的任何理论来加以界定。

现在翻到附图，图 1-6 表示出按照本发明一个示范性实施例的 MRAM 器件的制造方法，该方法在制造过程中采用假磁隧道结元器件，以减少处理步骤。

图 1 是 MRAM 器件的部分制造阵列的截面 10 的剖面图。该方法是通过提供具有多个晶体管 14（例如开关晶体管和/或隔离晶体管）的半导体衬底 12（例如硅衬底）而开始的。其它电路元件例如输入/输出电路、数据/地址解码器和比较器都可包含在 MRAM 器件中；然

而，为了简便起见，这些元件从附图中省略掉了。

按照标准和公知的 CMOS 工艺，通路和金属层的第一互连叠层 16 和第二互连叠层 18 在衬底 12 上以线和叠层的形式形成，且一般在一种或多种电介质材料 20 的内部，以便为集成电路和包括截面 10 的存储器件阵列提供互连。正如本文所用的，术语“层”是指一层或亚层组合或多个亚层。互连叠层 16 和 18 是通过以公知的方式提供电介质层、掩模和蚀刻以及金属淀积而形成的。还是按照标准和公知的工艺，在晶体管 14 的源极端子和漏极端子上包括第一通路的金属被称作接触层 22 (CNT)。形成互连第一层的金属层被称作第一金属层 24 (M1)。在 M1 24 上形成的通路被称作第一通路层 26 (通路 1)，下一个金属层是第二金属层 28 (M2)，随后依次是第二通路层 30 (通路 2)、第三金属层 32 (M3)，如果需要的话，还有或多或少的附加通路层和金属层，以便为具体的器件和应用提供所需的互连。虽然互连叠层 16 和 18 是用两个通路层和三个金属层表示出的，但是应该理解，互连叠层 16 和 18 可以具有一个或任何适当数目的通路层及金属层。随后将讨论的互连叠层 16 和 18 的最后金属层，盖在被标为 B 通路的通路层 34 上。

参照图 2，被标为 MDL 的另一金属层 38 然后利用金属镶嵌工艺进行淀积。电介质材料层 36 在界面 10 上形成。电介质材料层 36 可包括任何适宜的电介质材料例如二氧化硅 ( $\text{SiO}_2$ )。电介质材料层 36 按照标准和公知的半导体工艺进行适当构图和蚀刻。淀积 MDL38 并利用任何适当的技术例如化学机械剖光 (CMP) 除去多余的金属材料。MDL38 包括将要与随后形成的磁隧道结 (MTJ) 元件相联的数字线 40 (以下更详细地描述)。数字线 40 垂直于图 2 延伸。MDL38 和数字线 40 可包括任何适宜的导电材料例如铝 (Al)、铝合金、铜 (Cu) 及铜合金。

在本发明的一个优选实施例中，材料的覆盖和/或阻挡层 42 可以在淀积 MDL38 之前进行淀积。覆盖层用来会聚在电流施加到数字线 40 上时产生的磁通量。阻挡层用来改善 MDL38 的粘附性并用作防止

MDL38 和覆盖层材料扩散的壁垒。在本发明的一个更优选实施例中，首先淀积阻挡层，随后淀积覆盖层，然后在淀积 MDL38 之前淀积第二阻挡层。阻挡层可包括钽 (Ta)、氮化钽 (TaN) 或任何其它适宜的材料。覆盖材料可包括镍-铁合金或具有高渗透性的其它类似材料。

在本发明的一个替换型实施例中，应该意识到，不是采用金属镶嵌工艺，而是利用减除工艺来形成 MDL38，在减除工艺过程中，金属层淀积在界面 10 上，然后进行构图和蚀刻，从而形成 MDL38 (包括数字线 40)。电介质材料层 36 淀积在电介质材料 20 和 MDL38 上，然后利用合适的技术例如 CMP 被平面化。

在形成 MDL38 之后，电介质材料层 44 在电介质材料层 36、MDL38 和数字线 40 上形成。电介质材料层 44 然后利用标准的掩模和蚀刻技术进行适当构图和蚀刻，从而在第一互连叠层 16 上形成第一通路 (例如顶部通路 46 或 T-通路)，在第二互连叠层 18 上形成第二通路 (例如存储通路 48 或 M-通路)。在本发明的一个优选实施例中，同时蚀刻 T-通路 46 和 M-通路 48，尽管应该理解，通路可能在单独的掩模和蚀刻工艺中进行蚀刻。

现在参照图 3，第一导电层 50、存储元件层 52 和第二导电层 54 淀积在电介质材料 44 上并位于 T-通路 46 和 M-通路 48 的内部。第一导电层 50 包括形成随后将要形成的 MTJ 元器件的较低电接触的非磁导体，并且淀积厚度为约 100 至约 4000 埃。第一导电层 50 可以用任何适宜的导电材料形成。优选的是，第一导电层 50 是用钽 (Ta)、钨 (W)、钛 (Ti)、铝 (Al)、氮化钽 (TaN) 或它们的组合或合金形成。更优选的是，第一导电层 50 是用钽形成的。存储元件层 52 包括形成 MTJ 元器件的材料 (下面将要解释)。具体地说，存储元件层 52 包括采用磁性材料例如钴铁 (CoFe) 和镍铁钴 (NiFeCo) 的第一磁性层和第二磁性层。第一磁性层用作硬磁性层，牵制或固定其中的磁化，而第二磁性层的磁化方向在两个磁态之间自由切换。夹在第一和第二磁性层之间的隧道阻挡层采用非导电、非磁性材料例如氧化铝 ( $\text{AlO}_x$ ，其中  $0 \leq x \leq 1.5$ )。存储元件层 52 中的这些层较薄，其中

磁性层在 5 - 400 埃之间，隧道阻挡层在 5 - 30 埃之间。关于 MTJ 存储元件的制造和工作的附加信息参见题为“多层磁隧道结存储单元”的 U.S.5,734,606 (1998 年 5 月 31 日发布)，该文献从此作为参考引入本文。第二导电层 54 淀积在存储元件层 52 上。第二导电层 54 一般具有约 100 至约 4000 埃的厚度。第二导电层 54 可以用任何适宜的导电材料形成。优选的是，第二导电层 54 是用钽、钨、钛、铝、氮化钽或它们的组合或合金形成的。更优选的是，第二导电层 54 是用钽形成的。

然后利用标准的掩模和蚀刻技术对层 50, 52 和 54 进行构图和蚀刻，以便如图 4 所示，使“假”MTJ 元器件 58 在 T-通路 46 内形成，并与互连叠层 16 电耦合。包括第一导电层 50、存储元件层 52 和第二导电层 54 的假 MTJ 元器件 58，与覆盖 M-通路 48 以及覆盖其它互连叠层（未示出）的其它通路的剩余第一导电层 50 隔离开。据此，正如本文所使用的，术语“假”的意思是，T-通路 46 上的 MTJ 元器件 58 作为 MTJ 元器件是不起作用的，并用作电导体。而且，由于 T-通路 46 的不连续形态，无效的 MTJ 元器件 58 的隧道阻挡层是间断的并因此是电短路的。

对层 52 和 54 进行构图和蚀刻，以便使包括同期形成的 MTJ 元件 52' 的有效 MTJ 元器件 60 在第一导电层 50 上形成，并进行淀积，以便与数字线 40 发生磁耦合。层 52 和 54 从 M-通路 48 进行蚀刻，第一导电层 50 进行构图和蚀刻，以便使第二互连叠层 18 与有效 MTJ 元器件 60 电耦合，并将有效 MTJ 元器件 60 与其它 MTJ 元器件（未示出）隔离开。

参照图 5，电介质材料层 62 淀积在假 MTJ 元器件 58、有效 MTJ 元器件 60 和 M-通路 48 上。然后，电介质材料层 62 进行构图和蚀刻，从而限定出通向第一互连叠层 16 的孔 66 和通向有效 MTJ 元器件 60 的孔 64。一般，孔 66 从电介质材料层 62 的表面 70 蚀刻得比孔 64 深（如图 5 所示）。据此，利用单独的掩模和蚀刻步骤形成孔 64 和孔 66。或者是，在本发明的一个优选实施例中，孔 64 和孔 66 同时进行蚀刻，以取消掩模和蚀刻步骤。由于孔 64 和孔 66 的深度差异，在蚀

刻孔 64 之后，有效 MTJ 元器件 60 的第二导电层 54 不期望承受蚀刻组分，而孔 66 仍然进行蚀刻，从而潜在地导致优选 MTJ 元件 52' 的损坏。然而，由于假 MTJ 元器件 58（导电并由此不干扰互连叠层 16 的工作）的存在，孔 66 无需蚀刻得象假 MTJ 元器件 58 不存在时所需的那样深。因此，第二导电层 54 承受蚀刻组分、同时蚀刻孔 66 的时间得以减小。

孔 64 和 66 在蚀刻之后，随后淀积导电材料，从而形成第三导电层 68（被称作金属局部互连（MLI））。MLI 68 的厚度一般为约 100 至约 4000 埃。MLI 68 使第一互连叠层 16 与有效 MTJ 元器件 60 电耦合。应该理解，假 MTJ 元器件 58 的存在使孔 66 的纵横比减小，借此使孔 66 的分级覆盖比假 MTJ 元器件 58 不存在时更均匀。

参照图 6，电介质材料层 72 然后淀积在 MLI 68 上并位于孔 64 和 66 内，并达到合适的厚度，而且进行构图和蚀刻，从而形成位线 74 的沟槽。位线 74 是通过将金属诸如铝（Al）、钨（W）或铜（Cu）或它们的合金淀积在沟槽内而形成的。在本发明的一个实施例中，位线 74 可以用围绕位线的一个或多个侧面的合适包层材料（未示出）形成，以便将磁场从位线会聚到有效 MTJ 元器件 60。

在本发明的另一个示范性实施例中，参照图 7，一旦孔 64 和 66 已经蚀刻，就随后淀积导电材料，以便填充孔 64 和 66，并在绝缘层 62 上进一步将导电材料淀积到合适的厚度，一般为约 1000 至约 8000 埃。然后利用公知技术对该导电材料进行构图。然后使绝缘材料（未示出）淀积、构图和蚀刻，从而形成位线 74 的沟槽。随后利用如上所述的方法制造位线 74。

参照图 8，在本发明的进一步示范性实施例中，用梯台（landing）90（即在绝缘层 44 上延伸的层 50，52 和 54 的一部分）制造假 MTJ 元器件 58，从而蚀刻到假 MTJ 元器件 58 上的孔 66 能够蚀刻到梯台 90 上。如图 8 所示，梯台 90 与有效 MTJ 元器件 60 同时形成，二者由此与绝缘层 62 的表面 70 的距离相同。这样，孔 64 和孔 66 花费大约相同的蚀刻时间。因此，假 MTJ 元件的存在、尤其是梯台 90 的存

在，大大减少了蚀刻孔 66 所需的时间，并由此减少第二导电层 54 承受蚀刻组分的时间。

在本发明的另一个示范性实施例中，如果仅有一部分假 MTJ 元器件在 T-通路 46 上制造的话，那么有效 MTJ 元器件 60 的第二导电层 54 承受蚀刻组分的时间就可减少。参照图 9，当层 50，52 和 54 淀积到电介质材料层 44 上之后，第二导电层 54 和存储元件层 52 就进行构图和蚀刻，从而使有效 MTJ 元器件 60 形成在第一导电层 50 上，并进行蚀刻，以便与数字线 40 发生磁耦合。层 52 和 54 从 M-通路 48 进行蚀刻，第一导电层 50 进行构图和蚀刻，以便使第二互连叠层 18 与有效 MTJ 元器件 60 电耦合，并使有效 MTJ 元器件 60 与其它 MTJ 元器件（未示出）隔离开。层 52 和 54 也从 T-通路 46 附近和 T-通路 46 内部的第一导电层 50 进行蚀刻，从而形成第一导电层 50'。第一导电层 50' 进行适当构图和蚀刻，从而使其与剩余的第一导电层 50 隔离开，而剩余的第一导电层 50 与 M-通路 48 和有效 MTJ 元器件 60 电耦合。

电介质材料层 62 然后淀积在第一导电层 50'、第一导电层 50 和有效 MTJ 元器件 60 上，并位于 T-通路 46 和 M-通路 48 之内。然后，电介质材料层 62 进行构图和蚀刻，从而限定出通向第一互连叠层 16 的孔 66 和通向有效 MTJ 元器件 60 的孔 64。再者，虽然孔 64 和孔 66 可以利用单独的掩模和蚀刻步骤形成，但是在本发明的一个优选实施例中，孔 64 和孔 66 同时进行蚀刻，以取消掩模和蚀刻步骤。由于在 T-通路 46 存在第一导电层 50'，因此孔 66 不象第一导电层 50 不存在时那么深。据此，第二导电层 54 承受蚀刻组分、同时蚀刻孔 66 的时间得以减小。

在本发明的进一步替换型实施例中，用梯台 90'（即在绝缘层 44 上延伸的层 50' 的一部分）制造第一导电层 50'，从而孔 66 被蚀刻到梯台 90' 上。因此，第一导电层 50' 的存在、尤其是梯台 90' 的存在，大大减少了蚀刻孔 66 所需的时间，并由此减少第二导电层 54 承受蚀刻组分的时间。

图 11 表示出按照本发明一个示范性实施例的 MRAM 器件的磁存储元件阵列 100 的一部分的简化截面图。与图 1-6 具有相同附图标记的图 11 的元件，与相应的图 1-6 的元件相同。虽然为了方便起见，仅有一个 MRAM 器件的磁存储元件阵列的一部分在图 11 中示出，但是应该理解，MRAM 器件可包括任何合适数目的这样的阵列。

磁存储元件阵列 100 包括具有多个晶体管 14 的衬底 12。每个阵列 100 包括第一互连叠层 16 和多个第二互连叠层 18，叠层 16 和 18 具有如上解释的通路层和金属层，并且每个叠层都与衬底 12 的晶体管 14 的源极和漏极电耦合。每个阵列 100 的第一互连叠层 16 和多个互连叠层 18 用金属层 MDL 38 来形成。在制造 MDL 38 的过程中，还制造数字线 40。一个数字线 40 与阵列 100 的每个互连叠层 18 相联。

假 MTJ 元器件 58 与互连叠层 16 电耦合，MLI 68 与假 MTJ 元器件 58 电耦合。有效 MTJ 元件 52' 通过第一导电层 50 与每个互连叠层 18 电耦合，而通过第二导电层 54 与 MLI 68 电耦合。与阵列 100 的一行（或列）相联的位线 74 通过互连叠层（未示出）与其中一个晶体管 14（未示出）相连。虽然为了方便起见，线 40 和 70 分别被称作“数字线”和“位线”，但是应该理解，这些名称在具体应用（例如程序线）中可以逆转或改变，并且绝无限定本发明的意思。

因此，本发明提供了一种磁电阻式随机存取存储器件结构和一种磁电阻式随机存取存储器件结构的制造方法，该方法具有在掩模和蚀刻处理过程中利用了假磁性隧道结元件的优点。虽然在本发明的上述详细描述中已经呈现了至少一个示范性实施例，但是应该理解，存在大量的变型。还应该理解，这个示范性实施例或若干示范性实施例仅仅是举例，并无意限定本发明的范围、应用或构造。而且，上述详细描述为本领域的技术人员提供了实施本发明示范性实施例的便利路线。应该理解，在不脱离如所附权利要求书列出的本发明范围的前提下，可以对示范性实施例中所述部件的功能和布置作出多种变型。

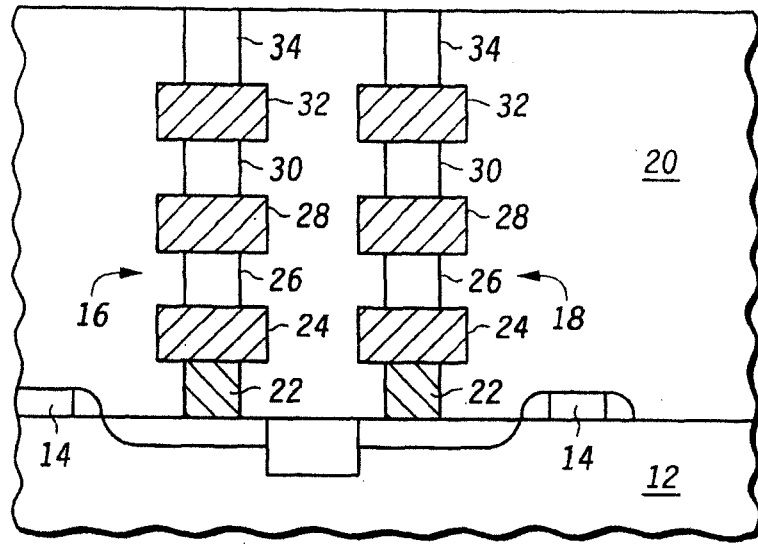


图1 10

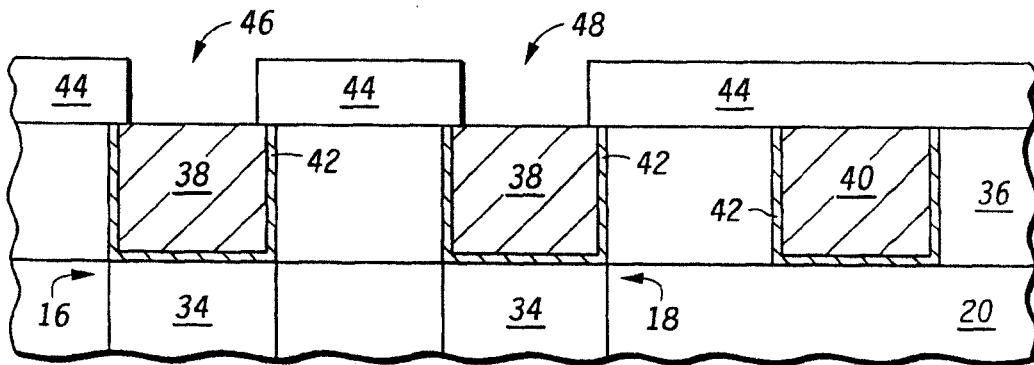


图2

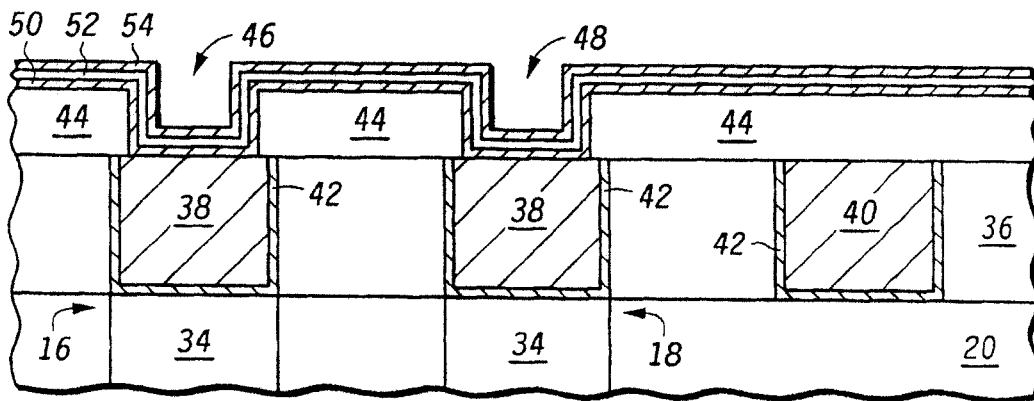


图3

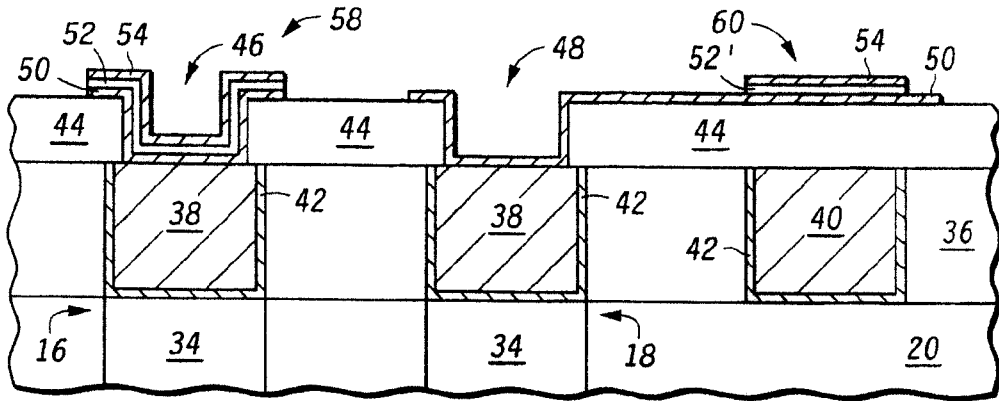


图 4

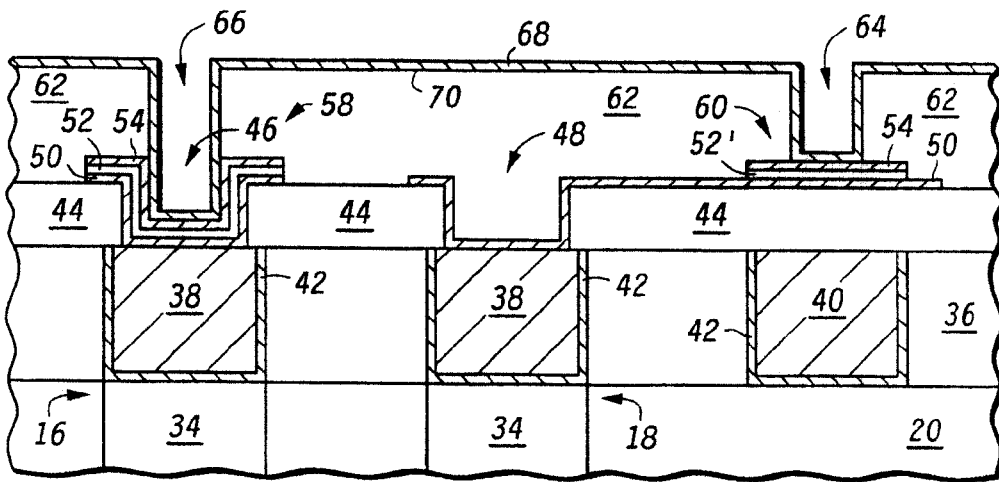


图 5

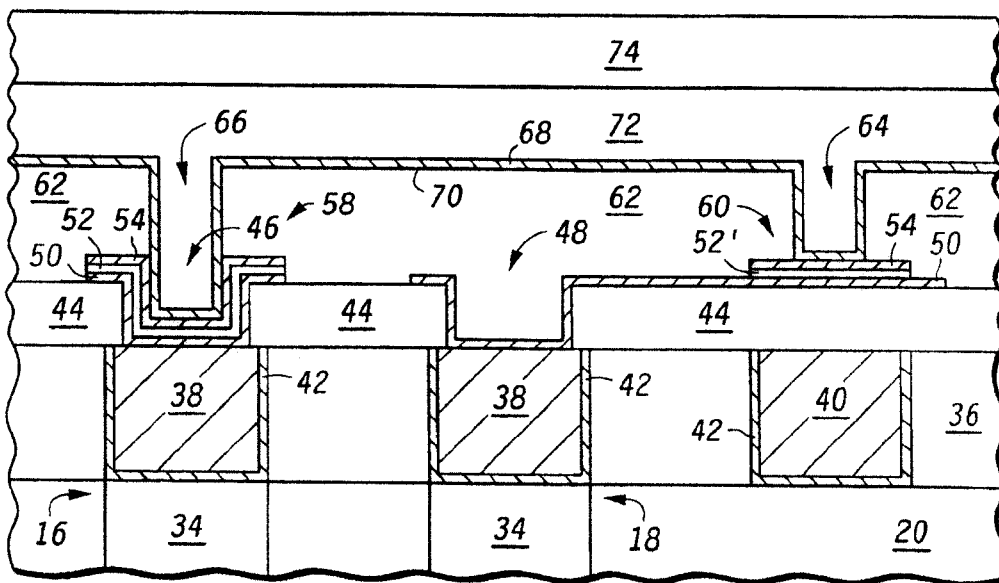


图 6

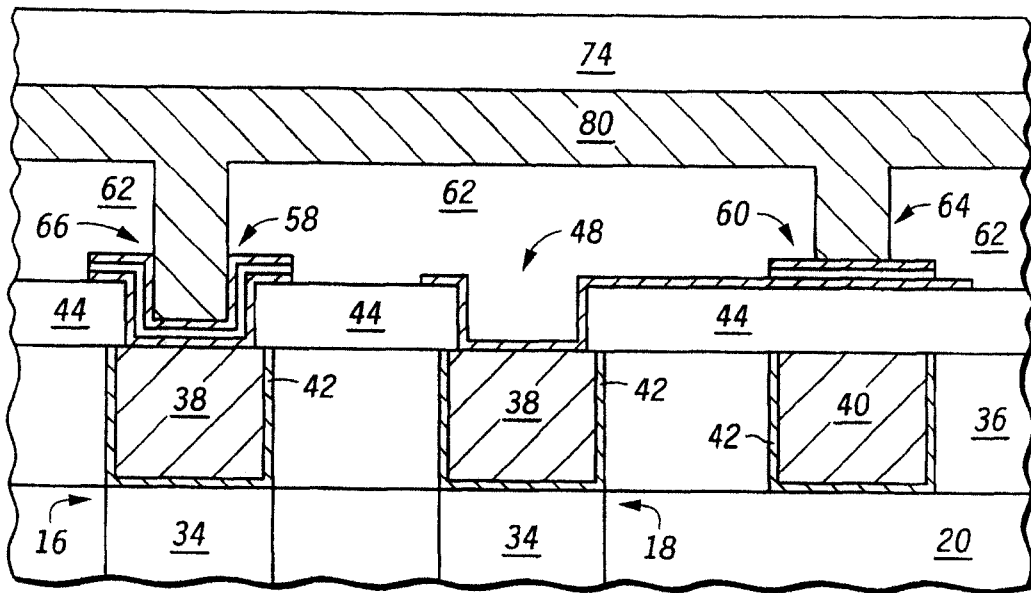


图 7

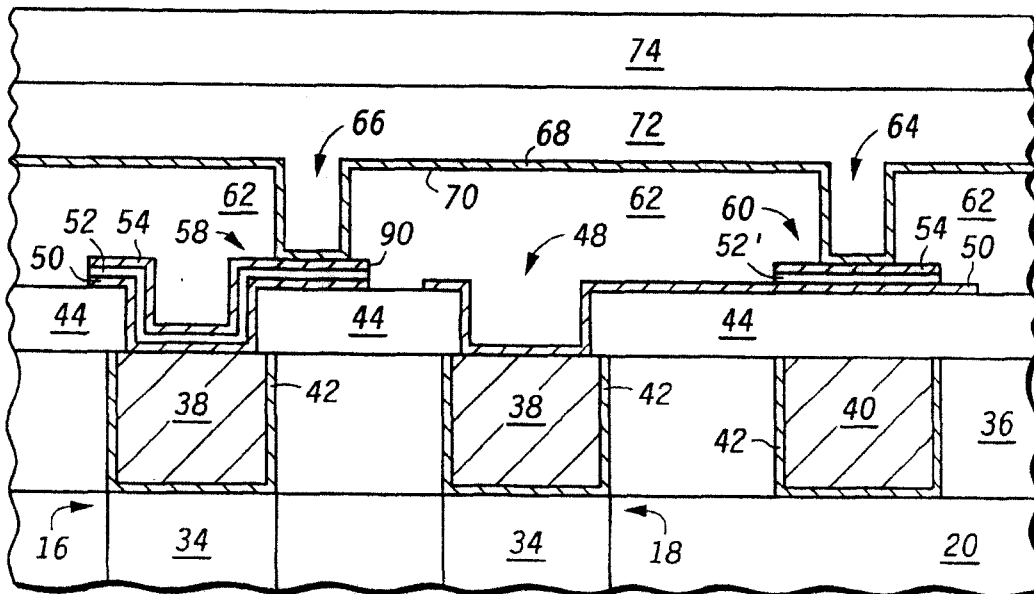


图 8

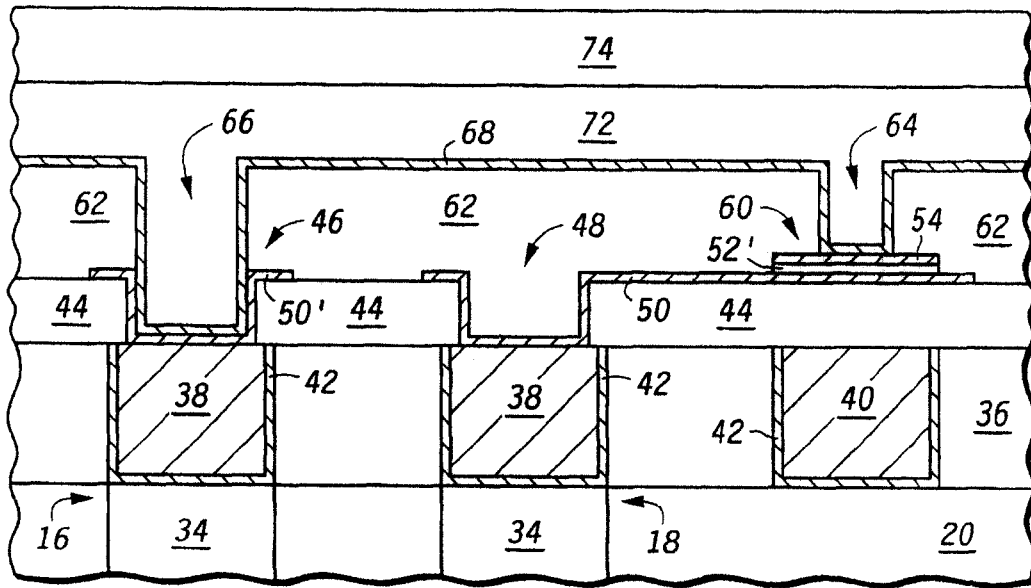


图 9

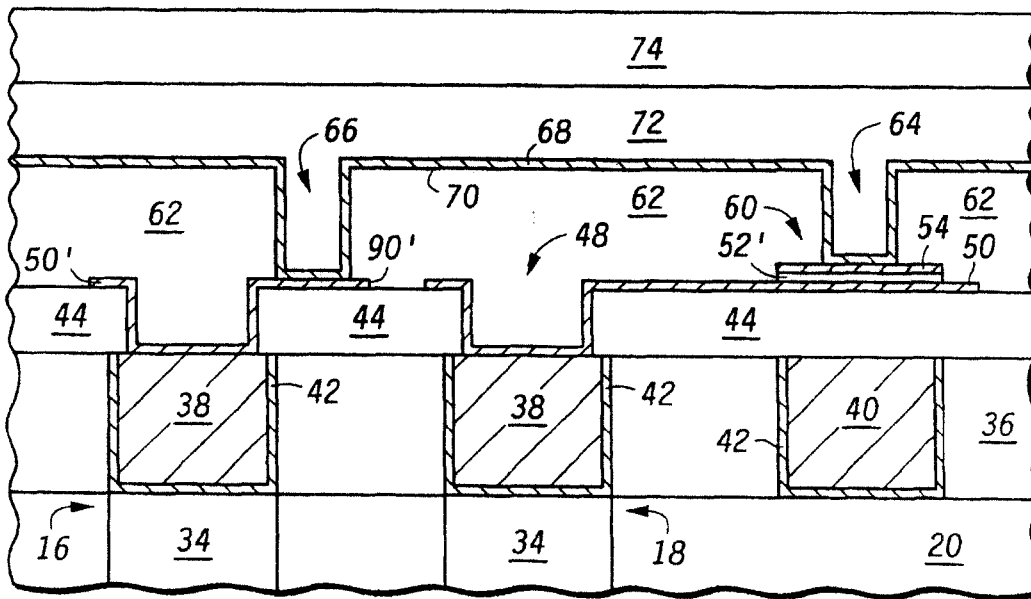


图 10

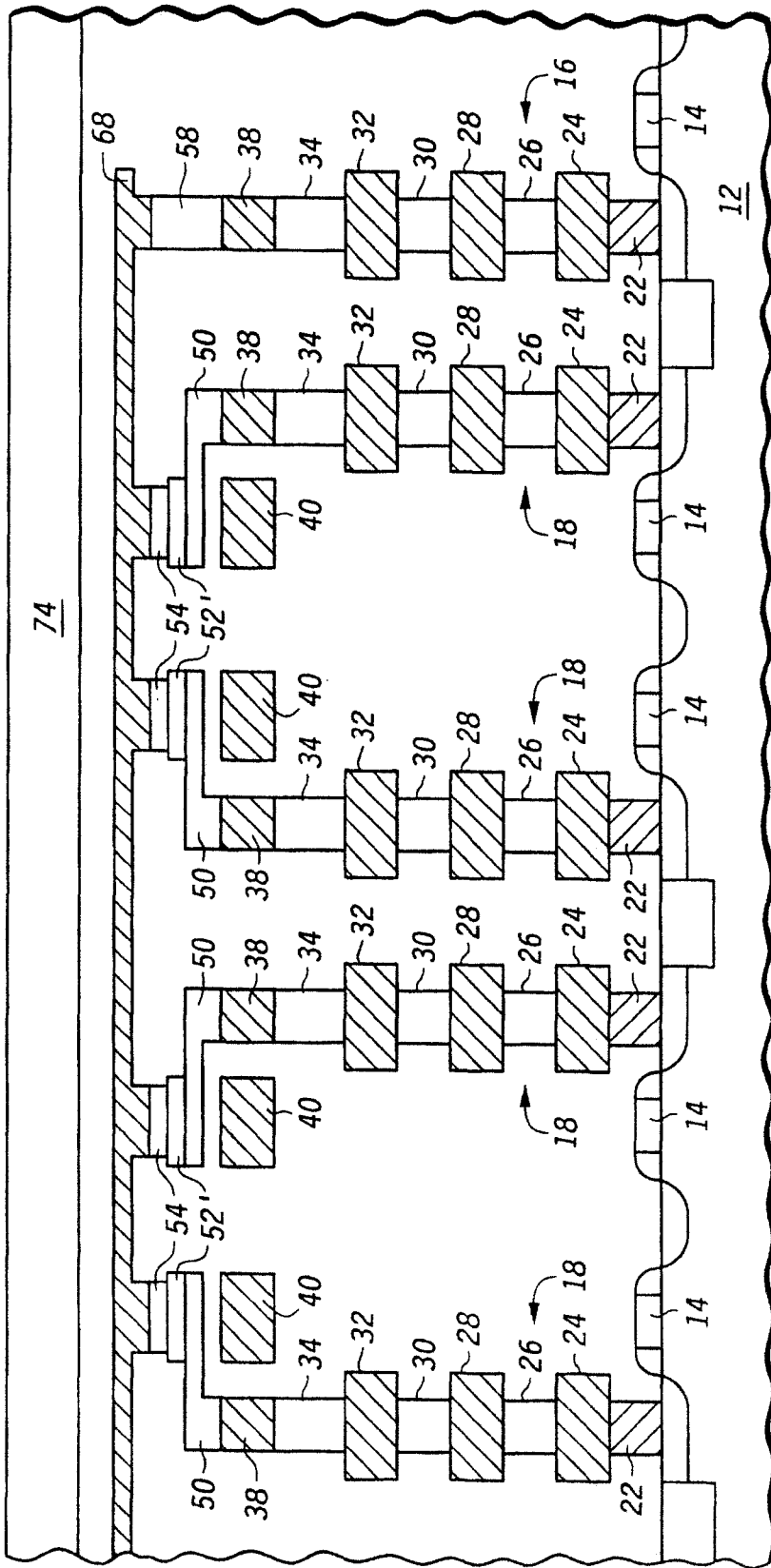


图11

100