

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294841

(P2005-294841A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int.Cl.<sup>7</sup>

H01L 21/8242

H01L 21/3065

H01L 27/108

F 1

H01L 27/10 621C

H01L 21/302 105A

テーマコード(参考)

5FO04

5FO83

審査請求 未請求 請求項の数 20 O L (全 13 頁)

(21) 出願番号 特願2005-103548 (P2005-103548)  
 (22) 出願日 平成17年3月31日 (2005.3.31)  
 (31) 優先権主張番号 10-2004-0022061  
 (32) 優先日 平成16年3月31日 (2004.3.31)  
 (33) 優先権主張国 韓国 (KR)  
 (31) 優先権主張番号 10-2005-0018765  
 (32) 優先日 平成17年3月7日 (2005.3.7)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 591024111  
 株式会社ハイニックスセミコンダクター  
 大韓民国京畿道利川市夫鉢邑牙美里山13  
 6-1  
 (74) 代理人 100064724  
 弁理士 長谷 照一  
 (74) 代理人 100073302  
 弁理士 神谷 牧  
 (72) 発明者 安 明圭  
 大韓民国京畿道利川市夫鉢邑牙美里山13  
 6-1 株式会社ハイニックスセミコンダ  
 クター内

最終頁に続く

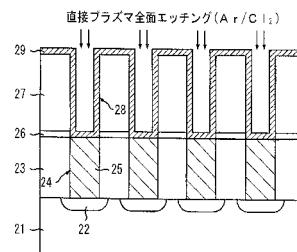
(54) 【発明の名称】半導体素子の製造方法

(57) 【要約】 (修正有)

【課題】下部電極の損傷なしに下部電極の分離を単純に行うことができ、補助膜を用いる場合に発生するシングルビットフェイルを基本的に遮断できる半導体素子の製造方法を提供する。

【解決手段】半導体基板上部にキャパシタの下部電極29Aを画成するための複数のオープン部28を有する絶縁膜27を形成する工程と、前記オープン部28の形状によって前記絶縁膜27上に導電膜29を形成する工程と、前記オープン部28の内部より前記オープン部28の外部で前記導電膜29を速くエッチングし(垂直に入射し物理的エッチングを行う第1ガスと前記導電膜とプラズマ状態から化学的に反応がよく現われ、化学的エッチングを行う第2ガスの混合ガス用い、オープン部内部ボトム部分での物理的エッチングが最小化されるようバイアスパワーを低く)下部電極29Aの分離を行う工程を含むことによって、工程費用を画期的に減少させることができる。

【選択図】図2B



**【特許請求の範囲】****【請求項 1】**

半導体基板の上部にキャパシタの下部電極を形成するための複数のオープン部を有する絶縁膜を形成する工程と、

該オープン部の形状によって前記絶縁膜上に導電膜を形成する工程と、

前記オープン部の内部より前記オープン部の外部から前記導電膜を速くエッティングし、下部電極の分離を遂行する工程と

を含んでなる半導体素子の製造方法。

**【請求項 2】**

前記下部電極の分離を行う工程が、垂直に入射し、物理的エッティングを行う第1ガスと、前記導電膜とプラズマ状態から化学的に反応がよく起こり、化学的エッティングを行う第2ガスとの混合ガスを用いる

ことを特徴とする請求項1に記載の半導体素子の製造方法。

**【請求項 3】**

前記混合ガスにおいて、前記第1ガスと前記第2ガスとの含有量を同一にするか又は前記第1ガスに対する前記第2ガスの含有量をより小さくしてエッティングを行う

ことを特徴とする請求項2に記載の半導体素子の製造方法。

**【請求項 4】**

前記混合ガスにおいて、前記第2ガスの含有量を1%～50%にする

ことを特徴とする請求項3に記載の半導体素子の製造方法。

**【請求項 5】**

前記混合ガスに、O<sub>2</sub>またはN<sub>2</sub>を単独で添加するか、またはO<sub>2</sub>とN<sub>2</sub>とを混合して添加する

ことを特徴とする請求項2に記載の半導体素子の製造方法。

**【請求項 6】**

前記下部電極の分離を行う工程において、前記オープン部の外部より前記オープン部の内部ボトム部分で物理的エッティングが最小化されるようにバイアスパワーを調節して行う

ことを特徴とする請求項1に記載の半導体素子の製造方法。

**【請求項 7】**

前記バイアスパワーを30W～300Wの範囲に調節して行う

ことを特徴とする請求項6に記載の半導体素子の製造方法。

**【請求項 8】**

前記下部電極の分離を行う工程は、

垂直に入射し、物理的エッティングを行う第1ガスと前記導電膜とプラズマ状態で化学的に反応がよく起きて化学的エッティングを行う第2ガスとの混合ガスを用い、前記オープン部の外部より前記オープン部の内部ボトム部分での物理的エッティングの方が最小化されるようバイアスパワーを調節して行う

ことを特徴とする請求項1に記載の半導体素子の製造方法。

**【請求項 9】**

前記混合ガスにおいて、前記第1ガスと前記第2ガスとの含有量を同一にするか又は前記第1ガスに対する前記第2ガスの含有量をより小さくしてエッティングを行う

ことを特徴とする請求項8に記載の半導体素子の製造方法。

**【請求項 10】**

前記混合ガスにおいて、前記第2ガスの含有量を1%～50%にする

ことを特徴とする請求項9に記載の半導体素子の製造方法。

**【請求項 11】**

前記混合ガスに、O<sub>2</sub>またはN<sub>2</sub>を単独で添加するか、またはO<sub>2</sub>とN<sub>2</sub>とを混合して添加する

ことを特徴とする請求項8に記載の半導体素子の製造方法。

**【請求項 12】**

10

20

30

40

50

前記バイアスパワーを30W～300Wの範囲に調節することを特徴とする請求項8に記載の半導体素子の製造方法。

【請求項13】

前記導電膜をチタニウムナイトライドで形成し、前記第1ガスに不活性ガスを用い、前記第2ガスにC1系ガスを用いる

ことを特徴とする請求項2または請求項8に記載の半導体素子の製造方法。

【請求項14】

前記C1系ガスが、C1<sub>2</sub>、HClまたはCCl<sub>4</sub>の中から選択されるか、または、前記C1<sub>2</sub>、HClまたはCCl<sub>4</sub>の中から少なくとも2つのガスを混合して用いる

ことを特徴とする請求項13に記載の半導体素子の製造方法。

10

【請求項15】

前記導電膜をシリコン膜系列で形成し、前記第2ガスとしてフッ素系ガス、塩素系ガスまたはブローム系ガスの中から選択された単独のまたは混合ガスを用い、前記第1ガスとして不活性ガスを用いる

ことを特徴とする請求項2または請求項8に記載の半導体素子の製造方法。

【請求項16】

前記フッ素系ガスは、SF<sub>6</sub>、NF<sub>3</sub>または、CF<sub>4</sub>であり、前記塩素系ガスはC1<sub>2</sub>であり、前記ブローム系ガスは、HBrである

ことを特徴とする請求項15に記載の半導体素子の製造方法。

20

【請求項17】

前記導電膜をタンゲステン膜で形成し、前記第2ガスとしてフッ素系ガスを用い、前記第1ガスとして不活性ガスを用いる

ことを特徴とする請求項2または請求項8に記載の半導体素子の製造方法。

【請求項18】

前記フッ素系ガスは、SF<sub>6</sub>、NF<sub>3</sub>、またはCF<sub>4</sub>を単独でまたは混合して用いる

ことを特徴とする請求項17に記載の半導体素子の製造方法。

【請求項19】

前記導電膜を貴金属系の金属膜で形成し、前記第2ガスとしてO<sub>2</sub>またはC1<sub>2</sub>を単独でまたは混合して用い、前記第2ガスとして不活性ガスを用いる

ことを特徴とする請求項2または請求項8に記載の半導体素子の製造方法。

30

【請求項20】

前記下部電極の分離を行う工程は、プラズマ全面エッチングで行う

ことを特徴とする請求項1に記載の半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体製造技術、特に、キャパシタを備えた半導体素子の製造方法に関する。

【背景技術】

【0002】

半導体素子の最小線幅が減少し、集積度が増加するに連れて、キャパシタが形成される面積も次第に狭くなっている。このようにキャパシタが形成される面積が狭くなってしまっても、セル内のキャパシタは、最小限セル当り25fF以上のキャパシタンスを確保しなければならない。同様に、狭い面積上に高いキャパシタンスを有するキャパシタを形成するためには、シリコン酸化膜(=3.8)、窒化膜(=7)に代えて、Ta<sub>2</sub>O<sub>5</sub>、Al<sub>2</sub>O<sub>3</sub>またはHF<sub>2</sub>O<sub>2</sub>のような高い誘電率を有する物質を誘電体膜として利用する方法、下部電極の面積を効果的に増大させるために下部電極をシリンドラ(cylinder)形、凹(concave)形等で立体化したり、下部電極の表面にMPS(Meta stable-Poly Silicon)を成長させて下部電極の有効表面積を1.7～2倍程度増加させる方法などが提案された。

40

【0003】

50

前記のシリンド形または凹形キャパシタの製造時に、下部電極の分離(Bottom isolation)工程が必ず必要であるが、一般的に化学的機械的研磨(CMP)またはプラズマ全面エッティング法(Plasma blanket etch)を用いている。

【0004】

図1Aないし図1Dは、従来の技術に係るプラズマ全面エッティング法を用いた下部電極の分離方法を示す工程断面図である。

【0005】

図1Aに示されたように、半導体基板11にトランジスタのソース/ドレインのような接合領域12を形成する。ここで、図示していないが、接合領域12の形成前には、周知の如く、素子間分離のためのフィールド酸化膜が形成され、半導体基板11の上部にはゲート電極が形成される。

【0006】

次に、半導体基板11の上部に層間絶縁膜13を蒸着する。図示していないが、層間絶縁膜13の形成前には、ゲート電極を覆う層間絶縁膜工程、ビットライン工程が行われ、したがって、層間絶縁膜13は、多層構造の層間絶縁膜である。

【0007】

次に、層間絶縁膜13をエッティングして、接合領域12を露出させるストレージノードコンタクトホール14を形成した後、該ストレージノードコンタクトホール14にストレージノードコンタクトプラグ15を埋め込む。ここで、ストレージノードコンタクトホール14に埋め込まれるストレージノードコンタクトプラグ15は、キャパシタとトランジスタとの間で信号処理を可能にするためのプラグである。

【0008】

次に、ストレージノードコンタクトプラグ15を含んだ層間絶縁膜13上にエッティングバリア膜16とキャパシタ構造形成用絶縁膜17を順に蒸着した後、キャパシタ構造形成用絶縁膜17とエッティングバリア膜16を順次的にエッティングして、ストレージノードコンタクトプラグ15の表面を露出させるホール18を形成する。

【0009】

次に、ホール18を含むキャパシタ構造形成用絶縁膜17上に下部電極として用いる導電膜、例えば、ポリシリコン膜19を蒸着する。以後、下部電極分離(Bottom electrode isolation)工程を行うが、下部電極分離の補助膜として感光膜20を塗布する。

【0010】

次いで、図1Bに示されたように、感光膜20をプラズマ全面エッティングにより一部除去して、ホール18内部にだけ感光膜20を残留させる。

【0011】

図1Cに示されたように、ホール18の内部に残留する感光膜20を残した状態でプラズマ全面エッティングを行ってキャパシタ構造形成用絶縁膜17上部のポリシリコン膜19を除去して、ホール18の内部にだけシリンド形下部電極19Aを形成させる。

【0012】

図1Dに示されたように、感光膜20を除去するための酸素プラズマを用いたストリップ工程を行った後、キャパシタ構造形成用絶縁膜17を除去してシリンド型下部電極19Aだけを露出させる。

【0013】

以上のように、従来の技術は、下部電極の分離工程時に、キャパシタ内部の損傷防止及び下部電極の表面積を増加させる後続工程進行にともなう汚染問題を防止するために下部電極分離の補助膜として感光膜(photoresist)を用いている。前記の感光膜は、下部電極に損傷を与えないで、酸素プラズマを利用して除去が容易な特性を有する。

【0014】

しかし、従来の技術のように、下部電極の分離工程時に、プラズマ全面エッティング法を利用する場合には、下部電極分離補助膜の蒸着、補助膜の部分的除去、補助膜の完全除去及び洗浄工程など、最小限4つの追加工程が必要となるだけでなく、100nm以下のナ

ノテク技術においては、補助膜を完壁に除去することが容易でない。例えば、感光膜を補助膜として用いる場合、全面エッティングが終わった後、補助膜を除去する工程において補助膜である感光膜がウェーハ上の任意の部分に完壁に除去されずに残留して、シングルビットフェイル(single bit fail)を誘発する。このような問題点は、下部電極として用いる導電膜にTiN、Ruなどの金属膜を適用する場合にも発生する。

【発明の開示】

【発明が解決しようとする課題】

【0015】

この発明は、上述した従来の技術の問題点を解決するためになされたものであって、その目的は、下部電極の損傷なしに下部電極の分離を単純に行うことができるだけではなく、補助膜を用いる場合に発生するシングルビットフェイルを基本的に遮断できる半導体素子の製造方法を提供することである。

10

【課題を解決するための手段】

【0016】

前記目的を達成するため、この発明による半導体素子の製造方法は、半導体基板上部にキャパシタの下部電極を画成するための複数のオープン部を有する絶縁膜を形成する工程と、前記オープン部の形状によって前記絶縁膜上に導電膜を形成する工程と、前記オープン部の内部よりも前記オープン部の外部の方から前記導電膜をより速くエッティングして、下部電極の分離を遂行する工程を含むことを特徴とし、前記下部電極の分離を遂行する工程は、垂直に入射して物理的エッティングを行う第1ガスと前記導電膜とプラズマ状態から化学的に反応がよく現われ、化学的エッティングを行う第2ガスの混合ガスを用いることを特徴とし、前記下部電極の分離を遂行する工程から前記オープン部の内部のボトム部分で物理的エッティングが最小化されるようにバイアスパワーを調節して行うことを特徴とし、前記下部電極の分離を行う工程は、垂直に入射し、物理的エッティングを行う第1ガスと前記導電膜とプラズマ状態から化学的に反応がよく現われ、化学的エッティングを行う第2ガスの混合ガスを用いて、前記オープン部の内部ボトム部分での物理的エッティングが最小化されるようにバイアスパワーを調節して行うことを特徴とする。

20

【発明の効果】

【0017】

上述したこの発明は、補助膜を導入しないながらも、下部電極を分離することができるため、補助膜の導入に係る工程を単純化させることによって工程費用を画期的に減少させることができる効果がある。

30

【0018】

また、補助膜除去の不良のために発生するシングルビットフェイルを基本的に除去することによって、不良率を最小化して収率を増大させることができる効果がある。

40

【発明を実施するための最良の形態】

【0019】

以下、この発明が属する技術の分野における通常の知識を有する者がこの発明の技術的思想を容易に実施できる程度に詳細に説明するために、この発明の最も好ましい実施の形態を添付の図面を参照して説明する。

【0020】

後述するこの発明の実施の形態は、下部電極の分離工程時に、下部電極の内部及び底部のエッティング損失を防止するために感光膜のような補助膜を用いることに伴う複雑な工程を減らすために、補助膜を使用せず下部電極がプラズマにそのまま露出された状態でも、プラズマエッティングによるエッティング損傷なく、下部電極を分離しようとする。

【0021】

図2Aないし図2Dは、この発明の実施の形態に係る半導体素子の製造方法を示す工程断面図である。

【0022】

図2Aに示すように、半導体基板21にトランジスタのソース/ドレインのような接合

50

領域 2 2 を形成する。ここで、図示していないが、接合領域 2 2 の形成前には、周知の如く、素子間分離のためのフィールド酸化膜が形成され、半導体基板 2 1 の上部にはゲート電極が形成される。

【 0 0 2 3 】

次いで、半導体基板 2 1 の上部に層間絶縁膜 2 3 を蒸着する。図示していないが、層間絶縁膜 2 3 の形成前には、ゲート電極を覆う層間絶縁膜工程、ピットライン工程が行われ、したがって、層間絶縁膜 2 3 は、多層構造の層間絶縁膜である。

【 0 0 2 4 】

次いで、層間絶縁膜 2 3 をエッティングして接合領域 2 2 を露出させるストレージノードコンタクトホール 2 4 を形成した後、このストレージノードコンタクトホール 2 4 にストレージノードコンタクトプラグ 2 5 を埋め込む。ここで、ストレージノードコンタクトホール 2 4 に埋め込まれるストレージノードコンタクトプラグ 2 5 は、キャパシタとトランジスタとの間の信号処理を可能にするためのプラグである。

【 0 0 2 5 】

次いで、ストレージノードコンタクトプラグ 2 5 を含む層間絶縁膜 2 3 上にエッティングバリア膜 2 6 とキャパシタ構造形成用絶縁膜 2 7 を順に蒸着した後、キャパシタ構造形成用絶縁膜 2 7 とエッティングバリア膜 2 6 を順次にエッティングして、ストレージノードコンタクトプラグ 2 5 の表面を露出させる下部電極が形成される領域を定義するオープン部 2 8 を形成する。

【 0 0 2 6 】

次いで、オープン部 2 8 の現象によってキャパシタ構造の形成用絶縁膜 2 7 の上に下部電極として用いる導電膜 2 9 を蒸着する。ここで、下部電極として用いる導電膜 2 9 は、ドープドポリシリコン(doped polysilicon)、アンドープドポリシリコン／ドープドポリシリコン(undoped polysilicon/doped polysilicon)積層、タングステン(W)、チタンナイトライド(TiN)、ルテニウム(Ru)または白金(Plt)の中から選択される。

【 0 0 2 7 】

以後、図 2 B に示すように、下部電極分離(Bottom electrode isolation)工程を行うが、下部電極分離の補助膜である感光膜を塗布しないで、直接プラズマ全面エッティングを行って導電膜からなるシリンドラ形態の下部電極を形成する。ここで、下部電極として用いる導電膜 2 9 の種類によってエッティング条件が異なる。

【 0 0 2 8 】

以下、下部電極として用いる導電膜 2 9 がチタンナイトライド(TiN)の場合のプラズマ全面エッティングについて説明する。

【 0 0 2 9 】

通常のプラズマエッティング装置は、チャンバー(Chamber)、トップ電極(Top electrode)、ボトム電極(Bottom electrode)で構成されて、ボトム電極の上部には、エッティングされる物質が形成されたウェーハが位置する。ここで、トップ電極は、プラズマを発生させるためのソースパワー(source power)を印加するための電極であり、ボトム電極は、プラズマ内のイオン及びラジカルをウェーハ側に引き寄せるためのバイアスパワー(Bias power)を印加するための電極であり、トップ電極とボトム電極が分離されているため、ウェーハに入射するイオン及びラジカルのエネルギーを独立に調節することができる。

【 0 0 3 0 】

上のようなプラズマエッティング装置を用いたプラズマエッティングは、物理的エッティング(Physical etching)、化学的エッティング(Chemical etching)、物理化学的エッティング(physico-chemical etching)に分類することができる。

【 0 0 3 1 】

まず、物理的エッティングは、Ar、He、Xeなどのような不活性ガス(Inert gas)を利用してプラズマを発生させ、そのプラズマ内の陽イオン(Positive ion)をウェーハでに垂直に入射させて純粋に被エッティング層を物理的にエッティングする方法であり、化学的エッティングは、被エッティング層とプラズマ状態から化学的に反応がよく起きるガスを選択し

10

20

30

40

50

てプラズマを発生させ、そのプラズマ内のアクティブになった中性のラジカル(radical)を用いて純粹に化学的にエッチングする方法であり、物理化学的エッチングは、プラズマ内の陽イオンをウェーハに入射させてイオンの強力な衝突エネルギーを利用するとともに、被エッチング層と化学的反応がよく起きるラジカルを利用する事によって、エッチング速度を一桁程度増加させることができるようにシナジー効果を得る方法である。

#### 【0032】

以上のような原理によって、この発明は、下部電極分離の工程時に、物理化学的エッチングを用いて全面エッチングを行う。

#### 【0033】

下部電極用導電膜29がチタンナイトライド(TiN)と仮定すると、チタンナイトライド(TiN)の物理化学的エッチングを誘導するために、ArガスとC<sub>12</sub>ガスを用いる。ここで、Arガスは、チタンナイトライド(TiN)の物理的エッチングのためのガスであり、C<sub>12</sub>ガスは、化学的エッチングのためのもので、チタンナイトライド(TiN)とよく化学反応するガスである。

#### 【0034】

もし、下部電極を形成するために感光膜のような補助膜なしでチタンナイトライド(TiN)をプラズマ全面エッチングすることにおいて、Arを用いた物理的エッチングだけを用いると、オープン部28の外部に形成されたチタンナイトライド(TiN)だけでなく、オープン部28の内部に形成されたチタンナイトライド(TiN)もエッチングされ、また物理的エッチングされ、跳ねてきたTiN原子がエッチングチャンバーのチャンバー壁に持続的に蒸着されることによって、パワーの伝達効率の減少とともに最終的には多くのパーティクルを誘発するようになる。

#### 【0035】

そして、下部電極を形成するために補助膜なしでC<sub>12</sub>を用いた化学的エッチングだけを用いれば、化学的エッチングは、方向性のない等方性エッチングが起きるので、オープン部28の外部及び内部の相当な深さのTiNまでもエッチングされて下部電極の高さが顕著に減少するだけでなく、TiNの結晶粒(grain)に沿ってC<sub>12</sub>が拡散しながらエッチングされて、下部電極のパターンが悪くなり、各TiNの結晶粒が小さな衝撃にも落ちて欠陥を誘発されることになる。さらに、縦横比(Aspect ratio)が小さい場合、オープン部28の内部ボトム部分に形成されたTiNまでも完全にエッチングされて、下部電極自体が全部エッチングされることになり得る。

#### 【0036】

したがって、この発明の補助膜なしにプラズマ全面エッチングだけで下部電極を好ましく分離するためには、オープン部の外部に形成されたTiNは、物理的エッチング及び化学的エッチングが同時に行われるようにして速い速度でエッチングする反面、ホール28の内部(オープン部の側壁及びボトム部分)に形成されたTiNは、化学的エッチングだけ起きるようにし、非常に遅い速度でエッチングできるようにエッチングガス及びエッチング条件を調節する。

#### 【0037】

一般的にポリシリコンや金属をエッチングする場合、イオンの直進性のため、オープン部28の内部側壁は、物理的エッチングが殆ど起こらない反面、オープン部28の内部ボトム部分は、物理的エッチングが起こる。この発明の場合のように、オープン部28の内部ボトム部分から物理的エッチングを最小化するためには、オープン部28内部の圧力を高め、垂直に入射して入ってくるイオンがオープン部28上部を通過し、オープン部28の内部ボトム部分まで下りてくるまでオープン部28内部の数多くの粒子と衝突し、そのエネルギーを失うようにすればよい。このようにオープン部28内部の圧力を高める方法は、オープン部28内部の下部電極物質と化学的エッチングを起こすことができるエッチングガスを用いてプラズマエッチングを行えばよい。この時、オープン部28内部の下部電極物質と化学的エッチングによって発生するエッチング副産物が十分に多くなる場合、オープン部28内部の圧力を十分に増加させることができ、これによってオープン部28内

10

20

30

40

50

部に入射し入ってきたイオンは、数多くのエッティング副産物と衝突し、そのエネルギーを失うようになり、結局オープン部28の内部ボトム部分に到達しても、そのエネルギーが急激に減少し物理的エッティングを起こすことができなくなる。

【0038】

そして、オープン部28の内部ボトム部分の物理的エッティングを最小化、ないしはその影響を無くすためには、オープン部28内部の圧力の増加だけでなく、オープン部28に入ってくる入射イオンのエネルギー減少が必要である。換言すれば、オープン部28内部の圧力が高いとしても、入射イオンのエネルギーが非常に高いならば、オープン部28の内部ボトム部分に到達したイオンのエネルギーが物理的エッティングを起こすことができる。したがって、オープン部28の内部ボトム部分に到達するイオンのエネルギーは、エッティング副産物によるオープン部28内部の圧力及び入射イオンのエネルギーを決定するバイアスパワーの組合せによって決定される。

【0039】

結局、エッティング副産物によるオープン部28内部の圧力の調節、すなわち、化学的エッティングによるエッティング副産物の量の調節には、化学的エッティングを起こし得るエッティングガスの選択は、もちろん、物理的エッティングのためのエッティングガスと化学的エッティングのためのエッティングガスとの含有量比の調節が重要であり、オープン部28の内部ボトム部分に到達するイオンのエネルギーを最小化するためには、入射イオンのエネルギーをできるだけ減少させることができが嬉しい。しかし、物理的エッティングを最小化するために、非常に低いバイアスパワーを用いると、オープン部28の外部に形成されたTiNさえも物理的エッティングが起こらない可能性があるため、適切なバイアスパワーを必要とする。

【0040】

総合してみれば、補助膜なしに行うプラズマ全面エッティング工程は、オープン部28の外部に形成された下部電極物質は、物理的エッティング及び化学的エッティングが同時に起こらなければならない反面、オープン部28の内部側壁及びボトム部分の下部電極物質は、化学的エッティングだけが起きることができるようエッティングガスの組合せ及び適切なエッティング条件が要求される。

【0041】

例えば、チタニウムナイトライド(TiN)の場合、オープン部28の外部では、物理化学的エッティングが起こるようにAr/C<sub>12</sub>の混合ガスを用いて、オープン部28の内部ボトム部分で物理的エッティングを最小化するためにバイアスパワーを30W~300Wに低く調節し、C<sub>12</sub>による化学的エッティングの程度を適切に調節するために、C<sub>12</sub>とArとの混合ガスでC<sub>12</sub>含有量を1%~50%に調節する。

【0042】

併せて、エッティングチャンバの圧力は、物理的エッティング及び化学的エッティングが適切に起きるようにするために、1mtoorr~50mtoorrに調節する。

【0043】

最後に、プラズマ全面エッティング時に、トップ電極のパワーやチャンバの圧力、そしてトップ電極の温度及びチャンバの温度は、大きく影響を与えないが、各条件に合うように調節して用いる。

【0044】

前記のような限界条件でプラズマ全面エッティングを行う場合、オープン部28の外部に形成されたチタニウムナイトライド(TiN)は、エッティング速度が非常に速くエッティングされる反面、オープン部28の内部側壁に形成されたチタニウムナイトライド(TiN)は、化学的エッティングが遅く起きるように調整されたエッティング条件(C<sub>12</sub>とArとの混合ガスでC<sub>12</sub>の含有量を1%~50%に調節)下でエッティングが行われるため、非常に微小な程度にエッティングされる。そして、オープン部28の内部側壁のTiNとラジカルとの反応により生じた反応副産物が、オープン部28の内部を満たすようになりながらオープン部28内部の圧力が増加され、バイアスパワーを30W~300Wに低く調節することによって、プラズマからオープン部28の内部ボトム部分に入射する陽イオン及

10

20

20

30

40

50

び拡散し入ってくるラジカルの流れを抑制することによって、オープン部28の内部ボトム部分に形成されたTiNは、微小な程度にだけエッティングが行われる。

#### 【0045】

結局、全体的に見ると、オープン部28の外部に形成されたチタニウムナイトライド(TiN)は、物理化学的エッティングによって速くエッティングされ、オープン部28の内部側壁やオープン部28の内部ボトム部分に形成されたチタニウムナイトライド(TiN)は、オープン部28の外部に比べ、相対的に非常に遅くエッティングされるため、傾斜エッティングではない垂直方向へのバリヤレスプラズマ全面エッティングをしても、下部電極の好みのエッティングパターンを良好に作ることができる。

#### 【0046】

上述したTiNに対する全面エッティングの際に、オープン部28の外部でのエッティング速度に対するオープン部28の内部側壁及びボトム部分でのエッティング速度が1%~70%になるように調節する。そして、オープン部28の内部側壁でのエッティング速度とボトム部分でのエッティング速度は、殆ど同じレベルに調節する。

#### 【0047】

このため、処理工程条件は、10 mtorr、300W(S)、100W(B)、10Cl<sub>2</sub>:190Ar、40°、EOP = 16" ± 1"、OEtch = 10"とする。ここで、300W(S)は、ソースパワーであり、100W(B)は、バイアスパワーであり、EOP(End of Point)は、終末点であり、OEtch(Over Etch)は、過度エッティングを意味する。

#### 【0048】

前記の処理工程条件で行う場合、TiNの厚さ300 nm基準とすると、オープン部28の外部でのエッティング速度は、1120 nm/minであり、オープン部28の内部側壁及びボトム部分では、エッティング速度は、オープン部28の外部に比べて顕著に低くなり、10 nm/minに測定された。ここで、オープン部28の外部でのTiNエッティング速度は、エッティング条件により異なるが、概略500 nm/min~2000 nm/minであり、したがって、オープン部28の内部でのTiNエッティング速度は、5 nm/min~140 nm/min(2000 nm/minの7%レベル)である。

#### 【0049】

そして、Cl<sub>2</sub>/Arの含有量調節にともなうエッティング速度の変化は、Cl<sub>2</sub>/Arの含有量が非常に低い場合、500 nm/min以上であり、Cl<sub>2</sub>/Arの含有量が非常に高い場合、3000 nm/min程度に変化させることができる。すなわち、Cl<sub>2</sub>/Arの含有量の調整により、エッティング速度は、500 nm/min~3000 nm/minの範囲で変化させることができる。しかし、下部電極の厚さが薄いので、スループットは、大きな問題にならず、エッティングプロフィールや過度エッティング(Over Etch)(OEtch)のコントロールのために、エッティング速度を比較的遅くする方向にエッティング条件を調節する。

#### 【0050】

実質的に好みのプラズマ全面エッティング条件は、圧力が5 mtorr~20 mtorr、ソースパワーが300W~800W、バイアスパワーが30W~300W、Cl<sub>2</sub>+Ar混合ガス中のCl<sub>2</sub>ガスの割合が1%~50%、電極温度が10~40 °Cである。

#### 【0051】

前記の実施の形態において、TiNのプラズマ全面エッティング時に、化学的エッティングを伴うエッティングガスとしては、Cl<sub>2</sub>以外にHClまたはCCl<sub>4</sub>のようなCl系ガスを単独または混合して用いることができ、ArとCl系エッティングガスの混合ガス以外にプラズマ安定化、流量調節、エッティングガス希釈のためにAr、Xe、Heなどを単独または混合して添加することができ、化学的エッティングが優勢に起きて下部電極が損傷されることを防止する保護(Passivation)または反応抑制剤(inhibitor)としてO<sub>2</sub>、N<sub>2</sub>などを単独または混合して添加することができる。

#### 【0052】

前記の実施の形態では、TiNを下部電極として用いる場合について説明したが、この発明は、下部電極として用いる導電膜の種類によってエッティング条件が異なる。

10

20

30

40

50

## 【0053】

まず、下部電極用の導電膜としてシリコンSi系列を用いる場合には、プラズマ全面エッティング時、SF<sub>6</sub>、NF<sub>3</sub>、CF<sub>4</sub>のようなフッ素系、Cl<sub>2</sub>のような塩素系、HBrのようなブロム(Bromine)系ガスを化学的エッティングガスとして単独でまたは混合して用いる。

## 【0054】

そして、下部電極用の導電膜としてタンゲステン(W)を用いる場合、プラズマ全面エッティング時に、エッティングガスとしてSF<sub>6</sub>、NF<sub>3</sub>またはCF<sub>4</sub>のようなフッ素系ガスを化学的エッティングガスとして単独または混合して用いる。

## 【0055】

そして、下部電極用の導電膜としてルテニウム(Ru)または白金(Pt)のような貴金属系金属膜を用いる場合には、プラズマ全面エッティング時に、O<sub>2</sub>、Cl<sub>2</sub>を化学的エッティングガスとして単独でまたは混合して用いる。

## 【0056】

以上のように、シリコン系列、タンゲステン、貴金属系金属膜を用いる場合のプラズマ全面エッティング時に、化学的エッティングガス以外に物理的エッティングガスとしては不活性ガスを用い、またプラズマ安定化、流量調節、メインエッティングガス希釈のためにAr、Xe、Heなどの不活性ガスを単独でまたは混合して添加することができる。そして、化学的エッティングガスに係る化学的エッティング特性が最も優勢に起きる場合は、これを抑制するための保護(Passivation)または反応抑制剤(inhibitor)の目的でO<sub>2</sub>、N<sub>2</sub>などを単独でまたは混合して添加する。

## 【0057】

前記のようなプラズマ全面エッティングのためのプラズマエッティング装置では、ICP(Inductively Coupled Plasma)、ECR(Electron Cyclotron Resonance)、マイクロウェーブ(Microwave)、CCP(Capacitively Coupled Plasma)などを用い、下部電極分離時に、オープン部の外部のエッティング形状を調節する目的でエッティングガスの比率、ソースパワー、バイアスパワー、圧力、トップ電極及びボトム電極の温度などの諸条件を調節する。

## 【0058】

図2Bのような下部電極分離工程が完了した後には、図2Cに示すように、シリンドラ形態の下部電極29Aが形成される。

## 【0059】

図2Dに示されたように、下部電極29Aの形成後に湿式ディップアウト工程によりキャパシタ構造形成用絶縁膜27を除去してシリンドラ形下部電極29Aだけを露出させる。

## 【0060】

上記の実施形態のようにプラズマエッティングを行う場合は、既存のプラズマエッティング装置をそのまま使用しながらエッティングガスを含むエッティング条件を調節するため、設備装置構成を変える必要がなくして設備装置の投資に対する費用負担がなく、垂直に入射する特性を有する物理的エッティングと等方性エッティング特性を有する化学的エッティングとを同時にすることによって、全体的にエッティングの均一度が良好となるという付加的な効果が得られる。

## 【0061】

また、感光膜のような補助膜なしにプラズマ全面エッティングを行っても、下部電極の分離が可能であり、また下部電極下部にパンチ(Punch)が発生しない効果が得られる。

## 【0062】

なお、この発明は、上述の実施形態に限定されるものではなく、この発明に係る技術的思想から逸脱しない範囲内で、様々な変更が可能であり、それらはこの発明の技術的範囲に属する。

## 【図面の簡単な説明】

## 【0063】

【図1A】従来の技術に係るプラズマ全面エッティング法を用いた下部電極の分離方法を示

10

20

30

40

50

す工程断面図である。

【図1B】従来の技術に係るプラズマ全面エッチング法を用いた下部電極の分離方法を示す工程断面図である。

【図1C】従来の技術に係るプラズマ全面エッチング法を用いた下部電極の分離方法を示す工程断面図である。

【図1D】従来の技術に係るプラズマ全面エッチング法を用いた下部電極の分離方法を示す工程断面図である。

【図2A】この発明の実施の形態に係る半導体素子の製造方法を示す工程断面図である。

【図2B】この発明の実施の形態に係る半導体素子の製造方法を示す工程断面図である。

【図2C】この発明の実施の形態に係る半導体素子の製造方法を示す工程断面図である。

【図2D】この発明の実施の形態に係る半導体素子の製造方法を示す工程断面図である。

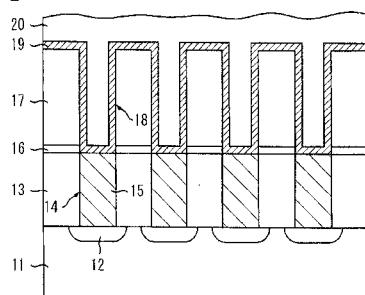
【符号の説明】

【0064】

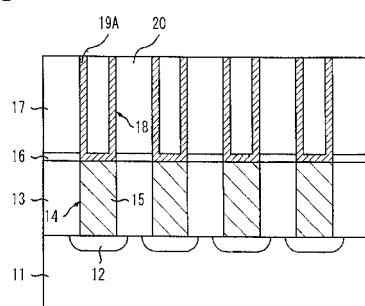
21…半導体基板、22…接合領域、23…層間絶縁膜、25…ストレージノードコンタクトプラグ、26…エッチングバリア膜、27…キャパシタ構造形成用絶縁膜、28…ホール、29A…下部電極。

10

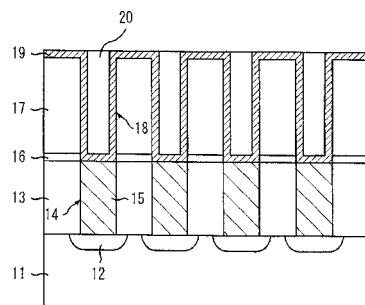
【図1A】



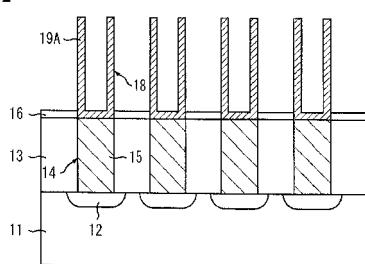
【図1C】



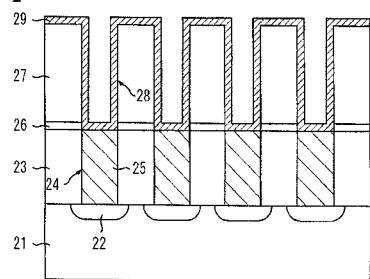
【図1B】



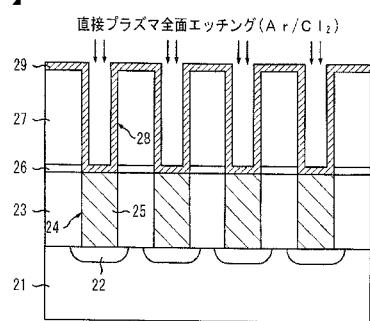
【図1D】



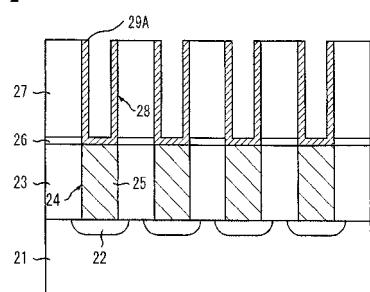
【図2A】



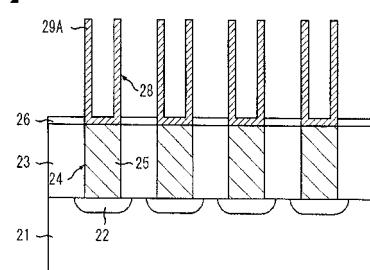
【図2B】



【図2C】



【図2D】



---

フロントページの続き

(72)発明者 ジョ ユン 碩

大韓民国京畿道利川市夫鉢邑牙美里山136-1 株式会社ハイニックスセミコンダクター内

F ターム(参考) 5F004 AA02 AA09 BA04 DA00 DA01 DA04 DA05 DA17 DA18 DA25

DA26 EB02

5F083 AD24 GA28 JA02 JA06 JA38 JA39 JA40 MA06 MA17 PR03

PR06 PR39 PR40