

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-520952

(P2017-520952A)

(43) 公表日 平成29年7月27日(2017.7.27)

(51) Int. Cl.	F I	テーマコード (参考)
HO4L 7/033 (2006.01)	HO4L 7/033 700	5K047
HO3K 5/01 (2006.01)	HO3K 5/01	

審査請求 有 予備審査請求 未請求 (全 30 頁)

(21) 出願番号	特願2016-565454 (P2016-565454)	(71) 出願人	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED
(86) (22) 出願日	平成27年3月17日 (2015. 3. 17)		
(11) 特許番号	特許第6158447号 (P6158447)		
(45) 特許公報発行日	平成29年7月5日 (2017. 7. 5)		
(85) 翻訳文提出日	平成28年12月21日 (2016. 12. 21)		
(86) 国際出願番号	PCT/US2015/020997		
(87) 国際公開番号	W02015/167680		
(87) 国際公開日	平成27年11月5日 (2015. 11. 5)	(74) 代理人	100108855 弁理士 蔵田 昌俊
(31) 優先権主張番号	14/268, 850	(74) 代理人	100109830 弁理士 福原 淑弘
(32) 優先日	平成26年5月2日 (2014. 5. 2)	(74) 代理人	100158805 弁理士 井関 守三
(33) 優先権主張国	米国 (US)	(74) 代理人	100112807 弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】 高ジッタ耐性および高速位相ロックングを有するクロック・データリカバリ

(57) 【要約】

データ入力信号からクロックおよびデータを再生するためのシステムおよび方法が開示され、そのシステムおよび方法は、データ入力信号とクロック位相信号のタイミング関係を決定するために、データ入力信号を用いて複数のクロック位相信号をサンプリングし、再生されたデータを生成するために、データ入力信号をサンプリングするために使用するクロック位相信号のうちの1つを選択するために、決定されたタイミング関係を使用する。CDRは、データ入力信号上の大きな瞬時ジッタによって引き起こされ得るクロック出力信号上のグリッチを抑制するグリッチ抑制モジュールを含むことができる。これらの方法を使用するクロック・データリカバリ回路(CDR)は、新たなデータ入力信号に迅速にロックすることができ、また、データ入力信号上に大きな瞬時タイミングジッタがあるときに確実にデータを受信することができる。

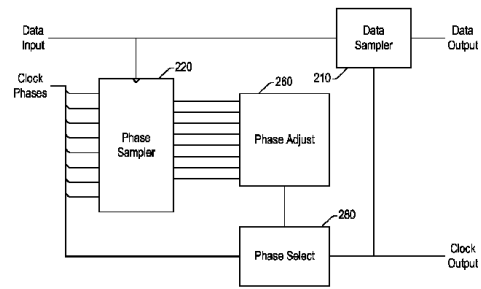


FIG. 2

【特許請求の範囲】**【請求項 1】**

クロック位相信号を使用してシリアルデータ入力信号からクロックおよびデータを再生するための回路であって、前記データ入力信号は、データのシリアルストリームを含み、前記クロック位相信号は、前記データ入力信号のデータレートにほぼ合っている周波数で発振し、前記クロック位相信号は位相において均等に間隔が保たれており、前記回路は、下記を備える、

データ入力信号のエッジでクロック位相信号の値をサンプリングするように構成された位相サンブラモジュールと、

前記データ入力信号と前記クロック位相信号とのタイミング関係を決定するために、前記クロック位相信号の前記サンプリングされた値を評価するように構成された位相調整モジュールと、

前記位相調整モジュールによって決定された前記データ入力信号と前記クロック位相信号との前記タイミング関係に基づいて、前記クロック位相信号を使用してクロック出力信号を生成するように構成された位相選択モジュールと、

前記クロック出力信号のエッジで前記データ入力信号をサンプリングすることによってデータ出力信号を生成するように構成されたデータサンブラ。

【請求項 2】

前記位相調整モジュールは、

前記データ入力信号のそれぞれのエッジの前で立ち上がる前記クロック位相信号の最後を決定するために、前記クロック位相信号の前記サンプリングされた値を評価することと

、
前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後を利用して、前記データ入力信号と前記クロック位相信号との前記タイミング関係を決定することと、

を行うようにさらに構成される、請求項 1 に記載の回路。

【請求項 3】

前記位相選択モジュールは、前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後からの所定のオフセットをもつリーディングエッジを有するように前記クロック出力信号を生成するようにさらに構成される、請求項 2 に記載の回路。

【請求項 4】

前記所定のオフセットは、前記クロック位相信号の周期の 2 分の 1 に等しい、請求項 3 に記載の回路。

【請求項 5】

前記クロック出力信号上のグリッチを抑制するように構成されたグリッチ抑制モジュールをさらに備える、請求項 1 に記載の回路。

【請求項 6】

前記グリッチ抑制モジュールは、前記データ入力信号のエッジの後の時間間隔の間、前記クロック出力信号を抑制する、請求項 5 に記載の回路。

【請求項 7】

前記クロック位相信号は 8 個である、請求項 1 に記載の回路。

【請求項 8】

前記クロック出力信号は、前記クロック位相信号の周期の 3 / 8 のデューティサイクルを有する、請求項 7 に記載の回路。

【請求項 9】

前記位相サンブラモジュールは、前記データ入力信号の立ち上がりおよび立ち下がりエッジで前記クロック位相信号の前記値をサンプリングするように構成される、請求項 1 に記載の回路。

【請求項 10】

10

20

30

40

50

前記データ入力信号のエッジでサンプルパルス信号を生成するように構成されたパルス生成器モジュールをさらに備え、前記位相サンブラモジュールは、前記サンプルパルス信号によってトリガされる前記クロック位相信号の前記値をサンプリングするように構成される、請求項 1 に記載の回路。

【請求項 11】

前記パルス生成器モジュールは、グリッチ抑制パルス信号を生成するようにさらに構成され、前記クロック・データリカバリ回路は、前記グリッチ抑制パルス信号を使用して前記クロック出力信号上のグリッチを抑制するように構成されたグリッチ抑制モジュールをさらに備える、請求項 10 に記載の回路。

【請求項 12】

データ入力信号からクロックおよびデータを再生するための方法であって、
前記データ入力信号のエッジでクロック位相信号の値をサンプリングすることと、
前記データ入力信号と前記クロック位相信号とのタイミング関係を決定するために、前記クロック位相信号の前記サンプリングされた値を評価することと、
前記データ入力信号と前記クロック位相信号との前記決定されたタイミング関係に基づいて、前記クロック位相信号を使用してクロック出力信号を生成することと、
データ出力信号を生成するために前記クロック出力信号のエッジで前記データ入力信号をサンプリングすることと、
を備える、方法。

【請求項 13】

前記クロック位相信号の前記サンプリングされた値を評価することは、
前記データ入力信号のそれぞれのエッジの前で立ち上がる前記クロック位相信号の最後を決定するために、前記クロック位相信号の前記サンプリングされた値を評価することと、
前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後を利用して、前記データ入力信号と前記クロック位相信号との前記タイミング関係を決定することと、
を備える、請求項 12 に記載の方法。

【請求項 14】

前記クロック出力信号を生成することは、前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後からの所定のオフセットをもつリーディングエッジを有するように前記クロック出力信号を生成することを備える、請求項 13 に記載の方法。

【請求項 15】

前記所定のオフセットは、前記クロック位相信号の周期の 2 分の 1 に等しい、請求項 14 に記載の方法。

【請求項 16】

前記クロック出力信号上のグリッチを抑制することをさらに備える、請求項 12 に記載の方法。

【請求項 17】

グリッチを抑制することは、前記データ入力信号のエッジの後の時間間隔の間、前記クロック出力信号を抑制することを備える、請求項 16 に記載の方法。

【請求項 18】

前記クロック位相信号の前記値は、前記データ入力信号の立ち上がりおよび立ち下がりエッジでサンプリングされる、請求項 12 に記載の方法。

【請求項 19】

前記データ入力信号のエッジでサンプルパルス信号を生成することをさらに備え、前記クロック位相信号の前記値をサンプリングすることは、前記サンプルパルス信号を使用する、請求項 12 に記載の方法。

【請求項 20】

グリッチ抑制パルス信号を生成することと、
前記グリッチ抑制パルス信号を使用して前記クロック出力信号上のグリッチを抑制することと、
をさらに備える、請求項 19 に記載の方法。

【請求項 21】

データ入力信号からクロックおよびデータを再生するための装置であって、
前記データ入力信号のエッジでクロック位相信号の値をサンプリングするための手段と、
前記データ入力信号と前記クロック位相信号とのタイミング関係を決定するために、前記クロック位相信号の前記サンプリングされた値を評価するための手段と、
前記データ入力信号と前記クロック位相信号との前記決定されたタイミング関係に基づいて、前記クロック位相信号を使用してクロック出力信号を生成するための手段と、
データ出力信号を生成するために前記クロック出力信号のエッジで前記データ入力信号をサンプリングするための手段と、
を含む、装置。

10

【請求項 22】

前記クロック位相信号の前記サンプリングされた値を評価するための前記手段は、さらに、
前記データ入力信号のそれぞれのエッジの前で立ち上がる前記クロック位相信号の最後を決定するために、前記クロック位相信号の前記サンプリングされた値を評価することと

20

前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後を利用して、前記データ入力信号と前記クロック位相信号との前記タイミング関係を決定することと、
を行うためのものである、請求項 21 に記載の装置。

【請求項 23】

前記クロック出力信号を生成するための前記手段は、前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後からの所定のオフセットをもつリーディングエッジを有するように前記クロック出力信号を生成する、請求項 22 に記載の装置。

30

【請求項 24】

前記所定のオフセットは、前記クロック位相信号の周期の 2 分の 1 に等しい、請求項 23 に記載の装置。

【請求項 25】

前記クロック出力信号上のグリッチを抑制するための手段をさらに備える、請求項 21 に記載の装置。

【請求項 26】

グリッチを抑制するための前記手段は、前記データ入力信号のエッジの後の時間間隔の間、前記クロック出力信号を抑制する、請求項 25 に記載の装置。

【請求項 27】

サンプリングするための前記手段は、前記データ入力信号の立ち上がりおよび立ち下がりエッジで前記クロック位相信号の前記値をサンプリングする、請求項 21 に記載の装置。

40

【請求項 28】

前記データ入力信号のエッジでサンプルパルス信号を生成するように構成されたパルス生成器モジュールをさらに備え、サンプリングするための前記手段は、前記サンプルパルス信号によってトリガされる前記クロック位相信号の前記値をサンプリングする、請求項 21 に記載の装置。

【請求項 29】

前記パルス生成器モジュールは、グリッチ抑制パルス信号を生成するようにさらに構成

50

され、前記装置は、前記グリッチ抑制パルス信号を使用して前記クロック出力信号上のグリッチを抑制するための手段をさらに備える、請求項 28 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

[0001] 本発明は、電子回路に関し、より具体的には、高ジッタ耐性および高速位相ロッキングを有するクロック・データリカバリ回路 (a clock and data recovery circuit) に関する。

【背景技術】

【0002】

[0002] 電子システムにおける高速シリアル通信リンクの使用が増加し続けている。高速シリアル通信リンクは、ユニバーサルシリアルバス (USB: Universal Serial Bus)、高精細度マルチメディアインターフェース (HDMI (登録商標): High-Definition Multimedia Interface)、シリアルATA (SATA: Serial Advanced Technology Attachment)、およびPCIエクスプレス (PCIe: Peripheral Component Interconnect Express) インターフェースのような、様々な規格にしたがって動作することができる。クロック・データリカバリ回路 (CDR) は、シリアル通信リンクからのデータを再生 (recover) し、データのタイミングを信号で発信するクロックを再生するために使用される。

10

【0003】

[0003] いくつかのシステム、例えば、USBにおいて、シリアルデータは、大きな瞬時タイミングジッタ (instantaneous timing jitter) を有することができる。以前のCDRは、いくつかのジッタ状態において誤差 (例えば、再生されたデータが不正確である) を発生させることがある。以前のCDRは、また、入力データへの遅い初期ロッキングを呈することがある。いくつかの以前のCDRは、タイミングジッタに対処しようとする複雑な回路要素を含んできた。

20

【発明の概要】

【0004】

[0004] 1つの態様において、クロック位相信号を使用してシリアルデータ入力信号からクロックおよびデータを再生するための回路が提供され、データ入力信号は、データのシリアルストリームを含んでおり、クロック位相信号は、データ入力信号のデータレートにほぼ合う周波数で発振し、クロック位相信号は位相において均等に間隔を保っている。回路は、データ入力信号のエッジでクロック位相信号の値をサンプリングするように構成された位相サンプラモジュール (a phase sampler module) と、データ入力信号とクロック位相信号のタイミング関係を決定するためにクロック位相信号のサンプリングされた値を評価するように構成された位相調整モジュールと、位相調整モジュールによって決定されたデータ入力信号とクロック位相信号のタイミング関係に基づいて、クロック位相信号を使用してクロック出力信号を生成するように構成された位相選択モジュールと、クロック出力信号のエッジでデータ入力信号をサンプリングすることによってデータ出力信号を生成するように構成されたデータサンプラと、を含む。

30

40

【0005】

[0005] 1つの態様において、データ入力信号からクロックおよびデータを再生するための方法が提供される。方法は、データ入力信号のエッジでクロック位相信号の値をサンプリングすることと、データ入力信号とクロック位相信号のタイミング関係を決定するためにクロック位相信号のサンプリングされた値を評価することと、データ入力信号とクロック位相信号の決定されたタイミング関係に基づいて、クロック位相信号を使用してクロック出力信号を生成することと、データ出力信号を生成するためにクロック出力信号のエッジでデータ入力信号をサンプリングすることと、を含む。

【0006】

[0006] 1つの態様において、データ入力信号からクロックおよびデータを再生するた

50

めの装置が提供される。装置は、データ入力信号のエッジでクロック位相信号の値をサンプリングするための手段と、データ入力信号とクロック位相信号のタイミング関係を決定するためにクロック位相信号のサンプリングされた値を評価するための手段と、データ入力信号とクロック位相信号の決定されたタイミング関係に基づいて、クロック位相信号を使用してクロック出力信号を生成するための手段と、データ出力信号を生成するためにクロック出力信号のエッジでデータ入力信号をサンプリングするための手段と、を含む。

【0007】

[0007] 本発明の他の特徴および利点は、例として本発明の態様を例示する以下の説明から明らかであるべきである。

【0008】

[0008] 本発明の詳細は、その構造および動作の両方に関して、付随する図面を検討することによって部分的に収集されることができ、ここにおいて、同様の参照番号が同様の部分を指す。

【図面の簡単な説明】

【0009】

【図1】 [0009] クロック・データリカバリ回路の機能ブロック図。

【図2】 [0010] ここに開示される実施形態による、クロック・データリカバリ回路の機能ブロック図。

【図3】 [0011] 図2のクロック・データリカバリ回路の動作を例示する波形図。

【図4】 [0012] ここに開示される実施形態による、別のクロック・データリカバリ回路の機能ブロック図。

【図5】 [0013] 図4のクロック・データリカバリ回路の動作を例示する波形図。

【図6】 [0014] ここに開示される実施形態による、別のクロック・データリカバリ回路の機能ブロック図。

【図7】 [0015] ここに開示される実施形態による、別のクロック・データリカバリ回路の概略図。

【図8】 [0016] ここに開示される実施形態による、パルス生成器モジュールの概略図。

【図9A】 [0017] 図7のクロック・データリカバリ回路の動作を例示する波形図。

【図9B】 図7のクロック・データリカバリ回路の動作を例示する波形図。

【図10】 [0018] ここに開示される実施形態による、クロック・データリカバリのためのプロセスのフローチャート。

【詳細な説明】

【0010】

[0019] 付随する図面に関連して以下に述べられる詳細な説明は、様々な構成の説明として意図されたものであり、本明細書に説明される概念が実現されることができる構成のみを表すように意図されたものではない。詳細な説明は、様々な概念の完全な理解を提供する目的で具体的な詳細を含む。しかしながら、これらの概念がこれらの具体的な詳細なしに実現され得ることが、当業者には明らかになるであろう。いくつかの事例では、周知の構造およびコンポーネントが、そのような概念を曖昧にすることを避けるために簡略化された形式で示される。

【0011】

[0020] 図1は、クロック・データリカバリ回路(CDR)の機能ブロック図である。CDRは、データ入力信号(データ入力)を受信する。データ入力信号は、データのシリアルストリームを含んでいる。データのシリアルストリームの各ビットは、ビット時間と称され得る時間間隔にわたる。CDRは、データ出力信号(データ出力)を生成し、データのタイミングを示すクロック出力信号(クロック出力)を生成するために、その入力からデータを再生するように動作する。

【0012】

[0021] CDRは、第1のサンプラ71と第2のサンプラ72とを含む。第1のサンプラ71は、CDRからのデータ出力を供給する。第1のサンプラ71および第2のサンプ

10

20

30

40

50

ラ 7 2 からの出力は、データ入力信号からタイミングを再生するために使用される。第 1 のサンプラ 7 1 は、データクロック信号 C L K d の立ち上がりエッジでデータ入力信号をサンプリングし、サンプリングされた値を示す出力を生成する。第 2 のサンプラ 7 2 は、タイミングクロック信号 C L K t の立ち上がりエッジでデータ入力信号をサンプリングし、サンプリングされた値を示す出力を生成する。タイミングクロック信号 C L K t は、第 1 のサンプラ 7 1 と第 2 のサンプラ 7 2 とのサンプリング時間がクロック周期の 2 分の 1 だけオフセットされるように、データクロック信号 C L K d と相補的になるものである。C D R のデータ入力信号および他の信号は、差動信号 (differential signals) であり得る。

【 0 0 1 3 】

[0022] タイミングリカバリモジュール (A timing recovery module) 7 5 は、第 1 のサンプラ 7 1 の出力と第 2 のサンプラ 7 2 の出力とを受信し、それらは、異なるクロック位相でサンプリングされる。タイミングリカバリモジュール 7 5 は、電圧制御発振器 (V C O) 7 6 の周波数を制御するために、例えば、アレキサンダー位相検出器 (an Alexander phase detector) に基づいて、サンプラの出力を使用する。V C O 7 6 は、タイミングリカバリモジュール 7 5 からの制御に基づいてデータクロック信号 C L K d およびタイミングクロック信号 C L K t を供給する。タイミングリカバリモジュール 7 5 は、データクロック信号 C L K d がビット時間の中心近くにあるように、クロック信号のタイミングを調整するよう V C O 7 6 を制御する。図 1 の C D R は、いくつかのジッタ状態において誤差 (例えば、再生されたデータが不正確である) を発生させ得る。加えて、図 1 の C D R は、入力データへの遅い初期ロッキングを呈し得る。

10

20

【 0 0 1 4 】

[0023] 図 2 は、ここに開示される実施形態による、クロック・データリカバリ回路 (C D R) の機能ブロック図である。C D R は、高ジッタ耐性および高速位相ロッキングを提供することができる。

【 0 0 1 5 】

[0024] C D R は、データのシリアルストリームを伝達するデータ入力信号 (データ入力) を受信する。そのシリアルストリーム中のデータの各ビットは、ビット時間と称される時間期間 (a time duration) にわたる。各ビット時間の期間 (duration) は、名目上はデータレートの逆数である。しかしながら、個々のビット時間の時間期間は、例えば、タイミングジッタにより変動し得る。C D R は、データ入力信号から再生されるデータを発信するデータ出力信号 (データ出力) と、データ出力信号のタイミングを発信するクロック出力信号 (クロック出力) を生成する。

30

【 0 0 1 6 】

[0025] C D R は、複数のクロック位相信号 (クロック位相) を受信する。クロック位相信号は、同じ周波数で発振するが、位相において分離している。例えば、クロック周期の 8 分の 1 だけ間隔が保たれた 8 個のクロック位相信号があり得る。多くの実施形態において、クロック位相信号のペアが相補的である、偶数個のクロック位相信号がある。クロック位相信号は、例えば、位相ロッキングループ (P L L) によって供給され得る。クロック位相信号は位相において均等に間隔が保たれていると考えられ得るが、例えば、クロック位相信号を生成する回路内の不一致により、相対的な位相において変動があり得る。

40

【 0 0 1 7 】

[0026] クロック位相信号の周波数は、データ入力信号のデータレートに対応する。クロック周波数は、データレートにロックされ得るか、またはデータ入力信号のデータレートにほぼ合う個別の供給源からのものであり得る。例えば、クロック位相信号は、その周波数がデータレートに名目上合っている基準発振器から生成され得る。C D R は、クロック位相信号の周波数とデータ入力信号のデータレートが大きい量 (例えば、1 %) 異なるときでも、データおよびクロックを再生することができる。

【 0 0 1 8 】

[0027] C D R は、データ入力信号の遷移時にクロック位相信号の値をサンプリングす

50

る位相サンブラモジュール 220 を含む。これは、クロック信号の遷移時にデータ信号をサンプリングする、図 1 に例示されている、より一般的な状況とは対照的である。クロック位相信号の値は、データ入力信号の立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方でサンプリングされ得る。信号のエッジは、遷移とも称され得る。例えば、立ち上がりエッジは、立ち上がり遷移またはローレベルからハイレベルへの遷移とも称され得る。位相サンブラモジュール 220 は、例えば、クロック位相信号の各々のための位相サンブラを含み得る。代替的に、位相サンブラモジュール 220 は、相補的なクロック位相信号のペアのための位相サンブラを含み得る。クロック位相信号のサンプリングされた値は、位相調整モジュール 260 に供給される。

【0019】

10

【0028】 位相調整モジュール 260 は、データ入力信号とクロック位相信号のタイミング関係を決定するために、クロック位相信号のサンプリングされた値を評価する。位相調整モジュール 260 は、クロック出力信号を生成するために使用するためにタイミング関係を位相選択モジュール 280 にシグナリングする。

【0020】

【0029】 位相選択モジュール 280 は、データ入力信号とクロック位相信号のタイミング関係に基づいて、クロック位相信号を使用してクロック出力信号を生成する。データ入力信号とクロック位相信号のタイミング関係は、クロック周期においてデータ入力信号が遷移するところとみなされ得る。

【0021】

20

【0030】 位相選択モジュール 280 は、データ入力信号とクロック位相信号のタイミング関係を示す、位相調整モジュール 260 から受信された制御に基づいて、クロック位相信号の中で選択することによってクロック位相信号を生成し得る。代替的に、位相選択モジュール 280 は、クロック出力信号の立ち上がり遷移のタイミングを合わせるためにクロック位相信号のうちの一つを使用し、クロック出力信号の立ち下がり遷移のタイミングを合わせるためにクロック位相信号のうち別の一つを使用して、クロック出力信号を生成し得る。代替的に、位相選択モジュール 280 は、クロック位相信号の論理的組み合わせを形成することによってクロック出力信号を生成し得る。クロック出力信号は、クロック位相信号のデューティサイクルとは異なるデューティサイクルを有し得る。

【0022】

30

【0031】 データサンブラモジュール 210 は、データ出力信号を生成するためにクロック出力信号の立ち上がりエッジでデータ入力信号をサンプリングする。クロック出力信号の他のエッジもまた使用され得る。データサンブラモジュール 210 をトリガするクロック出力信号のエッジは、リーディングエッジ (leading edge) と称され得る。データサンブラモジュール 210 は、例えば、データ入力信号をサンプリングするためにセンス増幅器ベースのフリップフロップ (a sense amplifier based flip-flop) を使用し得る。

【0023】

【0032】 位相調整モジュール 260 は、データサンブラモジュール 210 がビット時間の中間点近くでデータ入力信号をサンプリングするように、例えば、クロック出力信号のタイミングを制御し得る。位相調整モジュール 260 は、例えば、クロック周期のどこでデータ入力信号が遷移するかを決定し、クロック周期の 2 分の 1 遅れたクロック位相を選択することができる。位相調整モジュール 260 は、代替的に、クロック周期においてデータ入力信号が遷移するときとクロック出力信号のタイミングとの間の他のオフセットを使用し得る。例えば、より大きいオフセットは、(例えば、信号伝達のために) データ入力信号が R - C フィルタを通過するとき、改善された性能を提供し得る。

40

【0024】

【0033】 クロック位相信号のサンプリングされた値は、1 の連続と 0 の連続とを含むことになる。例えば、CDR が 8 個の位相を使用し、クロック位相信号が第 1 のクロック位相信号および第 2 のクロック位相信号の立ち上がりの間でサンプリングされるとき、サンプリングされる値は、第 1 ~ 第 8 のクロック位相信号に対応する、1、0、0、0、0、

50

1、1、1になる。位相調整モジュール260は、データ入力信号とクロック位相信号のタイミング関係を決定するために、クロック位相信号のサンプリングされた値に、連続した1~0または0~1の値を配置し得る。

【0025】

[0034] 位相調整モジュール260は、データ入力信号のそれぞれのエッジの前で立ち上がるクロック位相信号の最後を決定するためにクロック位相信号のサンプリングされた値を評価することによって、クロック周期のどこでデータ入力信号が遷移するかを決定し得る。位相選択モジュール280は、次いで、クロック出力信号を、そのリーディングエッジ(データサンプラモジュール210をトリガする)が、データ入力信号のそれぞれのエッジの前で立ち上がるクロック位相信号の最後からのオフセットされるように、生成することができる。データ入力信号のエッジの前で立ち上がるクロック位相信号の最後からのクロック出力信号のリーディングエッジのオフセットは、例えば、クロック周期の2分の1であり得る。クロック周期の2分の1のオフセットを使用することは、データサンプラモジュール210に、ビット時間の中間近くでデータ入力信号をサンプリングさせ、それは、クロック周期の2分の1がビット時間の2分の1に等しい、またはほぼ等しく、データ入力信号のエッジの前で立ち上がるクロック位相信号の最後がビット時間のエッジ近くであるためである。他のオフセットも、例えば、データ入力信号の波形特性に基づいて使用され得る。同様に、位相調整モジュール260は、データ入力信号のそれぞれのエッジの前で立ち下がるクロック位相信号の最後を決定するためにクロック位相信号のサンプリングされた値を評価することによって、クロック周期のどこでデータ入力信号が遷移するかを決定し、位相選択モジュール280は、クロック出力信号を、そのリーディングエッジが、(データ入力信号のエッジの前で立ち上がるクロック位相信号の最後を使用するときとは異なる量だけ)データ入力信号のエッジの前で立ち下がるクロック位相信号の最後からのオフセットされるように、生成し得る。

10

20

【0026】

[0035] 図2のCDRは、ほとんど瞬時にデータ入力信号から位相を再生することができる。例えば、データ入力信号のエッジによってサンプリングされたクロック位相信号の値は、同じクロック周期内または数個のクロック周期内でクロック出力信号を生成するために使用され得る。クロック出力信号のタイミングを迅速に変更するCDRの機能は、CDRが新たなデータ入力信号に迅速にロックすることを可能にし、データ入力信号上に大きな瞬時タイミングジッタがあるときにCDRがデータを確実に受信することを可能にする。

30

【0027】

[0036] 図2のCDRのモジュールは、多くの異なる方法で実装されることができる。ある実施形態において、CDRは、相補型金属酸化膜半導体(CMOS)集積回路に実装される。加えて、モジュールのいくつか、例えば、位相調整モジュール260および位相選択モジュール280は組み合わせられ得る。

【0028】

[0037] 図3は、図2のCDRの動作を例示する波形図である。例示的な波形は、8個のクロック位相を有するCDRに関するものである。このように、クロック位相信号(クロック位相0~7)は、クロック周期の8分の1だけ位相において連続的にオフセットされる。クロック周期は、指定の慣例によって、第1のクロック位相信号(クロック位相0)の立ち上がりエッジで始まる。例示を明確にするために、波形はクロック周期と比べて小さい回路遅延に関して例示されているが、図2のCDRはそのように限定されるものではない。

40

【0029】

[0038] 時間301において、データ入力信号が立ち上がり、クロック位相信号は位相サンプラモジュール220においてサンプリングされる。位相サンプラモジュール220は、時間301において、クロック位相0、1、6、および7がハイであったことと、クロック位相2、3、4、および5がローであったこととを決定することになる。位相調整

50

モジュール 260 は、クロック位相信号のサンプリングされた値を評価し、(例えば、クロック位相 1 がハイであり、クロック位相 2 がローであることに基づいて) データ入力信号のエッジがクロック位相 1 の立ち上がりエッジとクロック位相 2 の立ち上がりエッジとの間に生じたことを決定することができる。これに基づいて、位相選択モジュール 280 と組み合わせて位相調整モジュール 260 は、クロック出力信号を生成するために位相 5 を選択することができる。これに応じて、時間 302 において、(クロック位相 5 に基づいて) クロック出力信号が立ち上がり、データサンブラモジュール 210 は、クロック出力信号の立ち上がりエッジでデータ入力信号をサンプリングする。時間 302 において、データ入力信号はハイであるので、よって、CDR はデータ出力信号をハイとして生成する。

10

【0030】

[0039] 時間 303 において、データ入力信号が立ち下がる。例示的な波形において、位相サンブラモジュール 220 は、データ入力信号の立ち下がりエッジによってトリガされない。よって、位相調整モジュール 260 は、新たな位相選択を発生させず、以前に選択された位相が再度使用される。したがって、時間 304 において、(クロック位相 5 に基づいて) クロック出力信号が立ち上がり、データ入力信号はデータサンブラモジュール 210 によって再度サンプリングされる。時間 304 において、データ入力信号はローであるので、よって、CDR はデータ出力信号をローとして生成する。

【0031】

[0040] 時間 305 において、データ入力信号が立ち上がり、クロック位相信号は位相サンブラモジュール 220 においてサンプリングされる。位相サンブラモジュール 220 は、時間 305 において、クロック位相 0、5、6、および 7 がハイであったことと、クロック位相 1、2、3、および 4 がローであったことを決定することになる。位相調整モジュール 260 は、クロック位相信号のサンプリングされた値を評価し、データ入力信号のエッジがクロック位相 0 の立ち上がりエッジとクロック位相 1 の立ち上がりエッジとの間に生じたことを決定することができる。時間 301 から時間 305 まで、データ入力信号のタイミングは、クロック位相信号と相対して進んでいる。データ入力信号とクロック位相信号の相対的なタイミングは、例えば、クロック位相信号とデータ入力信号のデータレートとの間の周波数差またはタイミングジッタにより変化したものであり得る。クロック位相信号のサンプリングされた新たな値に基づいて、位相選択モジュール 280 と組み合わせて位相調整モジュール 260 は、クロック出力信号を生成するように位相 4 を選択することができる。これに応じて、時間 306 において、(クロック位相 4 に基づいて) クロック出力信号が立ち上がり、データサンブラモジュール 210 は、クロック出力信号の立ち上がりエッジでデータ入力信号をサンプリングする。時間 306 において、データ入力信号はハイであるので、よって、CDR はデータ出力信号をハイとして生成する。

20

30

【0032】

[0041] データ入力信号の後続の各立ち上がりエッジにおいて、CDR は同様の方法で動作する。

【0033】

[0042] 図 4 は、ここに開示される実施形態による、別のクロック・データリカバリ回路(CDR)の機能的なブロック図である。図 4 の CDR は図 2 の CDR に類似しており、同様の参照要素が、説明される相違を除いて、同様の方式で動作する。図 4 の CDR は、クロックグリッチ抑制モジュール(clock glitch suppression module) 490 を含む。クロックグリッチ抑制モジュール 490 は、それがなければデータ入力信号上の大きなタイミングジッタによって引き起こされ得る、クロック出力信号中のグリッチ(例えば、予想される持続時間よりも短いパルス)を防ぐように動作する。

40

【0034】

[0043] 図 5 は、クロックグリッチ抑制モジュール 490 が存在しない際にクロック出力信号上にグリッチを引き起こし得る状態の、図 4 の CDR の動作を例示する波形図である。他の多くの同様の状態もまた存在し得る。

50

【 0 0 3 5 】

[0044] 時間 5 0 1 において、データ入力信号が立ち上がり、クロック位相信号は位相 サンプラモジュール 2 2 0 においてサンプリングされる。位相サンプラモジュール 2 2 0 は、時間 5 0 1 において、クロック位相 0、1、6、および 7 がハイであったことと、クロック位相 2、3、4、および 5 がローであったこととを決定することになる。位相調整モジュール 2 6 0 は、サンプリングされたクロック位相信号の値を評価し、(例えば、クロック位相 1 がハイであり、クロック位相 2 がローであることに基づいて) データ入力信号のエッジがクロック位相 1 の立ち上がりエッジとクロック位相 2 の立ち上がりエッジとの間に生じたことを決定することができる。これに基づいて、位相選択モジュール 2 8 0 と組み合わせて位相調整モジュール 2 6 0 は、クロック出力信号を生成するように位相 5 を選択することができる。これに応じて、時間 5 0 2 において、(クロック位相 5 に基づいて) クロック出力信号が立ち上がり、データサンプラモジュール 2 1 0 は、クロック出力信号の立ち上がりエッジでデータ入力信号をサンプリングする。時間 5 0 2 において、データ入力信号はハイであるので、よって、CDR はデータ出力信号をハイとして生成する。

10

【 0 0 3 6 】

[0045] 時間 5 0 9 において、データ入力信号が立ち上がり、クロック位相信号は位相 サンプラモジュール 2 2 0 においてサンプリングされる。位相サンプラモジュール 2 2 0 は、時間 5 9 0 において、クロック位相 1、2、3、および 4 がハイであったことと、クロック位相 5、6、7、および 0 がローであったこととを決定することになる。位相調整モジュール 2 6 0 は、サンプリングされた位相信号の値を評価し、データ入力信号のエッジがクロック位相 4 の立ち上がりエッジとクロック位相 5 の立ち上がりエッジとの間に生じたことを決定することができる。時間 5 0 1 から時間 5 0 9 まで、データ入力信号のタイミングは、クロック位相信号に相対してシフトしている。サンプリングされた位相信号の新たな値に基づいて、位相調整モジュール 2 6 0 は、クロック出力信号として使用する ように位相 0 を選択することができる。

20

【 0 0 3 7 】

[0046] しかしながら、クロック位相 5 は、位相調整モジュール 2 6 0 および位相選択モジュール 2 8 0 が、位相 5 を使用することから位相 0 を使用することに切り替わっている前に生じることがある。これは、クロック出力信号上にグリッチ 5 4 1 をもたらし得る。クロック出力信号はクロック位相 5 に基づいてハイレベルに遷移し、次いで、位相 0 の新たな位相選択に基づいてローレベルに遷移して戻る。クロック出力信号上のこのグリッチは、クロック出力信号を使用する回路の誤った動作を引き起こし得る。

30

【 0 0 3 8 】

[0047] 図 4 の CDR のクロックグリッチ抑制モジュール 4 9 0 は、クロック出力信号上のグリッチを抑制するように動作する。ある実施形態において、クロックグリッチ抑制モジュール 4 9 0 は、クロック出力信号を抑制するために、データ入力信号上の遷移の後に生じる立ち下がりパルス (a low-going pulse) を使用する。例えば、データ入力信号のエッジによって生成される立ち下がりパルス信号は、位相選択モジュール 2 8 0 からのクロック信号と論理的に AND 演算され得る。すなわち、クロックグリッチ抑制モジュールは、データ入力信号のエッジの後のある時間間隔の間、クロック出力信号を抑制し得る。パルスの持続時間は、例えば、位相サンプラモジュール 2 2 0 および位相調整モジュール 2 6 0 の遅延を切り替えるよりも長い持続時間に設定され得る。

40

【 0 0 3 9 】

[0048] 図 6 は、ここに開示される実施形態による、別のクロック・データリカバリ回路 (CDR) の機能的なブロック図である。図 6 の CDR は図 4 の CDR に類似しており、同様の参照要素が、説明される相違を除いて、同様の方式で動作する。図 6 の CDR は、クロックグリッチ抑制モジュール 6 9 0 を含む。クロックグリッチ抑制モジュール 6 9 0 は、位相調整モジュール 2 6 0 と位相選択モジュール 2 8 0 との間に結合される。クロックグリッチ抑制モジュール 6 9 0 は、選択される位相における大きい変化を防ぐことに

50

よってクロック出力信号におけるグリッチを防ぎ得る。例えば、クロックグリッチ抑制モジュール690は、選択される位相が、ビット時間ごと、または更新ごとに1つの位相だけ変化することを可能にし得る。グリッチ抑制のための他の技法も使用され得る。

【0040】

[0049] 図7は、ここに開示される実施形態による、別のクロック・データリカバリ回路の概略図である。図7のクロック・データリカバリ回路は、例えば、図4のクロック・データリカバリ回路の実装であり得る。図7のクロック・データリカバリ回路は、データ入力信号(データ信号)および8個のクロック位相信号(CP0~7)を受信し、データ出力信号(データ出力)およびクロック出力信号(クロック出力)を生成する。クロック位相信号は、3つのクロック位相の持続時間を有するクロック出力信号を生成するように、図7の実施形態において、論理的に組み合わせられる。

10

【0041】

[0050] 図7のクロック・データリカバリ回路は、パルス生成器モジュール701を含む。パルス生成器モジュール701は、データ入力信号を受信し、グリッチ抑制パルス信号(抑制)およびサンプルパルス信号(サンプル)を生成する。グリッチ抑制パルス信号およびサンプルパルス信号は、データ入力信号のエッジの後に生じる。パルス信号は、データ入力信号の立ち上がりエッジ、立ち下がりエッジ、または両方のエッジの後に生じ得る。パルス信号の持続時間は、以下にさらに説明される、それらの機能にしたがう。

【0042】

[0051] 4つの位相サンプラ721~724は、クロック位相信号のサンプリングされた値を生成するようにサンプルパルス信号の立ち上がりエッジでクロック位相信号をサンプリングする。これに応じて、サンプルパルス信号の持続時間が、位相サンプラのタイミング要件にしたがって選ばれ得る。

20

【0043】

[0052] 位相サンプラ721~724の各々は、クロック位相信号の相補(または差動)ペアをサンプリングし、クロック位相信号のサンプリングされた値を発信する相補出力を生成する。第1の位相サンプラ721は、第1のクロック位相信号(CP0)および第5のクロック位相信号(CP4)をサンプリングして、第1のサンプリングされた値S0および第5のサンプリングされた値S4を生成し、第2の位相サンプラ722は、第2クロック位相信号(CP1)および第6のクロック位相信号(CP5)をサンプリングして、第2のサンプリングされた値S1および第6のサンプリングされた値S5を生成し、第3の位相サンプラ723は、第3のクロック位相信号(CP2)および第7のクロック位相信号(CP6)をサンプリングして、第3のサンプリングされた値S2および第7のサンプリングされた値S6を生成し、第4の位相サンプラ724は、第4のクロック位相信号(CP3)および第8のクロック位相信号(CP7)をサンプリングして、第4のサンプリングされた値S3および第8のサンプリングされた値S7を生成する。位相サンプラの各々は、例えば、センス増幅器ベースのフリップフロップであり得る。

30

【0044】

[0053] クロック位相信号のサンプリングされた値は、位相選択信号を生成するように論理的に組み合わせられる。ANDゲート761は、サンプリングされた値S0とサンプリングされた値S6を論理的にAND演算することによって第1の位相選択信号(sel0)を生成し、ANDゲート762は、サンプリングされた値S1とサンプリングされた値S7を論理的にAND演算することによって第2の位相選択信号(sel1)を生成し、ANDゲート763は、サンプリングされた値S2とサンプリングされた値S0を論理的にAND演算することによって第3の位相選択信号(sel2)を生成し、ANDゲート764は、サンプリングされた値S3とサンプリングされた値S1を論理的にAND演算することによって第4の位相選択信号(sel3)を生成し、ANDゲート765は、サンプリングされた値S4とサンプリングされた値S2を論理的にAND演算することによって第5の位相選択信号(sel4)を生成し、ANDゲート766は、サンプリングされた値S5とサンプリングされた値S3を論理的にAND演算することによって第6の位

40

50

相選択信号 (sel5) を生成し、ANDゲート767は、サンプリングされた値S6とサンプリングされた値S4を論理的にAND演算することによって第7の位相選択信号 (sel6) を生成し、ANDゲート768は、サンプリングされた値S7とサンプリングされた値S5を論理的にAND演算することによって第8の位相選択信号 (sel7) を生成する。

【0045】

[0054] クロック位相信号は、クロックパルス信号を生成するように論理的に組み合わせられる。ANDゲート771は、クロック位相CP0とクロック位相CP2を論理的にAND演算することによって第1のクロックパルス信号 (pls0) を生成し、ANDゲート772は、クロック位相CP1とクロック位相CP3を論理的にAND演算することによって第2のクロックパルス信号 (pls1) を生成し、ANDゲート773は、クロック位相CP2とクロック位相CP4を論理的にAND演算することによって第3のクロックパルス信号 (pls2) を生成し、ANDゲート774は、クロック位相CP3とクロック位相CP5を論理的にAND演算することによって第4のクロックパルス信号 (pls3) を生成し、ANDゲート775は、クロック位相CP4とクロック位相CP6を論理的にAND演算することによって第5のクロックパルス信号 (pls4) を生成し、ANDゲート776は、クロック位相CP5とクロック位相CP7を論理的にAND演算することによって第6のクロックパルス信号 (pls5) を生成し、ANDゲート777は、クロック位相CP6とクロック位相CP0を論理的にAND演算することによって第7のクロックパルス信号 (pls6) を生成し、ANDゲート778は、クロック位相CP7とクロック位相CP1を論理的にAND演算することによって第8のクロックパルス信号 (pls7) を生成する。

10

20

【0046】

[0055] 位相選択信号、クロックパルス信号、およびグリッチ抑制パルス信号は、クロック出力信号を生成するように論理的に組み合わせられる。ANDゲート781は、位相選択sel0とクロックパルスpls3を論理的にAND演算し、ANDゲート782は、位相選択sel1とクロックパルスpls4を論理的にAND演算し、ANDゲート783は、位相選択sel2とクロックパルスpls5を論理的にAND演算し、ANDゲート784は、位相選択sel3とクロックパルスpls6を論理的にAND演算し、ANDゲート785は、位相選択sel4とクロックパルスpls7を論理的にAND演算し、ANDゲート786は、位相選択sel5とクロックパルスpls0を論理的にAND演算し、ANDゲート787は、位相選択sel6とクロックパルスpls1を論理的にAND演算し、ANDゲート788は、位相選択sel7とクロックパルスpls2を論理的にAND演算する。ORゲート789は、ANDゲート781~788の出力を論理的にOR演算する。

30

【0047】

[0056] ORゲート789の出力は、所望のタイミングを有するクロック出力であるが、いくつかのジッタ状態においてグリッチを有し得る。ANDゲート791は、クロック出力信号を生成するように、グリッチ抑制パルス信号とORゲート789の出力を論理的にAND演算する。グリッチ抑制パルス信号は、グリッチがORゲート789の出力上に生じ得る時間にはローである。したがって、ORゲート789の出力上のグリッチは、クロック出力信号上で抑制される。グリッチは、位相選択信号を生成する回路要素 (例えば、位相サンブラ721~724およびANDゲート761~768) における伝搬遅延により生じ得る。したがって、グリッチ抑制パルス信号の持続時間は、関連する伝搬遅延に基づいて選ばれ得る。

40

【0048】

[0057] ANDゲート791およびグリッチ抑制パルス信号を生成するパルス生成器モジュール701の回路要素は、グリッチ抑制機能であると考えられ得る。ANDゲート781~788およびORゲート789は、位相選択モジュールであると考えられ得る。ANDゲート761~768は、ANDゲート761~768が、データ入力信号のエッジ

50

の前で立ち上がるクロック位相信号の最後を決定するためにクロック位相信号のサンプリングされた値の評価を提供し、ANDゲート761～768とANDゲート781～788との間の接続が、データ入力信号のエッジの後に立ち上がるクロック位相信号の最後からのオフセットを提供する、位相調整モジュールであると考えられ得。

【0049】

[0058] データサンブラモジュール710は、クロック出力信号の立ち上がりエッジでデータ入力信号の値をサンプリングする。

【0050】

[0059] 図7のCDRは、多くの異なる方法で実装されることができ、ある実施形態において、CDRは、CMOS集積回路において実装される。図7に例示されたCDRは、機能的表現と解釈されるべきである。CDRは、例えば、他の論理で実装され得る。加えて、バッファが、様々な信号経路上で含まれ得る。

10

【0051】

[0060] 図8は、ここに開示される実施形態による、パルス生成器モジュールの概略図である。パルス生成器モジュールは、図7のクロック・データリカバリ回路におけるパルス生成器モジュール701として使用され得る。

【0052】

[0061] パルス生成器モジュールは、データ入力信号（データ入力）を受信し、グリッチ抑制パルス信号（抑制）およびサンプルパルス信号（サンプル）を生成する。両エッジ選択制御信号（両エッジ選択）は、パルス信号が、データ入力信号の立ち上がりエッジ、またはデータ入力信号の立ち上がりおよび立ち下がりエッジの両方で生成されるかどうかを制御する。マルチプレクサ827は、（両エッジトリガパルス（double edge triggered pulses）のための）XORゲート821の出力、または（立ち上がりエッジトリガパルス（rising edge triggered pulses）のための）ANDゲート823の出力を選択する。

20

【0053】

[0062] 両エッジ選択制御信号がゼロであるとき、パルスは、データ入力信号の立ち上がりエッジでANDゲート823を使用して生成される。ANDゲート823は、データ入力信号と、遅延され反転されたデータ入力信号のコピーとを論理的にAND演算する。遅延素子810は、データ入力信号を受信し、その出力としてデータ入力信号の遅延されたコピーを生成する。遅延素子810は、例えば、インバータのチェーンを使用して実装され得る。インバータ825は、データ入力信号の遅延されたコピーを受信し、データ入力信号の遅延および反転されたコピーを生成する。

30

【0054】

[0063] 両エッジ選択制御信号が1であるとき、パルスは、データ入力信号の立ち上がりエッジおよび立ち下がりエッジの両方でXORゲート821を使用して生成される。XORゲート821は、データ入力信号と、遅延素子810からのデータ入力信号の遅延されたコピーとを受信する。

【0055】

[0064] マルチプレクサ827の出力は、サンプルパルス信号を導出するためにバッファ831によってバッファされる。バッファ831は、サンプルパルス信号を受信する回路（例えば、図7の位相サンブラ721～724）のローディングに駆動を提供する。サンプルパルス信号の持続時間は、遅延素子810の遅延にほぼ等しい。持続時間は、他の伝搬遅延、例えば、インバータ825の伝搬遅延により、多少、異なり得る。

40

【0056】

[0065] グリッチ抑制パルス信号は、NORゲート835によって生成される。NORゲート835は、マルチプレクサ827の出力とサンプルパルス信号のバッファされたコピーとを論理的にNOR演算する。バッファ833は、サンプルパルス信号を受信し、バッファされたコピーを生成する。バッファ831およびバッファ833の遅延は、グリッチ抑制パルス信号の持続時間を、サンプルパルス信号の持続時間を越えて延長する。

【0057】

50

[0066] 図9は、グリッチ抑制機能が存在しない際にクロック出力信号上のグリッチを引き起こし得る状態の、図7のクロック・データリカバリ回路の動作を例示する波形図である。多くの他の同様の状態もまた存在し得る。図9の波形図は、また、クロック位相信号をサンプリングすることがデータ入力信号の両方のエッジによってトリガされるケースに関するものでもある。

【0058】

[0067] 時間901において、データ入力信号は、サンプルパルス信号上、およびグリッチ抑制パルス信号上でトリガリングパルスを立ち上げる。サンプルパルス信号は、クロック位相信号をサンプリングするために位相サンプラ721~724をトリガする。位相サンプラ721~724は、時間901において、クロック位相CP0、CP1、CP6、およびCP7がハイであったことと、クロック位相CP2、CP3、CP4、およびCP5がローであったこととを決定することになり、サンプリングされた値S0~S7が、対応する値に設定されることになる。

10

【0059】

[0068] 位相選択信号は、ペアでアクティブである。時間901でトリガされたサンプリングされたクロック位相信号は、ANDゲート761およびANDゲート762が位相選択sel0および位相選択sel1上で高出力を生成することをもたらす。他の位相選択信号はローである。

【0060】

[0069] クロックパルス信号は、ANDゲート771~778によって生成される。AND演算されたクロック位相信号は、2つの位相の持続時間(4分の1のクロック周期)を有するクロックパルス信号をもたらす。例えば、クロックパルスpls2は、クロックパルスCP2とクロック位相CP4とを論理的にAND演算するANDゲート773によって生成される。したがって、クロックパルスpls2は、クロック位相CP2の前半とクロック位相CP4の前半の間アクティブである。他のクロック位相信号は対応するタイミングを有する。

20

【0061】

[0070] ANDゲート781~788およびORゲート789は、非グリッチ抑制(non-glitch suppressed)のクロック出力信号(クロック出力')を生成するように、位相選択信号とクロックパルス信号を論理的に組み合わせる。時間901においてトリガされた位相選択は、クロックグリッチとならないので、クロック出力信号は、非グリッチ抑制のクロック出力信号に合う。位相選択sel0および位相選択sel1上のハイレベルは、ANDゲート781がクロックパルスpls3を通し、ANDゲート782がクロックパルスpls4を通すこととなり、それらは、クロックパルスpls3およびクロックパルスpls4の両方のアクティブ時間の間アクティブである(時間905に始まる)クロック出力信号を生成するようにORゲート789によって論理的にOR演算される。クロック出力信号は、クロック位相信号の周期の3/8または3つの位相のデューティサイクルを有する。

30

【0062】

[0071] 時間905の直後に、(クロック位相CP5によってトリガされて)クロック出力信号が立ち上がり、データサンプラモジュール710は、クロック出力信号の立ち上がりエッジでデータ入力信号をサンプリングする。時間905において、データ入力信号はハイであるので、よって、CDRはデータ出力信号をハイとして生成する。

40

【0063】

[0072] 時間911において、データ入力信号は立ち下がり、サンプルパルス信号、およびグリッチ抑制パルス信号でのパルスをトリガする。サンプルパルス信号は、クロック位相信号をサンプリングするために位相サンプラ721~724をトリガする。位相サンプラ721~724は、時間911において、クロック位相CP1、CP2、CP3、およびCP4がハイであったことと、クロック位相CP0、CP5、CP6、およびCP7がローであったこととを決定することになる。時間911における、データ入力信号から

50

クロック位相信号までのタイミング関係は、時間 9 0 1 におけるタイミング関係からシフトしている。

【 0 0 6 4 】

[0073] 時間 9 1 1 でトリガされたサンプリングされたクロック位相信号は、ANDゲート 7 6 4 および ANDゲート 7 6 5 が位相選択 s e l 3 および位相選択 s e l 4 上でハイ出力を生成することをもたらす。他の位相選択信号はローである。

【 0 0 6 5 】

[0074] 位相選択 s e l 3 および位相選択 s e l 4 上のハイレベルは、ANDゲート 7 8 4 がクロックパルス p l 6 を通し、ANDゲート 7 8 5 がクロックパルス p l 5 7 を通すことをもたらす、それらは、クロックパルス p l 5 6 およびクロックパルス p l 5 7 の両方のアクティブ時間の間アクティブである（時間 9 1 5 に始まる）クロック出力信号を生成するように ORゲート 7 8 9 によって論理的に OR 演算される。

10

【 0 0 6 6 】

[0075] 時間 9 1 5 の直後に、（クロック位相 C P 7 によってトリガされて）クロック出力信号が立ち上がり、データサンプリングモジュール 7 1 0 は、クロック出力信号の立ち上がりエッジでデータ入力信号をサンプリングする。時間 9 1 5 において、データ入力信号はローであるので、よって、CDR はデータ出力信号をローとして生成する。

【 0 0 6 7 】

[0076] 図 9 に例示されたタイミングにおいて、クロックパルス p l 5 3 は、位相選択 s e l 0 がローに切り替わる前に（時間 9 1 1 のデータ入力信号の立ち上がりについて）立ち上がる。これは、時間 9 1 3 に始まるグリッチをトリガする。非グリッチ抑制のクロック出力信号上のグリッチは、位相選択 s e l 0 がローに切り替わる時に終了する。このグリッチは、ANDゲート 7 9 1 によって抑制され、これは、パルス生成器モジュール 7 0 1 からのクロックグリッチ抑制信号と非グリッチ抑制のクロック出力信号を論理的に AND 演算する。クロックグリッチ抑制信号は、非グリッチ抑制のクロック出力信号上のグリッチの持続時間の間ローである。クロックグリッチ抑制信号は、データ入力信号のエッジによってローにトリガされ、少なくとも位相選択信号がそれらの新たな値に切り替わるまでローのまま保ち得る。

20

【 0 0 6 8 】

[0077] 図 1 0 は、ここに開示される実施形態による、クロック・データリカバリのためのプロセスのフローチャートである。プロセスは、例えば、図 2 のクロック・データリカバリ回路、図 4 のクロック・データリカバリ回路、または図 6 のクロック・データリカバリ回路を使用して実装され得る。

30

【 0 0 6 9 】

[0078] ステップ 1 0 1 0 において、プロセスは、データ入力信号のエッジでクロック位相信号の値をサンプリングする。例えば、図 8 のパルス生成器モジュールは、クロック位相信号をサンプリングするために図 7 の CDR の位相サンプリング 7 2 1 ~ 7 2 4 によって使用されるサンプルパルス信号を生成するために使用され得る。

【 0 0 7 0 】

[0079] ステップ 1 0 2 0 において、プロセスは、データ入力信号とクロック位相信号のタイミング関係を決定するために、ステップ 1 0 1 0 からのクロック位相信号のサンプリングされた値を評価する。例えば、図 2 の CDR の位相調整モジュール 2 6 0 は、データ入力信号のそれぞれのエッジの前で立ち上がるクロック位相信号の最後を決定するためにクロック位相信号のサンプリングされた値を評価することによってタイミング関係を決定し得る。

40

【 0 0 7 1 】

[0080] ステップ 1 0 3 0 において、プロセスは、データ入力信号とクロック位相信号との決定されたタイミング関係に基づいて、クロック位相信号を使用してクロック出力信号を生成する。例えば、図 2 の CDR の位相選択モジュール 2 8 0 は、データ入力信号のそれぞれのエッジの前で立ち上がるクロック位相信号の最後の後のクロック周期の 2 分の

50

1であるリーディングエッジを有するクロック出力信号を生成し得る。

【0072】

[0081] ステップ1040において、プロセスは、データ出力信号を生成するためにクロック出力信号のエッジでデータ入力信号をサンプリングする。例えば、プロセスは、クロック出力信号の立ち上がりエッジでデータ入力信号をサンプリングするために、図2のCDRのデータサンプラモジュール210を使用し得、これは、センス増幅器タイプのフリップフロップであり得る。

【0073】

[0082] 図10のプロセスは、例えば、ステップを追加または変更することによって修正され得る。例えば、クロック出力信号上のグリッチを抑制するためのステップが追加され得る。加えて、複数のステップが同時に行われ得る。

10

【0074】

[0083] 特定の実施形態が上述されたが、例えば、異なる信号極性および異なる数のクロック位相を有するものを含む、多くの変形物が可能である。さらに、1つのモジュールによって実行されると説明された機能は、別のモジュールに移動され得るか、または複数のモジュールにわたって分散され得る。例えば、位相調整モジュール260、位相選択モジュール280、および図4のクロックグリッチ抑制モジュール490は、組み合わせられ得る。加えて、様々な実施形態の特徴は、上述のものとは異なる組み合わせで組み合わせられ得る。

【0075】

[0084] 開示された実施形態の以上の説明は、当業者が本発明を製造または使用することを可能にするために提供される。これらの実施形態に対する様々な修正は、当業者には容易に明らかになり、本明細書に説明された包括的な原理は、本発明の精神または範囲から逸脱することなく、他の実施形態に適用されることができる。よって、本明細書に提示された説明および図面は、発明の現在好まれる実施形態を表し、よって、本発明によって広く企図される主題を表すものであることが理解されるべきである。本発明の範囲が、当業者に自明となり得る他の実施形態を十分に包含することと、本発明の範囲が、添付の特許請求の範囲以外のものによって、その通りに限定されないことがさらに理解される。

20

【 図 1 】

図 1

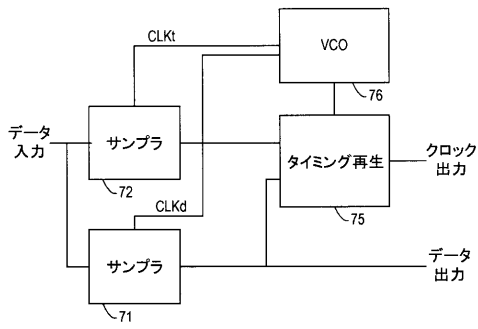


FIG. 1

【 図 2 】

図 2

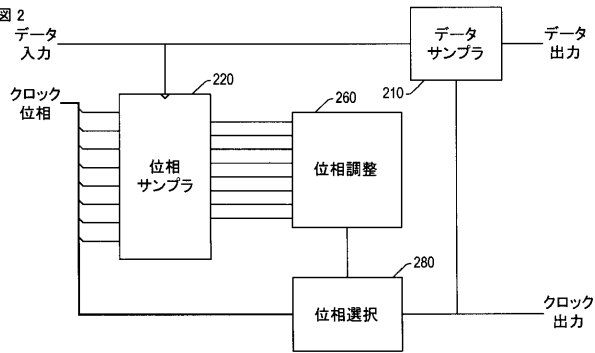


FIG. 2

【 図 4 】

図 4

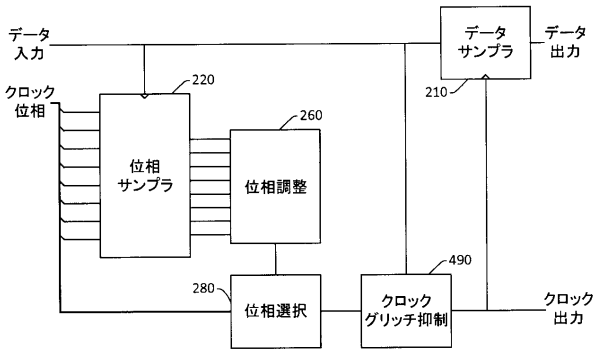


FIG. 4

【 図 3 】

図 3

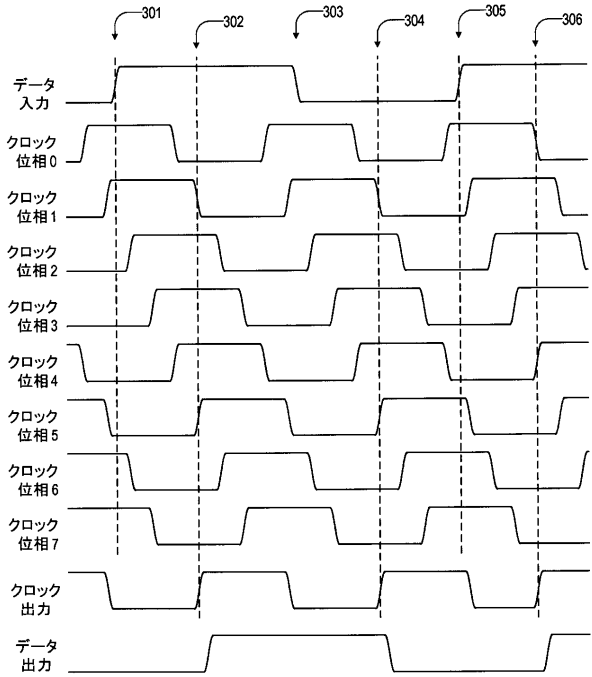


FIG. 3

【 図 5 】

図 5

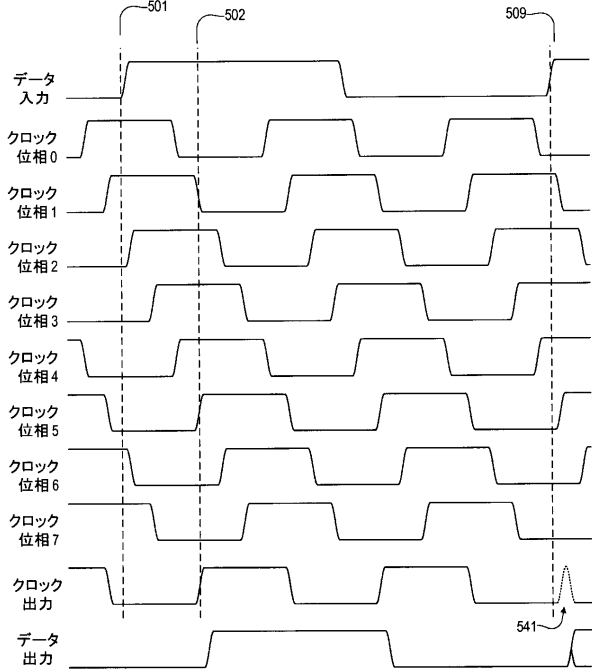


FIG. 5

【 図 6 】

図 6

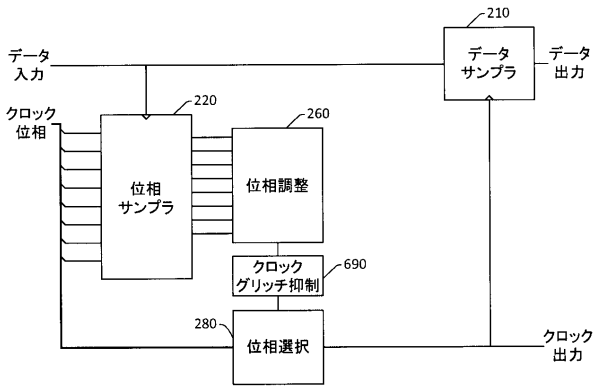


FIG. 6

【 図 7 】

図 7

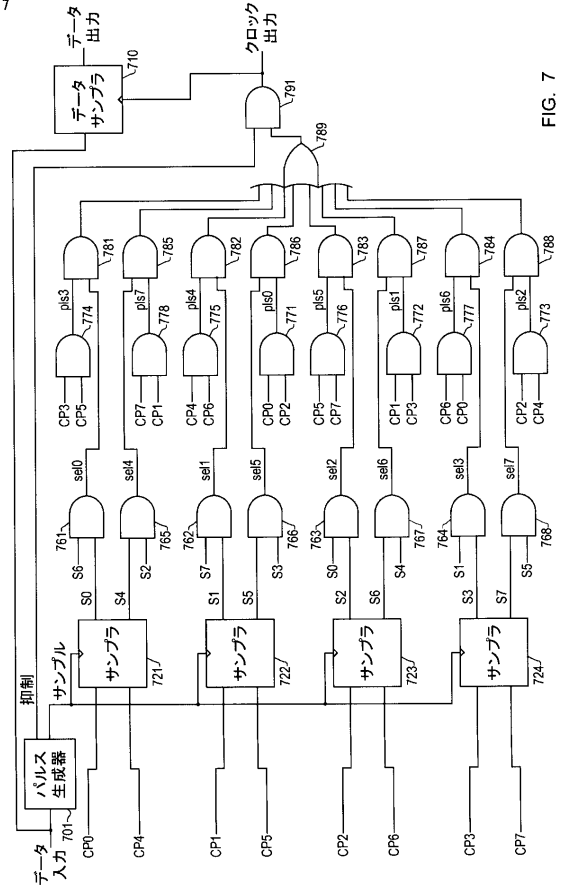


FIG. 7

【 図 8 】

図 8

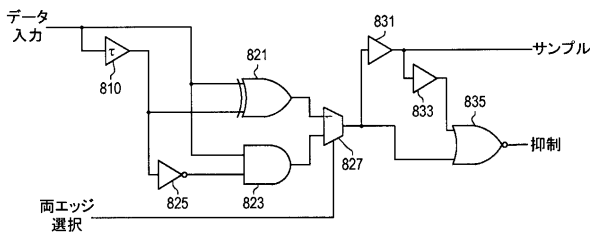


FIG. 8

【 図 9 】

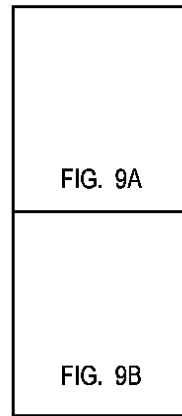


FIG. 9

【 図 9 A 】

図 9A

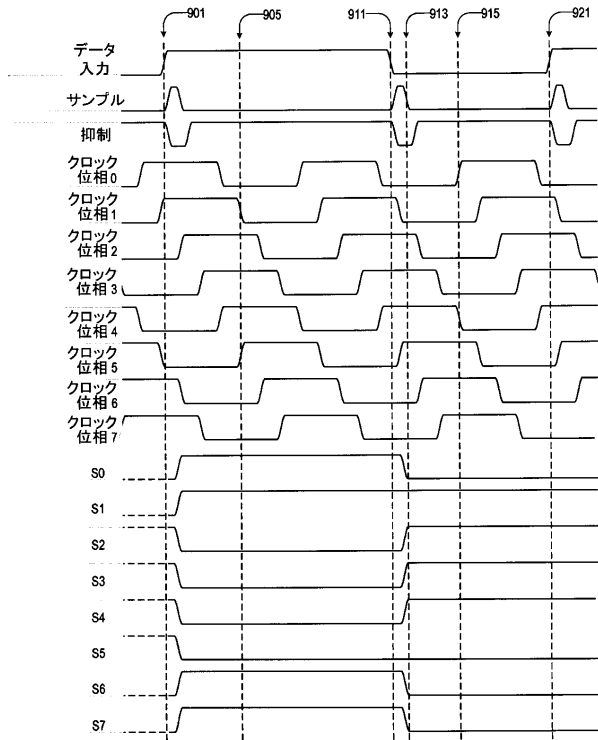


FIG. 9A

【 図 9 B 】

図 9B

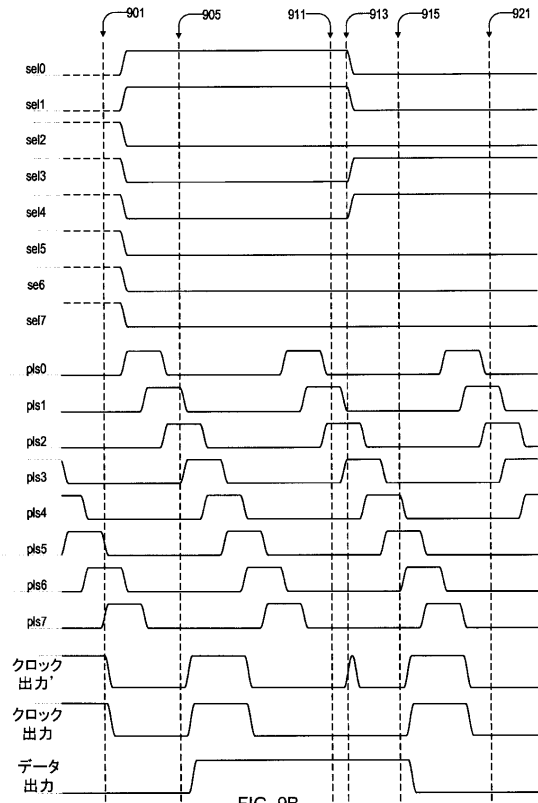


FIG. 9B

【 図 1 0 】

図 10

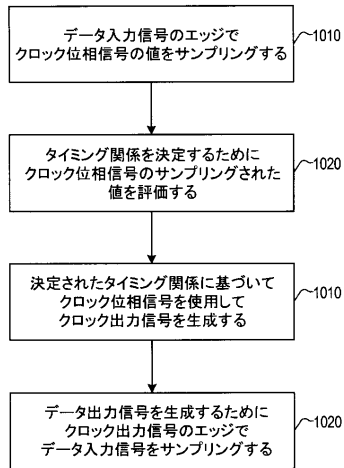


FIG. 10

【手続補正書】

【提出日】平成28年12月21日(2016.12.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

クロック位相信号を使用してシリアルデータ入力信号からクロックおよびデータを再生するための回路であって、前記データ入力信号は、データのシリアルストリームを含み、前記クロック位相信号は、前記データ入力信号のデータレートにほぼ合っている周波数で発振し、前記クロック位相信号は位相において均等に間隔が保たれており、前記回路は、下記を備える、

データ入力信号のエッジでクロック位相信号の値をサンプリングするように構成された位相サンプラと、

前記データ入力信号のそれぞれのエッジの前で立ち上がる前記クロック位相信号の最後を決定し、前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後を利用して、前記データ入力信号と前記クロック位相信号とのタイミング関係を決定するために、前記クロック位相信号の前記サンプリングされた値を評価するように構成された位相調整器と、

前記位相調整器によって決定された前記データ入力信号と前記クロック位相信号との前記タイミング関係に基づいて、前記クロック位相信号を使用してクロック出力信号を生成するように構成された位相選択器と、

前記クロック出力信号のエッジで前記データ入力信号をサンプリングすることによってデータ出力信号を生成するように構成されたデータサンプラ。

【請求項2】

前記位相選択器は、前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後からの所定のオフセットをもつリーディングエッジを有するように前記クロック出力信号を生成するようにさらに構成される、請求項1に記載の回路。

【請求項3】

前記所定のオフセットは、前記クロック位相信号の周期の2分の1に等しい、請求項2に記載の回路。

【請求項4】

前記クロック出力信号上のグリッチを抑制するように構成されたグリッチ抑制モジュールをさらに備える、請求項1に記載の回路。

【請求項5】

前記グリッチ抑制モジュールは、前記データ入力信号のエッジの後の時間間隔の間、前記クロック出力信号を抑制する、請求項4に記載の回路。

【請求項6】

前記クロック位相信号の数は8個である、請求項1に記載の回路。

【請求項7】

前記クロック出力信号は、前記クロック位相信号の周期の3/8のデューティサイクルを有する、請求項6に記載の回路。

【請求項8】

前記位相サンプラは、前記データ入力信号の立ち上がりおよび立ち下がりエッジで前記クロック位相信号の前記値をサンプリングするように構成される、請求項1に記載の回路。

【請求項9】

前記データ入力信号のエッジでサンプルパルス信号を生成するように構成されたパルス生成器モジュールをさらに備え、前記位相サンブラは、前記サンプルパルス信号によってトリガされる前記クロック位相信号の前記値をサンプリングするように構成される、請求項1に記載の回路。

【請求項10】

前記パルス生成器モジュールは、グリッチ抑制パルス信号を生成するようにさらに構成され、前記クロック・データリカバリ回路は、前記グリッチ抑制パルス信号を使用して前記クロック出力信号上のグリッチを抑制するように構成されたグリッチ抑制モジュールをさらに備える、請求項9に記載の回路。

【請求項11】

データ入力信号からクロックおよびデータを再生するための方法であって、
前記データ入力信号のエッジでクロック位相信号の値をサンプリングすることと、
前記データ入力信号のそれぞれのエッジの前で立ち上がる前記クロック位相信号の最後を決定するために、前記クロック位相信号の前記サンプリングされた値を評価することと

、
前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後を利用して、前記データ入力信号と前記クロック位相信号とのタイミング関係を決定することと、

前記データ入力信号と前記クロック位相信号との前記決定されたタイミング関係に基づいて、前記クロック位相信号を使用してクロック出力信号を生成することと、

データ出力信号を生成するために前記クロック出力信号のエッジで前記データ入力信号をサンプリングすることと、

を備える、方法。

【請求項12】

前記クロック出力信号を生成することは、前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後からの所定のオフセットをもつリーディングエッジを有するように前記クロック出力信号を生成することを備える、請求項11に記載の方法。

【請求項13】

前記所定のオフセットは、前記クロック位相信号の周期の2分の1に等しい、請求項12に記載の方法。

【請求項14】

前記クロック出力信号上のグリッチを抑制することをさらに備える、請求項11に記載の方法。

【請求項15】

グリッチを抑制することは、前記データ入力信号のエッジの後の時間間隔の間、前記クロック出力信号を抑制することを備える、請求項14に記載の方法。

【請求項16】

前記クロック位相信号の前記値は、前記データ入力信号の立ち上がりおよび立ち下がりエッジでサンプリングされる、請求項11に記載の方法。

【請求項17】

前記データ入力信号のエッジでサンプルパルス信号を生成することをさらに備え、前記クロック位相信号の前記値をサンプリングすることは、前記サンプルパルス信号を使用する、請求項11に記載の方法。

【請求項18】

グリッチ抑制パルス信号を生成することと、

前記グリッチ抑制パルス信号を使用して前記クロック出力信号上のグリッチを抑制することと、

をさらに備える、請求項17に記載の方法。

【請求項19】

データ入力信号からクロックおよびデータを再生するための装置であって、
前記データ入力信号のエッジでクロック位相信号の値をサンプリングするための手段と

、
前記データ入力信号のそれぞれのエッジの前で立ち上がる前記クロック位相信号の最後を決定し、前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後を利用して、前記データ入力信号と前記クロック位相信号とのタイミング関係を決定するために、前記クロック位相信号の前記サンプリングされた値を評価するための手段と、

前記データ入力信号と前記クロック位相信号との前記決定されたタイミング関係に基づいて、前記クロック位相信号を使用してクロック出力信号を生成するための手段と、

データ出力信号を生成するために前記クロック出力信号のエッジで前記データ入力信号をサンプリングするための手段と、

を含む、装置。

【請求項 20】

前記クロック出力信号を生成するための前記手段は、前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後からの所定のオフセットをもつリーディングエッジを有するように前記クロック出力信号を生成する、請求項 19 に記載の装置。

【請求項 21】

前記所定のオフセットは、前記クロック位相信号の周期の 2 分の 1 に等しい、請求項 20 に記載の装置。

【請求項 22】

前記クロック出力信号上のグリッチを抑制するための手段をさらに備える、請求項 19 に記載の装置。

【請求項 23】

グリッチを抑制するための前記手段は、前記データ入力信号のエッジの後の時間間隔の間、前記クロック出力信号を抑制する、請求項 22 に記載の装置。

【請求項 24】

サンプリングするための前記手段は、前記データ入力信号の立ち上がりおよび立ち下がりエッジで前記クロック位相信号の前記値をサンプリングする、請求項 19 に記載の装置。

【請求項 25】

前記データ入力信号のエッジでサンプルパルス信号を生成するように構成されたパルス生成器モジュールをさらに備え、サンプリングするための前記手段は、前記サンプルパルス信号によってトリガされる前記クロック位相信号の前記値をサンプリングする、請求項 19 に記載の装置。

【請求項 26】

前記パルス生成器モジュールは、グリッチ抑制パルス信号を生成するようにさらに構成され、前記装置は、前記グリッチ抑制パルス信号を使用して前記クロック出力信号上のグリッチを抑制するための手段をさらに備える、請求項 25 に記載の装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0075

【補正方法】変更

【補正の内容】

【0075】

[0084] 開示された実施形態の以上の説明は、当業者が本発明を製造または使用することを可能にするために提供される。これらの実施形態に対する様々な修正は、当業者には容易に明らかになり、本明細書に説明された包括的な原理は、本発明の精神または範囲から逸脱することなく、他の実施形態に適用されることができる。よって、本明細書に提示

された説明および図面は、発明の現在好まれる実施形態を表し、よって、本発明によって広く企図される主題を表すものであることが理解されるべきである。本発明の範囲が、当業者に自明となり得る他の実施形態を十分に包含することと、本発明の範囲が、添付の特許請求の範囲以外のものによって、その通りに限定されないことがさらに理解される。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[C 1]

クロック位相信号を使用してシリアルデータ入力信号からクロックおよびデータを再生するための回路であって、前記データ入力信号は、データのシリアルストリームを含み、前記クロック位相信号は、前記データ入力信号のデータレートにほぼ合っている周波数で発振し、前記クロック位相信号は位相において均等に間隔が保たれており、前記回路は、下記を備える、

データ入力信号のエッジでクロック位相信号の値をサンプリングするように構成された位相サンブラモジュールと、

前記データ入力信号と前記クロック位相信号とのタイミング関係を決定するために、前記クロック位相信号の前記サンプリングされた値を評価するように構成された位相調整モジュールと、

前記位相調整モジュールによって決定された前記データ入力信号と前記クロック位相信号との前記タイミング関係に基づいて、前記クロック位相信号を使用してクロック出力信号を生成するように構成された位相選択モジュールと、

前記クロック出力信号のエッジで前記データ入力信号をサンプリングすることによってデータ出力信号を生成するように構成されたデータサンブラ。

[C 2]

前記位相調整モジュールは、

前記データ入力信号のそれぞれのエッジの前で立ち上がる前記クロック位相信号の最後を決定するために、前記クロック位相信号の前記サンプリングされた値を評価することと

前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後を利用して、前記データ入力信号と前記クロック位相信号との前記タイミング関係を決定することと、

を行うようにさらに構成される、C 1 に記載の回路。

[C 3]

前記位相選択モジュールは、前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後からの所定のオフセットをもつリーディングエッジを有するように前記クロック出力信号を生成するようにさらに構成される、C 2 に記載の回路。

[C 4]

前記所定のオフセットは、前記クロック位相信号の周期の2分の1に等しい、C 3 に記載の回路。

[C 5]

前記クロック出力信号上のグリッチを抑制するように構成されたグリッチ抑制モジュールをさらに備える、C 1 に記載の回路。

[C 6]

前記グリッチ抑制モジュールは、前記データ入力信号のエッジの後の時間間隔の間、前記クロック出力信号を抑制する、C 5 に記載の回路。

[C 7]

前記クロック位相信号は8個である、C 1 に記載の回路。

[C 8]

前記クロック出力信号は、前記クロック位相信号の周期の3/8のデューティサイクルを有する、C 7 に記載の回路。

[C 9]

前記位相サンブラモジュールは、前記データ入力信号の立ち上がりおよび立ち下がりエッジで前記クロック位相信号の前記値をサンプリングするように構成される、C 1 に記載の回路。

[C 1 0]

前記データ入力信号のエッジでサンプルパルス信号を生成するように構成されたパルス生成器モジュールをさらに備え、前記位相サンブラモジュールは、前記サンプルパルス信号によってトリガされる前記クロック位相信号の前記値をサンプリングするように構成される、C 1 に記載の回路。

[C 1 1]

前記パルス生成器モジュールは、グリッチ抑制パルス信号を生成するようにさらに構成され、前記クロック・データリカバリ回路は、前記グリッチ抑制パルス信号を使用して前記クロック出力信号上のグリッチを抑制するように構成されたグリッチ抑制モジュールをさらに備える、C 1 0 に記載の回路。

[C 1 2]

データ入力信号からクロックおよびデータを再生するための方法であって、
前記データ入力信号のエッジでクロック位相信号の値をサンプリングすることと、
前記データ入力信号と前記クロック位相信号とのタイミング関係を決定するために、前記クロック位相信号の前記サンプリングされた値を評価することと、
前記データ入力信号と前記クロック位相信号との前記決定されたタイミング関係に基づいて、前記クロック位相信号を使用してクロック出力信号を生成することと、
データ出力信号を生成するために前記クロック出力信号のエッジで前記データ入力信号をサンプリングすることと、
を備える、方法。

[C 1 3]

前記クロック位相信号の前記サンプリングされた値を評価することは、
前記データ入力信号のそれぞれのエッジの前で立ち上がる前記クロック位相信号の最後を決定するために、前記クロック位相信号の前記サンプリングされた値を評価することと、
前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後を利用して、前記データ入力信号と前記クロック位相信号との前記タイミング関係を決定することと、
を備える、C 1 2 に記載の方法。

[C 1 4]

前記クロック出力信号を生成することは、前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後からの所定のオフセットをもつリーディングエッジを有するように前記クロック出力信号を生成することを備える、C 1 3 に記載の方法。

[C 1 5]

前記所定のオフセットは、前記クロック位相信号の周期の2分の1に等しい、C 1 4 に記載の方法。

[C 1 6]

前記クロック出力信号上のグリッチを抑制することをさらに備える、C 1 2 に記載の方法。

[C 1 7]

グリッチを抑制することは、前記データ入力信号のエッジの後の時間間隔の間、前記クロック出力信号を抑制することを備える、C 1 6 に記載の方法。

[C 1 8]

前記クロック位相信号の前記値は、前記データ入力信号の立ち上がりおよび立ち下がりエッジでサンプリングされる、C 1 2 に記載の方法。

[C 1 9]

前記データ入力信号のエッジでサンプルパルス信号を生成することをさらに備え、前記クロック位相信号の前記値をサンプリングすることは、前記サンプルパルス信号を使用する、C 1 2 に記載の方法。

[C 2 0]

グリッチ抑制パルス信号を生成することと、

前記グリッチ抑制パルス信号を使用して前記クロック出力信号上のグリッチを抑制することと、

をさらに備える、C 1 9 に記載の方法。

[C 2 1]

データ入力信号からクロックおよびデータを再生するための装置であって、

前記データ入力信号のエッジでクロック位相信号の値をサンプリングするための手段と

前記データ入力信号と前記クロック位相信号とのタイミング関係を決定するために、前記クロック位相信号の前記サンプリングされた値を評価するための手段と、

前記データ入力信号と前記クロック位相信号との前記決定されたタイミング関係に基づいて、前記クロック位相信号を使用してクロック出力信号を生成するための手段と、

データ出力信号を生成するために前記クロック出力信号のエッジで前記データ入力信号をサンプリングするための手段と、

を含む、装置。

[C 2 2]

前記クロック位相信号の前記サンプリングされた値を評価するための前記手段は、さらに、

前記データ入力信号のそれぞれのエッジの前で立ち上がる前記クロック位相信号の最後を決定するために、前記クロック位相信号の前記サンプリングされた値を評価することと

前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後を利用して、前記データ入力信号と前記クロック位相信号との前記タイミング関係を決定することと、

を行うためのものである、C 2 1 に記載の装置。

[C 2 3]

前記クロック出力信号を生成するための前記手段は、前記データ入力信号の前記それぞれのエッジの前で立ち上がる前記クロック位相信号の前記最後からの所定のオフセットをもつリーディングエッジを有するように前記クロック出力信号を生成する、C 2 2 に記載の装置。

[C 2 4]

前記所定のオフセットは、前記クロック位相信号の周期の2分の1に等しい、C 2 3 に記載の装置。

[C 2 5]

前記クロック出力信号上のグリッチを抑制するための手段をさらに備える、C 2 1 に記載の装置。

[C 2 6]

グリッチを抑制するための前記手段は、前記データ入力信号のエッジの後の時間間隔の間、前記クロック出力信号を抑制する、C 2 5 に記載の装置。

[C 2 7]

サンプリングするための前記手段は、前記データ入力信号の立ち上がりおよび立ち下がりエッジで前記クロック位相信号の前記値をサンプリングする、C 2 1 に記載の装置。

[C 2 8]

前記データ入力信号のエッジでサンプルパルス信号を生成するように構成されたパルス生成器モジュールをさらに備え、サンプリングするための前記手段は、前記サンプルパルス信号によってトリガされる前記クロック位相信号の前記値をサンプリングする、C 2 1

に記載の装置。

[C 2 9]

前記パルス生成器モジュールは、グリッチ抑制パルス信号を生成するようにさらに構成され、前記装置は、前記グリッチ抑制パルス信号を使用して前記クロック出力信号上のグリッチを抑制するための手段をさらに備える、C 2 8に記載の装置。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No PCT/US2015/020997

A. CLASSIFICATION OF SUBJECT MATTER INV. H04L7/033 H03L7/08 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03L H04L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 822 683 A2 (CELT CENTRO STUDI LAB TELECOM [IT] TELECOM ITALIA SPA [IT]) 4 February 1998 (1998-02-04) column 1, line 55 - column 8, line 34; figures 1-3	1-29
X	EP 1 172 962 A2 (TEKTRONIX INC [US]) 16 January 2002 (2002-01-16) paragraph [0014] - paragraph [0018]; figures 1-4	1,5,12, 16,21,25
A	US 2011/175758 A1 (IQBAL ASIF [IN] ET AL) 21 July 2011 (2011-07-21) paragraph [0065] - paragraph [0076]; figures 6,7	1-29
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 15 June 2015		Date of mailing of the international search report 23/06/2015
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Aouichi, Mohamed

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2015/020997

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0822683	A2	04-02-1998	CA 2212292 A1 31-01-1998 DE 69734954 T2 24-08-2006 EP 0822683 A2 04-02-1998 IT T0960665 A1 02-02-1998 JP 3217017 B2 09-10-2001 JP H1091578 A 10-04-1998 US 6067334 A 23-05-2000
EP 1172962	A2	16-01-2002	EP 1172962 A2 16-01-2002 JP 2002094494 A 29-03-2002
US 2011175758	A1	21-07-2011	NONE

フロントページの続き

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72) 発明者 ソン、ユ

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付

(72) 発明者 ディフェンダーファー、ジャン・クリスチャン

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付

(72) 発明者 チェン、ナン

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付

(72) 発明者 ウェスト、デイビッド・イアン

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付

(72) 発明者 ピアニ、ポール・ローレンス

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付

Fターム(参考) 5K047 AA02 AA06 GG24 GG29