

申請日期	83.11.16
案 號	83110649
類 別	Int.·C1 ⁶ H01L 21/302

308711

A4
C4

308711

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	將微結構平面化之方法
	英 文	METHOD OF PLANARIZING MICROSTRUCTURES
二、發明 人	姓 名	彼德慕摩拉
	國 籍	美國
	住、居所	美國康州罕汀頓市四月巷 22 號
三、申請人	姓 名 (名稱)	美商休斯飛機公司
	國 籍	美國
	住、居所 (事務所)	美國加州洛杉磯休斯坪 7200 號
	代 表 人 姓 名	丹森樓

裝

訂

線

308711

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

美

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
1993.11.17. 08/153,681

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

本發明大體言之，係有關一種將微結構平面化的方法，更明確地說，係有關一種像這樣的方法，此種特定方法，包括了讓表面有著平面處理層的微結構接受等離子輔助化學蝕刻步驟的步驟。

在目前的微結構（譬如，積體電路）的製造期間，習慣將結構成形在表面內或表面上，繼之，（通常預期另外一道構製步驟）將物料平面層成形在結構上，如此，接下來的構製步驟，可以在順平的表面上來作。再者，物料的平面處理層，作為結構之間的電與／或熱的絕緣物。典型地，在積體電路的構製裡，這個過程可被重複多次。

現在，最終的平面處理步驟，是以自身調平塗層的物理與／或化學的拋光來作。意即，微結構被覆以物料的平面處理層，如此，微結構被完全地覆住，而外露的物料平面是比較平順的。物料的平面處理層，接著被利用傳統的與商購的裝備作物理地與／或化學地拋光。這個傳統方法有多項缺點。例如，實際的拋光處理（無論處理方法是物理的、傳統的化學蝕刻或反應離子蝕刻），一般皆會在自我調平的物料層留下缺陷，而會降低隨後的處理步驟的精確性，因而降低製造過程的總產量。再者，傳統的化學與機械技術，在最終的膜產生不一致的厚度。此外，特別是在現代化積體電路的構製方面，這些傳統的過程，可能是一個微粒污染源，而會大幅地降低積體電路製造過程的產量。事實很清楚，傳統拋光過程的常見貶損是需要與自身

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(2)

調平物料作物理接觸。另外；爲了確保自身調平層物料與隨後過程裏其所外曝的溫度與物料的相容，必須非常謹慎地選擇自身調平層物料。

因此，一種既精確又乾淨將微結構平面化的方法，在整個微結構業界受到高度歡迎，而在積體電路與半導體的製造界，則極受歡迎。

發明之概述

本發明的目的之一，是提供一種能基本上完全克服上述傳統過程諸項缺點的將微結構平面化的方法。這個目的的達成（至少是部分地），是靠著一種方法，而這種方法包括了一個步驟，即讓表面有著平面處理層的微結構，接受一道無接觸的等離子輔助的化學蝕刻步驟，以使表面污染降低，並爲隨後的處理步驟提供一個較爲順平的表面。

本發明的其他目的與優點，精於此種技藝的人士，配合附圖及申請專利範圍研讀稍後的較佳實施例說明，當可明白。

附圖簡說

這些未依比例繪出的附圖，計有圖 1 A 至圖 1 C。它們分別是將一層物料平面化與具體化本發明原理之方法實施期間，微結構在不同階段裏的斷面圖。

較佳實施例說明

圖 1 A 到圖 1 C，說明了一種具體化本發明諸項原理的方法。如圖 1 A 所示，可於其上面實施本發明方法的起始工件，是一個微結構 10。本專利申請書裡所用的詞語“

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(3)

微結構”以及它的任何一種變用語，皆是為指出較基片表面浮凸裝置之尺維小得多了的表面浮凸裝置，橫向地與直向地皆小於一毫米。

如圖 1 A 之實施例所示，微結構 10 包括了一塊基片 12，基片 12 擁有一個表面 14，表面 14 上面有一系列的裝置 16。在一較佳實施例裡，基片 12 是一塊半導體晶片。另外，在這樣的一個實施例裡，半導體晶片的表面 14 上的裝置 16，可以是積體電路裝置的各元件。在一個特別的實施例裡，裝置 16 的高度，從基片 12 的表面 14 來量，從 0.001 微米到 1.0 微米不等。

在圖 1 B 所示的實施例裡，平面處理層 18 成形在表面 12 上，如此，裝置 16 的所有部分皆被覆層，而一個較為平面的平面 20 放焉建立。典型地，平面處理層 18 可利用已知的厚膜半導體製造技術來成形。在一個較佳的實施例裡，層 18 是一種用傳統的化學蒸敷法技術形成的氧化物，例如，二氧化矽。如下面更完整地予以討論，物料層 18（靠著利用本發明方法）可以成形為一個較傳統技術用的厚度大的厚度。供應厚度增加的物料層 18 的能力是合乎利益的，因為較厚的層，一般可以生產較平的上表面，而此較平的上表面，不會露出位於下面的表面浮凸形狀。在平面處理物料層 18 處理在表面 14 上與較平表面 20 建立後，微結構 10 接受一個分析，用來測量在表面 20 上的層 18 的厚度。特別有利的是，裝置 16（擁有相對於表面 12 的最大高度）處的層 18 厚度，意即層 18 的最厚部分，因此，裝置 16 將會限制

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(4)

物料可被去除的深度。典型地，舉例來說，在微結構10是一個半導體裝置的例子裡，層18未被去除外露出裝置16的任何部分，但是却被打薄，致使隨後的處理步驟，得以無不當干擾地在裝置16上實施。典型地，在微結構10是一個半導體積體電路的實施例裡，為隨後的構製過程留了最少0到0.05微米，從裝置16(有著表面12上最高高度的塗層物料層18)處量起。

現在已有很多測量技術，可以用來測量塗層物料層18在表面20上的厚度。例如，一種技術牽涉到一種光譜儀，光譜儀從光譜反射信號逐點地計算表面20的每一點的厚度。厚度的數據，亦可利用諸如偏振光橢圓率測量儀或高頻聲光裝置的儀器來決定。選擇厚度測量裝置的一個主要標準，是其工作波長必須在物料層18的透明範圍之內。例如，如果物料層18是二氧化矽，可見波長光譜反射儀擁有一項優點，因為很多點可被快速地測量，以行繪出厚度型面數據圖。測量步驟可以藉著相互地換算厚度型面測量儀器與工件來達成。或者，因為有著相對平面12最大高度的裝置16的大概位置某種程度地已知，在測量步驟期間，可被利用的點測量數，比如果全部表面分析工作需要點測量而無這類資料少。

然而，在較佳實施例裡，塗層物料層18的厚度型面，其決定是靠著利用一種全部表面造影的光譜反射儀，譬如揭述在1991年12月6日提出的07/804872號美國專利，專利名稱為薄膜厚度測量裝置與方法，現已轉讓給本專利

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

申請的受讓人，其教示在此提出以供參考。在上述的美國專利申請裡揭述了一種裝置，在它的一個實施例裡，它本質上將一個表面影像，導到一個電荷耦接的攝影機上。影像然後被數字化，以與對應已知層厚度的一組儲存的光譜反射信號作比較，並提供表面膜層的厚度型面圖。

塗層物料層18的厚度型面圖，然後被用來形成一個停留時間與位置的關係圖，譬如揭述在1991年5月7日提出的07/696897號美國專利的關係圖。這個專利的名稱為從晶片去除物料的系統。如本專利申請所述，一套去除物料的系統被構思出，其中，一種等離子輔助的化學蝕刻工具，乃依照停留時間與位置關係圖來控制，藉以從晶片去除物料。像這樣的等離子系統，是一種去除物料的無接觸方法。意即，等離子物料被選出，如此，化學反應會在等離子發生的反應物與被蝕刻的物料之間發生。結果是，處理期間外露的物料層18的表面22，未受到過程本身的損傷。這個特性連同塗層物料層18的去除是特別有用的，因為蝕刻期間外露的表面22，可能被用來作為隨後的處理步驟的基礎。事實上，現在已經發現，在等離子輔助的化學蝕刻期間外露的表面22，其表面的厚度有著小變化。其結果是，在等離子蝕刻期間外露的表面22，提供了一個極佳的基礎，隨後的構製過程即在此基礎上進行。

雖然本發明是以各種安排與步驟來說明，但是，諸君應了解，精於此種工藝的人士，當可作出其他不脫離本發明精神與範圍的設計與安排。因此，本發明應祇受限於稍

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

後的申請專利範圍及其合理的解釋。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：將微結構平面化之方法)

本發明係有關一種將微結構平面化的方法，此種平面化的方法，包括的步驟是：在微結構上面供應一層物料，如此，形成了一個有著塗層的表面；測量表面上面的層的厚度，形成一個停留時間與位置的關係圖；依照停留時間與位置的關係圖，利用一件等離子輔助的化學蝕刻工具，從物料層去除物料。

英文發明摘要(發明之名稱：METHOD OF PLANARIZING MICROSTRUCTURES)

A method of planarizing a microstructure (16) includes the steps of providing a layer (18) of material over the microstructure (16) such that an overcoating surface (20) is formed, measuring the thickness of the layer (18) across the surface (20) forming a dwell time versus position map and removing material from the layer (18) of material by use of a plasma assisted chemical etching tool in accordance with the dwell time versus position map.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

- 1 一種將微結構平面化的方法，微結構有一組自其表面延伸的裝置，而此種方法的步驟包括了：

在上述微結構上供應一層物料，如此，有著塗層的表面於焉形成；

測量其表面上上述層的厚度；

形成一個停留時間與位置的關係圖；

利用等離子輔助的化學蝕刻工具，從上述的物料層去除物料，上述的物料去除，乃依照上述的停留時間與位置的關係圖來作。

- 2 如申請專利範圍第 1 項的方法，其中，上述的層供應步驟，在上述的裝置被覆層前一直進行。
- 3 如申請專利範圍第 1 項的方法，其中，上述的層供應步驟，包括了將物料沉積在上述的微結構的步驟，藉以在上述的微結構上面建立上述的物料層。
- 4 如申請專利範圍第 1 項的方法，其中，上述的層供應步驟，包括了將上述的層形成約 1 到 5 微米的最低厚度。
- 5 如申請專利範圍第 1 項的方法，其中，上述的測量步驟，包括了計算上述平面表面一組點的厚度的步驟。
- 6 如申請專利範圍第 1 項的方法，其中，上述的測量步驟，包括了逐點地計算上述一組點的厚度的步驟。
- 7 如申請專利範圍第 6 項的方法，其中，上述的測量步驟，包括了利用全部表面造影光譜反射儀計算上述表面之厚度的步驟。
- 8 如申請專利範圍第 1 項的方法，其中，上述的沉積步驟

六、申請專利範圍

，包括了將透明物料沉積到上述全部表面干涉儀。

9. 如申請專利範圍第 1 項的方法，其中，上述的除物料步驟，包括了從上述的層去除物料，以使最低程度 0 到 0.05 微米的物料留在上述的裝置，上述的裝置，在上述的微結構的上述表面上高度最高。

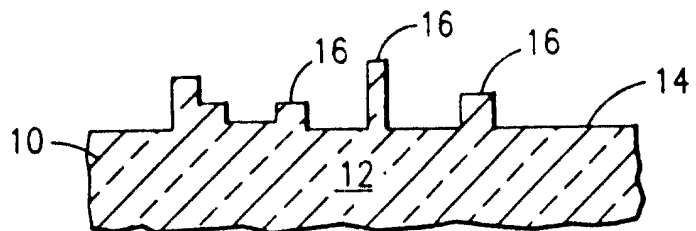
(請先閱讀背面之注意事項再填寫本頁)

裝

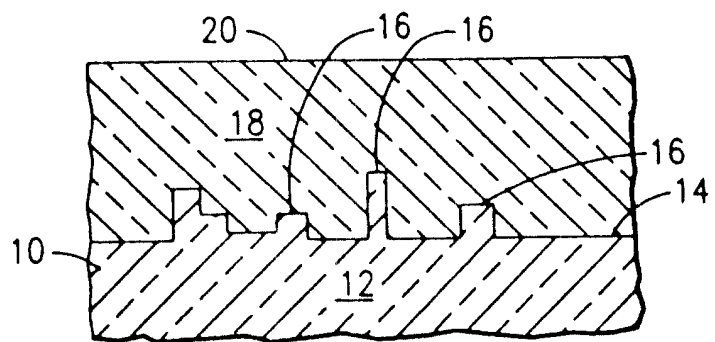
訂

線

第 1A 圖



第 1B 圖



第 1C 圖

