

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
13. Mai 2004 (13.05.2004)

PCT

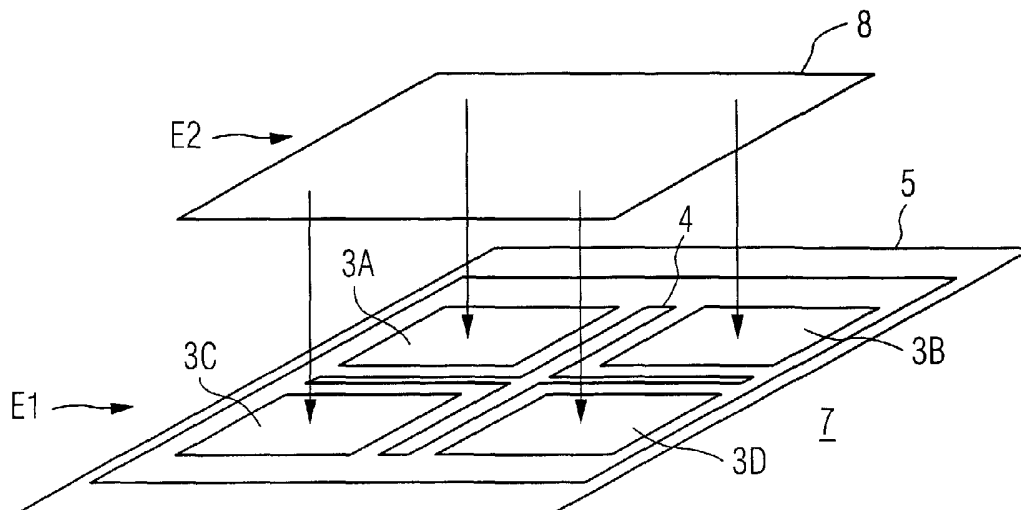
(10) Internationale Veröffentlichungsnummer
WO 2004/040766 A3

- (51) Internationale Patentklassifikation⁷: **H03K 19/177** (72) Erfinder; und
(21) Internationales Aktenzeichen: PCT/DE2003/003524 (75) Erfinder/Anmelder (*nur für US*): SIEMERS, Christian
[DE/DE]; Mary-Cassatt-Ring 38, 38446 Wolfsburg (DE).
(22) Internationales Anmeldedatum: 23. Oktober 2003 (23.10.2003) (74) Gemeinsamer Vertreter: SIEMENS AKTIENGE-
SELLSCHAFT; Postfach 22 16 34, 80506 München
(25) Einreichungssprache: Deutsch (DE).
(26) Veröffentlichungssprache: Deutsch (81) Bestimmungsstaaten (*national*): CN, JP, KR, US.
(30) Angaben zur Priorität: 102 49 676.5 24. Oktober 2002 (24.10.2002) DE (84) Bestimmungsstaaten (*regional*): europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von* US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, 80333 München (DE).
Veröffentlicht:
— mit internationalem Recherchenbericht

[Fortsetzung auf der nächsten Seite]

(54) Title: PROGRAMMABLE LOGIC DEVICE

(54) Bezeichnung: EINRICHTUNG DER PROGRAMMIERBAREN LOGIK



(57) **Abstract:** The invention relates to a programmable logic device (7) comprising several logic blocks (3A to 3D) with configurable characteristics, elements for linking the logic blocks to one another and a processing unit (4) and an input/output unit (5). In addition, the linking elements have at least one configurable changeover logic block, enabling the logic blocks (3A to 3D) to be re-configured during the operation of the logic device (7). Said changeover logic block is used for the configuration of at least one of the re-configurable logic blocks (3A to 3D) and its connection to other blocks and/or its connection to the processing unit (4) and/or to the input/output unit (5).

(57) **Zusammenfassung:** Die Einrichtung (7) der programmierbaren Logik umfasst mehrere Logikblöcke (3A bis 3D) mit konfigurierbaren Eigenschaften und Mittel zum Verknüpfen der Logikblöcke untereinander und mit einer Verarbeitungseinheit (4) und einer Ein-/Ausgabeeinheit (5). Eine Rekonfigurierbarkeit der Logikblöcke (3A bis 3D) während des Betriebs der Logikeinrichtung (7) ist dadurch gegeben, dass die Verknüpfungsmittel zusätzlich wenigstens einen konfigurierbaren Umschalt-Logikblock (8) aufweisen, mit dem die Konfiguration wenigstens einiger der rekonfigurierbaren Logikblöcke (3A bis 3D) untereinander und/oder mit der Verarbeitungseinheit (4) und/oder der Ein-/Ausgabeeinheit (5) erfolgt.



WO 2004/040766 A3



— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(88) Veröffentlichungsdatum des internationalen

Recherchenberichts:

28. Oktober 2004

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/DE 03/03524

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H03K19/177

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	TESSIER R ET AL: "RECONFIGURABLE COMPUTING FOR DIGITAL SIGNAL PROCESSING: A SURVEY" JOURNAL OF VLSI SIGNAL PROCESSING SYSTEMS FOR SIGNAL, IMAGE, AND VIDEO TECHNOLOGY, KLUWER ACADEMIC PUBLISHERS, DORDRECHT, NL, vol. 28, no. 1/2, May 2001 (2001-05), pages 7-27, XP001116960 ISSN: 0922-5773 pages 21-22; figures 6,7 ----- -/--	1-5

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

° Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

7 September 2004

Date of mailing of the international search report

21/09/2004

Name and mailing address of the ISA
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Olloff, H

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 03/03524

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	SIEMERS C ET AL: "Reconfigurable computing based on universal configurable blocks—a new approach for supporting performance- and realtime-dominated applications" COMPUTER ARCHITECTURE CONFERENCE, 2000. ACAC 2000. 5TH AUSTRALASIAN CANBERRA, ACT, AUSTRALIA 31 JAN.-3 FEB. 2000, LOS ALAMITOS, CA, USA, IEEE COMPUT. SOC, US, 31 January 2000 (2000-01-31), pages 82-89, XP010370824 ISBN: 0-7695-0512-0 Paragraphen 4.3 und 4.4, figures 4,5	1-5
X	SKLYAROV V: "Reconfigurable models of finite state machines and their implementation in FPGAs" JOURNAL OF SYSTEMS ARCHITECTURE, ELSEVIER SCIENCE PUBLISHERS BV., AMSTERDAM, NL, vol. 47, no. 14-15, August 2002 (2002-08), pages 1043-1064, XP004375020 ISSN: 1383-7621 Paragraphen 6 mit 10 figures 8c,10	1-5
A	CHIEN A A ET AL: "MORPH: a system architecture for robust high performance using customization (an NSF 100 TeraOps point design study)" FRONTIERS OF MASSIVELY PARALLEL COMPUTING, 1996. PROCEEDINGS FRONTIERS '96., SIXTH SYMPOSIUM ON THE ANNAPOLIS, MA, USA 27-31 OCT. 1996, LOS ALAMITOS, CA, USA, IEEE COMPUT. SOC, US, 27 October 1996 (1996-10-27), pages 336-345, XP010201607 ISBN: 0-8186-7551-9 the whole document	1-5
A	RABAEY J M: "Hybrid reconfigurable processors—the road to low-power consumption" VLSI DESIGN, 1998. PROCEEDINGS., 1998 ELEVENTH INTERNATIONAL CONFERENCE ON CHENNAI, INDIA 4-7 JAN. 1998, LOS ALAMITOS, CA, USA, IEEE COMPUT. SOC, US, 4 January 1998 (1998-01-04), pages 300-303, XP010263449 ISBN: 0-8186-8224-8 Abschnitt "4. THE BERKELEY PLEIADES PROJECT", figure 5 ----- -/--	1-5

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/DE 03/03524

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DEVADAS S ET AL: "DECOMPOSITION AND FACTORIZATION OF SEQUENTIAL FINITE STATE MACHINES" IEEE TRANSACTIONS ON COMPUTER AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, IEEE INC. NEW YORK, US, vol. 8, no. 11, 1 November 1989 (1989-11-01), pages 1206-1217, XP000126892 ISSN: 0278-0070 the whole document	1-5
A	US 2002/143505 A1 (DRUSINSKY DORON) 3 October 2002 (2002-10-03) cited in the application abstract	1-5
X	WO 00/69072 A (MORPHICS TECH INC) 16 November 2000 (2000-11-16) abstract; claim 1; figures 1,2,8,9	1-5
A	US 4 870 302 A (FREEMAN ROSS H) 26 September 1989 (1989-09-26) cited in the application abstract	1-5
P,X	P.M. HEYSTERS, J.M. SMIT, B. MOLENKAMP: "Reconfigurable Architecture for Handheld Devices" PROCEEDINGS OF THE 3D PROGRESS WORKSHOP ON EMBEDDED SYSTEMS, 24 October 2002 (2002-10-24), XP002295073 UTRECHT the whole document	1-5
P,X	C. SIEMERS: "Configurable Computing - Ansätze, Chancen und Herausforderungen" TAGUNGSBAND EMBEDDED WORLD 2003, February 2003 (2003-02), pages 631-648, XP002295074 Abschnitt "4 Entwicklungsmethodik für Reconfigurable Computing", figure 16	1-5
A	M KÖSTER, J. TEICH: "(Self-)reconfigurable Finite State Machines: Theory and Implementation" PROCEEDINGS OF THE 2002 DESIGN, AUTOMATION AND TEST IN EUROPE CONFERENCE AND EXHIBITION, 4 March 2002 (2002-03-04), pages 1-8, XP002295075 PARIS the whole document	1-5
	----- -/--	

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/DE 03/03524

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	C. SIEMERS, S. WENNEKERS: "The Universal Configurable Block/Machine System - An Approach for a Homogeneous Configurable SoC-Architecture" PROCEEDINGS OF THE WORKSHOP HETEROGENEOUS RECONFIGURABLE SYSTEMS ON CHIP - SOC -, February 2002 (2002-02), pages 1-6, XP002295076 HAMBURG figure 4	1-5
A	----- E. CANTO ET AL.: "A Temporal Bipartitioning Algorithm for Dynamically Reconfigurable FPGAs" IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION - VLSI - SYSTEMS, vol. 9, no. 1, February 2001 (2001-02), pages 210-218, XP002295077 the whole document	1-5
A	----- HARTENSTEIN R: "Coarse grain reconfigurable architectures" CONFERENCE PROCEEDINGS ARTICLE, 30 January 2001 (2001-01-30), pages 564-569, XP010537867 the whole document -----	1-5

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 03/03524

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2002143505 A1	03-10-2002	NONE	
WO 0069072 A	16-11-2000	AU 5127500 A CA 2371077 A1 EP 1177630 A1 JP 2002544699 T WO 0069072 A1 US 6333641 B1	21-11-2000 16-11-2000 06-02-2002 24-12-2002 16-11-2000 25-12-2001
US 4870302 A	26-09-1989	US RE34363 E	31-08-1993

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 03/03524

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H03K19/177

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H03K

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ^a	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	TESSIER R ET AL: "RECONFIGURABLE COMPUTING FOR DIGITAL SIGNAL PROCESSING: A SURVEY" JOURNAL OF VLSI SIGNAL PROCESSING SYSTEMS FOR SIGNAL, IMAGE, AND VIDEO TECHNOLOGY, KLUWER ACADEMIC PUBLISHERS, DORDRECHT, NL, Bd. 28, Nr. 1/2, Mai 2001 (2001-05), Seiten 7-27, XP001116960 ISSN: 0922-5773 Seiten 21-22; Abbildungen 6,7 ----- -/--	1-5

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

^a Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

7. September 2004

Absendedatum des internationalen Recherchenberichts

21/09/2004

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Oloff, H

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	SIEMERS C ET AL: "Reconfigurable computing based on universal configurable blocks-a new approach for supporting performance- and realtime-dominated applications" COMPUTER ARCHITECTURE CONFERENCE, 2000. ACAC 2000. 5TH AUSTRALASIAN CANBERRA, ACT, AUSTRALIA 31 JAN.-3 FEB. 2000, LOS ALAMITOS, CA, USA, IEEE COMPUT. SOC, US, 31. Januar 2000 (2000-01-31), Seiten 82-89, XP010370824 ISBN: 0-7695-0512-0 Paragraphen 4.3 und 4.4, Abbildungen 4,5	1-5
X	SKLYAROV V: "Reconfigurable models of finite state machines and their implementation in FPGAs" JOURNAL OF SYSTEMS ARCHITECTURE, ELSEVIER SCIENCE PUBLISHERS BV., AMSTERDAM, NL, Bd. 47, Nr. 14-15, August 2002 (2002-08), Seiten 1043-1064, XP004375020 ISSN: 1383-7621 Paragraphen 6 mit 10 Abbildungen 8c, 10	1-5
A	CHIEN A A ET AL: "MORPH: a system architecture for robust high performance using customization (an NSF 100 TeraOps point design study)" FRONTIERS OF MASSIVELY PARALLEL COMPUTING, 1996. PROCEEDINGS FRONTIERS '96., SIXTH SYMPOSIUM ON THE ANNAPOLIS, MA, USA 27-31 OCT. 1996, LOS ALAMITOS, CA, USA, IEEE COMPUT. SOC, US, 27. Oktober 1996 (1996-10-27), Seiten 336-345, XP010201607 ISBN: 0-8186-7551-9 das ganze Dokument	1-5
A	RABAEY J M: "Hybrid reconfigurable processors-the road to low-power consumption" VLSI DESIGN, 1998. PROCEEDINGS., 1998 ELEVENTH INTERNATIONAL CONFERENCE ON CHENNAI, INDIA 4-7 JAN. 1998, LOS ALAMITOS, CA, USA, IEEE COMPUT. SOC, US, 4. Januar 1998 (1998-01-04), Seiten 300-303, XP010263449 ISBN: 0-8186-8224-8 Abschnitt "4. THE BERKELEY PLEIADES PROJECT", Abbildung 5	1-5

-/--

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	DEVADAS S ET AL: "DECOMPOSITION AND FACTORIZATION OF SEQUENTIAL FINITE STATE MACHINES" IEEE TRANSACTIONS ON COMPUTER AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, IEEE INC. NEW YORK, US, Bd. 8, Nr. 11, 1. November 1989 (1989-11-01), Seiten 1206-1217, XP000126892 ISSN: 0278-0070 das ganze Dokument	1-5
A	US 2002/143505 A1 (DRUSINSKY DORON) 3. Oktober 2002 (2002-10-03) in der Anmeldung erwähnt Zusammenfassung	1-5
X	WO 00/69072 A (MORPHICS TECH INC) 16. November 2000 (2000-11-16) Zusammenfassung; Anspruch 1; Abbildungen 1,2,8,9	1-5
A	US 4 870 302 A (FREEMAN ROSS H) 26. September 1989 (1989-09-26) in der Anmeldung erwähnt Zusammenfassung	1-5
P,X	P.M. HEYSTERS, J.M. SMIT, B. MOLENKAMP: "Reconfigurable Architecture for Handheld Devices" PROCEEDINGS OF THE 3D PROGRESS WORKSHOP ON EMBEDDED SYSTEMS, 24. Oktober 2002 (2002-10-24), XP002295073 UTRECHT das ganze Dokument	1-5
P,X	C. SIEMERS: "Configurable Computing - Ansätze, Chancen und Herausforderungen" TAGUNGSBAND EMBEDDED WORLD 2003, Februar 2003 (2003-02), Seiten 631-648, XP002295074 Abschnitt "4 Entwicklungsmethodik für Reconfigurable Computing", Abbildung 16	1-5
A	M KÖSTER, J. TEICH: "(Self-)reconfigurable Finite State Machines: Theory and Implementation" PROCEEDINGS OF THE 2002 DESIGN, AUTOMATION AND TEST IN EUROPE CONFERENCE AND EXHIBITION, 4. März 2002 (2002-03-04), Seiten 1-8, XP002295075 PARIS das ganze Dokument	1-5
	----- -/--	

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	C. SIEMERS, S. WENNEKERS: "The Universal Configurable Block/Machine System - An Approach for a Homogeneous Configurable SoC-Architecture" PROCEEDINGS OF THE WORKSHOP HETEROGENEOUS RECONFIGURABLE SYSTEMS ON CHIP - SOC -, Februar 2002 (2002-02), Seiten 1-6, XP002295076 HAMBURG Abbildung 4	1-5
A	----- E. CANTO ET AL.: "A Temporal Bipartitioning Algorithm for Dynamically Reconfigurable FPGAs" IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION - VLSI - SYSTEMS, Bd. 9, Nr. 1, Februar 2001 (2001-02), Seiten 210-218, XP002295077 das ganze Dokument	1-5
A	----- HARTENSTEIN R: "Coarse grain reconfigurable architectures" CONFERENCE PROCEEDINGS ARTICLE, 30. Januar 2001 (2001-01-30), Seiten 564-569, XP010537867 das ganze Dokument -----	1-5

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 03/03524

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2002143505 A1	03-10-2002	KEINE	
WO 0069072 A	16-11-2000	AU 5127500 A	21-11-2000
		CA 2371077 A1	16-11-2000
		EP 1177630 A1	06-02-2002
		JP 2002544699 T	24-12-2002
		WO 0069072 A1	16-11-2000
		US 6333641 B1	25-12-2001
US 4870302 A	26-09-1989	US RE34363 E	31-08-1993