

發明專利說明書

99年8月3日修正替換頁

中文說明書替換頁(99年8月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：095102051

※ 申請日期：95-1-19

※IPC 分類：H01L

公告本

一、發明名稱：(中文/英文)

半導體裝置

A SEMICONDUCTOR DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商瑞薩電子股份有限公司

RENESAS ELECTRONICS CORPORATION

代表人：(中文/英文)

赤尾 泰

AKAO, YASUSHI

住居所或營業所地址：(中文/英文)

日本國神奈川縣川崎市中原區下沼部1753番地

1753 SHIMONUMABE NAKAHARA-KU, KAWASAKI KANAGAWA

211-8668 JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 鈴木 進也

2. 桶口 和久

國 籍：(中文/英文)

1. 日本 JAPAN

2. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2005年02月15日；特願2005-037129

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明之目的在於不增加晶片面積，而擴大半導體晶片的主面上所占之佈線區域。

為實現此目的，本發明係從形成於半導體晶片的主面上之包含例如 MIS 電晶體等所構成的內部電路中，將電性連接至例如由二極體所形成之保護元件 11 及保護元件 12 的訊號佈線 8，從保護元件 11 及保護元件 12 之間的佈線 13 上之取出口 29 拉出，將訊號佈線 8 所占的訊號佈線區域 10 設於保護元件 12 上以及電極片 9 下。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

7	內部電路
8	訊號佈線
9	電極片
10	訊號佈線區域
11、12	保護元件
13	佈線
29	取出口

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置，特別是關於適用於用在行動電話以及大型顯示器之液晶顯示顯示器(LCD(Liquid Crystal Display))之驅動器的有效技術。

【先前技術】

在例如LCD驅動器之半導體裝置中，隨著液晶顯示畫面的高精細化，大量的訊須從半導體裝置傳送至液晶面板，故半導體裝置的多輸出化，也就是半導體裝置的外部端子之凸塊，以及凸塊下所形成的電極片數目增加受到要求。

此電極片的尺寸，基於確保接合強度、接合精度或實裝半導體晶片側的規格等原因，和半導體元件及佈線的尺寸縮小相較之下，無法過小。因此，在多輸出的半導體裝置中，採用了例如將電極片設置半導體晶片較內側的半導體元件及佈線等所配置的區域中之方式。

在專利文獻1中，揭示了令半導體晶片主面之半導體元件及佈線等所配置的區域上所配置的多個電極片之基層一致，統一多個電極片的高度。

另外，在專利文獻2中，揭示了形成於LCD驅動器之內部電路與電極片之間，設置保護元件。

[專利文獻1]特開2004-95577號公報

[專利文獻2]特開2002-246470號公報

[發明所欲解決之問題]

在如LCD驅動器之半導體裝置中，半導體晶片的面積縮

小受到要求。然而，如上所述，電極片的尺寸和半導體元件及佈線相比，其縮小為困難的問題。因此，需要有效利用佈線等所占的區域。

本發明之目的在於提供一種技術，可不增加晶片面積，而擴大半導體晶片的主面上所占之佈線區域，特別是可擴大LCD驅動器的半導體晶片主面內所占之訊號佈線區域之技術。

本發明之上述以及其他目的及新穎特徵，將於本發明內容及附圖中詳細說明。

【發明內容】

以下將概要說明本發明所揭示的發明中具代表者。

本發明係具有例如：第1區域，其係配置於如LCD驅動器之半導體裝置的半導體晶片之晶片端，形成第1保護元件者；第2區域，其係較第1區域配置於更近半導體晶片的內側，形成第2保護元件者；第3區域，其係較第2區域配置於更近半導體晶片的內側，形成內部電路者；電性連接內部電路與第1及第2保護元件之佈線的第1及第2保護元件的取出端，設於第2區域之第1區域側。

[發明的效果]

以下將簡單說明本專利申請案所揭示的發明中較具代表性者所得之效果。

本發明可不增加半導體晶片面積，擴大半導體晶片的主面上所占之佈線區域。

【實施方式】

以下，將參照圖面詳細說明本發明之實施形態。此外，在說明實施形態的全圖中，對同部材原則上賦予同一符號，省略反覆說明。

圖20係顯示具備與本發明相關之LCD驅動器的系統之一例的行動電話器之全體構成方塊圖。

此實施例之行動電話器係具備：作為顯示機構之LCD顯示區域(液晶顯示區域)103，傳送接收訊號用之天線310，音聲輸出用的擴音器320，音聲輸入用的麥克風330，由電荷耦合器(charge-coupled Device; CCD)及MOS感應器等所形成之固體攝像元件340，由處理來自該固體攝像元件340之畫像訊號的DSP(Digital Signal Processor)等所形成之畫像訊號處理電路230，本發明之液晶顯示驅動控制裝置的LCD驅動器104，進行擴音器320及麥克風330的訊號輸入輸出之音聲介面241，進行與天線310之間的訊號輸入輸出之高頻介面242，進行音聲訊號及傳送接收訊號之訊號處理等的基頻部250，由依照MPEG方式等具有動畫處理等多媒體處理機能及解像度調整機能、JAVA高速處理機能等之微處理器所形成之應用程式處理器260，電源用IC270以及資料記憶用的記憶體281、282等。

應用程式處理器260，具有除了來自固體攝像元件340之畫像訊號之外，可介由高頻介面242處理自其他行動電話器接收之動畫資料的機能。液晶控制器驅動器104和基頻部250和應用程式處理器260和記憶體281、282和畫像訊號處理電路230，可經由系統匯流排291連接互相傳送資料。

圖 20 的行動電話系統中，除了系統匯流排 291 之外，設有顯示資料匯流排 292，此顯示資料匯流排 292 連接了液晶控制器驅動器 104 及應用程式處理器 260 以及記憶體 281。

此外，上述基頻部 250 係由例如 DSP(Digital Signal Processor)等所形成之進行音聲訊號處理的音聲訊號處理電路 251、提供用戶機能(用戶邏輯)之 ASIC(application specific integrated circuits)252、進行基頻訊號的生成及顯示控制、系統全體的制御等之系統控制裝置的微處理器 253 等所構成。

記憶體 281、282 中，281 為揮發性記憶體，通常係由 SRAM 或 SDRAM 所構成，用於保存進行了種種畫像處理之畫像資料等的畫面暫存緩衝區等。記憶體 282 為不揮發性記憶體，係由例如一定的區塊單位可能統一消去的快閃記憶體所構成，用於包含顯示控制之行動電話器系統全體之控制程式及控制資料的記憶之用。

使用此種 LCD 驅動器之本系統中，液晶顯示區域 103 可使用顯示像素呈矩陣狀排列之點矩陣方式之彩色 TFT 液晶面板。再者，若液晶顯示區域 103 為有兩個畫面的 TFT 液晶面板時，亦可以一個 LCD 驅動器驅動。

以下將參照圖 15~圖 19 說明本發明者研究之結果，如何縮小例如 LCD 驅動器之半導體裝置的半導體晶片之晶片面積，同時令其為多輸出。

圖 15(a)以及圖 15(b)係模式性顯示 LCD 面板(液晶顯示面板)101 的平面圖。圖 16 係模式性顯示 LCD 驅動器 104 之平

面圖。圖 17 係模式性顯示 LCD 驅動器 104 之重要部份之平面圖。圖 18 係模式性顯示內部電路 108、保護元件 118 以及保護元件 119 的連接之平面圖，電極片 110 顯示為呈交錯配置之狀態。圖 19 係模式性顯示內部電路 108、保護元件 118 以及保護元件 119 之連接的平面圖，電極片 110 顯示為呈直線配置的狀態。

如圖 15 所示，LCD 面板 101 係於例如玻璃基板等基板 102 上，配置有 LCD 顯示區域 103，及配置於其附近之 LCD 驅動器 104 等。再經由 LCD 顯示區域 103 之內側的光源之背光(未圖示)等構成 LCD 面板 101。此 LCD 顯示區域 103 上，多個顯示畫面用的像素呈矩陣狀配置在基板 102 上，配置於像素選擇用的閘極線及源極線(未圖示)之交叉點上。另外，閘極線以及源極線和 LCD 驅動器 104 之凸塊(外部輸出端子)電性連接的多個基板佈線 105，配置於基板 102。因此，來自 LCD 驅動器 104 的輸出訊號，介由基板佈線 105 進行 LCD 顯示區域 103 的像素之開啟/關閉驅動。

首先，本發明者研究縮小 LCD 面板的結果，初次發現了以下問題。

亦即，如圖 15(a)和圖 15(b)相較之下所示，LCD 面板 101 的縮小化，也就是基板 102 的尺寸若縮小，則即使 LCD 顯示區域 103 的尺寸は相同，為平面略矩形狀的 LCD 驅動器 104 之晶片面積會縮小化。另外，如圖 15(b)所示，LCD 驅動器 104 係沿著 LCD 顯示區域 103 附近配置，故不從 LCD 驅動器 104 的短邊側取出輸出，而是由 LCD 顯示區域 103 側的

LCD驅動器104之長邊側取出所有的輸出，也就是所謂的單邊取出，在縮小晶片面積這一點上具有效果。亦即，LCD驅動器104的4邊之中，僅在LCD顯示區域103側設置輸出線。換言之，LCD驅動器104的4邊中，長邊側設有電極片110，但短邊側未設有電極片110。因此，如圖15(b)所示，LCD驅動器104的長邊變長、短邊變短，LCD驅動器104的平面形狀可更趨輕薄，達到晶片面積的縮小。亦即，可實現LCD面板的縮小。

然而，在以下將詳細說明，上述情形將有LCD驅動器104的長邊側為多輸出化的問題。

如圖16所示，呈平面略矩形狀的LCD驅動器104係具有：輸入側的内部電路107，其係由含有形成於構成半導體晶片之半導體基板106上的例如MIS電晶體、二極體等所構成；以及輸出側的内部電路108。對此内部電路107的輸入訊號，係介由與内部電路107電性連接之多個輸入用電極片109從外部輸入。另一方面，來自此内部電路108的輸出訊號，係介由與内部電路108電性連接之多個輸出用電極片110而輸出。圖16中内部電路108中，配置於左右側的内部電路108，係為了輸出LCD面板101之TFT電晶體的閘極之用的電路，配置於中央的内部電路108，係為了輸出LCD面板101之TFT電晶體的源極之用的電路。另外，半導體基板106上，形成有内部電路108與電極片110間電性連接的多個訊號佈線111。此外，符號112為訊號佈線區域，顯示訊號佈線111在半導體基板106上所佔的區域。

LCD驅動器104的輸出用電極片110，係例如圖17所示，沿著LCD驅動器104之晶片端側呈交錯配置為2列。在此，圖17所示的符號113係為了從半導體晶圓切出半導體晶片之切割區域，符號114以及115係形成保護元件(未圖示)之元件區域，符號116係形成內部電路108的元件區域，而符號117係將元件區域115及元件區域116絕緣分離的元件分離區域。此外，例如保護元件，係為了內部電路108之靜電保護，於電源-內部電路108之間、GND-內部電路108之間設有2個。

另外，圖16所示之訊號佈線111，因其形成於此元件分離區域117上，故圖16所示之訊號佈線區域112和元件分離區域117係為重疊，在圖17未圖示。

亦即，如圖17所示，從晶片端側到晶片中心側上，依序配置有切割區域113、元件區域114、元件區域115、元件分離區域117，以及元件區域116。

圖18上配置有呈交錯之輸出用電極片110，同時顯示了保護元件118、保護元件119與內部電路108電性連接的狀態。此等保護元件118與保護元件119，係由佈線120電性連接。另外，內部電路108與保護元件119係與訊號佈線111電性連接。亦即，訊號佈線111的一端係從保護元件119取出，其他端係與內部電路108電性連接。因此，從保護元件119取出、以內部電路108連接之訊號佈線111所占之區域，顯示為訊號佈線區域112。

另外，圖19中輸出用電極片110呈直線配置，而在上述

交錯配置時也同樣，訊號佈線111的一端係由保護元件119取出，其他端係與內部電路108電性連接。

如上所述，液晶顯示畫面的像素，係在液晶顯示區域呈矩陣狀配置，配置於為了選擇其像素之閘極線以及源極線的交叉點上。因此，隨著液晶顯示畫面的高精細化，選擇像素的閘極線以及源極線亦增加，亦即來自LCD驅動器104送至閘極線以及源極線的輸出用電極片110亦會增加。

另外，電極片110的尺寸，根據確保接合強度、接合精度或實裝晶片側之LCD面板101的規格等原因，和訊號佈線111等的尺寸縮小相比無法過小，所以有時亦由電極片數等決定晶片面積。

再者，如圖16所示，為了形成LCD驅動器104之外部輸出端子的凸塊，其基層之輸出用電極片110必須互相以間距P1配置。因此，輸出用電極片110的間距P1，係大於與電極片110電性連接的訊號佈線111之內部電路108側的間距P2，故訊號佈線111所占的訊號佈線區域112亦擴大。

亦即，LCD驅動器104的晶片面積縮小時，會產生LCD驅動器104的長邊側之輸出用電極片110增加，以及訊號佈線111增加導致的訊號佈線區域112擴大，進而晶片面積擴大的問題。

(實施形態1)

以下將參照圖1~圖11說明本實施形態所示的半導體裝置適用於要求半導體晶片的晶片面積縮小化，以及多輸出化的LCD驅動器上。

圖1係模式性地顯示半導體裝置1之重要部份的平面圖。另外，同時顯示了透視狀態的電極片9。

半導體裝置1的半導體晶片主面上，從晶片端側到晶片中心側(圖1的上下方向)上依序形成了切割區域2、元件區域3、元件區域4、元件分離區域5，以及元件區域6。

此元件區域6係含有例如MIS電晶體、二極體所構成之內部電路7所形成的區域。元件分離區域5係為了絕緣分離形成例如MIS電晶體等元件之區域的例如LOCOS(local oxidation of silicon)所形成的區域。此元件分離區域5以外，也形成有LOCOS，不過在本實施形態中，元件區域4與元件區域6間所配置的區域為元件分離區域5。另外，元件分離區域5亦可使用稱之為SGI(Shallow Groove Isolation)或STI(Shallow Trench Isolation)的溝型分離區域而形成。STI係由例如形成於半導體基板內之溝內的氧化膜或氮化膜等絕緣膜堆積而形成。另外，後面將詳細敘述，配置於內部電路7及電極片9之間，將其電性連接的訊號佈線8，通過元件分離區域5上。

另外，切割區域2係為了從半導體晶圓切出半導體晶片的區域。元件區域3以及元件區域4係為了不讓例如MIS電晶體的閘極絕緣膜受靜電破壞，形成保護內部電路7不受靜電氣破壞的保護元件之區域。

另外，電極片9係沿著半導體裝置1之晶片端側呈交錯配置為2列。本實施形態中，元件區域3、元件區域4、元件分離區域5以及元件區域6上配置有電極片9。內部電路7的

訊號透過訊號佈線8，輸出至此電極片9。

另外，符號10所示的訊號佈線區域，係電性連接內部電路7與電極片9之訊號佈線8在半導體裝置1之半導體晶片上所佔的區域。圖1係顯示訊號佈線區域10從形成內部電路7的元件區域6，到元件分離區域5，進而延伸到元件區域4之一部分的情形。

以下將比較圖1與實施方式開頭所示之圖17。從圖1的晶片端到元件區域6的大小以及從圖17的晶片端到元件區域116的大小(圖1以及圖17所示之上下方向的大小)，幾乎一致時，訊號佈線8所佔區域的訊號佈線區域10之大小，大於比訊號佈線111所佔區域之訊號佈線區域112的大小。換言之，圖1所示的訊號佈線8之條數較圖17所示之訊號佈線111的條數為多。亦即，圖1的半導體裝置1中，可不擴大其晶片面積，增加訊號佈線8。

圖2係以模式顯示圖1所示之半導體裝置1的重要部份之連接的平面圖。此外，同時以透視狀態顯示了電極片9。

符號11係圖1所示之元件區域3所形成的保護元件，符號12係圖1所示之元件區域4所形成的保護元件。另外，符號13係電性連接此等保護元件11及保護元件12之佈線。另外，如圖2所示，訊號佈線8其一端電性連接至內部電路7，其他端電性連接至佈線13上的取出口29。在此圖2所示之半導體裝置1的重要部份之連接的連接圖如圖3所示。此外，保護元件11及保護元件12，顯示適用例如二極體的情況。

如圖3所示，內部電路7和電極片9電性連接，介由訊號佈線8將來自內部電路7的訊號輸出至輸出用電極片9。此內部電路7與電極片9之間，保護內部電路7不受靜電破壞之保護元件11及保護元件12電性連接，各自電性連接至電源側、GND側。

接著比較圖2與上述發明所欲解決之問題所示的圖18。圖2中訊號佈線8所占區域為訊號佈線區域10，圖18中訊號佈線111所占區域為訊號佈線區域112。圖18中，由內部電路108延伸之訊號佈線111連接至保護元件118的內部電路108側，故訊號佈線111所占訊號佈線區域112，未通過保護元件118以及保護元件119上。另一方面，圖2中，自內部電路7延伸的訊號佈線8連接至保護元件11與保護元件12之間的佈線13，故訊號佈線8所占的訊號佈線區域10通過保護元件12上。此保護元件12上設置訊號佈線區域10，如同圖1所說明，在半導體裝置1種可不擴大晶片面積，而增加訊號佈線8。

諸如上述，將保護元件11及保護元件12與內部電路7電性連接之訊號佈線8，從保護元件11與保護元件12之間的佈線13取出，藉此可在保護元件12上配置訊號佈線8，故相對於訊號佈線數的增加，晶片面積不須擴大。亦即，設置保護元件12上訊號佈線8所占區域之訊號佈線區域10，可不擴大晶片面積。

因此，訊號佈線數相同的情形下，適用本發明，可降低半導體晶片的主面上所占之佈線區域，特別是多輸出化的

LCD驅動器之半導體晶片主面內所占訊號佈線區域。

接著將說明本實施形態所示之半導體裝置1中電極片9下的狀態。圖4以模式顯示圖1中半導體裝置的重要部分的平面圖。另外，同時顯示了透視狀態的電極片9。

圖4所示之符號9a、9b係沿著半導體裝置1之晶片端側呈交錯配置為2列的電極片9之內側(圖4的上下方向中之下側)的電極片，其係為了輸出來自內部電路7的訊號而配置。另一方面，符號9c、9d係沿著半導體裝置1的晶片端側呈交錯配置為2列的電極片9之外側(圖4的上下方向中之上側)的電極片，同樣地，其係為了輸出來自內部電路7的訊號而配置。另外，訊號佈線8係由內部電路7至上述取出口29呈階段狀配置。此乃因在內部電路7的佈線間距與各電極片9的間隔不同，各電極片9的間隔較大之故。

另外，符號14係未電性連接內部電路7、保護元件11及保護元件12之虛擬佈線，圖4中配置於電極片9b以及9d下。電極片9中，LCD驅動器之半導體裝置1的周邊部之電極片9下，因較LCD驅動器的中央部訊號佈線8的條數變少，故周邊部的電極片9下的佈線占有率降低。因此，本發明藉由配置虛擬佈線14，來統一其佈線占有率。

另外，符號15所示的區域，係此虛擬佈線14於半導體裝置1之半導體晶片上所占的虛擬佈線區域。比較訊號佈線區域10與虛擬佈線區域15發現，訊號佈線區域10上虛擬佈線14的條數，配置得多於虛擬佈線區域15上之虛擬佈線14條數。換言之，LCD驅動器104的周邊部(圖4右側)所配置

的虛擬佈線14條數，多於配置於LCD驅動器104中央部(圖4左側)的虛擬佈線14。

此外，電極片9c以及電極片9d下，配置有內部電路7等電源/GND用的電源佈線が配置，但在此為了說明電極片9a、電極片9b下之訊號佈線8以及虛擬佈線14，故未圖示。

如上所述，將保護元件11及保護元件12與內部電路7電性連接之訊號佈線8，由保護元件11與保護元件12間所形成的佈線13上支取出口29取出，可於保護元件12上配置訊號佈線8。因此，電極片9a下存在著多個訊號佈線8。此時，令電極片9a下所配置之訊號佈線的佈線占有率一致，可幾乎統一電極片9a上面的高度，亦即提升了電極片9a上面的平坦性。另外，藉由幾乎統一電極片9a上面的高度，可幾乎統一與其接合之凸塊的頂部之高度。

在本實施形態中，佈線的占有率記為幾乎相等時，係認識到製造工程上容許有10%以內的範圍、更理想的是5%以內的範圍之誤差，而可形容為一致。另外，電極片9下之佈線占有率係在各電極片下以及各佈線層上形成50%以上。

另外，為了令電極片9下的區域內之佈線占有率相等而配置有虛擬佈線14。如此在電極片9b下存在多個虛擬佈線14，故藉由令電極片9b下所配置的佈線之佈線占有率一致，可幾乎統一電極片9b上面的高度。另外，藉由幾乎統一電極片9b 上面的高度，可幾乎統一與其接合之凸塊的

頂部之高度。另外，亦可如同電極片9d下的區域內般，為了令電極片9下的區域內之佈線占有率相等增補配置虛擬佈線14。

因此，半導體裝置1的半導體晶片上所形成的電極片9之上面的平坦性佳，故多個電極片9(9a~9d)上各自形成的凸塊，以及實裝半導體晶片的實裝體，不會產生介由凸塊的不良，可良好連接。

接著說明本實施形態所示半導體裝置1的重要部份構造。圖5係以模式顯示圖4中半導體裝置的重要部分的平面圖，顯示沿著晶片端側呈交錯配置為2列的電極片9之外側(圖4之上下方向中的上側)的電極片9之周邊。圖6係圖5中X-X'線之剖面圖。在此圖5為了顯示佈線層M1~M4的配置關係，故佈線層M1以及佈線層M4未圖滿，但佈線層M2以及佈線層M3則圖滿。另外，在圖5中同時擴散層23亦圖滿。另外，圖6所示之凸塊16，在圖5中未圖示。然而，凸塊16的下部形成有佈線層M1~M4以及需要之半導體元件(例如由pn接合二極體所形成之保護元件11、12等)。

半導體基板21係由例如p型矽(Si)單結晶所形成，其主面的裝置形成面上形成有元件分離部22，相隣形成擴散層23。元件分離部22係由例如LOCOS(local oxidization of silicon)法所形成之氧化矽(SiO_2 等)膜所形成。此外，元件分離部22亦可以溝型(SGI:Shallow Groove Isolation或STI:Shallow Trench Isolation)形成。

半導體基板21的主面上，形成含例如MIS電晶體所形成

之內部電路(未圖示)，以及例如由pn接合二極體所形成之保護元件11、12。此pn接合二極體係靜電破壞防止用的保護元件11及保護元件12，係由半導體基板21之n型或p型井區24，與其上部之p型或n型擴散層23之pn接合所形成。

此內部電路、保護元件11及保護元件12上，形成由層間絕緣膜25所絕緣分離的佈線層M1~M4。此佈線層M1~M4係以例如鋁(或鋁合金)為主成分而構成，但亦可為以銅(或銅合金)為主成分之鑲嵌構造所形成之佈線層。鑲嵌構造之佈線層，通常係在各佈線層間的層間膜內所形成的溝中，埋入以上述的銅為主成分的導電性膜而形成。

佈線層M1係透過接觸孔H1，與佈線層M1之內部電路、保護元件11及保護元件12電性連接。另外，佈線層M2係透過接觸孔H2，與佈線層M1電性連接。另外，佈線層M3係透過接觸孔H3，與佈線層M2電性連接。另外，佈線層M4係透過接觸孔H4，與佈線層M3電性連接。

此佈線層M4構成電極片9。另外，佈線層M2以及M3構成訊號佈線8。再者，佈線層M1構成佈線13。另外，介由佈線層M4(電極片9)上所形成之基層金屬膜26接合了凸塊16。此外，基層金屬膜26係具有提升凸塊16與電極片9及層間絕緣膜25之黏著性的機能之膜，其係由例如鈦(Ti)或鈦化鎢(TiW)等高融點金屬膜之單體膜及具有在鈦膜上由下層依序堆疊鎳(Ni)膜以及金(Au)之構造的積層膜所形成。另外，凸塊16係為由例如金(Au)等所形成，以例如電鍍法所形成者。

如圖5及圖6所示，半導體裝置1上存在著訊號佈線8於半導體基板21的主面上所占區域之訊號佈線區域10，以及電源佈線27於半導體基板21的主面上所占區域之電源佈線區域28。

此等訊號佈線8以及電源佈線27，係以佈線層M2以及佈線層M3所構成。另外，由在佈線層M3上的佈線層M4，構成了作為外部輸出端子而與凸塊16電性連接的電極片9。另外，由佈線層M2下的佈線層M1，構成了與保護元件11及保護元件12電性連接的佈線13。

從半導體裝置1的主面所形成之內部電路延伸的訊號佈線8，通過保護元件12上在佈線13上的取出口29，介由接觸孔H2以及H3與佈線13電性連接。再者，佈線13係介由接觸孔H2、接觸孔H3以及接觸孔H4與電極片9電性連接。藉由此等連接，可將來自內部電路的訊號輸出至外部。

另一方面，為了防止例如來自外部的靜電氣造成之內部電路的破壞，以及例如MIS電晶體之閘極絕緣膜破壞，保護元件11及保護元件12係在內部電路與電極片9之間電性連接。

如圖6所示，來自保護元件11及保護元件12之訊號佈線8的取出口29，設置於位在保護元件11與保護元件12間之佈線13上。因此，形成保護元件11及保護元件12的區域上，可作為訊號佈線區域10使用。以往將例如訊號佈線8的取出口29設置於內部電路側(圖6的左右方向中之左側)的佈線13上的情況下，訊號佈線區域10未在保護元件11上設置訊

號佈線8。然而，LCD驅動器等來自內部電路的輸出多的半導體裝置上，隨著訊號佈線的增加造成訊號佈線區域10增加的情形下，對晶片面積的影響將變大。因此，來自保護元件11及保護元件12之訊號佈線8的取出口29，設置於位在保護元件11與保護元件12間的佈線13上，可配置訊號佈線8於以往未用於訊號佈線區域10的保護元件12，甚至保護元件11上，故即使訊號佈線區域10擴大，仍可抑制晶片面積。換言之，將來自保護元件11及保護元件12之訊號佈線8的取出口29，設置於位在保護元件11與保護元件12間的佈線13上，以往未作為訊號佈線區域10使用的電極片9下，亦可配置訊號佈線8，因此即使訊號佈線區域10擴大，仍可抑制晶片面積。再者，電極片9下配置訊號佈線8的情況下，令電極片9下所配置的訊號佈線之佈線占有率一致，可幾乎統一電極片9上面的高度，亦即可提升電極片9的上面之平坦性。另外，藉由幾乎統一電極片9a上面的高度，可幾乎統一與其接合之凸塊16的頂部之高度。

接著將說明此半導體裝置之製造工程的一例。圖7~圖11係以模式顯示製造工程中半導體裝置的重要部分的平面圖。此外，圖6所示之圖5的X-X'線的剖面圖，係對應圖7~圖11所示之X-X'線之剖面圖。

如圖6所示，首先，於構成平面略圓形狀的半導體晶圓之半導體基板21的主面上，以例如LOCOS法形成元件分離部22後，形成內部電路(未圖示)、保護元件11、保護元件12。

接著，在半導體基板21的主面上以CVD(Chemical Vapor Deposition)法等堆疊絕緣膜後，在絕緣膜一定的部分以微影技術以及乾蝕刻技術形成接觸孔H1。

接著，在該絕緣膜上，以濺鍍法等，由下層依序堆疊例如氮化鈦、鈦膜、鋁膜以及氮化鈦膜後，以微影以及乾蝕刻技術在該積層金屬膜上製備圖案，形成佈線層M1。圖7係以模式顯示此佈線層M1之平面圖。亦即，於元件區域3、4上形成通過保護元件11、12上之佈線層M1。

接著，同樣地於層間絕緣膜25形成接觸孔H2後，於該層間絕緣膜25上形成佈線層M2。圖8係以模式顯示此佈線層M2之平面圖。亦即，於元件區域3上形成通過保護元件11上之電源佈線27，於元件區域4以及元件分離區域5上形成通過保護元件12上的訊號佈線8。另外，此訊號佈線8係與前述圖4之說明相同，從內部電路7朝上述取出口29呈階段狀配置。另外，與前述圖4之說明相同，有時會形成虛擬佈線14。

接著，同樣地於層間絕緣膜25形成接觸孔H3後，於該層間絕緣膜25上形成佈線層M3。圖9係以模式顯示此佈線層M3之平面圖。亦即，於元件區域3上形成通過保護元件11上之電源佈線27，於元件區域4以及元件分離區域5上形成通過保護元件12上的訊號佈線8。另外，此訊號佈線8係與前述圖4之說明相同，從內部電路7朝上述取出口29呈階段狀配置。另外，與前述圖4之說明相同，有時會形成虛擬佈線14。

接著，同樣地於層間絕緣膜25形成接觸孔H4後，於該層間絕緣膜25上形成佈線層M4。圖10係以模式顯示此佈線層M4之平面圖。亦即，於元件區域3、4以及元件分離區域5上形成含電極片9之佈線層M4。另外，電極片9的下部，存在著各佈線層M1~M3以及保護元件11、12之半導體元件，各佈線層M1~M3其電極片9下之佈線線占有率相等。另外，各個電極片9下的佈線線占有率係形成為相等。

接著，堆疊表面保護用的層間絕緣膜25後，形成露出一部分佈線層M4之開口部，形成電極片9。圖11係以模式顯示此電極片9之平面圖。

接著，於層間絕緣膜25上，以濺鍍法等堆積例如由鈦或鈦化鎢等等高融點金屬膜之單體膜及具有在鈦膜上由下層依序堆疊鎳膜以及金膜之構造的積層膜所形成的導體膜後，於其上露出凸塊形成區域，形成覆蓋其以外的光阻圖案。

接著，以電鍍法等形成由例如金等所形成之凸塊16後，去除光阻圖案，再蝕刻除去基層的導體膜，形成基層金屬膜26。如此完成了在電極片9上具有凸塊16之半導體裝置1。

(實施形態2)

在上述實施形態1中，如圖2所示，說明了於具有沿晶片端側呈交錯配置為2列的電極片9之半導體裝置中，將訊號佈線8的取出口29設置於保護元件11及保護元件12之間的

情況。本實施形態中將說明令訊號佈線8之出口位於晶片端側時的半導體裝置。

圖12係以模式顯示本實施形態所示半導體裝置之重要部分的連接之平面圖。另外，同時顯示了透視狀態的電極片9。

如圖12所示，將保護元件11及保護元件12與內部電路7電性連接之訊號佈線8，於保護元件11的晶片端側(圖12中上下方向中的上側)設置訊號佈線8之取出口29，藉此可在保護元件12，甚至在保護元件11上配置訊號佈線8，故相對於訊號佈線數的增加，晶片面積不須擴大。亦即，因於保護元件12上設置訊號佈線8所占區域之訊號佈線區域10，故不須擴大晶片面積。

因此，訊號佈線數相同時，適用本發明，可降低半導體晶片的主面上所占之佈線區域，特別是多輸出化的LCD驅動器之半導體晶片主面內所占之訊號佈線區域。

(實施形態3)

在上述實施形態1中，如圖2所示，說明了於具有沿晶片端側呈交錯配置為2列的電極片9之半導體裝置中，將訊號佈線8的取出口29設置於保護元件11及保護元件12之間的情況。本實施形態中將說明具有沿晶片端側呈直線配置1列的電極片9之半導體裝置。

圖13係以模式顯示本實施形態所示半導體裝置之重要部分的連接之平面圖。另外，同時顯示了透視狀態的電極片9。

如圖 13 所示，即使電極片 9 呈直線配置，亦可將電性連接保護元件 11 及保護元件 12 至內部電路 7 的訊號佈線 8，自保護元件 11 與保護元件 12 間的佈線 13 上之取出口 29 取出，可在保護元件 12 上配置訊號佈線 8，故相對於訊號佈線數的增加，晶片面積不須擴大。亦即，因於保護元件 12 上設置訊號佈線 8 所占區域之訊號佈線區域 10，故不須擴大晶片面積。

因此，訊號佈線數相同時，適用本發明，可降低半導體晶片的主面上所占之佈線區域，特別是多輸出化的 LCD 驅動器之半導體晶片主面內所占之訊號佈線區域。

(實施形態 4)

在上述實施形態 3 中，如圖 13 所示，於具有沿晶片端側呈直線配置 1 列的電極片 9 之半導體裝置中，將訊號佈線 8 的取出口 29 設置於保護元件 11 及保護元件 12 之間的情況。本實施形態中將說明將訊號佈線 8 的取出口 29 設置於晶片端側之半導體裝置。

圖 14 係以模式顯示本實施形態所示半導體裝置之重要部分的連接之平面圖。另外，同時顯示了透視狀態的電極片 9。

如圖 14 所示，將保護元件 11 及保護元件 12 與內部電路 7 電性連接之訊號佈線 8，於保護元件 11 的晶片端側(圖 14 中上下方向的上側)設置訊號佈線 8 之取出口 29，藉此可在保護元件 12，甚至在保護元件 11 上配置訊號佈線 8，故相對於訊號佈線數的增加，晶片面積不須擴大。亦即，因於保

護元件 12 上設置訊號佈線 8 所占區域之訊號佈線區域 10，故不須擴大晶片面積。

因此，訊號佈線數相同時，適用本發明，可降低半導體晶片的主面上所占之佈線區域，特別是多輸出化的 LCD 驅動器之半導體晶片主面內所占之訊號佈線區域。

以上根據實施形態具體地說明了本發明者之發明，但本發明並不限於上述實施形態，在不脫離其要旨的範圍內，可進行種種變更。

以上的主要係根據本發明者從事發明之背景的利用區域 LCD 驅動器之適用情形進行說明，但本發明並不限於此，亦可適用於具有例如 SRAM(Static Random Access Memory) 或快閃記憶體(EEPROM; Electric Erasable Programmable Read Only Memory)等記憶體電路之半導體裝置，或將記憶體電路與邏輯電路設於同一基板之混載型半導體裝置。

另外，上述實施形態 1 中，以 4 層佈線構造之半導體裝置為例，但並不限於此，亦適用於具有多層佈線層之半導體裝置。

另外，上述實施形態 1 中適用於虛擬佈線未與內部電路、保護元件以及保護元件電性連接，亦即佈線全體為虛擬之浮接狀態，但亦可為內部電路的佈線形成一部分的情形。

[產業上之利用可能性]。

本發明可廣泛應用於製造半導體裝置之製造業。

【圖式簡單說明】

圖 1 係以模式顯示本發明之實施形態 1 中半導體裝置的重要部分的平面圖。

圖 2 係以模式顯示本實施形態 1 中半導體裝置的內部電路以及保護元件之連接的平面圖。

圖 3 係圖 2 中半導體裝置的內部電路以及保護元件之連接的連接圖。

圖 4 係以模式顯示圖 1 中半導體裝置的重要部分的平面圖。

圖 5 係以模式顯示圖 4 中半導體裝置的重要部分的平面圖。

圖 6 係圖 5 中 X-X' 線之剖面圖。

圖 7 係以模式顯示本實施形態 1 所示半導體裝置製造工程中半導體裝置的重要部分的平面圖。

圖 8 係以模式顯示本實施形態 1 所示半導體裝置製造工程中半導體裝置的重要部分的平面圖。

圖 9 係以模式顯示本實施形態 1 所示半導體裝置製造工程中半導體裝置的重要部分的平面圖。

圖 10 係以模式顯示本實施形態 1 所示半導體裝置製造工程中半導體裝置的重要部分的平面圖。

圖 11 係以模式顯示本實施形態 1 所示半導體裝置製造工程中半導體裝置的重要部分的平面圖。

圖 12 係以模式顯示本實施形態 2 所示半導體裝置之內部電路以及保護元件的連接之平面圖。

圖 13 係以模式顯示本實施形態 3 所示半導體裝置之內部

電路以及保護元件的連接之平面圖。

圖 14 係以模式顯示本實施形態 4 所示半導體裝置之內部電路以及保護元件的連接之平面圖。

圖 15(a)及(b)係以模式顯示 LCD 面板之一例的平面圖。

圖 16 係以模式顯示 LCD 驅動器之一例的平面圖。

圖 17 係以模式顯示本發明者們所研究之 LCD 驅動器重要部分之平面圖。

圖 18 係以模式顯示本發明者們所研究之 LCD 驅動器內部電路以及保護元件的連接之一例的平面圖。

圖 19 係以模式顯示本發明者們所研究之 LCD 驅動器內部電路以及保護元件的連接之其他例平面圖。

圖 20 係顯示具備本發明之相關 LCD 驅動器的系統之一例的行動電話器之全體構成方塊圖。

【主要元件符號說明】

1	半導體裝置
2	切割區域
3	元件區域
4	元件區域
5	元件分離區域
6	元件區域
7	內部電路
8	訊號佈線
9	電極片
9a	電極片

9b	電極片
9c	電極片
9d	電極片
10	訊號佈線區域
11	保護元件
12	保護元件
13	佈線
14	虛擬佈線
15	虛擬佈線區域
16	凸塊
21	半導體基板
22	元件分離部
23	擴散層
24	井區
25	層間絕緣膜
26	基層金屬膜
27	電源佈線
28	電源佈線區域
29	取出口
101	LCD 面板
102	基板
103	LCD 顯示區域(液晶顯示區域)
104	LCD 驅動器
105	基板佈線

106	半 導 體 基 板
107	內 部 電 路
108	內 部 電 路
109	電 極 片
110	電 極 片
111	訊 號 佈 線
112	訊 號 佈 線 區 域
113	切 割 區 域
114	元 件 區 域
115	元 件 區 域
116	元 件 區 域
117	元 件 分 離 區 域
118	保 護 元 件
119	保 護 元 件
120	佈 線
230	畫 像 訊 號 處 理 電 路
241	音 聲 介 面
242	高 頻 介 面
250	基 頻 部
251	音 聲 訊 號 處 理 電 路
252	ASIC
253	微 處 理 器
260	應 用 程 式 處 理 器
270	電 源 用 IC

281、282	記憶體
291	系統匯流排
292	顯示資料匯流排
310	天線
320	擴音器
330	麥克風
340	固體攝像元件
H1	接觸孔
H2	接觸孔
H3	接觸孔
H4	接觸孔
M1	佈線層
M2	佈線層
M3	佈線層
M4	佈線層
P1	間距
P2	間距

十、申請專利範圍：

102年9月2日修正替換頁

1. 一種半導體裝置，其特徵為包含：

長方形的半導體基板，其具有第1長邊、與上述第1長邊相對向的第2長邊、第1短邊及與上述第1短邊相對向的第2短邊；

多個第1凸塊，其等係沿上述第1長邊配置且形成於上述半導體基板上；

多個第2凸塊，其等係沿上述第2長邊配置且形成於上述半導體基板上；

層間絕緣膜，其形成於上述第1凸塊及上述第2凸塊之下；

多個佈線，其等形成於上述層間絕緣膜之下，使上述多個佈線在俯視下重疊於上述第1凸塊；及

多個虛擬佈線，其等形成於上述層間絕緣膜之下，使上述多個虛擬佈線在俯視下重疊於上述第1凸塊，且形成於與上述佈線相同之層；

其中上述多個佈線延伸於上述第1長邊，

其中上述多個佈線在俯視下形成於上述第1長邊與上述多個虛擬佈線之間，

其中上述虛擬佈線以如下方式配置：配置於上述第1或第2短邊附近之虛擬佈線之條數大於配置於上述第1長邊之中央部附近之虛擬佈線之條數。

2. 如請求項1之半導體裝置，其中上述半導體裝置係LCD驅動器晶片。

3. 如請求項2之半導體裝置，其中上述第1凸塊係輸出凸塊，其中上述第2凸塊係輸入凸塊。
4. 如請求項3之半導體裝置，其中上述第1凸塊配置為在俯視下形成交錯形式。
5. 如請求項4之半導體裝置，其中上述虛擬佈線係浮接狀態。
6. 如請求項1之半導體裝置，其中上述虛擬佈線係浮接狀態。
7. 如請求項6之半導體裝置，其中上述半導體裝置係LCD驅動器晶片。
8. 一種半導體裝置，其特徵為：其係包含形成於半導體晶片主面上之內部電路，保護上述內部電路免受靜電破壞、相互電性連接的多個第1及第2保護元件，以及電性連接上述內部電路與上述多個第1及第2保護元件之多個佈線者；其係包含：

配置於上述半導體晶片之晶片端側、形成有上述多個第1保護元件之第1區域；

配置於較上述第1區域更靠上述半導體晶片之內側、形成有上述多個第2保護元件之第2區域；及

配置於較上述第2區域更靠上述半導體晶片之內側、形成有上述內部電路之第3區域；且

上述佈線的上述第1及第2保護元件之取出部，設於上述第1區域的上述晶片端側。

9. 如請求項8之半導體裝置，其中上述佈線係配置於上述

102年9月2日修正替換頁

第1及第2區域上者。

10. 一種半導體裝置，其特徵為包含：

長方形的半導體基板；

多個輸入用電極片，該等係沿上述半導體基板的第1長邊形成於上述半導體基板上；

多個輸出用電極片，該等係沿與上述第1長邊相對向的上述半導體基板的第2長邊形成於上述半導體基板上；

內部電路，其係位於上述多個輸入用電極片與上述多個輸出用電極片之間，且將特定輸出信號供給至上述多個輸出用電極片；

第1保護元件及第2保護元件，該等係用以保護上述內部電路免受靜電破壞；

取出口，其係配置於上述第1保護元件及上述第2保護元件之間的區域；及

第1信號佈線，其係經由上述取出口而與上述內部電路、上述多個輸出用電極片中之第1輸出用電極、上述第1保護元件及上述第2保護元件電性連接；且

上述第1保護元件之設置位置係在比上述第2保護元件更靠近上述第2長邊側；

上述第2保護元件之設置位置係在上述第1保護元件與上述內部電路之間；

上述第1信號佈線係形成於上述第1輸出用電極片之下部區域且上述第2保護元件之上部區域；

上述第1信號佈線係通過上述第1輸出用電極以外的多個輸出用電極片的下部，連接於上述內部電路。

11. 如請求項10之半導體裝置，其中上述第1輸出用電極片之下部區域且上述第1保護元件之上部區域中有電源佈線通過。
12. 如請求項11之半導體裝置，其中上述第1保護元件係由形成於上述半導體基板主面之n型井層與形成於上述n型井層中之p型半導體層所形成之pn接合二極體；上述第2保護元件係由形成於上述半導體基板主面之p型井層與形成於上述p型井層中之n型半導體層所形成之pn接合二極體。
13. 如請求項12之半導體裝置，其中上述n型井層中被供給有電源電位；上述p型井層中被供給有接地電位。
14. 如請求項13之半導體裝置，其中上述第1保護元件之上述p型半導體層與上述第2保護元件之上述n型半導體層係由形成於其上部之第1佈線層所共同連接；

上述第1信號佈線係以比上述第1佈線層更上層之佈線層形成。

15. 如請求項14之半導體裝置，其中上述多個輸出用電極片的下部區域中，除了上述第1信號佈線以外還有多數信號佈線通過。
16. 如請求項15之半導體裝置，其中上述多個輸出用電極片與上述多個輸入用電極片係由最上層的佈線層所形成。
17. 如請求項16之半導體裝置，其中上述多個輸出用電極片

在俯視下成交錯配置。

18. 如請求項17之半導體裝置，其中上述內部電路係構成LCD驅動器之電路的一部分。
19. 如請求項10之半導體裝置，其中上述內部電路係構成LCD驅動器之電路的一部分。
20. 一種半導體裝置，其特徵為包含：

長方形的半導體基板；

多個輸入用電極片，該等係沿上述半導體基板的第1長邊形成於上述半導體基板上；

多個輸出用電極片，該等係沿與上述第1長邊相對向的上述半導體基板的第2長邊形成於上述半導體基板上；

內部電路，其係位於上述多個輸入用電極片與上述多個輸出用電極片之間，且將特定輸出信號供給至上述多個輸出用電極片；

保護元件，其係用以保護上述內部電路免受靜電破壞；

多個信號佈線，該等係與上述內部電路、上述多個輸出用電極中之第1輸出用電極及上述保護元件電性連接，且通過上述多個輸出用電極片之下部；及

多個虛擬佈線，該等並不與上述內部電路、上述第1輸出用電極及上述保護元件電性連接，但通過上述多個輸出用電極片之下部；且

於上述第2長邊的延伸方向之上述半導體基板的周邊

102年9月2日修正替換頁

部中通過上述多個輸出用電極片之下部之上述多個虛擬佈線的條數，係比於上述第2長邊的延伸方向之上述半導體基板的中央部中通過上述多個輸出用電極片之下部之上述多個虛擬佈線的條數多。

21. 如請求項20之半導體裝置，其中上述內部電路係構成LCD驅動器之電路的一部分。
22. 如請求項20之半導體裝置，其中上述多個輸出用電極片與上述多個輸入用電極片係由最上層的佈線層所形成。

十一、圖式：

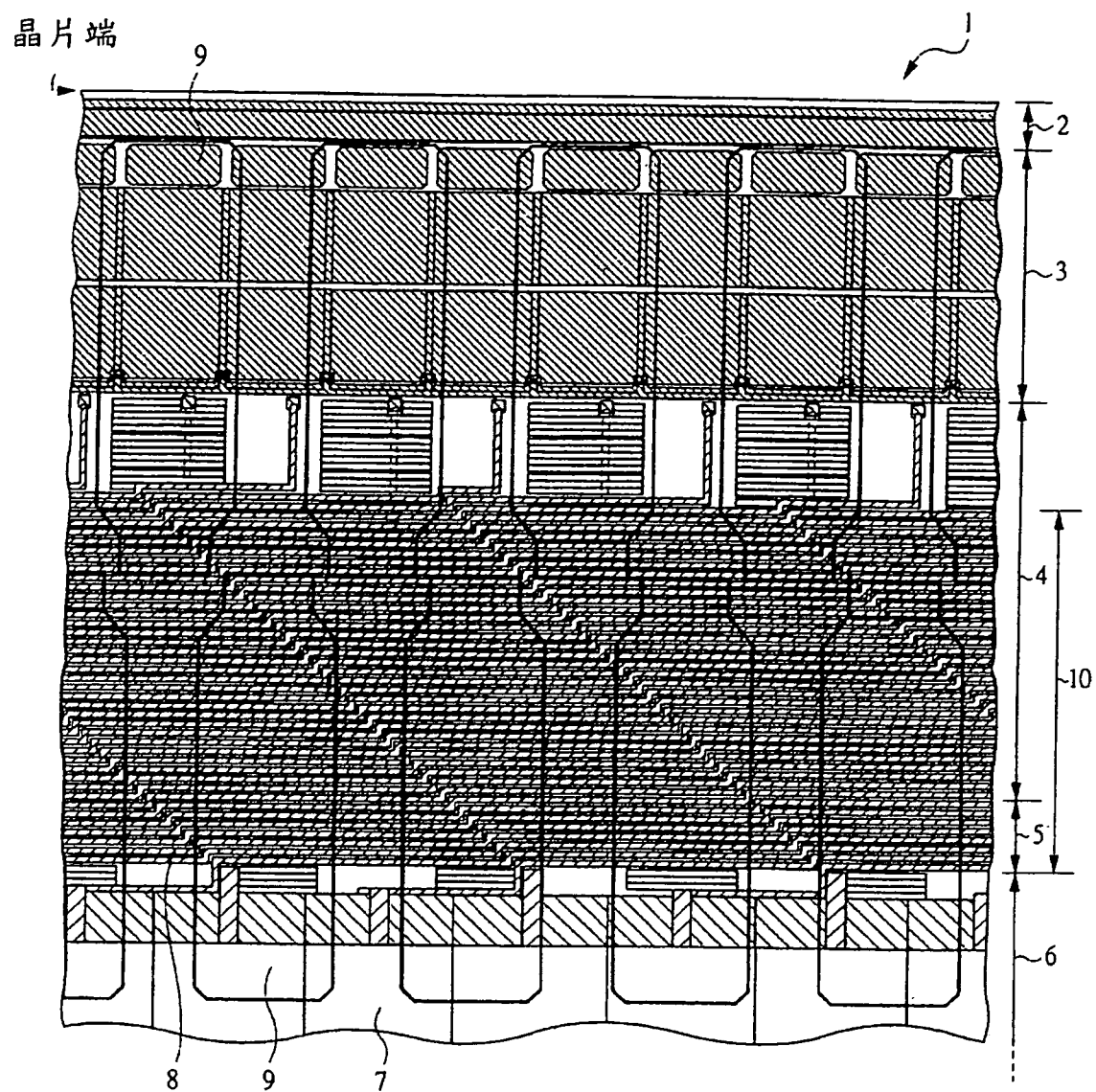


圖 1

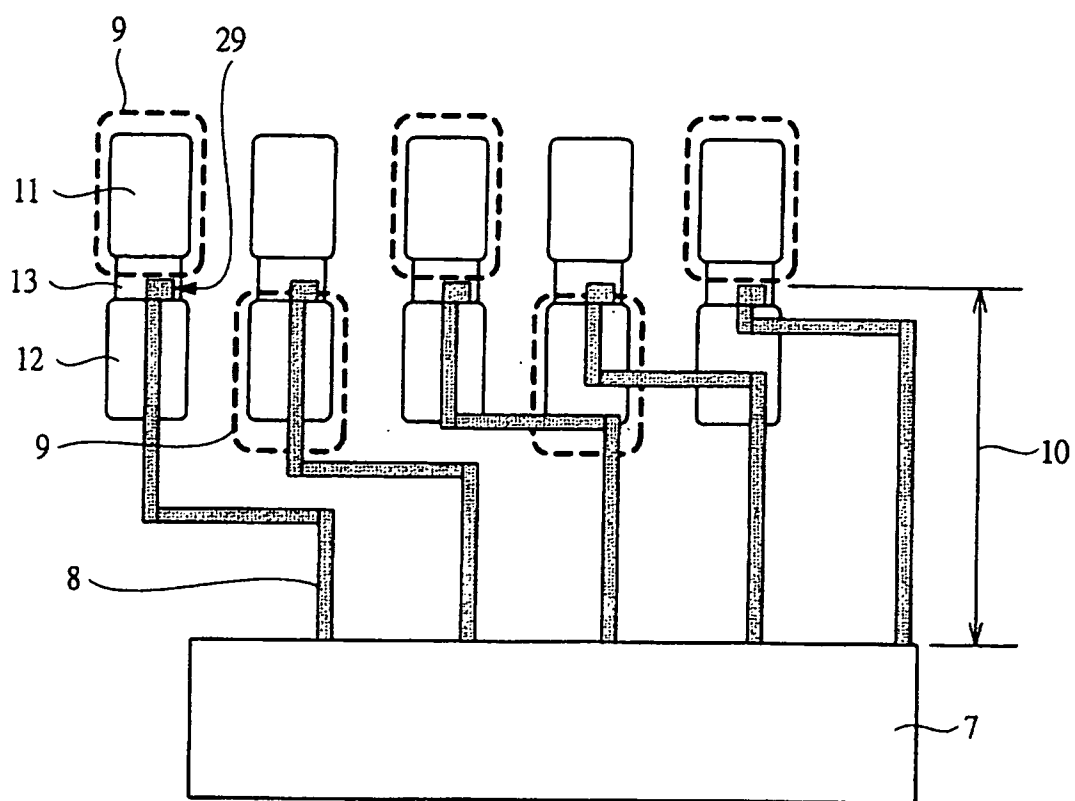


圖 2

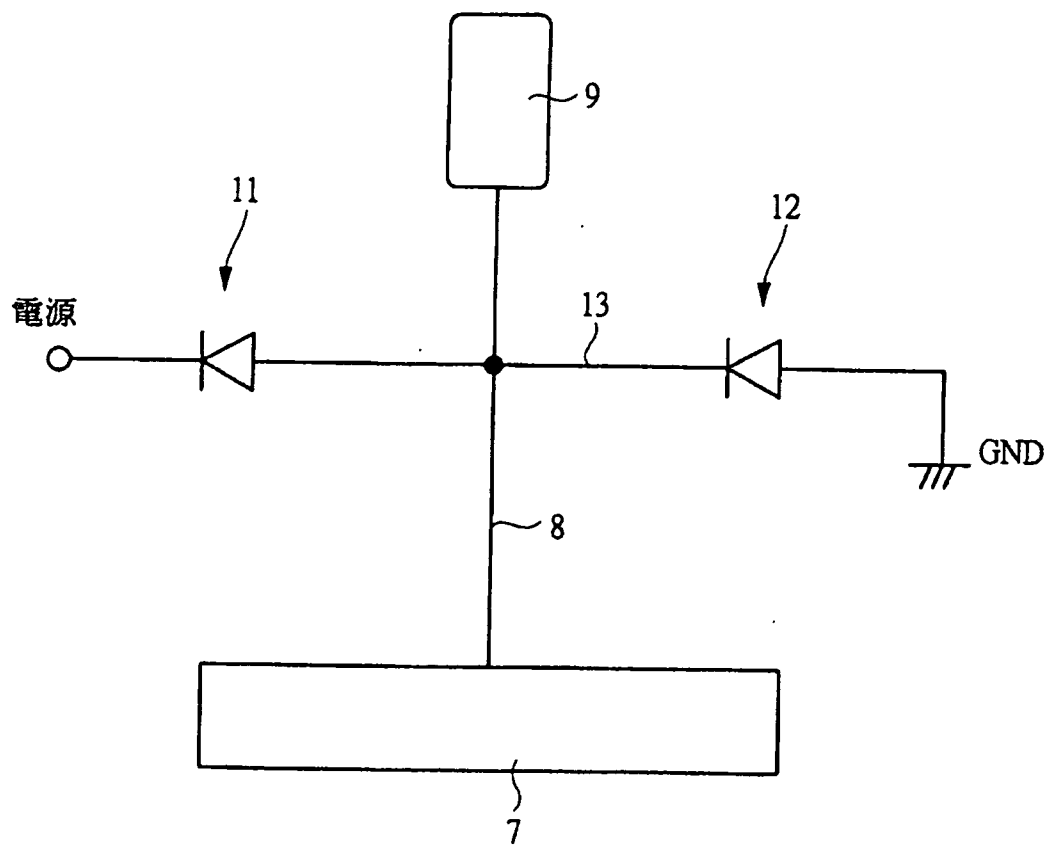


圖 3

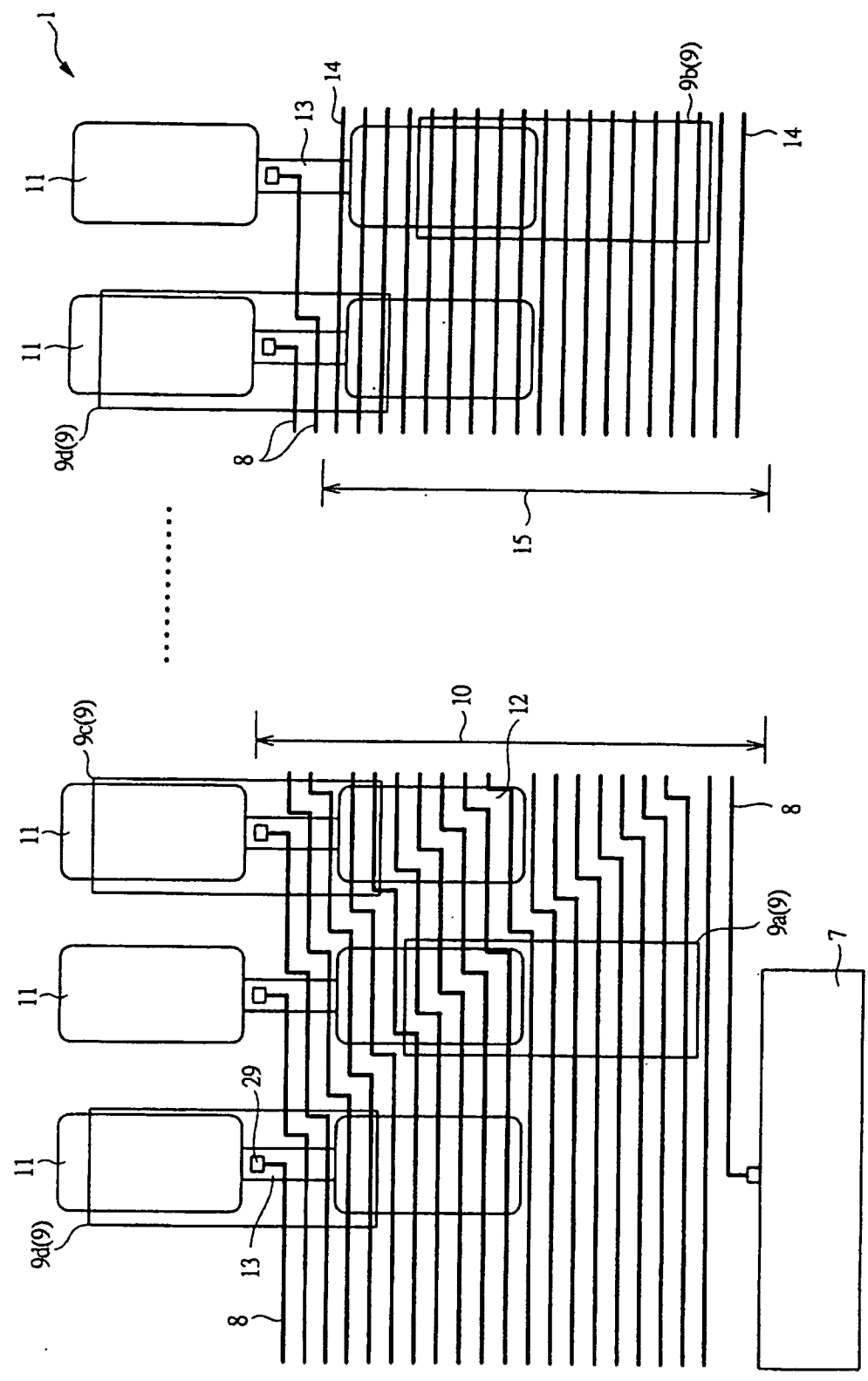


圖 4

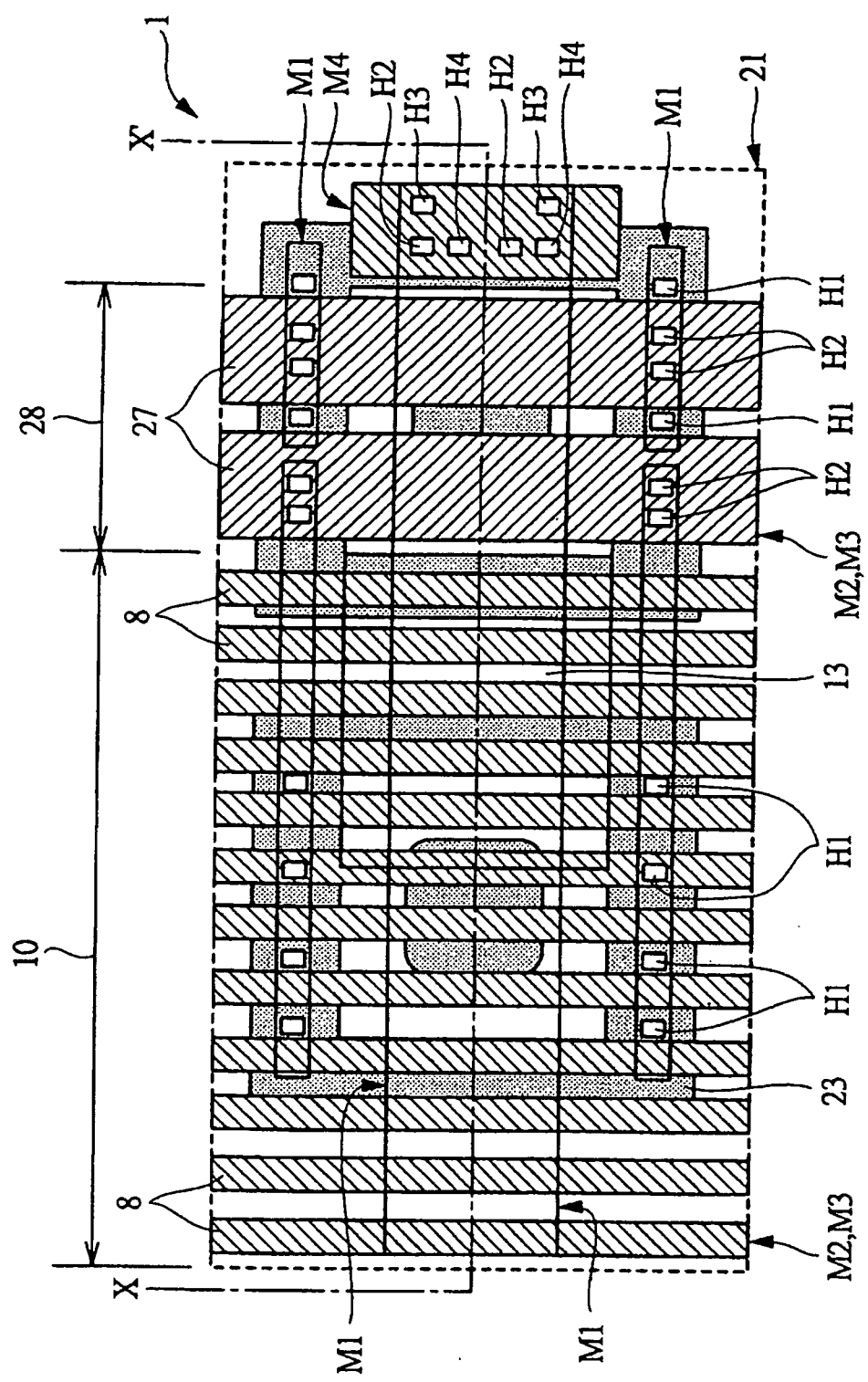


圖 5

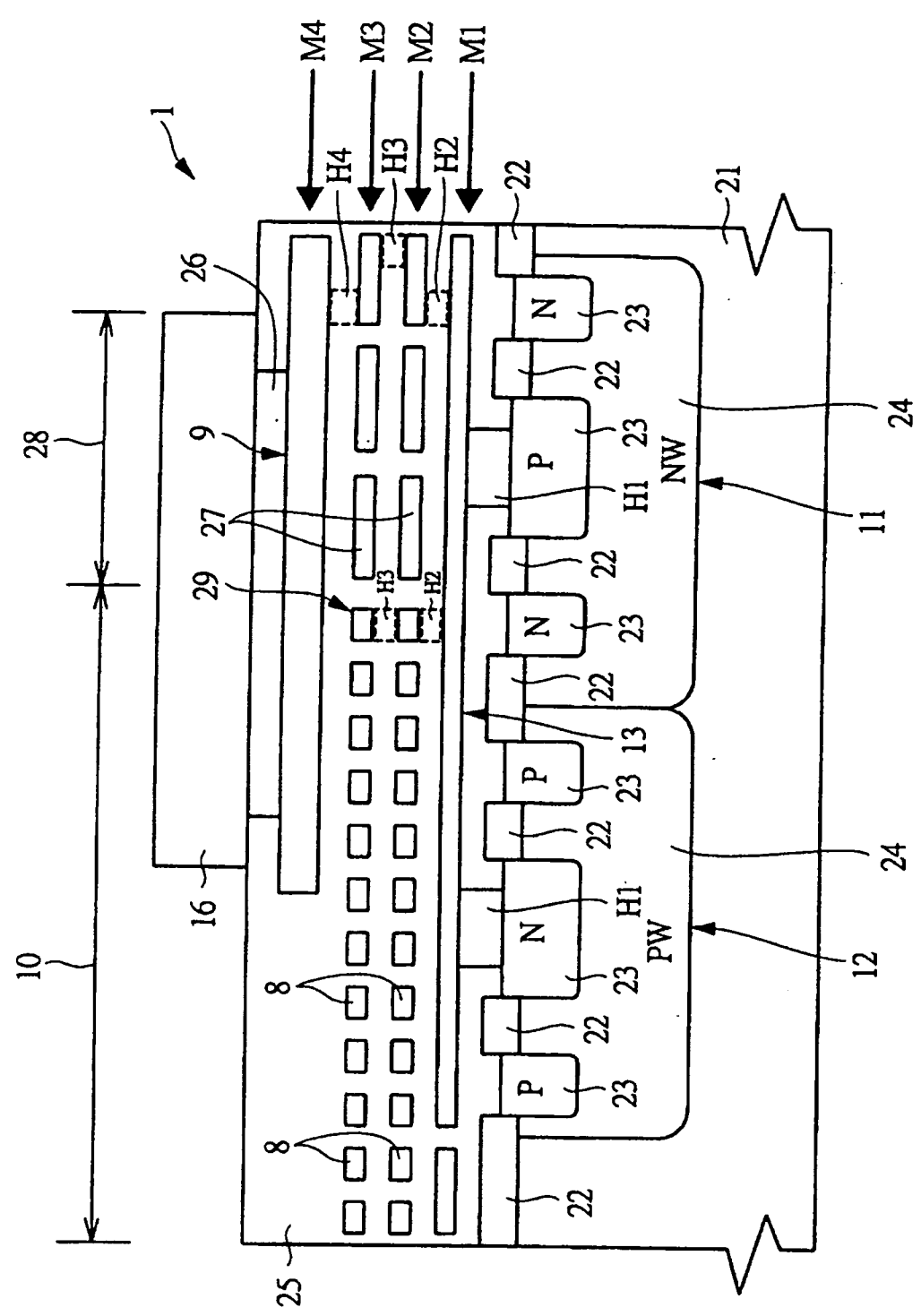


圖 6

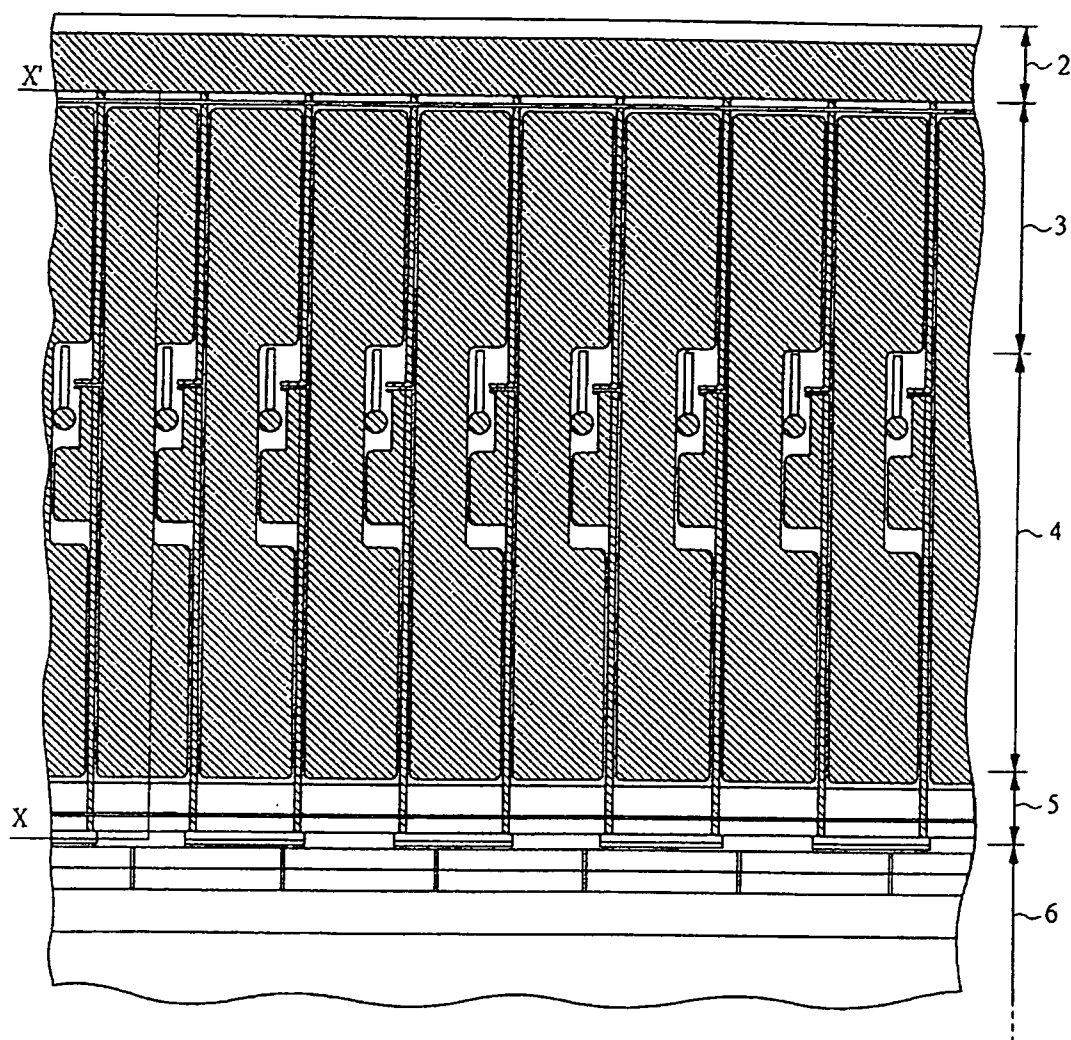


圖 7

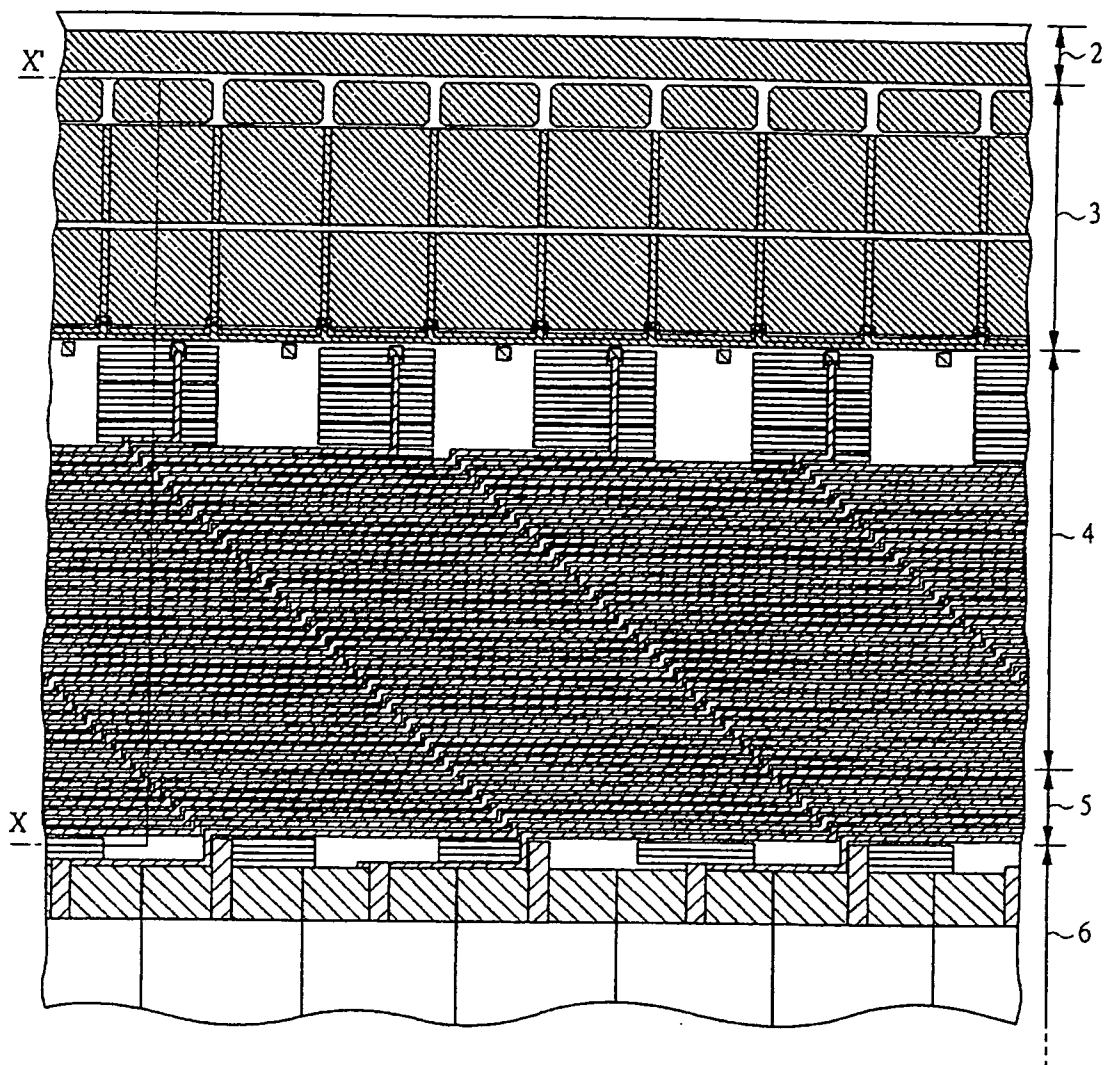


圖 8

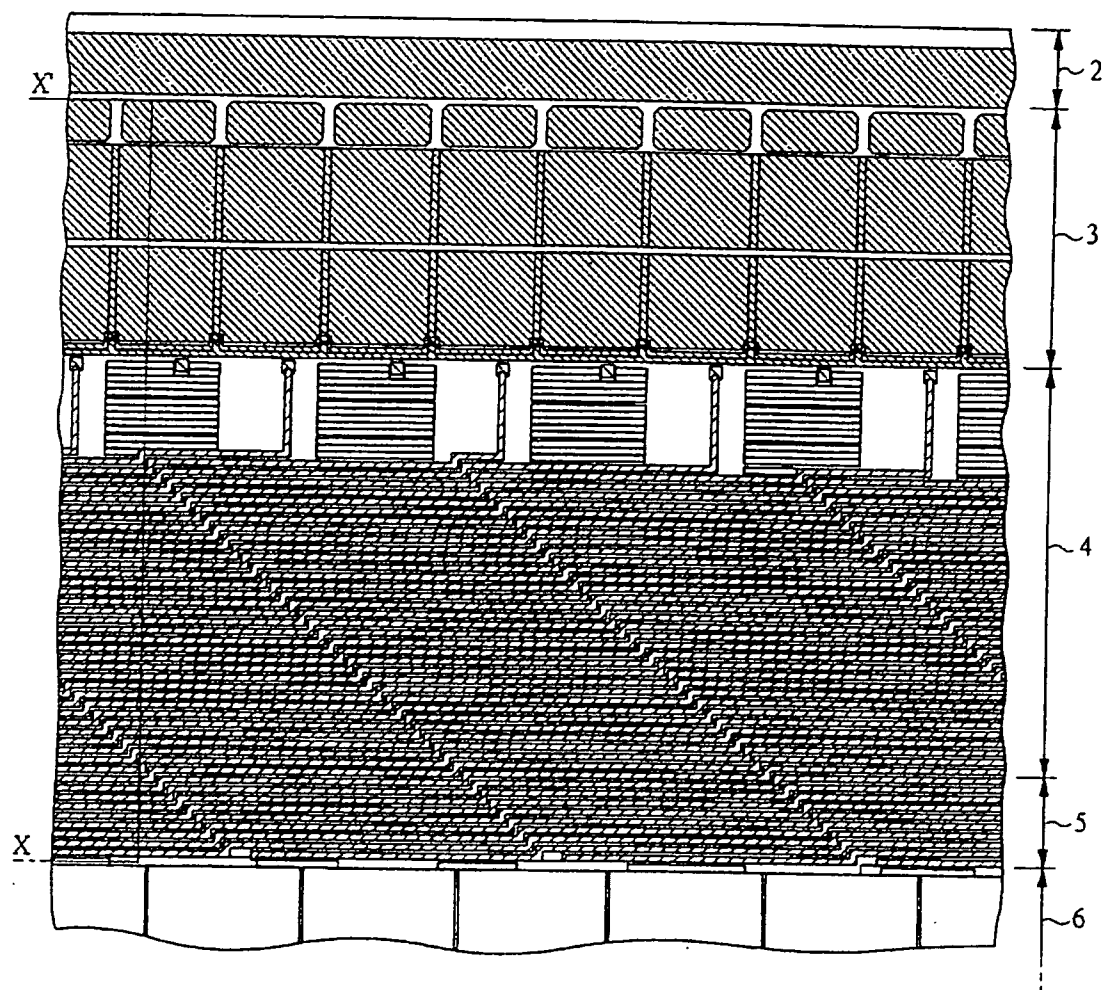


圖 9

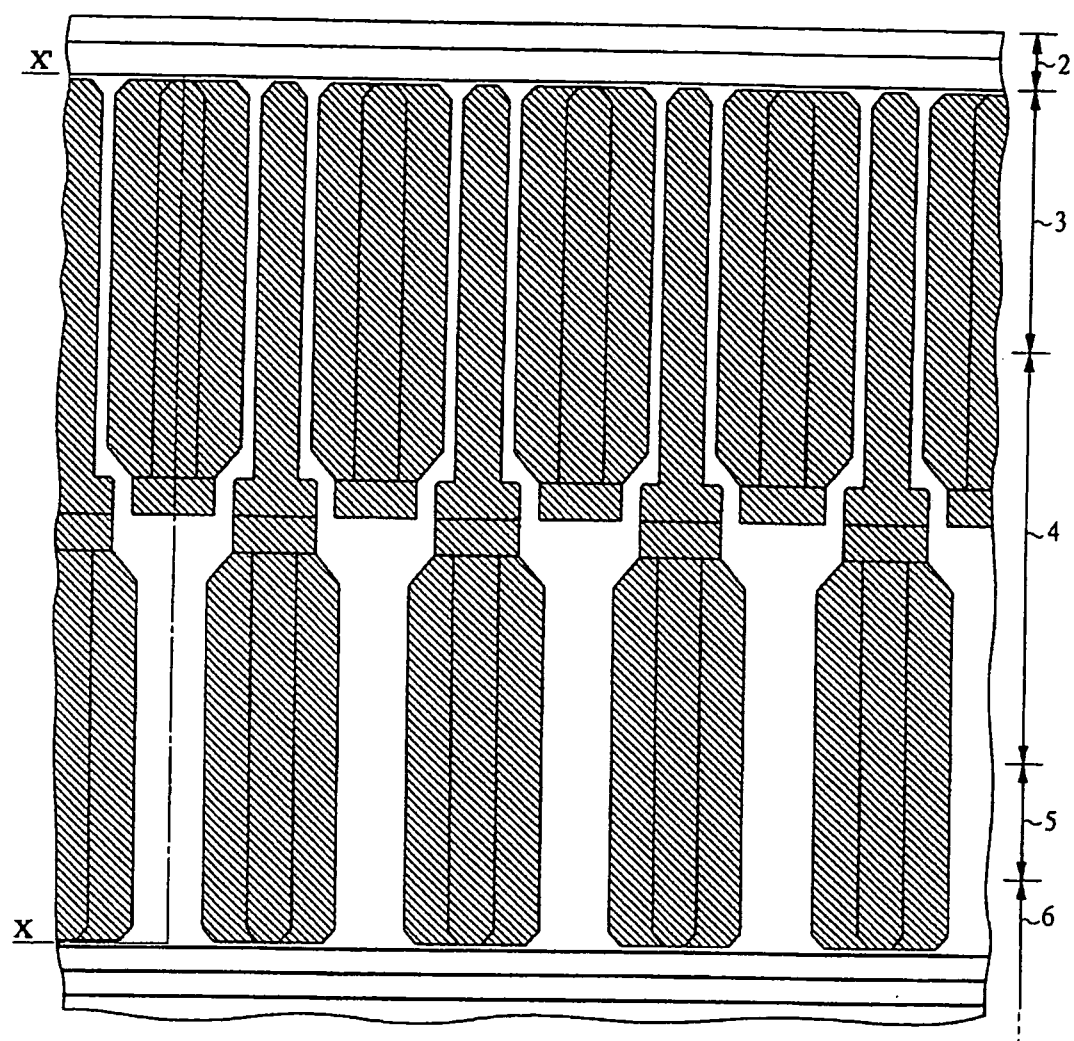


圖 10

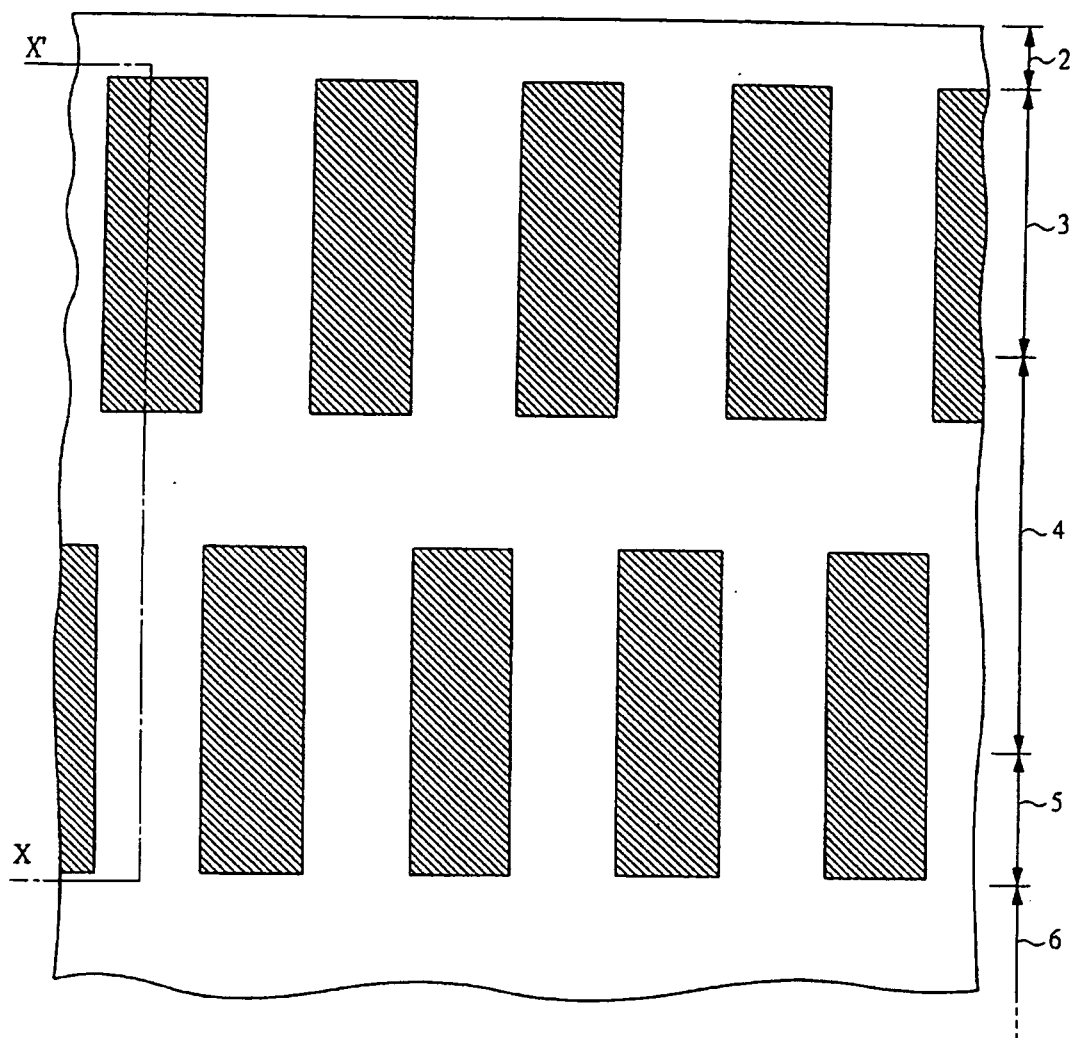


圖 11

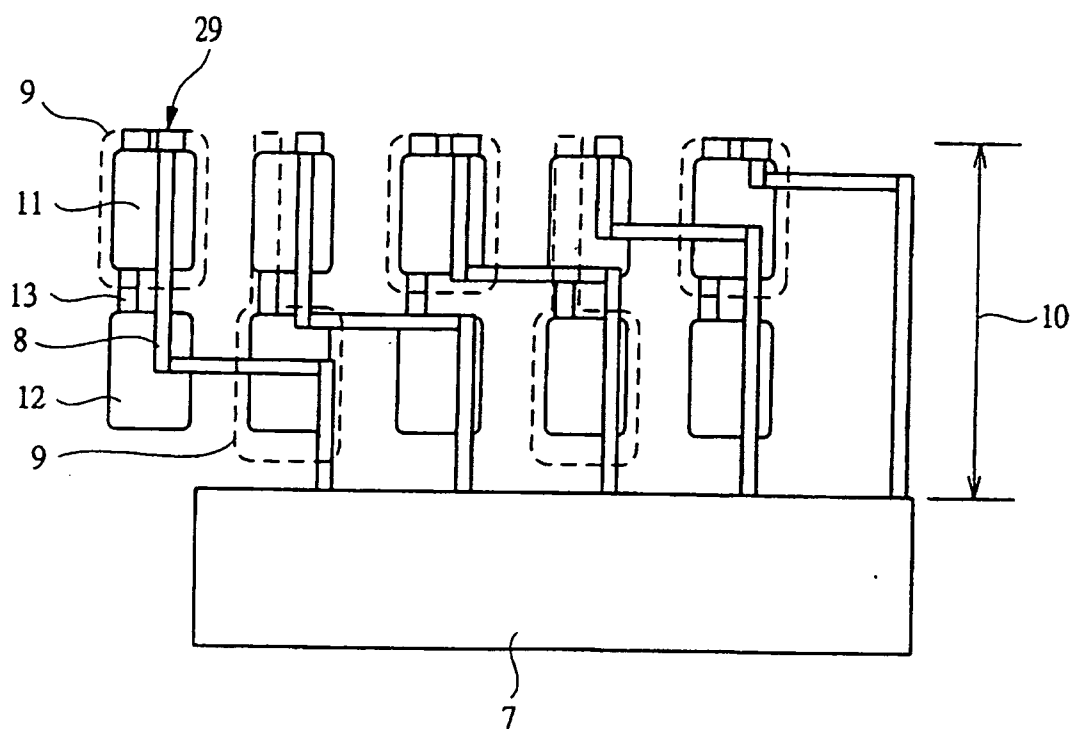


圖 12

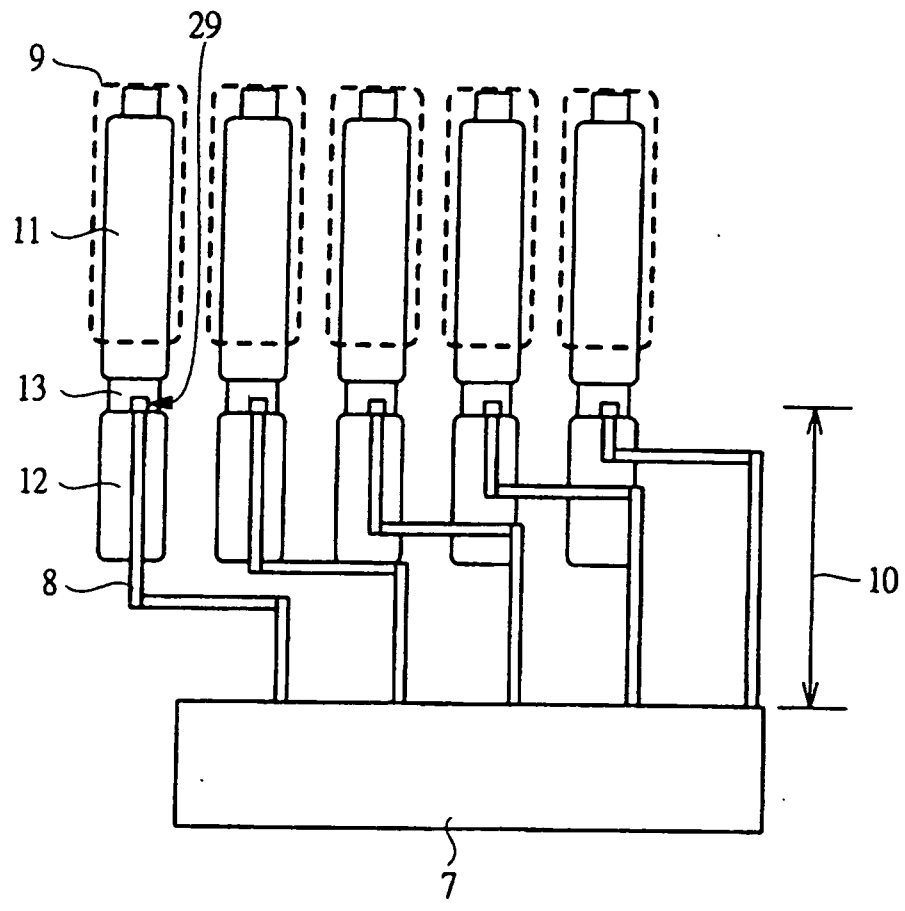


圖 13

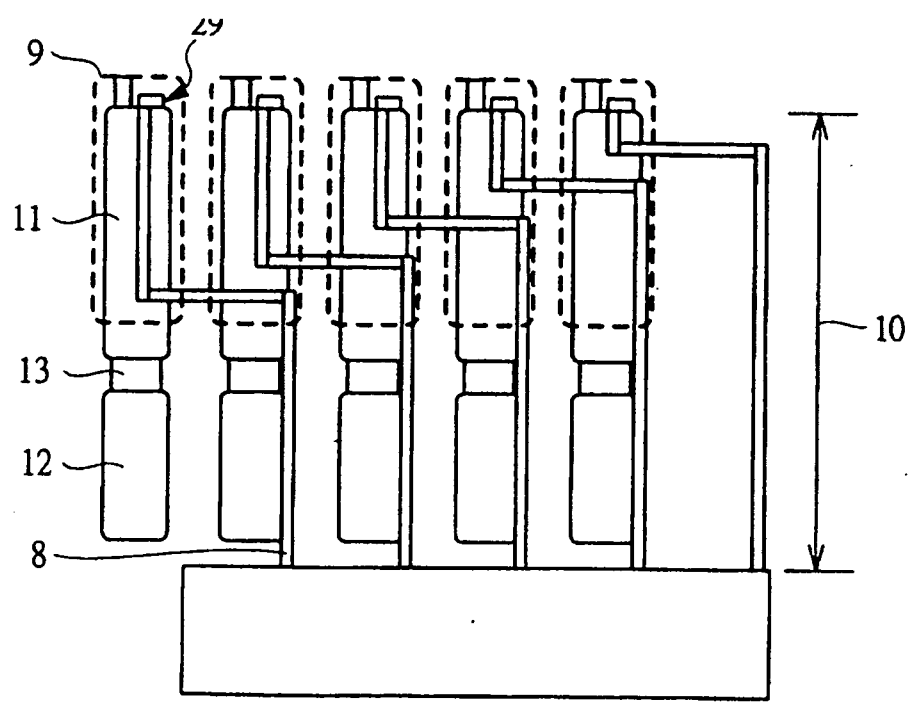


圖 14

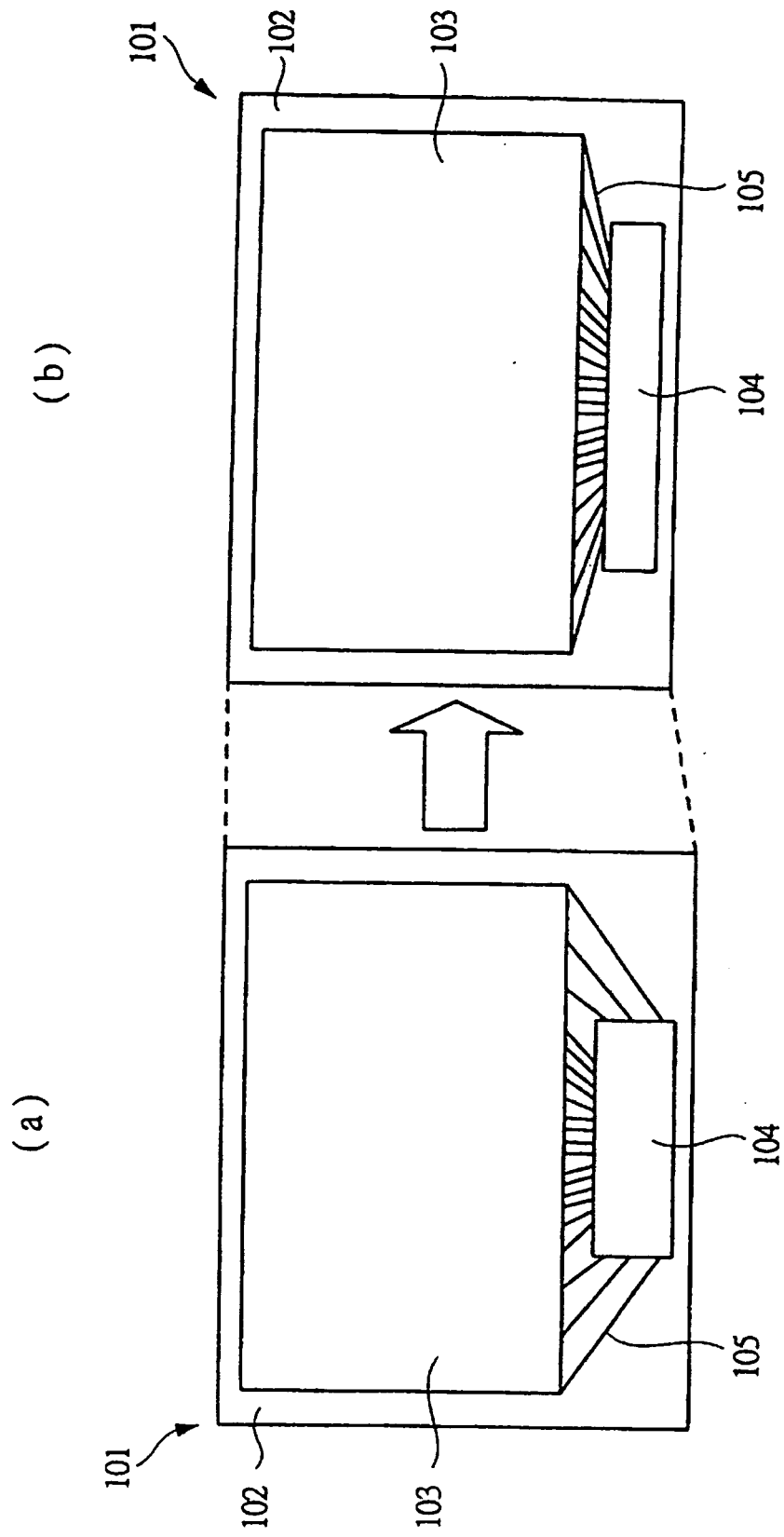


圖 15

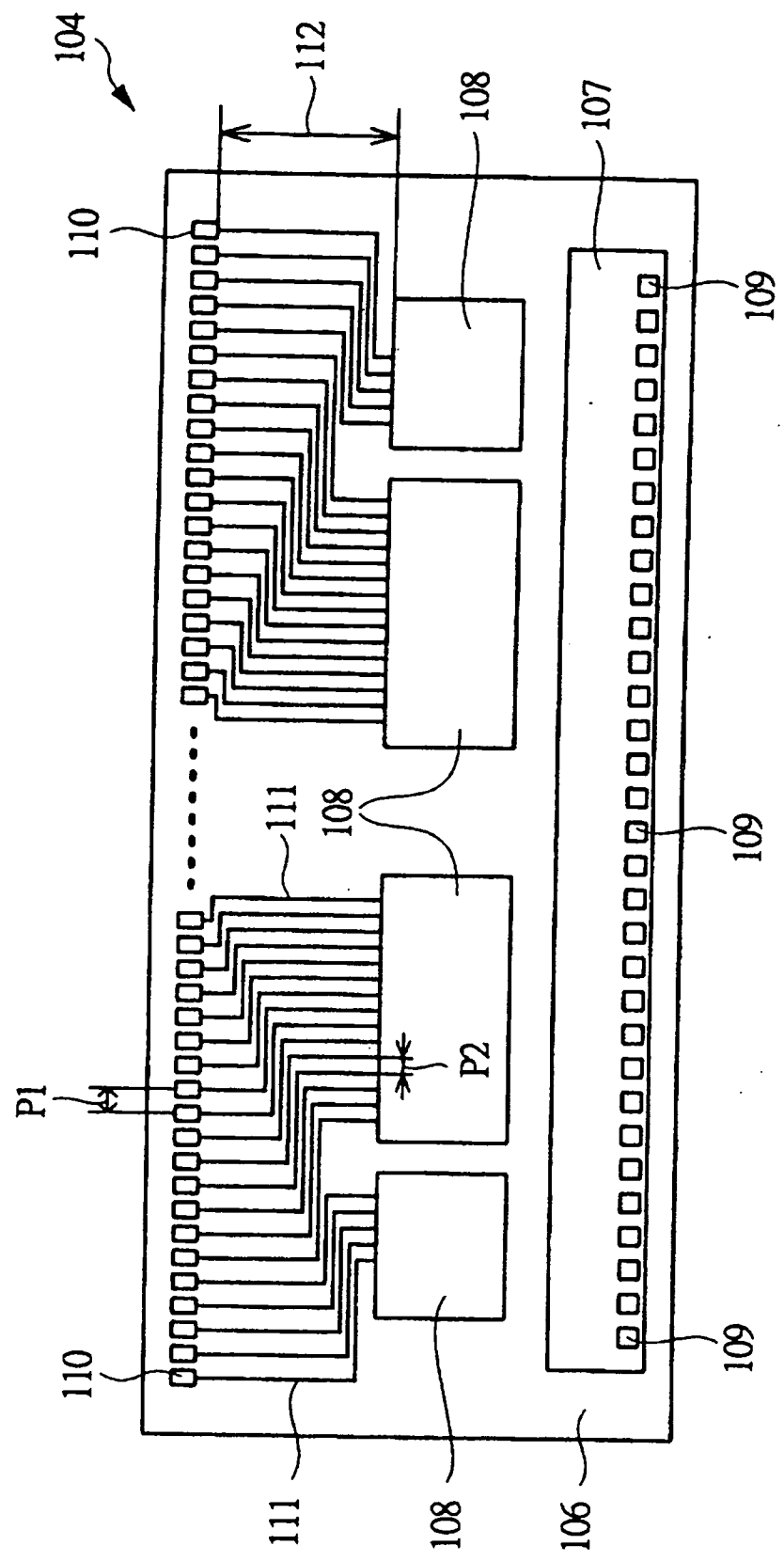


圖 16

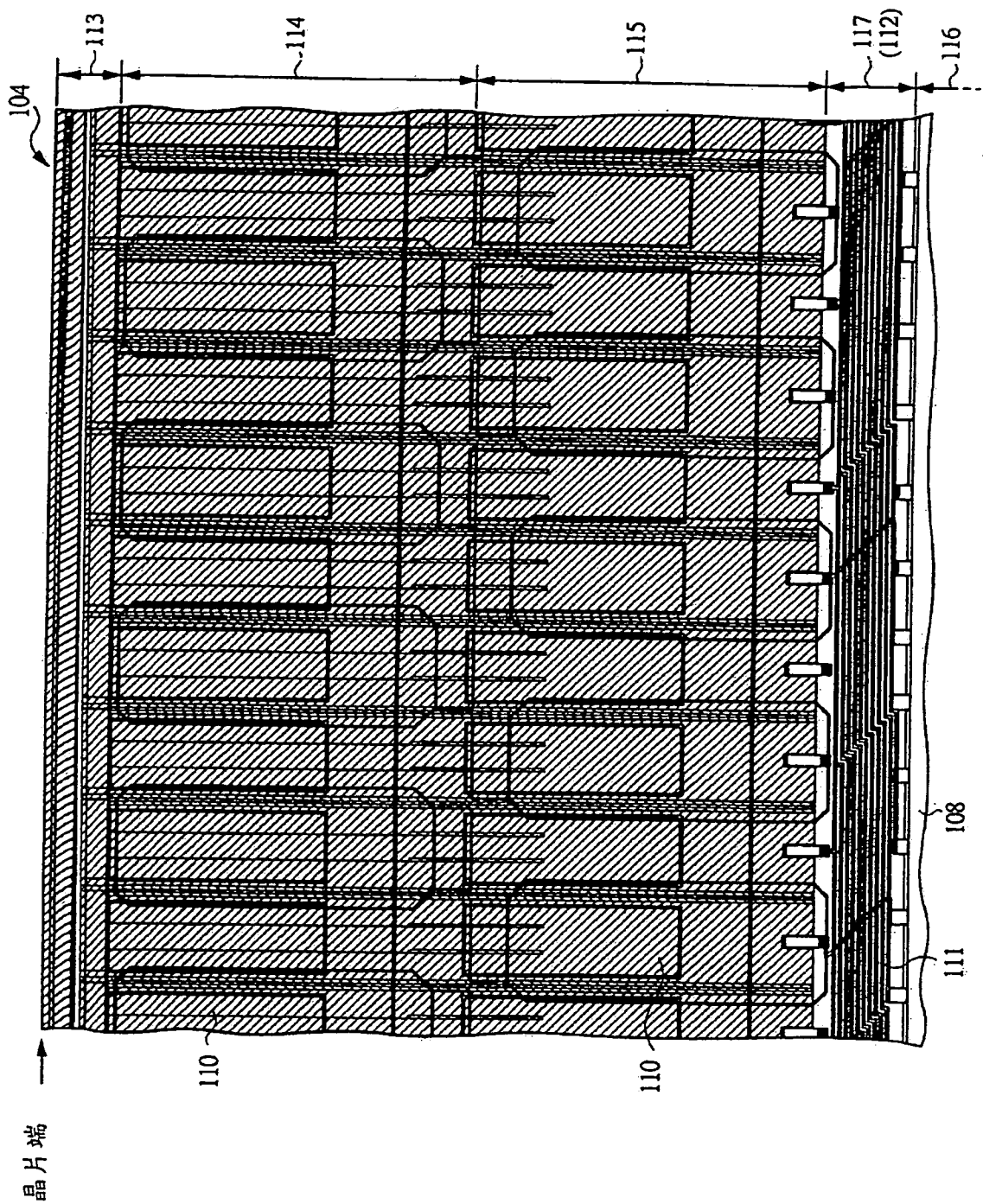


圖 17

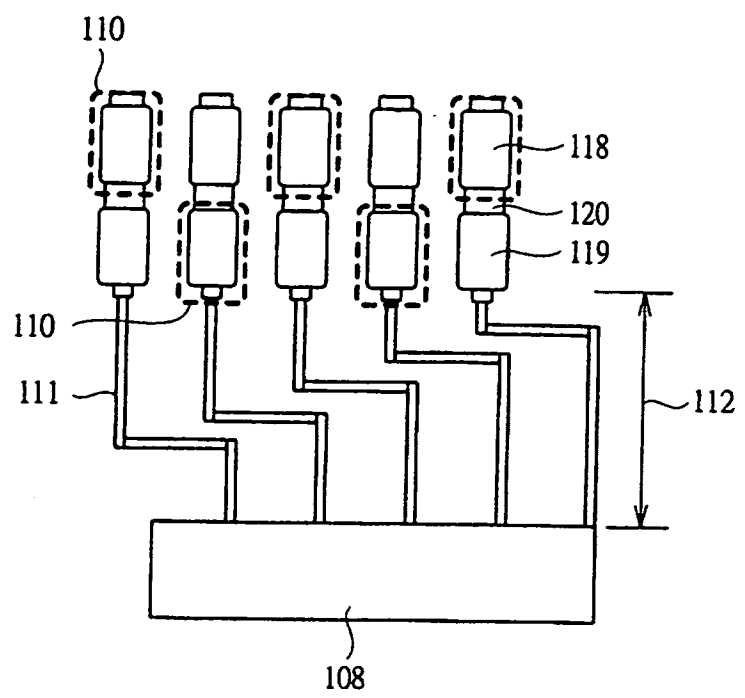


圖 18

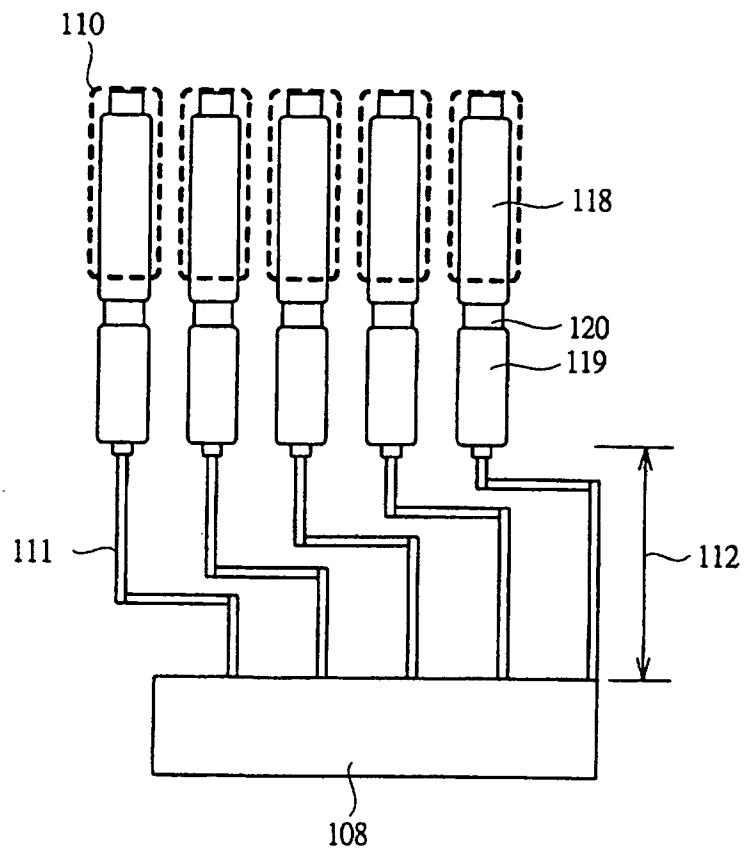


圖 19

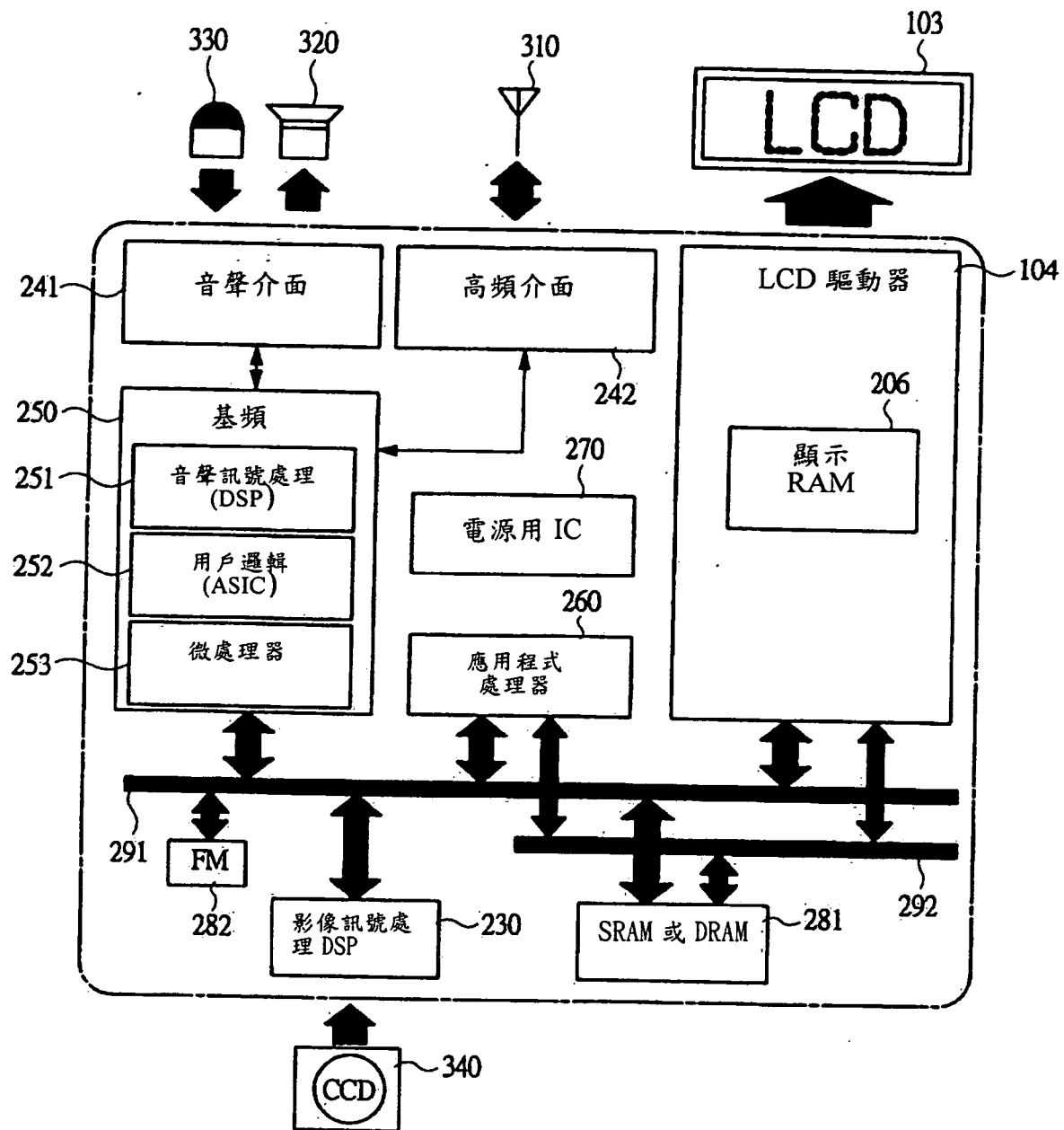


圖 20