

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7315016号
(P7315016)

(45)発行日 令和5年7月26日(2023.7.26)

(24)登録日 令和5年7月18日(2023.7.18)

(51)国際特許分類		F I	
H 0 1 L	21/822 (2006.01)	H 0 1 L	27/04 D
H 0 1 L	27/04 (2006.01)	H 0 1 L	21/82 B
H 0 1 L	21/82 (2006.01)	H 0 1 L	21/82 L
H 0 1 L	21/3205(2006.01)	H 0 1 L	21/88 J
H 0 1 L	21/768(2006.01)	H 0 1 L	27/00 3 0 1 W
請求項の数 17 (全31頁) 最終頁に続く			
(21)出願番号	特願2021-551078(P2021-551078)	(73)特許権者	514315159
(86)(22)出願日	令和1年10月11日(2019.10.11)		株式会社ソシオネクスト
(86)国際出願番号	PCT/JP2019/040259		神奈川県横浜市港北区新横浜 2 丁目 1 0
(87)国際公開番号	WO2021/070367		番 2 3
(87)国際公開日	令和3年4月15日(2021.4.15)	(74)代理人	100107766
審査請求日	令和4年9月21日(2022.9.21)		弁理士 伊東 忠重
		(74)代理人	100070150
			弁理士 伊東 忠彦
		(72)発明者	岡本 淳
			神奈川県横浜市港北区新横浜二丁目 1 0
			番 2 3 株式会社ソシオネクスト内
		(72)発明者	ワン ウェンゼン
			神奈川県横浜市港北区新横浜二丁目 1 0
			番 2 3 株式会社ソシオネクスト内
		(72)発明者	武野 紘宜
			最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項 1】

基板と、前記基板の第 1 の面上に形成された第 1 の配線層と、を有する第 1 のチップと、前記基板の前記第 1 の面とは反対側の第 2 の面上に形成された第 2 の配線層と、を有し、
前記第 2 の配線層は、
第 1 の電源電位が供給される第 1 の電源線と、
第 2 の電源電位が供給される第 2 の電源線と、
前記第 1 の電源線と前記第 2 の電源線との間に接続された第 1 のスイッチと、
を有し、
前記第 1 のチップは、
第 1 の接地線と、
前記第 2 の電源電位が供給される第 3 の電源線と、
前記第 1 の接地線及び前記第 3 の電源線が配置された第 1 の領域と、
を有し、
平面視で、前記第 1 のスイッチは前記第 1 の領域と重なることを特徴とする半導体装置。

【請求項 2】

前記基板に形成され、前記第 2 の電源線と前記第 3 の電源線とを接続する第 1 のビアを有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

平面視で、前記第 1 のビアは前記第 1 の領域と重なることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 のチップは、
第 2 の接地線と、
前記第 1 の電源線に接続された第 4 の電源線と、
前記第 2 の接地線及び前記第 4 の電源線が配置された第 2 の領域と、
を有することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記第 2 の領域は、前記第 2 の接地線と前記第 4 の電源線との間に接続され、前記第 1 のスイッチを制御する制御回路を含むことを特徴とする請求項 4 に記載の半導体装置。

10

【請求項 6】

前記第 1 のチップは、前記制御回路の出力信号を伝達する第 1 の制御信号線を有し、
平面視で、前記第 2 の領域の外側に、前記第 1 の制御信号線と前記第 1 のスイッチの制御端子とを接続する第 1 の接続領域を有することを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 の接続領域は、平面視で、前記第 1 の領域と前記第 2 の領域との間に設けられていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

20

複数の前記第 1 のスイッチの制御端子は、互いに接続されていることを特徴とする請求項 6 又は 7 に記載の半導体装置。

【請求項 9】

前記第 2 の配線層は、
前記第 1 の電源電位が供給される第 5 の電源線と、
前記第 2 の電源電位が供給される第 6 の電源線と、
前記第 5 の電源線と前記第 6 の電源線との間に接続された第 2 のスイッチと、
を有し、
平面視で、前記第 2 のスイッチは前記第 1 の領域と前記第 2 の領域との間に配置されていることを特徴とする請求項 4 乃至 8 のいずれか 1 項に記載の半導体装置。

30

【請求項 10】

前記第 1 のスイッチは、
前記第 1 の電源線及び前記第 2 の電源線に接続された半導体層と、
ゲート電極と、
前記半導体層と前記ゲート電極との間に設けられたゲート絶縁膜と、
を有することを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置。

【請求項 11】

前記ゲート絶縁膜は、前記半導体層の前記第 1 のチップ側の面上に形成され、
前記ゲート電極は、前記ゲート絶縁膜の前記第 1 のチップ側の面上に形成されていることを特徴とする請求項 10 に記載の半導体装置。

40

【請求項 12】

前記第 1 の電源線は、前記半導体層の前記第 1 のチップ側の面とは反対側の面に接続されていることを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】

前記ゲート絶縁膜は、前記半導体層の前記第 1 のチップ側の面とは反対側の面上に形成され、
前記ゲート電極は、前記ゲート絶縁膜の前記第 1 のチップ側の面とは反対側の面上に形成されていることを特徴とする請求項 10 に記載の半導体装置。

【請求項 14】

複数の前記第 1 のスイッチが並列に接続されていることを特徴とする請求項 1 乃至 13

50

のいずれか 1 項に記載の半導体装置。

【請求項 15】

複数の前記第 1 のスイッチが、平面視で互いに直交する第 2 の方向及び第 3 の方向に格子状に並んで配置され、

前記第 2 の方向に並ぶ複数の前記第 1 のスイッチが並列に接続されてスイッチ群が構成され、

前記第 3 の方向で隣り合う前記スイッチ群が平面視で前記第 1 の領域の外側で互いに接続されていることを特徴とする請求項 14 に記載の半導体装置。

【請求項 16】

前記第 1 の領域の外側で前記スイッチ群の制御端子同士がバッファを介して接続されていることを特徴とする請求項 15 に記載の半導体装置。

10

【請求項 17】

前記スイッチ群の制御端子に接続された容量素子を有することを特徴とする請求項 15 又は 16 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

20

半導体装置には各種回路領域が含まれており、回路領域の一例としてスタンダードセル領域がある。スタンダードセル領域には各種論理回路及び電源スイッチ回路が含まれる。

【0003】

電源スイッチ回路は、例えば半導体装置に供給される VDD の電位の電源線と論理回路のトランジスタに VDD の電源を供給する電源線との間に設けられ、当該トランジスタへの VDD の電源電位の供給のオン/オフを切り替える。電源スイッチ回路を用いることで、論理回路を動作させる必要のないときに電源供給をオフとし、論理回路を構成するトランジスタで生じるリーク電流を抑制し、消費電力の低減が可能となる。

【0004】

また、主たる半導体チップの裏側に、配線を含む従たる半導体チップを貼り付け、従たる半導体チップの配線を介して主たる半導体チップのトランジスタに電源電位を供給する技術が提案されている。このような技術は BS-PDN (backside-power delivery network) とよばれることがある。

30

【先行技術文献】

【特許文献】

【0005】

【文献】米国特許出願公開第 2015/016244 号明細書

米国特許第 9754923 号明細書

米国特許出願公開第 2018/0145030 号明細書

米国特許第 8530273 号明細書

40

特許第 6469269 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

これまでのところ、配線を含む従たる半導体チップ内に電源スイッチ回路を設ける場合の具体的な構成について、詳細な検討はされていない。

【0007】

本発明の目的は、適切に電源スイッチ回路を設けることができる半導体装置を提供することにある。

【課題を解決するための手段】

50

【 0 0 0 8 】

開示の技術に係る半導体装置は、基板と、前記基板の第 1 の面上に形成された第 1 の配線層と、を有する第 1 のチップと、前記基板の前記第 1 の面とは反対側の第 2 の面上に形成された第 2 の配線層と、を有し、前記第 2 の配線層は、第 1 の電源電位が供給される第 1 の電源線と、第 2 の電源電位が供給される第 2 の電源線と、前記第 1 の電源線と前記第 2 の電源線との間に接続された第 1 のスイッチと、を有し、前記第 1 のチップは、第 1 の接地線と、前記第 2 の電源電位が供給される第 3 の電源線と、前記第 1 の接地線及び前記第 3 の電源線が配置された第 1 の領域と、を有し、平面視で、前記第 1 のスイッチは前記第 1 の領域と重なる。

【 発明の効果 】

10

【 0 0 0 9 】

開示の技術によれば、適切に電源スイッチ回路を設けることができる。

【 図面の簡単な説明 】

【 0 0 1 0 】

【 図 1 】 図 1 は、第 1 の実施形態に係る半導体装置の概要を示す断面図である。

【 図 2 】 図 2 は、第 1 の実施形態における第 1 のチップのレイアウトを示す図である。

【 図 3 】 図 3 は、第 1 の実施形態に係る半導体装置に含まれる回路の構成を示す回路図である。

【 図 4 】 図 4 は、バッファの構成を示す回路図である。

【 図 5 】 図 5 は、バッファの平面構成を示す模式図である。

20

【 図 6 】 図 6 は、インバータの構成を示す回路図である。

【 図 7 】 図 7 は、インバータの平面構成を示す模式図である。

【 図 8 】 図 8 は、第 1 の実施形態におけるパワードメインの概要を示す模式図である。

【 図 9 】 図 9 は、第 1 の実施形態に係る半導体装置の平面構成を示す模式図（その 1 ）である。

【 図 1 0 】 図 1 0 は、第 1 の実施形態に係る半導体装置の平面構成を示す模式図（その 2 ）である。

【 図 1 1 】 図 1 1 は、第 1 の実施形態に係る半導体装置を示す断面図（その 1 ）である。

【 図 1 2 】 図 1 2 は、第 1 の実施形態に係る半導体装置を示す断面図（その 2 ）である。

【 図 1 3 】 図 1 3 は、第 1 の実施形態に係る半導体装置を示す断面図（その 3 ）である。

30

【 図 1 4 】 図 1 4 は、第 2 の実施形態に係る半導体装置の平面構成を示す模式図（その 1 ）である。

【 図 1 5 】 図 1 5 は、第 2 の実施形態に係る半導体装置の平面構成を示す模式図（その 2 ）である。

【 図 1 6 】 図 1 6 は、第 2 の実施形態に係る半導体装置を示す断面図（その 1 ）である。

【 図 1 7 】 図 1 7 は、第 2 の実施形態に係る半導体装置を示す断面図（その 2 ）である。

【 図 1 8 】 図 1 8 は、第 3 の実施形態に係る半導体装置の平面構成を示す模式図（その 1 ）である。

【 図 1 9 】 図 1 9 は、第 3 の実施形態に係る半導体装置の平面構成を示す模式図（その 2 ）である。

40

【 図 2 0 】 図 2 0 は、第 4 の実施形態に係る半導体装置の平面構成を示す模式図である。

【 図 2 1 】 図 2 1 は、第 4 の実施形態に係る半導体装置を示す断面図（その 1 ）である。

【 図 2 2 】 図 2 2 は、第 4 の実施形態に係る半導体装置を示す断面図（その 2 ）である。

【 図 2 3 】 図 2 3 は、第 4 の実施形態に係る半導体装置を示す断面図（その 3 ）である。

【 図 2 4 】 図 2 4 は、第 5 の実施形態に係る半導体装置の平面構成を示す模式図である。

【 図 2 5 】 図 2 5 は、第 5 の実施形態に係る半導体装置を示す断面図（その 1 ）である。

【 図 2 6 】 図 2 6 は、第 5 の実施形態に係る半導体装置を示す断面図（その 2 ）である。

【 図 2 7 】 図 2 7 は、第 6 の実施形態に係る半導体装置の平面構成を示す模式図である。

【 図 2 8 】 図 2 8 は、第 7 の実施形態に係る半導体装置の平面構成を示す模式図である。

【 図 2 9 】 図 2 9 は、第 8 の実施形態に係る半導体装置を示す断面図である。

50

【図 3 0】図 3 0 は、第 9 の実施形態に係る半導体装置を示す断面図である。

【図 3 1】図 3 1 は、第 1 0 の実施形態におけるパワードメインの概要を示す模式図である。

【図 3 2】図 3 2 は、第 1 0 の実施形態に係る半導体装置の平面構成を示す模式図である。

【図 3 3】図 3 3 は、第 1 1 の実施形態に係る半導体装置の平面構成を示す模式図である。

【図 3 4】図 3 4 は、第 1 2 の実施形態に係る半導体装置の平面構成を示す模式図である。

【図 3 5】図 3 5 は、スイッチトランジスタの断面構成の例を示す断面図（その 1 ）である。

【図 3 6】図 3 6 は、スイッチトランジスタの断面構成の例を示す断面図（その 2 ）である。

10

【図 3 7】図 3 7 は、スイッチトランジスタの断面構成の例を示す断面図（その 3 ）である。

【発明を実施するための形態】

【 0 0 1 1 】

以下、実施形態について添付の図面を参照しながら具体的に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複した説明を省くことがある。また、以下の説明において、基板の表面に平行で互いに直交する 2 つの方向を X 方向、Y 方向とし、基板の表面に垂直な方向を Z 方向とする。また、本開示での配置の一致とは、厳密に、製造上のばらつきに起因して不一致となったものを排除するものではなく、製造上のばらつきで配置にずれが生じている場合でも、配置が一致しているものとみなすことができる。

20

【 0 0 1 2 】

（第 1 の実施形態）

先ず、第 1 の実施形態について説明する。図 1 は、第 1 の実施形態に係る半導体装置の概要を示す断面図である。図 1 に示すように、第 1 の実施形態に係る半導体装置は、第 1 のチップ 1 0 及び第 2 のチップ 2 0 を含む。

【 0 0 1 3 】

第 1 のチップ 1 0 は、例えば半導体チップであり、基板 1 1 及び第 1 の配線層 1 2 を含む。基板 1 1 は、例えばシリコン基板であり、基板 1 1 の表面側にトランジスタ等の半導体素子が形成されている。トランジスタは、例えばソース、ドレイン及びチャンネルにフィン 1 3 を含む F i n F E T である。第 1 の配線層 1 2 は基板 1 1 の表面上に形成され、配線 1 4 及び絶縁層 1 5 を含む。配線 1 4 の一部はフィン 1 3 に接続される。更に、例えば基板 1 1 の表面側に、配線 1 4 に接続される電源線 1 6 が形成されており、基板 1 1 に、電源線 1 6 から基板 1 1 の裏面に達するビア 1 7 が設けられている。ビア 1 7 は、例えばシリコン貫通ビア（through-silicon via : T S V ）である。なお、図 1 に示すように、配線 1 4 の一部がビアのような形状を持ち、電源線 1 6 に接続してもよい。

30

【 0 0 1 4 】

第 2 のチップ 2 0 は、例えば半導体チップであり、第 1 のチップ 1 0 の基板 1 1 の裏面に対向して配置される。第 2 のチップ 2 0 は、例えば、第 2 の配線層 2 2 及びパッド 2 3 を含む。第 2 の配線層 2 2 は、配線 2 4 及び絶縁層 2 5 を含む。第 2 の配線層 2 2 の上面は、例えば第 1 のチップ 1 0 の基板 1 1 の裏面に対向する。すなわち、基板 1 1 は第 1 の配線層 1 2 と第 2 の配線層 2 2 との間に位置する。第 2 の配線層 2 2 は、図 1 に示すように、複数の配線 2 4 を有してもよい。複数の配線 2 4 は、第 2 の配線層 2 2 に設けられたビア 2 8 を介して接続されてもよい。パッド 2 3 は、例えば配線基板やボード等に接続する外部接続端子である。配線 2 4 の一部はビア 1 7 に接続される。パッド 2 3 は第 2 の配線層 2 2 の裏面に設けられており、ビア 2 8 を通じて配線 2 4 に接続されている。パッド 2 3 を介して第 2 の配線層 2 2 に、電源電位の供給や信号の伝達が行われる。

40

【 0 0 1 5 】

第 2 のチップ 2 0 は第 1 のチップ 1 0 と同程度のサイズを有していてもよく、第 1 のチップ 1 0 より大きなサイズを有していてもよい。また、パッド 2 3 が、第 1 のチップ 1 0

50

に対向する側の第２のチップ２０の面において、平面視で第１のチップ１０の外側に設けられていてもよい。以下、本明細書において平面視とは、第１のチップ１０の表面の平面視をいう。

【００１６】

第２の配線層２２は、基板１１の裏面上に配線２４及び絶縁層２５等を形成して設けられたものであってもよい。第２の配線層２２は、ＴＳＶが形成された第２の基板上に形成されていてもよく、第２の基板の裏面にパッド２３が設けられていてもよい。

【００１７】

なお、図１に示す断面図は半導体装置の概要を示すものであり、詳細は図９～図１３に示す。

【００１８】

次に、第１のチップ１０のレイアウトについて説明する。図２は、第１のチップ１０のレイアウトを示す図である。

【００１９】

図２に示すように、第１のチップ１０は、第１のパワードメイン３１Ａと、第２のパワードメイン３１Ｂと、入出力（Ｉ／Ｏ）セル領域３２とを含む。Ｉ／Ｏセル領域３２は、例えば、第１のパワードメイン３１Ａ及び第２のパワードメイン３１Ｂの周辺に配置されている。第１のパワードメイン３１Ａの数及び第２のパワードメイン３１Ｂの数は２以上であってもよい。

【００２０】

次に、第１の実施形態に係る半導体装置に含まれる回路について説明する。図３は、第１の実施形態に係る半導体装置に含まれる回路の構成を示す回路図である。

【００２１】

図３に示すように、第１の実施形態に係る半導体装置は、スタンダードセル４１と、電源スイッチ回路４２と、電源スイッチ制御回路５２とを有する。電源スイッチ制御回路５２は、第１のチップ１０の第１のパワードメイン３１Ａに設けられる。スタンダードセル４１は、第１のチップ１０の第２のパワードメイン３１Ｂに設けられる。スタンダードセル４１は、例えば、ＮＡＮＤ回路、インバータ等の各種論理回路を含む。電源スイッチ制御回路５２は、後述のようにバッファを含む。第１のパワードメイン３１Ａには、電源スイッチ制御回路５２に接地電位を供給するＶＳＳ配線及び電源電位を供給するＶＤＤ配線が配置されている。第２のパワードメイン３１Ｂには、スタンダードセル４１に接地電位を供給するＶＳＳ配線及び電源電位を供給するＶＶＤＤ配線が配置されている。

【００２２】

詳細は後述するが、電源スイッチ回路４２は、第２のチップ２０に設けられる。電源スイッチ回路４２は、スイッチトランジスタ５１を含む。スイッチトランジスタ５１は、例えばＰチャネルＭＯＳトランジスタであり、ＶＤＤ配線とＶＶＤＤ配線との間に接続されている。電源スイッチ制御回路５２は、スイッチトランジスタ５１のゲートに接続され、スイッチトランジスタ５１の動作を制御する。電源スイッチ制御回路５２によりスイッチトランジスタ５１のオン／オフが切り替えられ、ＶＤＤ配線とＶＶＤＤ配線との間の導通が制御される。電源スイッチ制御回路５２は、例えばバッファを含む。スイッチトランジスタ５１は、薄膜トランジスタ（thin film transistor：ＴＦＴ）から構成されていてもよく、微小電気機械システム（micro electro mechanical systems：ＭＥＭＳ）スイッチであってもよい。また、第１のパワードメイン３１Ａに接地電位を供給するＶＳＳ配線と、第２のパワードメイン３１Ｂに接地電位を供給するＶＶＳＳ配線とがあり、ＶＳＳ配線とＶＶＳＳ配線との間にスイッチトランジスタ５１としてＮチャネルＭＯＳトランジスタが設けられても良い。

【００２３】

次に、電源スイッチ制御回路５２に含まれるバッファの構成について説明する。図４は、バッファの構成を示す回路図である。図５は、バッファの平面構成を示す模式図である。

【００２４】

10

20

30

40

50

図 4 に示すように、電源スイッチ制御回路 5 2 に含まれるバッファ 6 0 は、インバータ 6 1 及びインバータ 6 2 を有する。インバータ 6 1 に入力信号 I N が入力され、インバータ 6 1 の出力がスイッチトランジスタ 5 1 のゲート及びインバータ 6 2 に入力され、インバータ 6 2 から出力信号 O U T が出力される。インバータ 6 1 は P チャネル M O S トランジスタ 6 1 0 P 及び N チャネル M O S トランジスタ 6 1 0 N を含む。インバータ 6 2 は P チャネル M O S トランジスタ 6 2 0 P 及び N チャネル M O S トランジスタ 6 2 0 N を含む。

【 0 0 2 5 】

例えば、図 5 に示すように、V D D 配線に相当する電源線 1 1 1 0 と、V S S 配線に相当する電源線 1 1 2 0 とが設けられている。電源線 1 1 1 0 及び 1 1 2 0 は X 方向に延在する。電源線 1 1 1 0 の電源線 1 1 2 0 側に、X 方向に延びる半導体のフィン 6 5 1 が設けられている。フィン 6 5 1 は、例えば 2 本設けられている。フィン 6 5 1 の電源線 1 1 2 0 側に、X 方向に延びる半導体のフィン 6 5 2 が設けられている。フィン 6 5 2 は、例えば 2 本設けられている。ビア 6 8 1 を介して電源線 1 1 1 0 に接続され、Y 方向に延在し、フィン 6 5 1 に接続されるローカル配線 6 3 1 が設けられている。ビア 6 8 2 を介して電源線 1 1 2 0 に接続され、Y 方向に延在し、フィン 6 5 2 に接続されるローカル配線 6 3 2 が設けられている。ローカル配線 6 3 1 及び 6 3 2 より X 方向正側に、フィン 6 5 1 及び 6 5 2 に接続されるローカル配線 6 3 4 が設けられている。ローカル配線 6 3 1 及び 6 3 2 より X 方向負側に、フィン 6 5 1 及び 6 5 2 に接続されるローカル配線 6 3 6 が設けられている。

【 0 0 2 6 】

ローカル配線 6 3 1 とローカル配線 6 3 4 との間、及びローカル配線 6 3 2 とローカル配線 6 3 4 との間でゲート絶縁膜（図示せず）を介してフィン 6 5 1 及び 6 5 2 と交差するゲート電極 6 1 2 が設けられている。ローカル配線 6 3 1 とローカル配線 6 3 6 との間、及びローカル配線 6 3 2 とローカル配線 6 3 6 との間でゲート絶縁膜（図示せず）を介してフィン 6 5 1 及び 6 5 2 と交差するゲート電極 6 2 2 が設けられている。ゲート電極 6 1 2 はローカル配線 6 3 3 及びビア 6 4 1 を介して配線 6 1 1 に接続されている。ゲート電極 6 2 2 はローカル配線 6 3 5 及びビア 6 4 3 を介して制御信号線 5 1 1 0 に接続されている。制御信号線 5 1 1 0 はビア 6 4 2 を介してローカル配線 6 3 4 にも接続されている。ローカル配線 6 3 6 はビア 6 4 4 を介して配線 6 2 1 に接続されている。配線 6 1 1 に入力信号 I N が入力され、配線 6 2 1 から出力信号 O U T が出力される（図 4 参照）。

制御信号線 5 1 1 0 がスイッチトランジスタ 5 1 のゲートに接続される。つまり、制御信号線 5 1 1 0 は、スイッチトランジスタ 5 1 に対する制御信号を伝達する信号線として機能する。

【 0 0 2 7 】

なお、インバータ 6 1 及び 6 2 の構成は一例であり、例えば、インバータ 6 1 及び 6 2 に含まれる P チャネル M O S トランジスタ及び N チャネル M O S トランジスタの対は 2 以上であってもよい。また、スイッチトランジスタ 5 1 のゲートに接続される配線がバッファ 6 0 の入力又は出力に接続されていてもよい。

【 0 0 2 8 】

次に、スタンダードセル 4 1 に含まれる回路の一例として、インバータの構成について説明する。図 6 は、インバータの構成を示す回路図である。図 7 は、インバータの平面構成を示す模式図である。

【 0 0 2 9 】

図 6 に示すように、インバータ 7 0 は P チャネル M O S トランジスタ 7 1 0 P 及び N チャネル M O S トランジスタ 7 1 0 N を含む。

【 0 0 3 0 】

例えば、図 7 に示すように、V V D D 配線に相当する電源線 2 1 1 0 と、V S S 配線に相当する電源線 2 1 2 0 とが設けられている。電源線 2 1 1 0 及び 2 1 2 0 は X 方向に延在する。電源線 2 1 1 0 の電源線 2 1 2 0 側に、X 方向に延びる半導体のフィン 7 5 1 が設けられている。フィン 7 5 1 は、例えば 2 本設けられている。フィン 7 5 1 の電源線 2

１２０側に、Ｘ方向に延びる半導体のフィン７５２が設けられている。フィン７５２は、例えば２本設けられている。ビア７８１を介して電源線２１１０に接続され、Ｙ方向に延在し、フィン７５１に接続されるローカル配線７３１が設けられている。ビア７８２を介して電源線２１２０に接続され、Ｙ方向に延在し、フィン７５２に接続されるローカル配線７３２が設けられている。ローカル配線７３１及び７３２よりＸ方向正側に、フィン７５１及び７５２に接続されるローカル配線７３４が設けられている。

【００３１】

ローカル配線７３１とローカル配線７３４との間、及びローカル配線７３２とローカル配線７３４との間でゲート絶縁膜（図示せず）を介してフィン７５１及び７５２と交差するゲート電極７１２が設けられている。ゲート電極７１２はローカル配線７３３及びビア７４１を介して配線７１１に接続されている。ローカル配線７３４はビア７４２を介して配線７６０に接続されている。配線７１１に入力信号ＩＮが入力され、配線７６０から出力信号ＯＵＴが出力される（図６参照）。

10

【００３２】

なお、スタンダードセル４１に含まれる回路はインバータに限定されず、種々の論理回路等の回路が含まれてもよい。また、ＳＲＡＭ（Static Random Access Memory）のメモリセルが含まれてもよい。また、電源線２１１０及び２１２０が３本以上の領域にわたって回路が設けられていてもよい。つまり、いわゆるマルチハイトの回路が設けられていてもよい。

【００３３】

20

図５及び図７には、フィンを用いたトランジスタ（FinFET）を例示しているが、第１のパワードメイン３１Ａ及び第２のパワードメイン３１Ｂに、プレーナ型のトランジスタ、相補型電界効果トランジスタ（Complementary Field Effect Transistor：CFET）、ナノワイヤを用いたトランジスタ等が設けられてもよい。

【００３４】

ここで、第１のパワードメイン３１Ａ及び第２のパワードメイン３１Ｂの概要について説明する。図８は、第１の実施形態におけるパワードメインの概要を示す模式図である。

【００３５】

図８に示すように、例えば、第２のパワードメイン３１Ｂは、第１のパワードメイン３１ＡのＸ方向正側に位置する。第１のパワードメイン３１Ａには、電源線１１１０及び１１２０に接続される回路が含まれる。例えば、図４及び図５に示す電源スイッチ制御回路５２のバッファ６０が第１のパワードメイン３１Ａに含まれる。第２のパワードメイン３１Ｂには、電源線２１１０及び２１２０に接続される回路が含まれる。例えば、図６及び図７に示すインバータ７０が第２のパワードメイン３１Ｂに含まれる。また、第１のチップ１０の表面の平面視で、電源スイッチ回路４２は第２のパワードメイン３１Ｂと重なる。なお、例えば第２のパワードメイン３１Ｂが第１のパワードメイン３１Ａに囲まれて配置されるような場合に、図８のように電源線１１１０及び電源線２１１０の延在する方向に沿って、第１のパワードメイン３１Ａの少なくとも一部と第２のパワードメイン３１Ｂとが配置されていてもよい。

30

【００３６】

40

次に、第１の実施形態における第１のチップ１０及び第２のチップ２０の詳細について説明する。図９及び図１０は、第１の実施形態に係る半導体装置の平面構成を示す模式図である。図１１～図１３は、第１の実施形態に係る半導体装置を示す断面図である。図９は、第１のチップ１０及び第２のチップ２０の内部構成を示し、図１０は、第２のチップ２０の内部構成を示す。図１１は、図９及び図１０中のＸ１１－Ｘ２１線に沿った断面図に相当し、図１２は、図９及び図１０中のＸ１２－Ｘ２２線に沿った断面図に相当し、図１３は、図９及び図１０中のＹ１１－Ｙ２１線に沿った断面図に相当する。

【００３７】

〔第１のパワードメイン３１Ａ〕

第１のパワードメイン３１Ａには、Ｘ方向に延在する電源線１１１０と、Ｘ方向に延在

50

する電源線 1 1 2 0 とが Y 方向で交互に配置されている。例えば、電源線 1 1 1 0 は V D D 配線に相当し、電源線 1 1 2 0 は V S S 配線に相当する。

【 0 0 3 8 】

図 9 ~ 図 1 3 に示すように、基板 1 1 に X 方向に延在する複数の溝が形成され、電源線 1 1 1 0 及び 1 1 2 0 は、これら溝内に形成されている。このような構造の電源線 1 1 1 0 及び 1 1 2 0 は、B P R (Buried Power Rail) とよばれることがある。基板 1 1 の表面に素子分離膜 (図示せず) が形成されていてもよい。素子分離膜は、例えば S T I (Shallow Trench Isolation) 法により形成される。素子分離膜の表面は基板 1 1 の表面と面一であってもよいし、面一でなくてもよい。

【 0 0 3 9 】

基板 1 1 には、基板 1 1 を裏面まで貫通するビア 1 1 1 1 及び 1 1 2 1 が形成されている。ビア 1 1 1 1 は電源線 1 1 1 0 の下に形成され、ビア 1 1 2 1 は電源線 1 1 2 0 の下に形成されている。1 本の電源線 1 1 1 0 に 2 以上のビア 1 1 1 1 が設けられていてもよく、1 本の電源線 1 1 2 0 に 2 以上のビア 1 1 2 1 が設けられていてもよい。

【 0 0 4 0 】

図示を省略するが、電源線 1 1 1 0 と電源線 1 1 2 0 との間に、図 5 に示す電源スイッチ制御回路 5 2 等の回路が接続される。図 9 及び図 1 2 に示すように、インバータ 6 1 の出力を伝送する制御信号線 5 1 1 0 は、平面視で電源線 1 1 1 0 と電源線 1 1 2 0 との間に位置する。制御信号線 5 1 1 0 は、平面視で第 1 のパワードメイン 3 1 A と第 2 のパワードメイン 3 1 B との間の領域にまで延在する。制御信号線 5 1 1 0 の第 2 のパワードメイン 3 1 B 側の端部の下方で基板 1 1 に溝が形成され、この溝内に接続層 5 1 9 0 が形成されている。絶縁層 1 5 には、制御信号線 5 1 1 0 と接続層 5 1 9 0 とを電氣的に接続するビア 5 1 1 1 が形成されている。基板 1 1 には、基板 1 1 を裏面まで貫通するビア 5 1 9 1 が形成されている。ビア 5 1 9 1 は接続層 5 1 9 0 の下に形成されている。

【 0 0 4 1 】

[第 2 のパワードメイン 3 1 B]

第 2 のパワードメイン 3 1 B には、X 方向に延在する電源線 2 1 1 0 と、X 方向に延在する電源線 2 1 2 0 とが Y 方向で交互に配置されている。例えば、電源線 2 1 1 0 は V V D D 配線に相当し、電源線 2 1 2 0 は V S S 配線に相当する。

【 0 0 4 2 】

図 9 ~ 図 1 3 に示すように、基板 1 1 に X 方向に延在する複数の溝が形成され、電源線 2 1 1 0 及び 2 1 2 0 は、これら溝内に形成されている。このような構造の電源線 2 1 1 0 及び 2 1 2 0 も、B P R とよばれることがある。基板 1 1 の表面に素子分離膜 (図示せず) が形成されていてもよい。

【 0 0 4 3 】

基板 1 1 には、基板 1 1 を裏面まで貫通するビア 2 1 1 1 及び 2 1 2 1 が形成されている。ビア 2 1 1 1 は電源線 2 1 1 0 の下に形成され、ビア 2 1 2 1 は電源線 2 1 2 0 の下に形成されている。1 本の電源線 2 1 1 0 に 2 以上のビア 2 1 1 1 が設けられていてもよく、1 本の電源線 2 1 2 0 に 2 以上のビア 2 1 2 1 が設けられていてもよい。

【 0 0 4 4 】

図示を省略するが、電源線 2 1 1 0 と電源線 2 1 2 0 との間に、図 7 に示すインバータ 7 0 等のスタンダードセル 4 1 に含まれる回路が接続される。電源線 2 1 1 0 と電源線 2 1 2 0 との間に S R A M のメモリセルが接続されてもよい。

【 0 0 4 5 】

[電源スイッチ回路 4 2]

図 9 ~ 図 1 3 に示すように、第 2 のチップ 2 0 は、例えば、絶縁層 2 5 と、絶縁層 2 5 の表層部に形成された電源線 4 1 1 0、4 1 2 0、4 1 3 0、4 1 4 0 及び 4 1 5 0 とを含む。電源線 4 1 1 0、4 1 2 0、4 1 3 0、4 1 4 0 及び 4 1 5 0 は Y 方向に延在する。

【 0 0 4 6 】

電源線 4 1 1 0 及び 4 1 2 0 は、平面視で第 1 のパワードメイン 3 1 A と重なる領域に

10

20

30

40

50

設けられている。電源線 4 1 1 0 は V D D 配線に相当し、電源線 4 1 2 0 は V S S 配線に相当する。電源線 4 1 1 0 は、Y 方向に複数のビア 1 1 1 1 が配列する直線と重なる位置に配置され、ビア 1 1 1 1 を介して電源線 1 1 1 0 に接続されている。電源線 4 1 2 0 は、Y 方向に複数のビア 1 1 2 1 が配列する直線と重なる位置に配置され、ビア 1 1 2 1 を介して電源線 1 1 2 0 に接続されている。

【 0 0 4 7 】

電源線 4 1 3 0、4 1 4 0 及び 4 1 5 0 は、平面視で第 2 のパワードメイン 3 1 B と重なる領域に設けられている。電源線 4 1 3 0 は V V D D 配線に相当し、電源線 4 1 4 0 は V S S 配線に相当し、電源線 4 1 5 0 は V D D 配線に相当する。電源線 4 1 3 0 は、Y 方向に複数のビア 2 1 1 1 が配列する直線と重なる位置に配置され、ビア 2 1 1 1 を介して電源線 2 1 1 0 に接続されている。電源線 2 1 1 0 及び 4 1 3 0 は、平面視でメッシュ構造を有する。電源線 4 1 4 0 は、Y 方向に複数のビア 2 1 2 1 が配列する直線と重なる位置に配置され、ビア 2 1 2 1 を介して電源線 2 1 2 0 に接続されている。電源線 2 1 2 0 及び 4 1 4 0 は、平面視でメッシュ構造を有する。

10

【 0 0 4 8 】

第 2 のチップ 2 0 は、絶縁層 2 5 内に電源線 4 1 9 0 と、ゲート電極 5 1 2 0 とを含む。電源線 4 1 9 0 及びゲート電極 5 1 2 0 は、電源線 4 1 1 0、4 1 2 0、4 1 3 0、4 1 4 0 及び 4 1 5 0 より下方に位置する。電源線 4 1 9 0 及びゲート電極 5 1 2 0 は X 方向に延在する。

【 0 0 4 9 】

20

図 9 ~ 図 1 1 に示すように、電源線 4 1 9 0 は、平面視で電源線 1 1 1 0 と重なる部分と、平面視で電源線 2 1 1 0 と重なる部分と、これらをつなぐ部分とを有する。電源線 4 1 9 0 は V D D 配線に相当する。絶縁層 2 5 には、電源線 4 1 1 0 と電源線 4 1 9 0 とを電氣的に接続するビア 4 1 9 1 と、電源線 4 1 5 0 と電源線 4 1 9 0 とを電氣的に接続するビア 4 1 9 2 とが形成されている。電源線 4 1 5 0 及び 4 1 9 0 は、平面視でメッシュ構造を有する。

【 0 0 5 0 】

図 9、図 1 0 及び図 1 3 に示すように、ゲート電極 5 1 2 0 は、平面視で電源線 2 1 1 0 と電源線 2 1 2 0 との間に位置する。図 1 2 に示すように、ゲート電極 5 1 2 0 は、平面視で第 1 のパワードメイン 3 1 A と第 2 のパワードメイン 3 1 B との間の領域にまで延在する。ゲート電極 5 1 2 0 の第 1 のパワードメイン 3 1 A 側の端部の上方で絶縁層 2 5 の表層部に接続部 5 1 8 0 が形成されている。接続部 5 1 8 0 はビア 5 1 9 1 に接続される。絶縁層 2 5 には、ゲート電極 5 1 2 0 と接続部 5 1 8 0 とを電氣的に接続するビア 5 1 8 1 が形成されている。

30

【 0 0 5 1 】

図 9 ~ 図 1 2 に示すように、絶縁層 2 5 の表層部には、Y 方向に延在する制御信号線 5 1 7 0 が形成されている。制御信号線 5 1 7 0 は各電源線 4 1 3 0 の第 1 のパワードメイン 3 1 A 側に位置する。制御信号線 5 1 7 0 と、電源線 4 1 3 0 と、電源線 4 1 5 0 と、電源線 4 1 4 0 とが、この順で X 方向に繰り返し配置されている。絶縁層 2 5 には、互いに交差する制御信号線 5 1 7 0 とゲート電極 5 1 2 0 とを電氣的に接続するビア 5 1 7 1 が形成されている。ゲート電極 5 1 2 0 及び制御信号線 5 1 7 0 は、平面視でメッシュ構造を有する。

40

【 0 0 5 2 】

図 9、図 1 0、図 1 2 及び図 1 3 に示すように、絶縁層 2 5 には、隣り合う電源線 4 1 3 0 及び 4 1 5 0 の対と平面視で重なる複数の半導体層 6 1 1 0 が形成されている。半導体層 6 1 1 0 はゲート電極 5 1 2 0 の下方に位置し、半導体層 6 1 1 0 とゲート電極 5 1 2 0 との間にゲート絶縁膜 6 1 2 0 が設けられている。ゲート絶縁膜 6 1 2 0 はゲート電極 5 1 2 0 に接し、半導体層 6 1 1 0 はゲート絶縁膜 6 1 2 0 に接している。

【 0 0 5 3 】

半導体層 6 1 1 0 は、Y 方向で半導体層 6 1 1 0 の中心線を間に挟んで V V D D 接続部

50

6 1 1 1 (ドレイン) と V D D 接続部 6 1 1 2 (ソース) とを有する。絶縁層 2 5 には、V V D D 接続部 6 1 1 1 と電源線 4 1 3 0 とを電氣的に接続するビア 4 1 3 1 と、V D D 接続部 6 1 1 2 と電源線 4 1 5 0 とを電氣的に接続するビア 4 1 5 1 とが形成されている。複数の半導体層 6 1 1 0 は格子状に配置されている。

【0054】

電源線 4 1 9 0 は、ビア 4 1 9 2 と、電源線 4 1 5 0 と、ビア 4 1 5 1 とを介して、V D D 接続部 6 1 1 2 に接続されている。また、V V D D 接続部 6 1 1 1 は、ビア 4 1 3 1 と、電源線 4 1 3 0 と、ビア 2 1 1 1 とを介して、電源線 2 1 1 0 に接続されている。電源線 4 1 9 0 には、例えばパッド 2 3 を介して V D D の電位が供給される (図 1 参照)。また、上記のように、電源線 2 1 1 0 は V V D D 配線に相当する。そして、V V D D 接続部 6 1 1 1 と V D D 接続部 6 1 1 2 との間の導通は、ゲート電極 5 1 2 0 の電位により制御される。つまり、ゲート電極 5 1 2 0 は、V D D 配線と V V D D 配線との間に接続されたスイッチトランジスタ 5 1 のゲートとして機能する。

10

【0055】

このように、本実施形態では、スイッチトランジスタ 5 1 が半導体層 6 1 1 0 を備え、半導体層 6 1 1 0 は、平面視で、第 2 のパワードメイン 3 1 B と重なる。すなわち、平面視で、スイッチトランジスタ 5 1 は第 2 のパワードメイン 3 1 B と重なる。

【0056】

このため、平面視で、スイッチトランジスタ 5 1 を含む電源スイッチ回路 4 2 を、第 1 のパワードメイン 3 1 A 及び第 2 のパワードメイン 3 1 B から独立して配置する場合と比較して半導体装置のサイズを小さくすることができる。また、第 1 のパワードメイン 3 1 A と第 2 のパワードメイン 3 1 B との間の電源分離のための領域 (分離領域) を用いて、第 1 のパワードメイン 3 1 A と第 2 のパワードメイン 3 1 B との間で制御信号線が接続されており、この点でも半導体装置のサイズを小さくすることができる。なお、制御信号線は V D D 配線及び V V D D 配線等の電源電位の配線ではないため、分離領域にも配置することが可能である。

20

【0057】

なお、第 1 のパワードメイン 3 1 A の電源線 1 1 2 0 等の V S S 配線と第 2 のパワードメイン 3 1 B の電源線 2 1 2 0 等の V S S 配線とは、互いに接続されていてもよく、互いから分離されて異なるノードとなっていてよい。また、第 2 のパワードメイン 3 1 B に設けられた電源線と第 2 のチップ 2 0 に設けられた電源線とが平面視でメッシュ構造を有していなくてもよく、ゲート電極 5 1 2 0 及び制御信号線 5 1 7 0 が平面視でメッシュ構造を有していなくてもよい。

30

【0058】

また、各ビアの平面形状は特に限定されず、例えば円形、楕円形、正方形又は矩形等とすることができる。

【0059】

(第 2 の実施形態)

次に、第 2 の実施形態について説明する。第 2 の実施形態は、主に、ゲート電極の配置の点で第 1 の実施形態と相違する。図 1 4 及び図 1 5 は、第 2 の実施形態に係る半導体装置の平面構成を示す模式図である。図 1 6 及び図 1 7 は、第 2 の実施形態に係る半導体装置を示す断面図である。図 1 4 は、第 1 のチップ 1 0 及び第 2 のチップ 2 0 の内部構成を示し、図 1 5 は、第 2 のチップ 2 0 の内部構成を示す。図 1 6 は、図 1 4 及び図 1 5 中の X 1 3 - X 2 3 線に沿った断面図に相当し、図 1 7 は、図 1 4 及び図 1 5 中の Y 1 2 - Y 2 2 線に沿った断面図に相当する。

40

【0060】

第 2 の実施形態では、第 1 の実施形態と同様に、第 2 のチップ 2 0 は、例えば、絶縁層 2 5 と、絶縁層 2 5 の表層部に形成された電源線 4 1 1 0、4 1 2 0、4 1 3 0、4 1 4 0 及び 4 1 5 0 とを含む。電源線 4 1 1 0、4 1 2 0、4 1 3 0、4 1 4 0 及び 4 1 5 0 は Y 方向に延在する。

50

【 0 0 6 1 】

第2のチップ20は、更に、絶縁層25内に、電源線4270、4280及び4290を含む。電源線4270、4280及び4290はX方向に延在する。電源線4270、4280及び4290は、平面視で第2のパワードメイン31Bと重なる領域に設けられている。電源線4270、4280及び4290は、電源線4110、4120、4130、4140及び4150より下方に位置する。電源線4280はVVD配線に相当し、電源線4270はVSS配線に相当し、電源線4290はVDD配線に相当する。

【 0 0 6 2 】

図14～図16に示すように、電源線4290は、平面視で電源線1120と重なる部分と、平面視で電源線2120と重なる部分と、これらをつなぐ部分とを有する。絶縁層25には、電源線4110と電源線4290とを電氣的に接続するビア4291と、電源線4150と電源線4290とを電氣的に接続するビア4251とが形成されている。図14、図15及び図17に示すように、絶縁層25には、電源線4130と電源線4280とを電氣的に接続するビア4231と、電源線4140と電源線4270とを電氣的に接続するビア4241とが形成されている。

10

【 0 0 6 3 】

図14、図15及び図17に示すように、第2のチップ20は、絶縁層25内に制御信号線5270を含む。制御信号線5270は、電源線4110、4120、4130、4140及び4150より下方に位置する。制御信号線5270はX方向に延在する。制御信号線5270は、平面視で電源線2110と当該電源線2110のY方向負側の電源線2120との間に位置する。電源線4270と、電源線4280と、電源線4290と、制御信号線5270とが、この順でY方向に繰り返し配置されている。制御信号線5270は、平面視で第1のパワードメイン31Aと第2のパワードメイン31Bとの間の領域にまで延在する。制御信号線5270の第1のパワードメイン31A側の端部の上方で絶縁層25の表層部に接続部5180が形成されている。接続部5180はビア5191に接続される。絶縁層25には、制御信号線5270と接続部5180とを電氣的に接続するビア5181が形成されている。

20

【 0 0 6 4 】

図14～図17に示すように、絶縁層25には、Y方向に延在し、平面視で、電源線4280、電源線4290及び制御信号線5270の組と重なるゲート電極5220が形成されている。ゲート電極5220は、平面視で、隣り合う電源線4130と電源線4150との間に位置する。ゲート電極5220は、電源線4270、電源線4280、電源線4290及び制御信号線5270より下方に位置する。図14及び図15に示すように、絶縁層25には、ゲート電極5220と制御信号線5270とを電氣的に接続するビア5221が形成されている。

30

【 0 0 6 5 】

図14～図17に示すように、絶縁層25には、平面視で、隣り合う電源線4130及び4150と重なり、かつ、隣り合う電源線4280及び4290と重なる半導体層6210が形成されている。半導体層6210はゲート電極5220より下方に位置し、半導体層6210とゲート電極5220との間にゲート絶縁膜6220が設けられている。ゲート絶縁膜6220はゲート電極5220に接し、半導体層6210はゲート絶縁膜6220に接している。

40

【 0 0 6 6 】

半導体層6210は、平面視でゲート電極5220よりX方向負側のVVD接続部6211と、平面視でゲート電極5220よりX方向正側のVDD接続部6212とを有する。絶縁層25には、VVD接続部6211と電源線4280とを電氣的に接続するビア4281と、VDD接続部6212と電源線4290とを電氣的に接続するビア4292とが形成されている。

【 0 0 6 7 】

図16に示すように、電源線4290は、ビア4292を介して、VDD接続部621

50

2に接続されている。図17に示すように、VVD D接続部6211は、ビア4281と、電源線4280と、ビア4231と、電源線4130と、ビア2111とを介して、電源線2110に接続されている。電源線4290には、例えばパッド23を介してVDDの電位が供給される(図1参照)。また、上記のように、電源線2110はVVD D配線に相当する。そして、VVD D接続部6211とVDD接続部6212との間の導通は、ゲート電極5220の電位により制御される。つまり、ゲート電極5220は、VDD配線とVVD D配線との間に接続されたスイッチトランジスタ51のゲートとして機能する。

【0068】

他の構成は第1の実施形態と同様である。

【0069】

本実施形態では、スイッチトランジスタ51が半導体層6210を備え、半導体層6210は、平面視で、第2のパワードメイン31Bと重なる。すなわち、平面視で、スイッチトランジスタ51は第2のパワードメイン31Bと重なる。

【0070】

このため、第1の実施形態と同様に、半導体装置のサイズを小さくすることができる。

【0071】

(第3の実施形態)

次に、第3の実施形態について説明する。第3の実施形態は、主に、ゲート電極及び御信号線の配置の点で第1の実施形態等と相違する。図18及び図19は、第3の実施形態に係る半導体装置の平面構成を示す模式図である。図18は、第1のチップ10及び第2のチップ20の内部構成を示し、図19は、第2のチップ20の内部構成を示す。図18及び図19では、第1のパワードメイン31Aに相当する部分を省略する。

【0072】

第3の実施形態では、第1のチップ10は、第2のパワードメイン31BのY方向負側に、X方向に延在する制御信号線2390を含む。制御信号線2390は、例えばBPRである。基板11には、基板11を裏面まで貫通するビア2391が形成されている。ビア2391は制御信号線2390の下に形成されている。制御信号線2390には、絶縁層15に形成されたビア5111を介して制御信号線5110が接続されている。

【0073】

第2のチップ20は、第1の実施形態と同様に、第2のパワードメイン31Bと重なる領域に、例えば、電源線4130、4140及び4150を含む。電源線4130、4140及び4150はY方向に延在する。

【0074】

第2のチップ20は、絶縁層25内に、Y方向に延在するゲート電極5320を含む。ゲート電極5320は、電源線4130、4140及び4150より下方に位置する。ゲート電極5320は、平面視で、隣り合う電源線4130及び4150の間に位置する。ゲート電極5320は、平面視で制御信号線2390と重なる部分を有する。図19に示すように、ゲート電極5320の平面視で制御信号線2390と重なる部分の上方で絶縁層25の表層部に接続部5380が形成されている。絶縁層25には、ゲート電極5320と接続部5380とを電氣的に接続するビア5381が形成されている。

【0075】

図18及び図19に示すように、絶縁層25には、平面視で、隣り合う電源線4130及び4150と重なり、かつ、隣り合う電源線2110及び2120と重なる半導体層6210が形成されている。半導体層6210はゲート電極5320より下方に位置する。図示を省略するが、第2の実施形態と同様に、半導体層6210とゲート電極5320との間にゲート絶縁膜6220が設けられ、ゲート絶縁膜6220はゲート電極5320に接し、半導体層6210はゲート絶縁膜6220に接している。

【0076】

半導体層6210は、平面視でゲート電極5320よりX方向負側のVVD D接続部6211と、平面視でゲート電極5320よりX方向正側のVDD接続部6212とを有す

10

20

30

40

50

る。絶縁層 25 には、V V D D 接続部 6 2 1 1 と電源線 4 1 3 0 とを電氣的に接続するビア 4 3 3 1 と、V D D 接続部 6 2 1 2 と電源線 4 1 5 0 とを電氣的に接続するビア 4 3 5 1 とが形成されている。

【 0 0 7 7 】

他の構成は第 2 の実施形態と同様である。

【 0 0 7 8 】

本実施形態では、スイッチトランジスタ 5 1 が半導体層 6 2 1 0 を備え、半導体層 6 2 1 0 は、平面視で、第 2 のパワードメイン 3 1 B と重なる。すなわち、平面視で、スイッチトランジスタ 5 1 は第 2 のパワードメイン 3 1 B と重なる。

【 0 0 7 9 】

このため、第 1 の実施形態等と同様に、半導体装置のサイズを小さくすることができる。また、X 方向に延在する制御信号線の数減らすことができるため、半導体装置のサイズをより小さくすることができる。

【 0 0 8 0 】

なお、第 1 の実施形態と同様に、V D D 配線の一例である電源線 4 1 5 0 を、電源線 4 1 9 0 を介して第 1 のパワードメイン 3 1 A 内の電源線 4 1 1 0 等と接続するようにしてもよい。

【 0 0 8 1 】

(第 4 の実施形態)

次に、第 4 の実施形態について説明する。第 4 の実施形態は、主に、ゲート電極の配置の点で第 1 の実施形態等と相違する。図 2 0 は、第 4 の実施形態に係る半導体装置の平面構成を示す模式図である。図 2 1 ~ 図 2 3 は、第 4 の実施形態に係る半導体装置を示す断面図である。図 2 1 は、図 2 0 中の X 1 4 - X 2 4 線に沿った断面図に相当し、図 2 2 は、図 2 0 中の X 1 5 - X 2 5 線に沿った断面図に相当し、図 2 3 は、図 2 0 中の Y 1 3 - Y 2 3 線に沿った断面図に相当する。図 2 0 ~ 図 2 2 では、第 1 のパワードメイン 3 1 A に相当する部分を省略する。

【 0 0 8 2 】

第 4 の実施形態では、制御信号線 5 2 7 0 が半導体層 6 2 1 0 の上方に設けられ、平面視で、電源線 4 2 8 0 と電源線 4 2 9 0 との間に位置する。ゲート電極 5 2 2 0 は、半導体層 6 2 1 0 毎に設けられ、制御信号線 5 2 7 0 の下方で X 方向に延在する。ゲート電極 5 2 2 0 と制御信号線 5 2 7 0 とを電氣的に接続するビア 5 2 2 1 は、半導体層 6 2 1 0 の上方に位置する。1 個の V V D D 接続部 6 2 1 1 に対し複数のビア 4 2 8 1 が設けられていてもよく、1 個の V D D 接続部 6 2 1 2 に対し複数のビア 4 2 9 2 が設けられていてもよい。例えば、電源線 4 2 7 0、4 2 8 0 及び 4 2 9 0 と制御信号線 5 2 7 0 とはゲート電極 5 2 2 0 より上方に位置する。

【 0 0 8 3 】

他の構成は第 1 の実施形態と同様である。

【 0 0 8 4 】

第 4 の実施形態によっても第 1 の実施形態と同様の効果を得ることができる。

【 0 0 8 5 】

また、スイッチトランジスタ 5 1 毎にゲート電極 5 2 2 0 が設けられ、X 方向に並ぶ複数のゲート電極 5 2 2 0 が制御信号線 5 2 7 0 に共通接続されているため、ゲート電極 5 2 2 0 及びゲート絶縁膜 6 2 2 0 を形成しやすい。すなわち、平面視で、ゲート電極 5 2 2 0 及びゲート絶縁膜 6 2 2 0 が半導体層 6 2 1 0 からはみ出していないため、ゲート電極 5 2 2 0 及びゲート絶縁膜 6 2 2 0 を形成しやすい。他の実施形態においても、平面視で、ゲート電極及びゲート絶縁膜が半導体層からはみ出さないように構成してもよい。また、他の実施形態においても、平面視で、X 方向に並ぶ複数のゲート電極が 1 つの制御信号線に共通接続されるように構成してもよい。

【 0 0 8 6 】

(第 5 の実施形態)

10

20

30

40

50

次に、第 5 の実施形態について説明する。第 5 の実施形態は、主に、スイッチトランジスタの構造の点で第 1 の実施形態等と相違する。図 2 4 は、第 5 の実施形態に係る半導体装置の平面構成を示す模式図である。図 2 5 及び図 2 6 は、第 5 の実施形態に係る半導体装置を示す断面図である。図 2 5 は、図 2 4 中の X 1 6 - X 2 6 線に沿った断面図に相当し、図 2 6 は、図 2 4 中の Y 1 4 - Y 2 4 線に沿った断面図に相当する。図 2 4 及び図 2 5 では、第 1 のパワードメイン 3 1 A に相当する部分を省略する。

【 0 0 8 7 】

第 5 の実施形態では、第 2 のチップ 2 0 は、絶縁層 2 5 内に電源線 4 1 9 0 と、ゲート電極 5 5 2 0 とを含む。電源線 4 1 9 0 及びゲート電極 5 5 2 0 は、電源線 4 1 1 0、4 1 2 0、4 1 3 0、4 1 4 0 及び 4 1 5 0 より下方に位置する。電源線 4 1 9 0 及びゲート電極 5 5 2 0 は X 方向に延在する。

10

【 0 0 8 8 】

図 2 4 ~ 図 2 6 に示すように、絶縁層 2 5 には、平面視で、Y 方向で電源線 2 1 1 0 と電源線 2 1 2 0 との間、かつ、X 方向で電源線 4 1 3 0 及び 4 1 5 0 を挟む制御信号線 5 1 7 0 と電源線 4 1 4 0 との間に、半導体層 6 5 1 0 が形成されている。半導体層 6 5 1 0 はゲート電極 5 5 2 0 の上方に位置し、半導体層 6 5 1 0 とゲート電極 5 5 2 0 との間にゲート絶縁膜 6 5 2 0 が設けられている。ゲート絶縁膜 6 5 2 0 はゲート電極 5 5 2 0 に接し、半導体層 6 5 1 0 はゲート絶縁膜 6 5 2 0 に接している。

【 0 0 8 9 】

半導体層 6 5 1 0 は、平面視で半導体層 6 5 1 0 の中心線を間に挟んで V V D D 接続部 6 5 1 1 と V D D 接続部 6 5 1 2 とを有する。絶縁層 2 5 には、V V D D 接続部 6 5 1 1 と電源線 4 1 3 0 とを電氣的に接続するビア 4 1 3 1 と、V D D 接続部 6 5 1 2 と電源線 4 1 5 0 とを電氣的に接続するビア 4 1 5 1 とが形成されている。

20

【 0 0 9 0 】

他の構成は第 1 の実施形態と同様である。

【 0 0 9 1 】

第 5 の実施形態によっても第 1 の実施形態と同様の効果を得ることができる。

【 0 0 9 2 】

ゲート電極 5 5 2 0 は、電源線 4 1 9 0 等と同じ層に形成されていてもよい。ゲート電極 5 5 2 0 は、電源線 4 1 9 0 等と同じ材料から形成されていてもよい。

30

【 0 0 9 3 】

他の実施形態においても、ゲート電極及びゲート絶縁膜が半導体層より下方に位置してもよい。

【 0 0 9 4 】

(第 6 の実施形態)

次に、第 6 の実施形態について説明する。第 6 の実施形態は、制御信号線の配置の点で第 1 の実施形態等と相違する。図 2 7 は、第 6 の実施形態に係る半導体装置の平面構成を示す模式図である。図 2 7 では、第 1 のパワードメイン 3 1 A に相当する部分を省略する。また、図 2 7 では、第 6 の実施形態の特徴的な部分である制御信号線の配置に関する部分を図示し、一部の電源線及びビア等の図示は省略する。

40

【 0 0 9 5 】

第 6 の実施形態では、図 2 7 に示すように、絶縁層 2 5 内に、複数の制御信号線 5 6 7 0 が配置されている。制御信号線 5 6 7 0 は X 方向に延在し、Y 方向に並んで配置されている。各制御信号線 5 6 7 0 は、第 2 のパワードメイン 3 1 B の X 方向の両端からはみ出す部分を有する。Y 方向で隣り合う制御信号線 5 6 7 0 は、第 2 のパワードメイン 3 1 B の外側で、Y 方向に延在する制御信号線 5 6 1 0 を介して互いに接続されている。X 方向負側で制御信号線 5 6 1 0 を介して Y 方向正側に位置する制御信号線 5 6 7 0 に接続された制御信号線 5 6 7 0 は、X 方向正側で制御信号線 5 6 1 0 を介して Y 方向負側に位置する制御信号線 5 6 7 0 に接続されている。同様に、X 方向正側で制御信号線 5 6 1 0 を介して Y 方向正側に位置する制御信号線 5 6 7 0 に接続された制御信号線 5 6 7 0 は、X 方

50

向負側で制御信号線 5 6 1 0 を介して Y 方向負側に位置する制御信号線 5 6 7 0 に接続されている。このように、本実施形態では、平面視で、制御信号線 5 1 1 0、制御信号線 5 6 7 0、制御信号線 5 6 1 0、制御信号線 5 6 7 0、制御信号線 5 6 1 0、・・・の制御信号線の連続体が蛇行している。また、Y 方向で隣り合う制御信号線 5 6 7 0 同士は第 2 のパワードメイン 3 1 B の外側のみで互いに接続されている。そして、制御信号線 5 6 7 0 にスイッチトランジスタ 5 1 のゲート電極（図示せず）が接続されている。つまり、スイッチトランジスタ 5 1 が複数並列に接続されている。

【 0 0 9 6 】

第 6 の実施形態では、制御信号線 5 6 7 0 に寄生する容量及び抵抗が大きい。そして、電源スイッチ制御回路からの制御信号は、制御信号線 5 6 7 0 を通じて各スイッチトランジスタ 5 1 に順々に伝達される。このため、第 2 のパワードメイン 3 1 B での V V D D 電位の立ち上がりが緩やかになり、電位の急峻な立ち上がりに伴う電源ノイズを低減することができる。

10

【 0 0 9 7 】

Y 方向で隣り合う制御信号線 5 6 7 0 が、平面視で第 2 のパワードメイン 3 1 B の外側で、制御信号線 5 6 1 0 ではなく、第 2 のチップ 2 0 の表層部に設けられた制御信号線を介して接続されていてもよい。

【 0 0 9 8 】

（第 7 の実施形態）

次に、第 7 の実施形態について説明する。第 7 の実施形態は、制御信号線にバッファが付加されている点で第 6 の実施形態と相違する。図 2 8 は、第 7 の実施形態に係る半導体装置の平面構成を示す模式図である。図 2 8 では、第 1 のパワードメイン 3 1 A に相当する部分を省略する。また、図 2 8 では、第 7 の実施形態の特徴的な部分である制御信号線の配置に関する部分を図示し、一部のビア等の図示は省略する。

20

【 0 0 9 9 】

第 7 の実施形態では、図 2 8 に示すように、制御信号線 5 1 1 0 及び 5 6 1 0 にバッファ 5 7 0 0 が付加されている。例えば、バッファ 5 7 0 0 は第 1 のチップ 1 0 に設けられる。例えば、バッファ 5 7 0 0 には、バッファ 6 0 と同様に、V D D 配線及び V S S 配線から電圧が供給される。バッファ 5 7 0 0 は、バッファ 6 0 と同様に、第 1 のパワードメイン 3 1 A に設けられてもよい。他の構成は第 6 の実施形態と同様である。

30

【 0 1 0 0 】

バッファ 5 7 0 0 は遅延回路として機能することができる。このため、バッファ 5 7 0 0 による制御信号の伝達の遅延を用いてスイッチトランジスタ 5 1 の動作タイミングを制御することができる。

【 0 1 0 1 】

（第 8 の実施形態）

次に、第 8 の実施形態について説明する。第 8 の実施形態は、制御信号線がゲート電極として機能する点で第 6 の実施形態等と相違する。図 2 9 は、第 8 の実施形態に係る半導体装置を示す断面図である。図 2 9 では、第 8 の実施形態の特徴的な部分である制御信号線及びスイッチトランジスタに関する部分を図示し、一部の電源線等の図示は省略する。

40

【 0 1 0 2 】

第 8 の実施形態では、図 2 9 に示すように、制御信号線 5 6 7 0 に代えて、X 方向に延在するゲート電極 5 8 2 0 が設けられている。また、ゲート電極 5 8 2 0 に接する複数のゲート絶縁膜 6 8 2 0 と、複数のゲート絶縁膜 6 8 2 0 のそれぞれに接する複数の半導体層 6 8 1 0 とが設けられている。

【 0 1 0 3 】

他の構成は第 6 の実施形態と同様である。

【 0 1 0 4 】

第 8 の実施形態では、半導体層 6 8 1 0 によりゲート電極 5 8 2 0 に大きな容量が寄生する。このため、電位の急峻な立ち上がりを抑制する効果をより高めることができる。

50

【 0 1 0 5 】

(第 9 の実施形態)

次に、第 9 の実施形態について説明する。第 9 の実施形態は、制御信号線の寄生容量を高める構成が付加されている点で第 6 の実施形態等と相違する。図 3 0 は、第 9 の実施形態に係る半導体装置を示す断面図である。図 3 0 では、第 9 の実施形態の特徴的な部分である制御信号線及びスイッチトランジスタに関する部分を図示し、一部の電源線等の図示は省略する。

【 0 1 0 6 】

第 9 の実施形態では、図 3 0 に示すように、制御信号線 5 6 7 0 に、複数のゲート電極 5 9 2 0 がそれぞれビア 5 6 7 1 を介して接続され、ゲート電極 5 9 2 0 の下にゲート絶縁膜 6 8 2 0 及び半導体層 6 8 1 0 が設けられている。

10

【 0 1 0 7 】

また、互いに隣接する配線 5 9 3 1 と配線 5 9 3 2 とを備えた配線容量部 5 9 4 1 がビア 5 9 2 1 を介して制御信号線 5 6 7 0 に接続されている。例えば、配線 5 9 3 1 及び 5 9 3 2 は Y 方向に延在し、ビア 5 9 2 1 は配線 5 9 3 1 に接続されている。

【 0 1 0 8 】

更に、Y 方向に延在する配線 5 9 3 3 がビア 5 9 2 2 を介して制御信号線 5 6 7 0 に接続されている。配線 5 9 3 3 上には、絶縁膜 5 9 3 4 及び導電膜 5 9 3 5 が形成されている。配線 5 9 3 3、絶縁膜 5 9 3 4 及び導電膜 5 9 3 5 により容量素子 5 9 4 2 が構成されている。

20

【 0 1 0 9 】

第 9 の実施形態では、配線容量部 5 9 4 1 及び容量素子 5 9 4 2 により、制御信号線 5 6 7 0 により大きな容量が寄生する。このため、電位の急峻な立ち上がりを抑制する効果をより高めることができる。

【 0 1 1 0 】

なお、配線容量部 5 9 4 1 又は容量素子 5 9 4 2 の一方のみが設けられていてもよい。他の実施形態に、配線容量部 5 9 4 1 が設けられてもよく、容量素子 5 9 4 2 が設けられてもよく、これらの両方が設けられてもよい。

【 0 1 1 1 】

(第 1 0 の実施形態)

次に、第 1 0 の実施形態について説明する。第 1 0 の実施形態は、主に、パワードメインの配置及び電源スイッチ回路の配置の点で第 1 の実施形態等と相違する。図 3 1 は、第 1 0 の実施形態におけるパワードメインの概要を示す模式図である。図 3 2 は、第 1 0 の実施形態に係る半導体装置の平面構成を示す模式図である。

30

【 0 1 1 2 】

図 3 1 に示すように、例えば、第 1 の実施形態と同様に、第 2 のパワードメイン 3 1 B が第 1 のパワードメイン 3 1 A の X 方向正側に位置する。また、本実施形態では、第 2 のパワードメイン 3 1 B の Y 方向負側に第 3 のパワードメイン 3 1 C が設けられている。第 3 のパワードメイン 3 1 C には、第 1 のパワードメイン 3 1 A と同様に、電源線 1 1 1 0 及び 1 1 2 0 に接続される回路が含まれる。電源スイッチ回路 4 2 は、第 1 の実施形態と同様に、平面視で第 2 のパワードメイン 3 1 B と重なるように設けられている。電源スイッチ回路 4 2 は、更に、第 1 のパワードメイン 3 1 A と第 2 のパワードメイン 3 1 B との間や、第 3 のパワードメイン 3 1 C と第 2 のパワードメイン 3 1 B との間にも設けられている。なお、第 1 のパワードメイン 3 1 A 又は第 3 のパワードメイン 3 1 C の平面配置は図 3 1 に限られない。この場合、電源線 1 1 1 0 及び電源線 2 1 1 0 の延在する方向とは直交する方向に沿って、第 3 のパワードメイン 3 1 C の少なくとも一部と第 2 のパワードメイン 3 1 B とが配置されていてもよい。

40

【 0 1 1 3 】

図 3 2 に示すように、第 1 のパワードメイン 3 1 A と第 2 のパワードメイン 3 1 B との間にも半導体層 6 2 1 0 が設けられている。第 1 のパワードメイン 3 1 A と第 2 のパワ

50

ドメイン 3 1 B との間にも、Y 方向に延在するゲート電極 5 3 2 0 が設けられている。第 1 のパワードメイン 3 1 A に設けられた電源線 4 1 1 0 のうちで最も第 2 のパワードメイン 3 1 B 側に位置する電源線 4 1 1 0 は、ビア 4 1 5 1 を介して半導体層 6 2 1 0 の V D D 接続部 6 2 1 2 に接続される。第 2 のパワードメイン 3 1 B に設けられた電源線 4 1 3 0 のうちで最も第 1 のパワードメイン 3 1 A 側に位置する電源線 4 1 3 0 は、ビア 4 1 3 1 を介して半導体層 6 2 1 0 の V V D D 接続部 6 2 1 1 に接続される。

【 0 1 1 4 】

第 3 のパワードメイン 3 1 C にも、電源線 1 1 1 0、1 1 2 0、4 1 1 0 及び 4 1 2 0 等が設けられている。第 3 のパワードメイン 3 1 C と第 2 のパワードメイン 3 1 B との間にも半導体層 6 2 1 0 が設けられている。第 3 のパワードメイン 3 1 C に設けられた電源線 4 1 1 0 は、第 3 のパワードメイン 3 1 C と第 2 のパワードメイン 3 1 B との間の半導体層 6 2 1 0 の V D D 接続部 6 2 1 2 にビア 4 1 5 1 を介して接続される。電源線 4 1 3 0 は、第 3 のパワードメイン 3 1 C と第 2 のパワードメイン 3 1 B との間の半導体層 6 2 1 0 の V V D D 接続部 6 2 1 1 にビア 4 1 3 1 を介して接続される。

10

【 0 1 1 5 】

他の構成は第 3 の実施形態と同様である。

【 0 1 1 6 】

第 1 0 の実施形態によっても第 3 の実施形態等と同様の効果を得ることができる。

【 0 1 1 7 】

なお、他の実施形態においても、第 1 のパワードメイン 3 1 A と第 2 のパワードメイン 3 1 B との間に電源スイッチ回路 4 2 が設けられていてもよい。また、他の実施形態においても、第 3 のパワードメイン 3 1 C が設けられていてもよく、第 3 のパワードメイン 3 1 C と第 2 のパワードメイン 3 1 B との間に電源スイッチ回路 4 2 が設けられていてもよい。

20

【 0 1 1 8 】

(第 1 1 の実施形態)

次に、第 1 1 の実施形態について説明する。第 1 1 の実施形態は、主に、パワードメイン間の半導体層の構成の点で第 1 0 の実施形態と相違する。図 3 3 は、第 1 1 の実施形態に係る半導体装置の平面構成を示す模式図である。

【 0 1 1 9 】

第 1 1 の実施形態では、図 3 3 に示すように、第 1 のパワードメイン 3 1 A と第 2 のパワードメイン 3 1 B との間の半導体層 6 2 1 0 が Y 方向に延在するように構成されている。また、第 3 のパワードメイン 3 1 C と第 2 のパワードメイン 3 1 B との間の半導体層 6 2 1 0 が X 方向に延在するように構成されている。

30

【 0 1 2 0 】

他の構成は第 1 0 の実施形態と同様である。

【 0 1 2 1 】

第 1 1 の実施形態によっても第 1 0 の実施形態と同様の効果を得ることができる。

【 0 1 2 2 】

(第 1 2 の実施形態)

次に、第 1 2 の実施形態について説明する。第 1 2 の実施形態は、主に、スイッチトランジスタと V D D 配線との関係の点で第 6 の実施形態等と相違する。図 3 4 は、第 1 2 の実施形態に係る半導体装置の平面構成を示す模式図である。

40

【 0 1 2 3 】

第 1 2 の実施形態では、図 3 4 に示すように、第 2 のパワードメイン 3 1 B 内の半導体層 6 2 1 0 の下方に、X 方向に延在する電源線 9 1 0 及び 9 2 0 が設けられている。電源線 9 1 0 は V D D 配線に相当し、電源線 9 2 0 は V V D D 配線に相当する。電源線 9 1 0 は、半導体層 6 2 1 0 の下に設けられたビア 9 1 1 を介して半導体層 6 2 1 0 の V D D 接続部 6 2 1 2 に接続されている。電源線 9 2 0 は、半導体層 6 2 1 0 の下に設けられたビア 9 1 2 を介して半導体層 6 2 1 0 の V V D D 接続部 6 2 1 1 に接続されている。

50

【 0 1 2 4 】

第2のパワードメイン31Bにおいて、絶縁層25の表層部には、電源線4130と電源線4140とが交互に配置されている。電源線4140は、Y方向に並ぶVDD接続部6212の上方に設けられてよい。

【 0 1 2 5 】

他の構成は第10の実施形態と同様である。

【 0 1 2 6 】

第12の実施形態によっても第10の実施形態と同様の効果を得ることができる。また、第12の実施形態によれば、第10の実施形態及び第11の実施形態と比較して、絶縁層25の表層部に設ける電源線の数低減することができる。

10

【 0 1 2 7 】

ここで、スイッチトランジスタの断面構成の概要について説明する。図35～図37は、スイッチトランジスタの断面構成の例を示す断面図である。

【 0 1 2 8 】

図35に示す第1の例では、絶縁層101中に下地絶縁膜102が設けられ、下地絶縁膜102上に半導体層103、ゲート絶縁膜104及びゲート電極105が設けられている。絶縁層101の表層部に、制御信号線110と、VDD配線に相当する電源線120と、VVDD配線に相当する電源線130が設けられている。半導体層103は、チャンネル103Cと、チャンネル103Cを間に挟むソース103S及びドレイン103Dを有する。電源線120とソース103Sとがビア121を介して接続され、電源線130とドレイン103Dとがビア131を介して接続されている。下地絶縁膜102の下に、VDD配線に相当する電源線123と、VVDD配線に相当する電源線133とが設けられている。電源線120と電源線123とがビア122を介して接続され、電源線130と電源線133とがビア132を介して接続されている。制御信号線110はビア111を介してゲート電極105に接続されている。

20

【 0 1 2 9 】

図36に示す第2の例では、下地絶縁膜102にゲート絶縁膜204が設けられ、ゲート絶縁膜204の上に半導体層103が設けられ、ゲート絶縁膜204の下にゲート電極205が設けられている。他の構成は第1の例と同様である。

【 0 1 3 0 】

図37に示す第3の例では、下地絶縁膜102の下に設けられた電源線123が、下地絶縁膜102を貫通するビア321を介してソース103Sに接続されている。電源線123の上方において、絶縁層101の表層部にVSS配線に相当する電源線140が設けられていてもよい。他の構成は第1の例と同様である。

30

【 0 1 3 1 】

下地絶縁膜の材料は、例えば酸化シリコン、窒化シリコン、炭化シリコン、酸化窒化シリコン、酸化炭化シリコン等である。半導体層の材料は、例えばInGaZnO(IGZO)、ZnO、ZnSnO、InZnO等である。ゲート絶縁膜の材料は、例えばSiO₂、SiO_xN_y、SiN、Al₂O₃等である。ゲート電極の材料は、例えばモリブデン、チタン、クロム、タンタル、マグネシウム、銀、タングステン、アルミニウム、銅、ネオジム、ルテニウム、スカンジウム等の金属である。ゲート電極の材料がグラフェン等であってもよい。

40

【 0 1 3 2 】

ゲート電極と半導体層との積層関係及び半導体層とVDD配線との接続関係の観点から上記の各実施形態に設けられたスイッチトランジスタ51を第1～第3の例に分類すると、次のようになる。すなわち、第1～第4、第6～第11の実施形態に設けられたスイッチトランジスタ51は、第1の例に分類される。第5の実施形態に設けられたスイッチトランジスタ51は、第2の例に分類される。第12の実施形態に設けられたスイッチトランジスタ51は、第3の例に分類される。

【 0 1 3 3 】

50

以上、各実施形態に基づき本発明の説明を行ってきたが、上記実施形態に示した要件に本発明が限定されるものではない。これらの点に関しては、本発明の主旨をそこなわない範囲で変更することができ、その応用形態に応じて適切に定めることができる。

【符号の説明】

【 0 1 3 4 】

- 1 0 : 第 1 のチップ
- 2 0 : 第 2 のチップ
- 3 1 A、3 1 B、3 1 C : パワードメイン
- 4 2 : 電源スイッチ回路
- 5 1 : スイッチトランジスタ
- 5 2 : 電源スイッチ制御回路

10

20

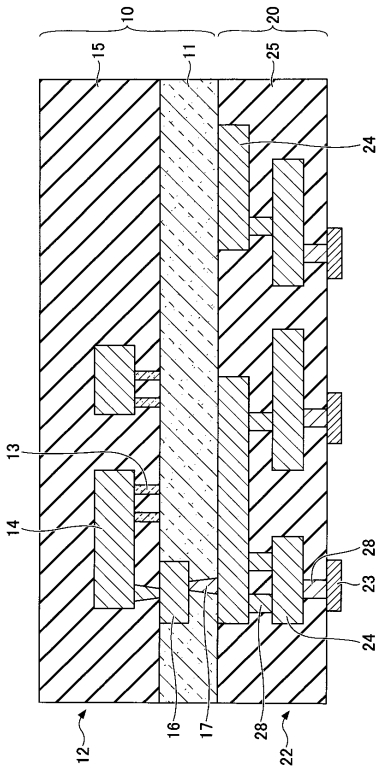
30

40

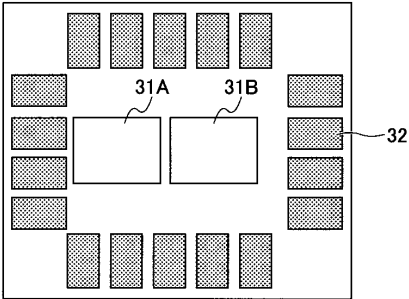
50

【図面】

【図 1】



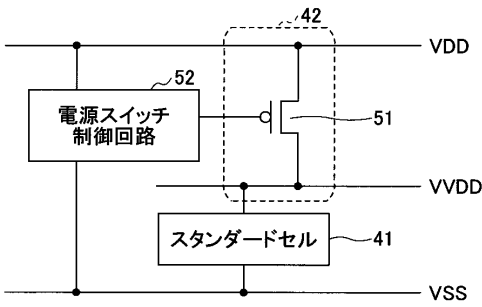
【図 2】



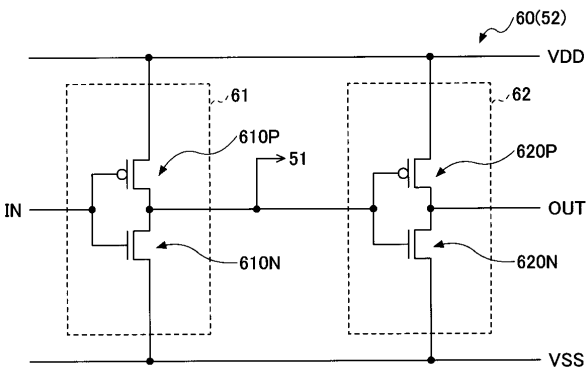
10

20

【図 3】



【図 4】

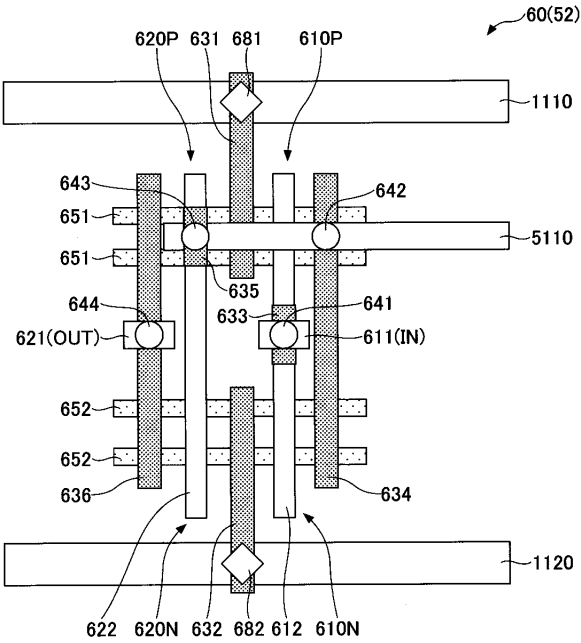


30

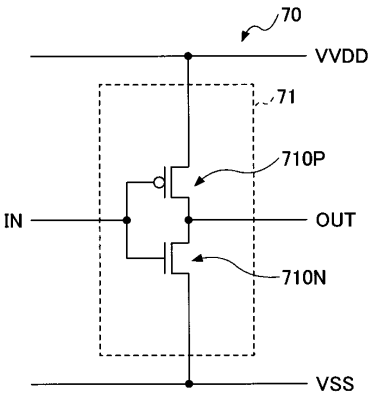
40

50

【図 5】



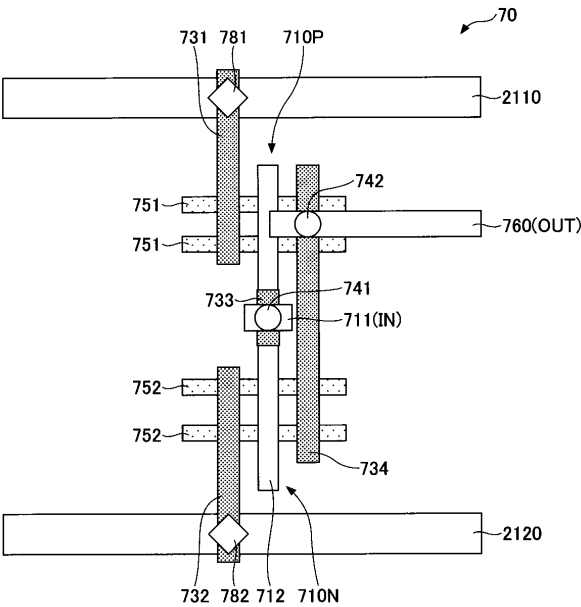
【図 6】



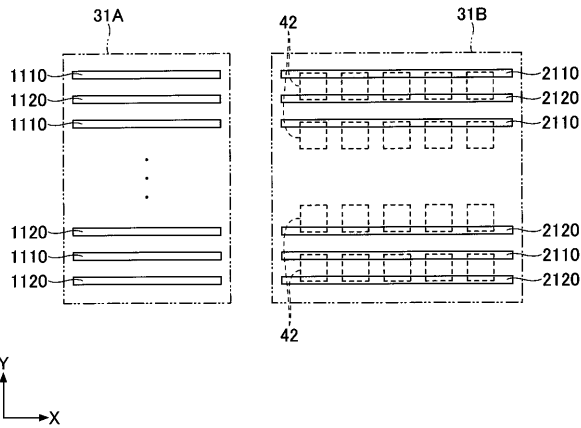
10

20

【図 7】



【図 8】

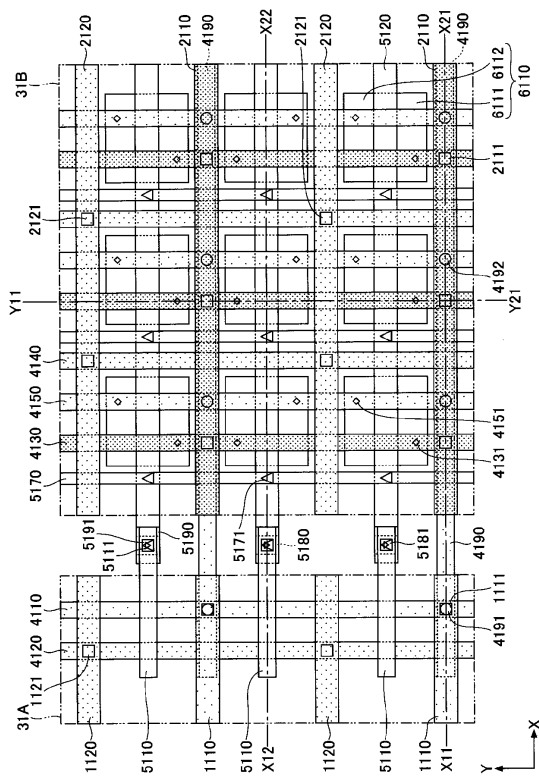


30

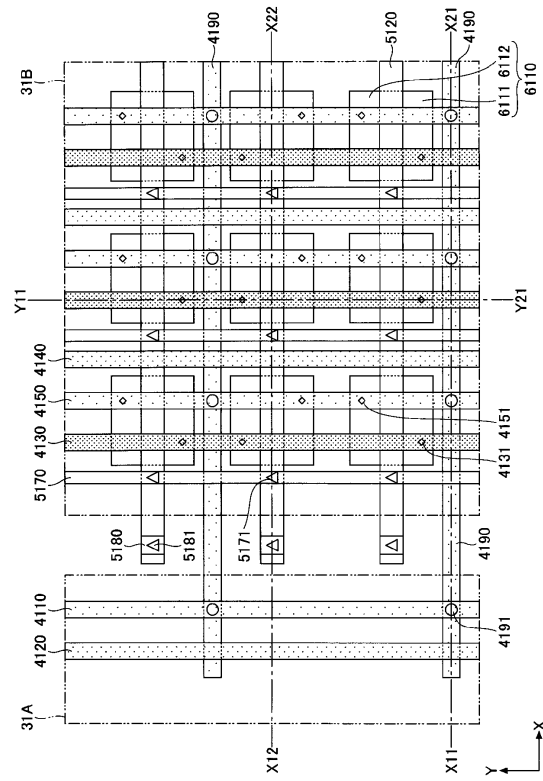
40

50

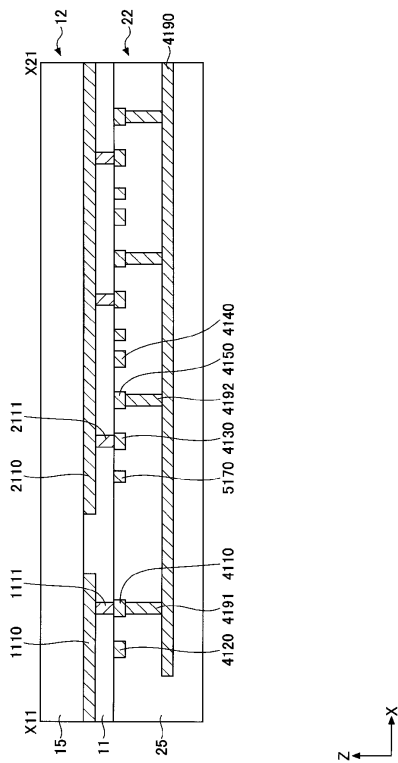
【 図 9 】



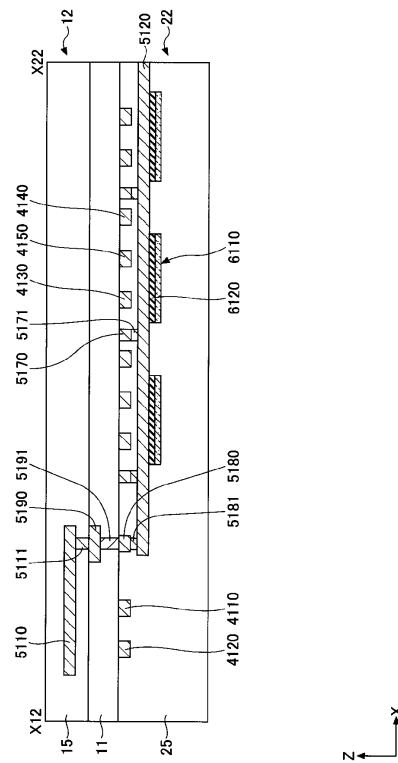
【 図 1 0 】



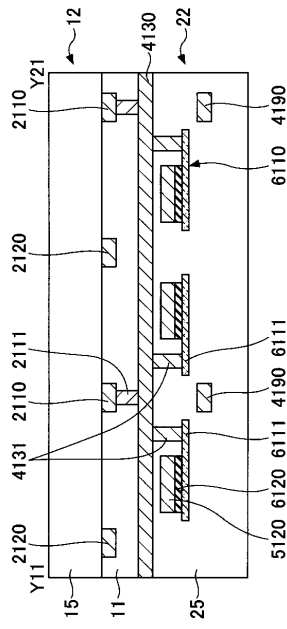
【 図 1 1 】



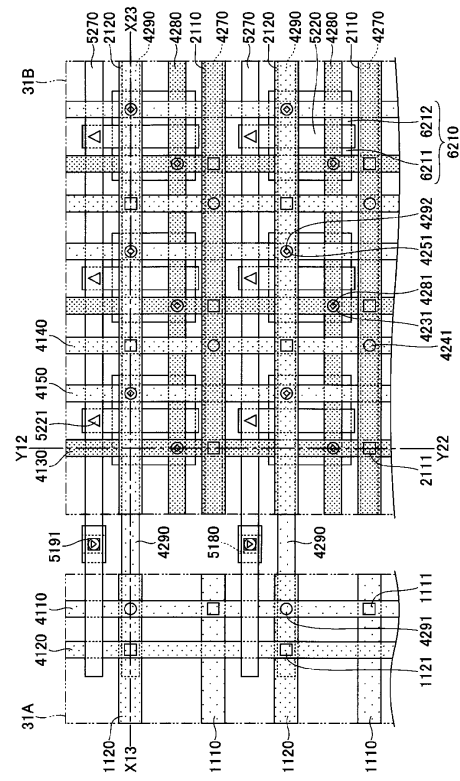
【圖 1 2】



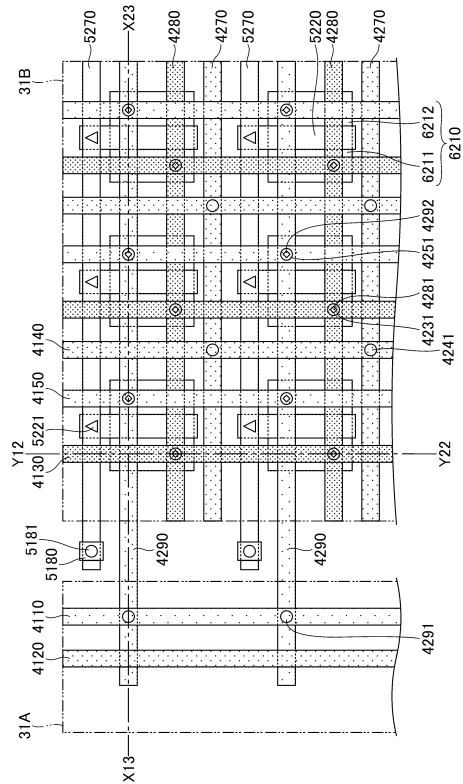
【 図 1 3 】



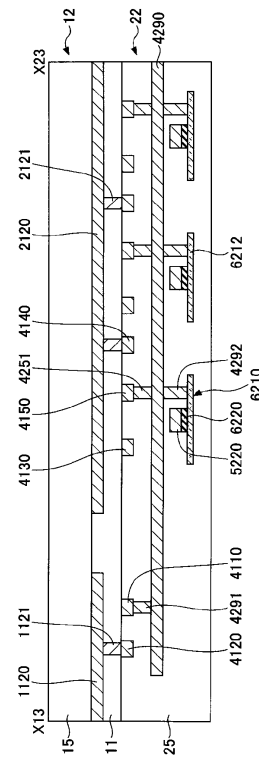
【 図 1 4 】



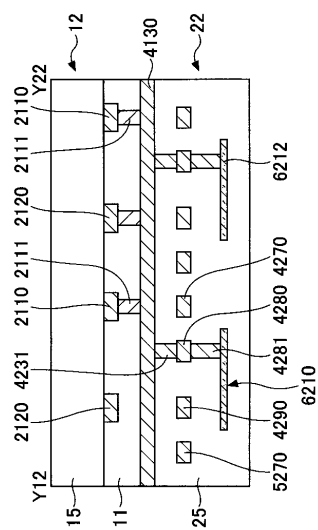
【 図 1 5 】



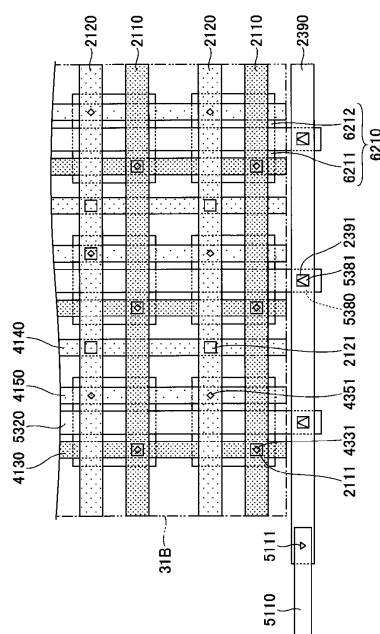
【 図 1 6 】



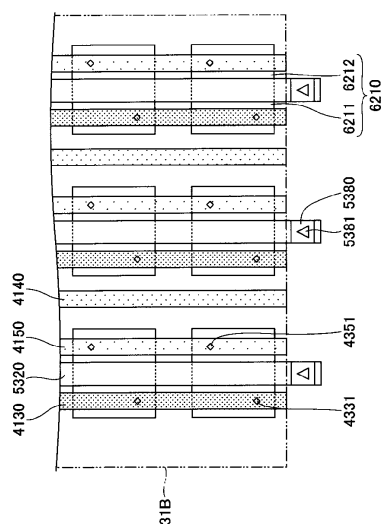
【圖 17】



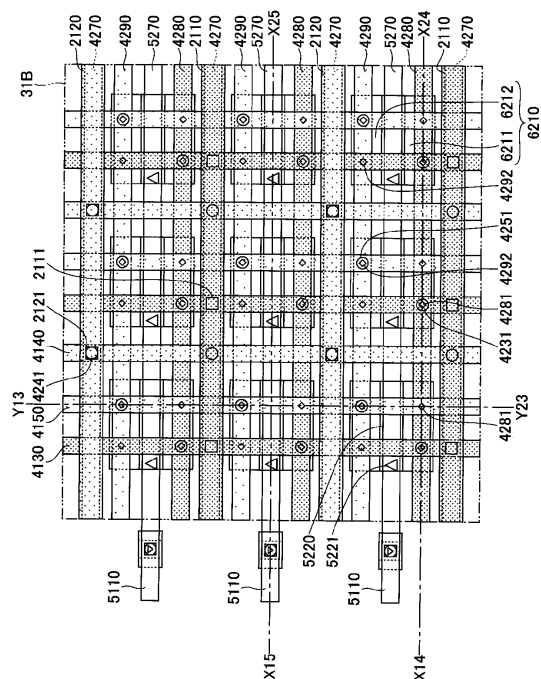
【圖 18】



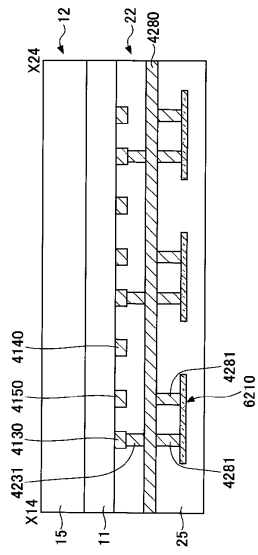
【 図 19 】



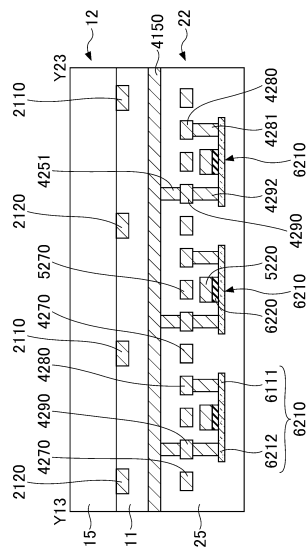
【 図 2 0 】



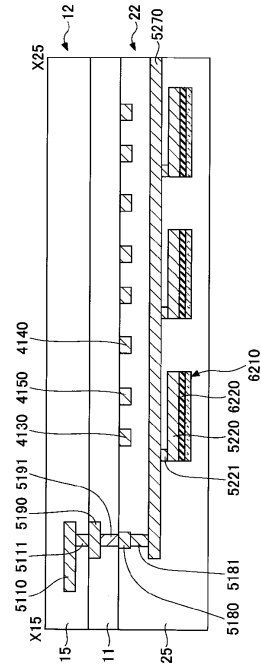
【 図 2 1 】



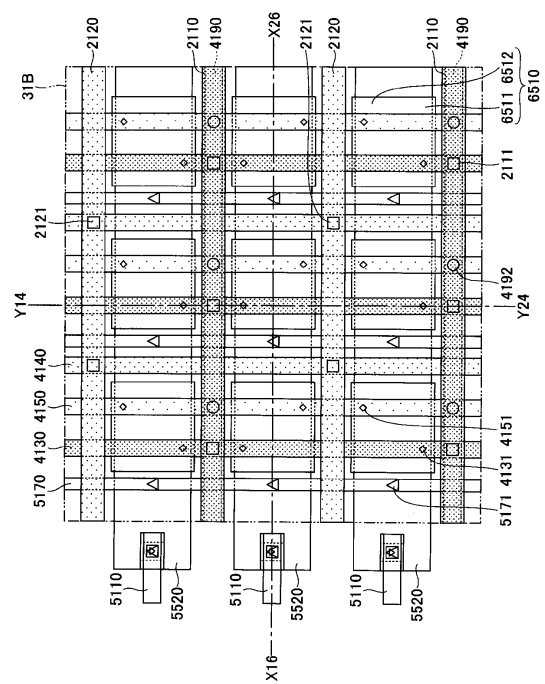
【 図 2 3 】



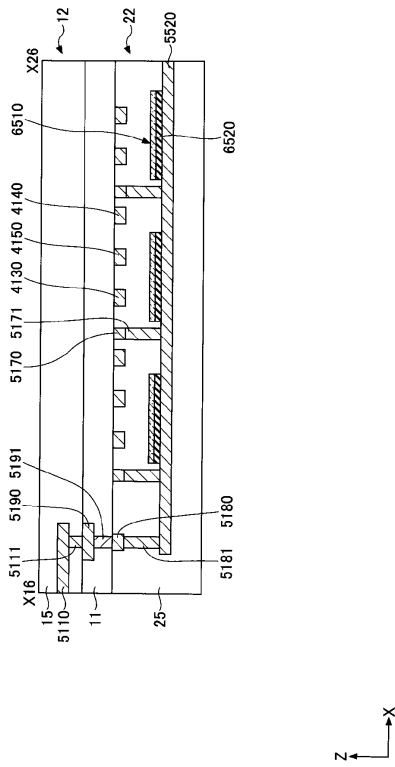
【 図 2 2 】



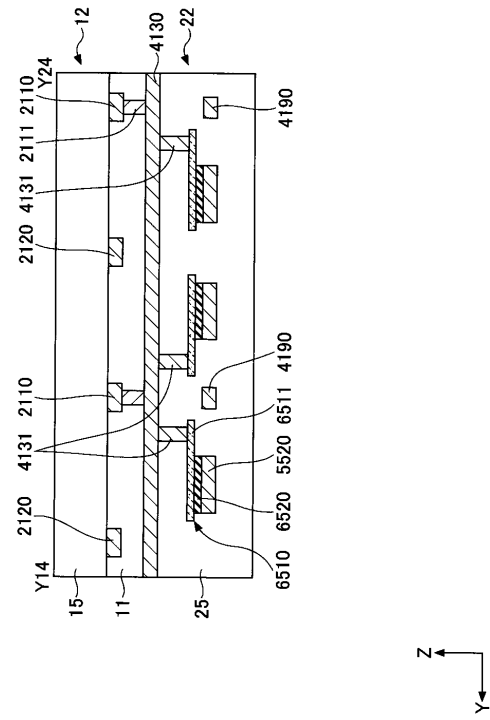
【 図 2 4 】



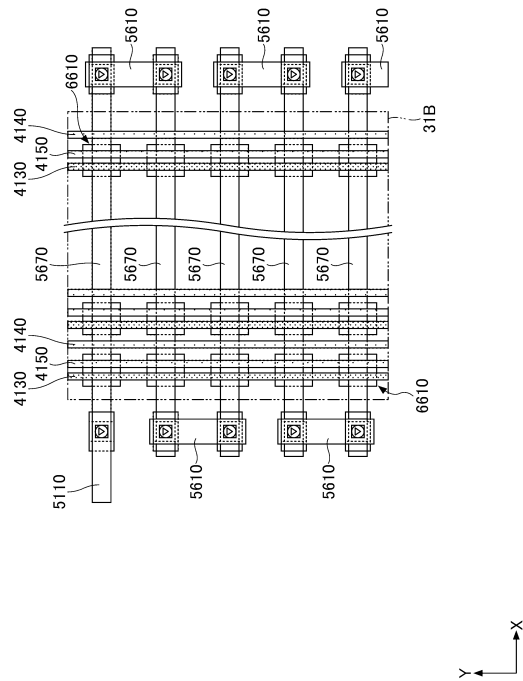
【 図 2 5 】



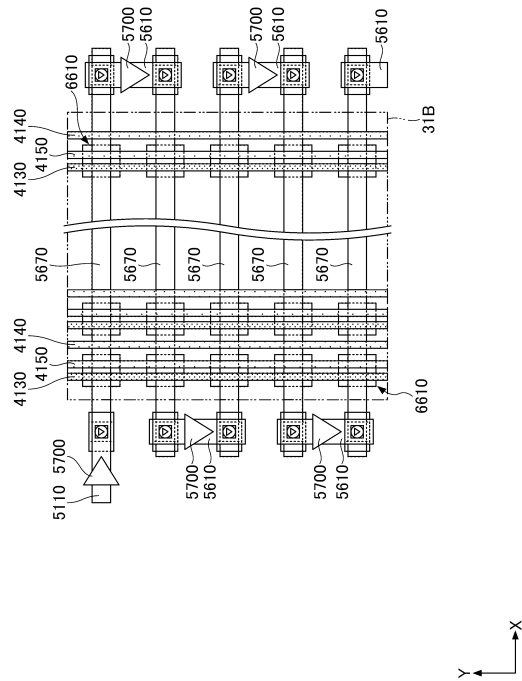
【 図 2 6 】



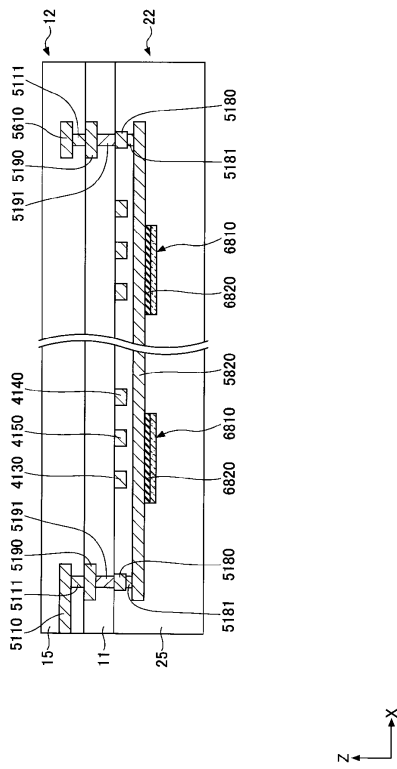
【 図 2 7 】



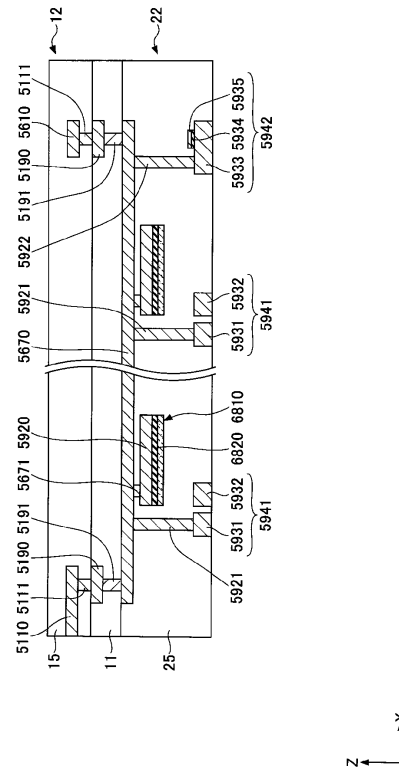
【圖 28】



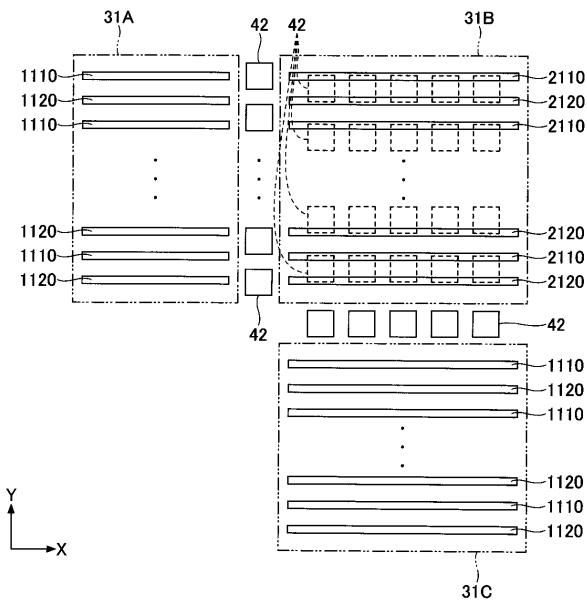
【 図 2 9 】



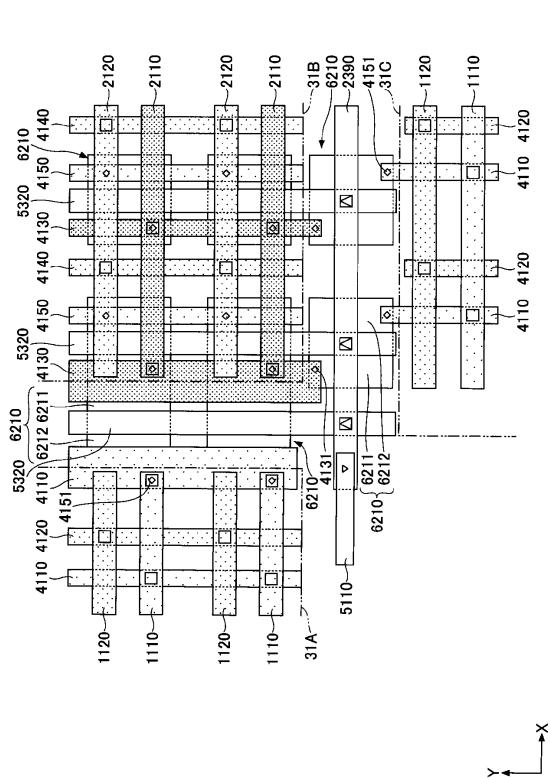
【 図 3 0 】



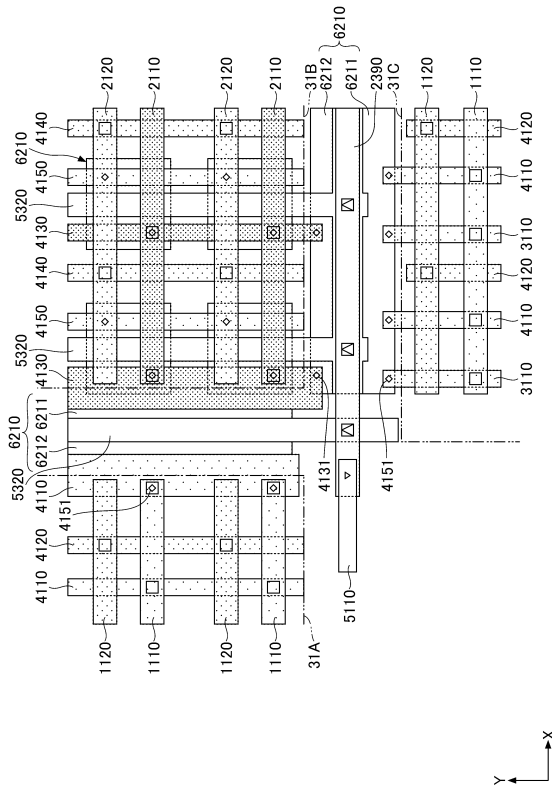
【 図 3 1 】



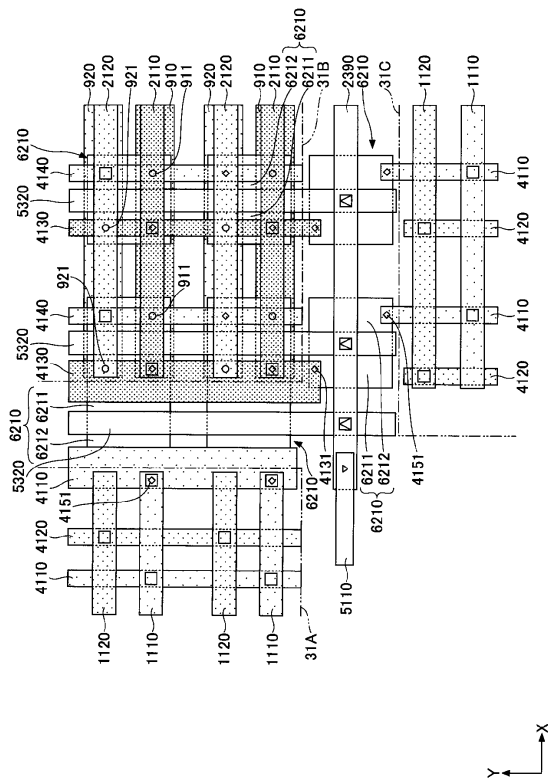
【 図 3 2 】



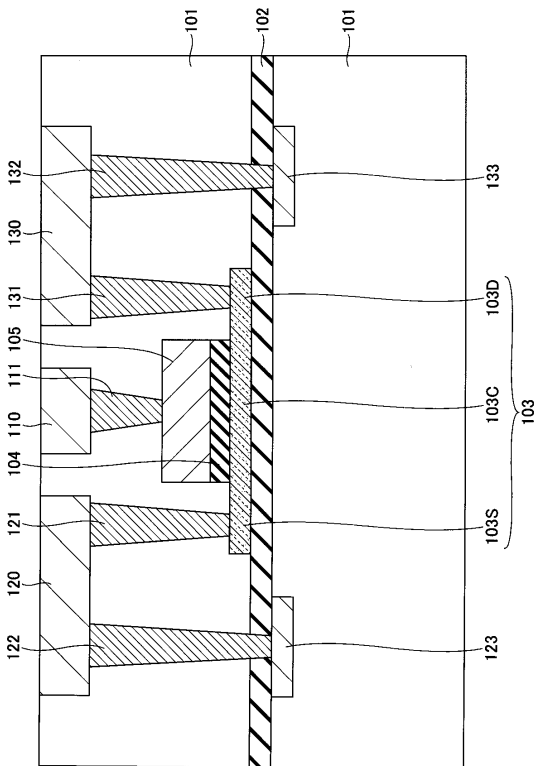
【 図 3 3 】



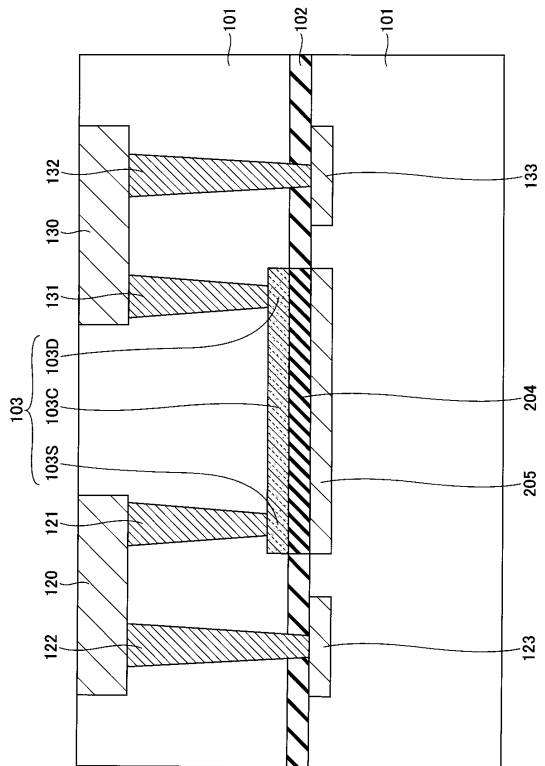
【 図 3 4 】



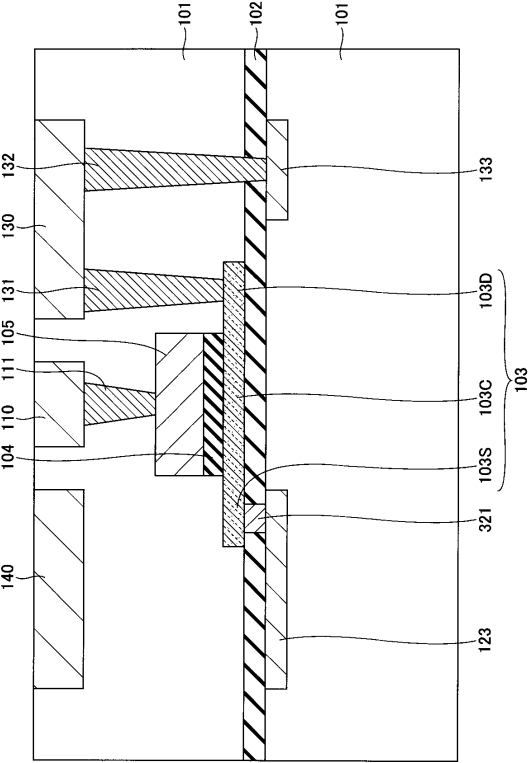
【 図 3 5 】



【 図 3 6 】



【図 37】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	23/522(2006.01)	H 0 1 L	27/04	A
H 0 1 L	27/00 (2006.01)	H 0 1 L	27/088	E
H 0 1 L	21/8234(2006.01)	H 0 1 L	29/78	6 2 6 C
H 0 1 L	27/088(2006.01)			
H 0 1 L	21/336(2006.01)			
H 0 1 L	29/786(2006.01)			

神奈川県横浜市港北区新横浜二丁目 1 0 番 2 3 株式会社ソシオネクスト内

審査官 鈴木 聡一郎

(56)参考文献

米国特許出願公開第 2 0 1 5 / 0 1 8 7 6 4 2 (U S , A 1)

特開平 0 5 - 2 0 6 4 2 0 (J P , A)

特開平 1 1 - 1 0 2 9 1 0 (J P , A)

特開 2 0 1 4 - 1 6 5 3 5 8 (J P , A)

特開昭 5 3 - 0 2 6 6 8 9 (J P , A)

特開 2 0 0 9 - 3 0 2 1 9 8 (J P , A)

特開 2 0 1 2 - 0 4 4 0 4 2 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2 2

H 0 1 L 2 7 / 0 0

H 0 1 L 2 7 / 0 4

H 0 1 L 2 1 / 3 2 0 5

H 0 1 L 2 1 / 8 2

H 0 1 L 2 1 / 8 2 3 4

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8 6